

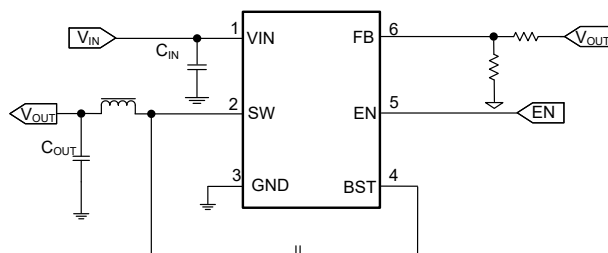
TPS56224xx 4.2V ~ 17V 入力、2A、同期整流降圧コンバータ、SOT563 パッケージ

1 特長

- 多様なアプリケーションに適した構成
 - 入力電圧範囲: 4.2V ~ 17V
 - 入力電圧範囲: 4.5V ~ 17V (TPS562246B)
 - 出力電圧範囲: 0.6V ~ 7V
 - 基準電圧: 0.6V
 - 基準電圧精度: $\pm 1.5\%$
 - FET 内蔵: 100m Ω および 55m Ω
 - TPS562243 の低静止時電流: 110 μ A
 - スイッチング周波数: 1280kHz
 - 最大 95% の高デューティ サイクル動作
 - 固定ソフトスタート時間: 1.4ms
- 使いやすく小さい設計サイズ
 - TPS562243 Eco モードおよび TPS562246、TPS562246B FCCM モード (軽負荷時)
 - 高速過渡応答の D-CAP3™ 制御モード
 - あらかじめ出力にバイアスが印加された状態でのスタートアップをサポート
 - ラッチなしの OT および UVLO 保護
 - サイクル単位の過電流制限
 - ヒックアップモードによる UV 保護
 - 動作時の接合部温度範囲: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
 - SOT563 パッケージ: 1.6mm \times 1.6mm
- TPS56224xx と WEBENCH® Power Designer を使用してカスタム設計を作成

2 アプリケーション

- WLAN / Wi-Fi アクセス ポイント
- モデム (ケーブル/DSL/GFAST)
- 小規模企業向けルータ
- 電気メータ
- STV および DVR
- 電化製品



概略回路図

3 説明

TPS56224xx は、シンプルで使いやすい同期整流降圧コンバータであり、4.2V ~ 17V (TPS562243、TPS562246) および 4.5V ~ 17V (TPS562246B) の入力電圧範囲に対応し、最大 2A の連続電流をサポートします。

最小の外付け部品数で動作し、スタンバイ電流が小さくなるよう設計されています。

このスイッチ モード電源 (SMPS) デバイスは、D-CAP3 制御モードを採用し、高速の過渡応答を実現します。また、特殊ポリマーなど ESR (等価直列抵抗) の低い出力コンデンサと、超低 ESR のセラミック コンデンサの両方を、外部補償部品なしでサポートします。

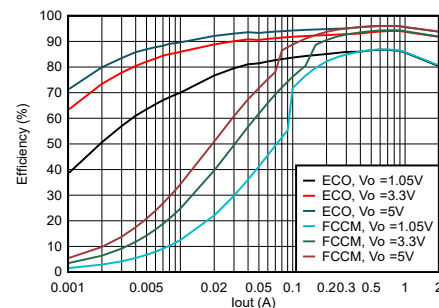
TPS562243 は Eco モードで動作し、軽負荷での動作時にも高い効率を維持します。TPS562246 および TPS562246B は FCCM モードで動作することで、すべての負荷条件で同じ周波数と小さい出力リップルを維持します。TPS56224xx は、OCP、UVLO、OTP、UVP (ヒックアップ機能付き) による完全な保護機能を備えています。

TPS56224xx は 6 ピン、1.6mm \times 1.6mm の SOT563 (DRL) パッケージで供給されます。接合部温度の仕様は $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ です。

製品情報

部品番号	モード	パッケージ (1)	パッケージ サイズ (2)
TPS562243	ECO モード	DRL (SOT-563, 6)	1.6mm \times 1.6mm
TPS562246	FCCM モード		
TPS562246B			

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。



TPS56224xx の効率 (Vin = 12V)



目次

1 特長.....	1	6.4 デバイスの機能モード.....	12
2 アプリケーション.....	1	7 アプリケーションと実装.....	13
3 説明.....	1	7.1 使用上の注意.....	13
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	13
5 仕様.....	4	7.3 電源に関する推奨事項.....	19
5.1 絶対最大定格.....	4	7.4 レイアウト.....	19
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	21
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	21
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	21
5.5 電気的特性.....	5	8.3 サポート・リソース.....	21
5.6 代表的特性.....	7	8.4 商標.....	21
6 詳細説明.....	9	8.5 静電気放電に関する注意事項.....	21
6.1 概要.....	9	8.6 用語集.....	21
6.2 機能ブロック図.....	9	9 改訂履歴.....	22
6.3 機能説明.....	9	10 メカニカル、パッケージ、および注文情報.....	22

4 ピン構成および機能

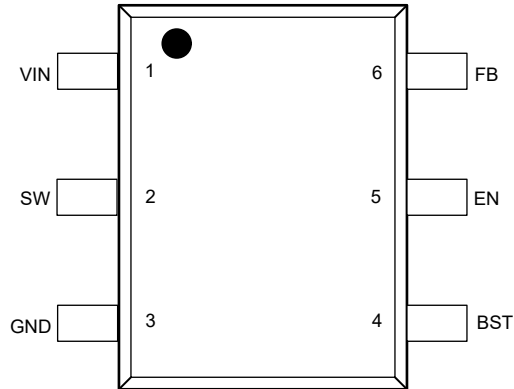


図 4-1. 6 ピン SOT563 DRL パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VIN	1	I	入力電源電圧ピン
SW	2	O	ハイサイド NFET および ローサイド NFET 間のスイッチ ノード接続
GND	3	—	グランドピン。ローサイド パワー NFET のソース端子、および制御回路用のグランド端子。高感度 FB は、この GND にシングルポイント接続します。
BST	4	O	ハイサイド NFET ゲート駆動回路に電源を入力。BST と SW ピンの間に 0.1 μ F コンデンサを接続します。
EN	5	I	イネーブル入力制御。アクティブ ハイであり、デバイスをイネーブルにする場合はプルアップする必要があります。
FB	6	I	コンバータの帰還入力。帰還抵抗デバイダを使用して出力電圧に接続します。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN	-0.3	19	V
入力電圧	FB, EN	-0.3	6	V
入力電圧	GND	-0.3	0.3	V
出力電圧	BST	-0.3	25	V
出力電圧	BST (< 20ns)	-0.3	27	V
出力電圧	SW	-2	19	V
出力電圧	SW (< 20ns)	-6.5	21	V
動作時の接合部温度範囲、T _J		-40	150	°C
保管温度、T _{stg}	保管温度、Tstg	-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
入力電圧	VIN	4.2		17	V
入力電圧	VIN (TPS562246B)	4.5		17	V
入力電圧	FB, EN	-0.1		5.5	V
入力電圧	GND	-0.1		0.1	V
出力電圧	BST	-0.1		23	V
出力電圧	BST (< 20ns)	-0.1		25	V
出力電圧	SW	-1		17	V
出力電圧	SW (< 20ns)	-6		19	V
出力電流	IO	0		2	A
T _J	動作時接合部温度	-40		125	°C
T _{stg}	保存温度	-40		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DRL (SOT-563)	単位
		6ピン	
R _{θJA}	接合部から周囲への熱抵抗	147.4	°C/W
R _{θJA_effective}	接合部から周囲への熱抵抗 (評価基板)	73 ⁽²⁾	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	75.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	32.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.1	°C/W
Y _{JB}	接合部から基板への特性パラメータ	31.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

(2) この R_{θJA_effective} は、TPS562243EVM 基板 (上層と下層の 2 層、銅箔厚は 2oz) で TA = 25°C でテストされています。

5.5 電気的特性

動作温度範囲 T_J = -40°C ~ 125°C、V_{IN} = 12V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源電圧						
V _{IN}	入力電圧範囲		4.2		17	V
V _{IN}	入力電圧範囲	TPS562246B	4.5		17	V
I _{VIN}	VIN 電源電流	無負荷、V _{EN} = 1.5V、スイッチングなし、ECO バージョン		110		μA
		無負荷、V _{EN} = 1.5V、V _{FB} = 0.9V、FCCM バージョン ⁽¹⁾		350		μA
I _{INSDN}	VIN シャットダウン電流	V _{EN} = 0V		7		μA
UVLO						
UVLO	VIN 低電圧誤動作防止	ウェークアップ VIN 電圧	3.6	3.8	4	V
UVLO	VIN 低電圧誤動作防止	シャットダウン VIN 電圧	3.2	3.4	3.6	V
UVLO	VIN 低電圧誤動作防止	ヒステリシス VIN 電圧		400		mV
UVLO	VIN 低電圧誤動作防止	ウェークアップ VIN 電圧、TPS562246B	4	4.19	4.4	V
UVLO	VIN 低電圧誤動作防止	シャットダウン VIN 電圧、TPS562246B	3.6	3.8	3.96	V
UVLO	VIN 低電圧誤動作防止	ヒステリシス VIN 電圧、TPS562246B		390		mV
帰還電圧						
V _{FB}	FB 電圧	T _J = 25°C、V _{in} = 4.2 ~ 17V	591	600	609	mV
V _{FB}	FB 電圧	T _J = -40°C ~ 125°C、V _{in} = 4.2 ~ 17V	588	600	612	mV
MOSFET						
R _{DS(ON)HI}	ハイサイド MOSFET の R _{ds(on)}	T _J = 25°C		100		mΩ
R _{DS(ON)LO}	ローサイド MOSFET の R _{ds(on)}	T _J = 25°C		55		mΩ
デューティサイクルおよび周波数制御						
F _{SW}	スイッチング周波数	V _{OUT} = 3.3V		1280		kHz
T _{OFF(MIN)}	最小オフ時間 ⁽¹⁾	V _{FB} = 0.5V		100		ns
T _{ON(MIN)}	最小オン時間 ⁽¹⁾			55		ns
電流制限						
I _{OCL_LS}	過電流スレッショルド	バレー電流設定ポイント	2	2.8	3.6	A
I _{NOCL}	負の過電流スレッショルド	バレー電流設定ポイント	1	1.8	2.5	A

動作温度範囲 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
論理スレッシュホールド						
$V_{EN(ON)}$	EN スレッシュホールドの High レベル		1.15	1.2	1.28	V
$V_{EN(OFF)}$	EN スレッシュホールドの Low レベル		0.93	1	1.05	V
V_{ENHYS}	EN ヒステリシス			200		mV
$V_{EN(ON)}$	EN スレッシュホールドの High レベル	TPS562246B	1.142	1.20	1.260	V
$V_{EN(OFF)}$	EN スレッシュホールドの Low レベル	TPS562246B	1.053	1.11	1.159	V
V_{ENHYS}	EN ヒステリシス	TPS562246B		90		mV
出力放電とソフトスタート						
I_{EN}	EN プルダウン電流	$V_{EN} = 1.5\text{V}$		1		uA
t_{SS}	内部ソフト スタート時間	V_{OUT} (0 から目標値まで)。		1.4		ms
出力低電圧および過電圧保護						
V_{UVP}	UVP 遷移スレッシュホールド		55	60	65	PNCT
t_{UVPDLY}	UVP 伝搬のグリッチ除去			256		us
t_{UVPON}	連続ヒカップ モード、スイッチング時間	ハード短絡、UVP 検出		1.5		ms
t_{UVPOFF}	連続ヒカップ モード、非スイッチング時間	ハード短絡、UVP 検出		13		ms
熱保護						
T_{OTP}	OTP 遷移スレッシュホールド			155		$^{\circ}\text{C}$
T_{OTPHSY}	OTP ヒステリシス			20		$^{\circ}\text{C}$

(1) 設計により規定されています。

5.6 代表的特性

$V_{IN} = 12V$ (特に記述のない限り)

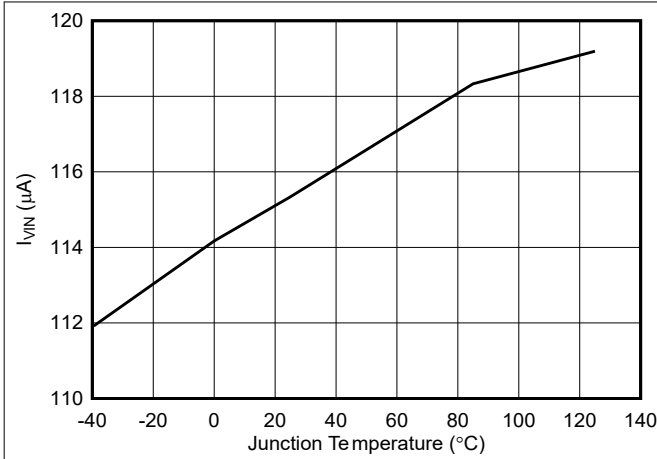


図 5-1. TPS562243 静止電流

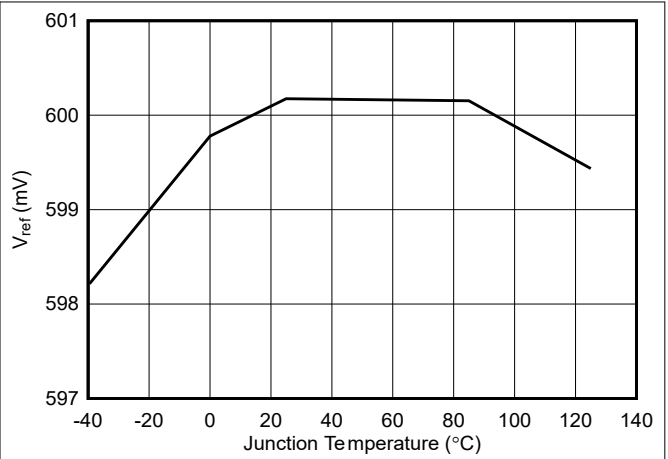


図 5-2. Vref 電圧

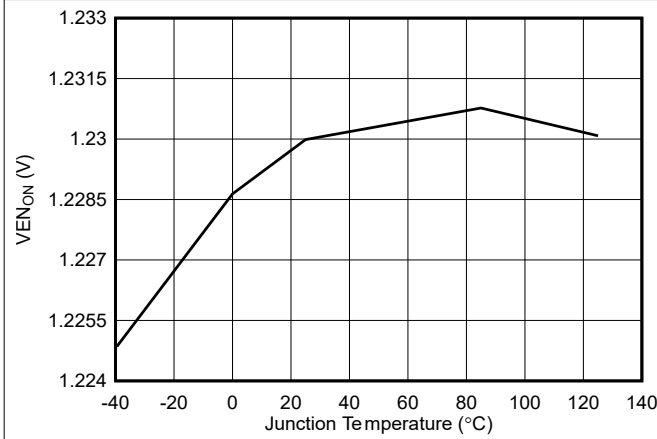


図 5-3. イネーブル オン スレッシュョルド電圧

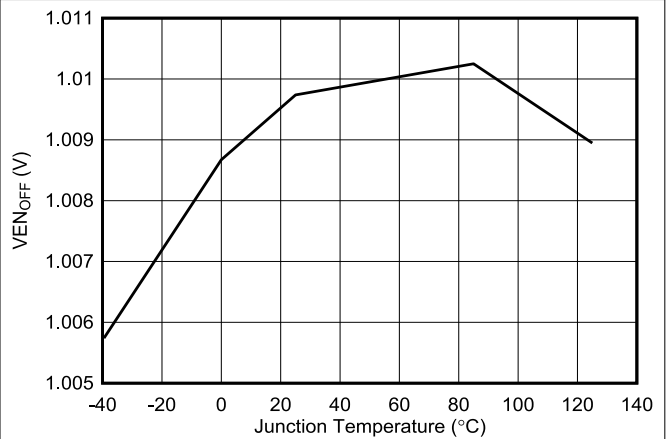


図 5-4. イネーブル オフ スレッシュョルド電圧

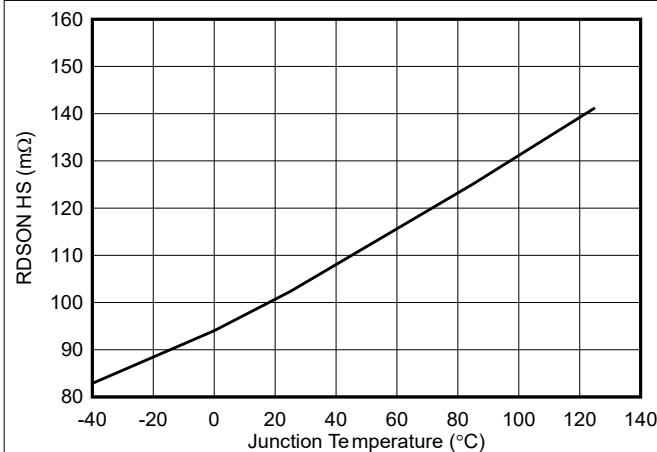


図 5-5. ローサイド Rdson

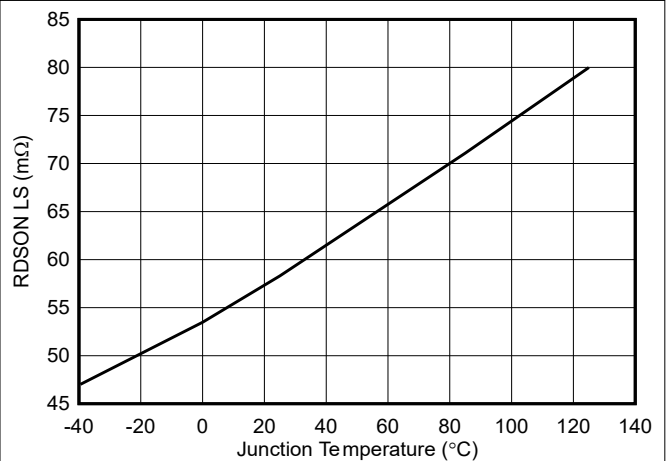


図 5-6. ハイサイド Rdson

5.6 代表的特性 (続き)

$V_{IN} = 12V$ (特に記述のない限り)

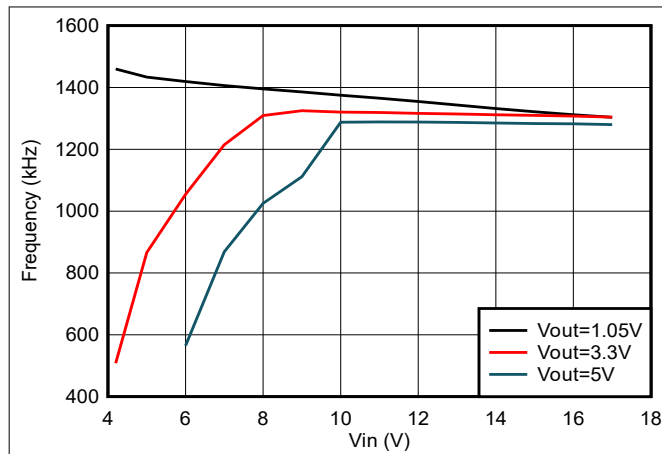


図 5-7. 周波数と入力電圧との関係 (2A 負荷時)

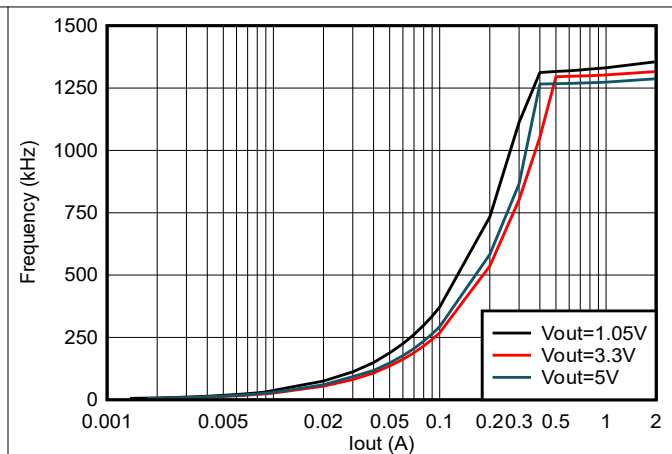


図 5-8. TPS562243 周波数と負荷との関係

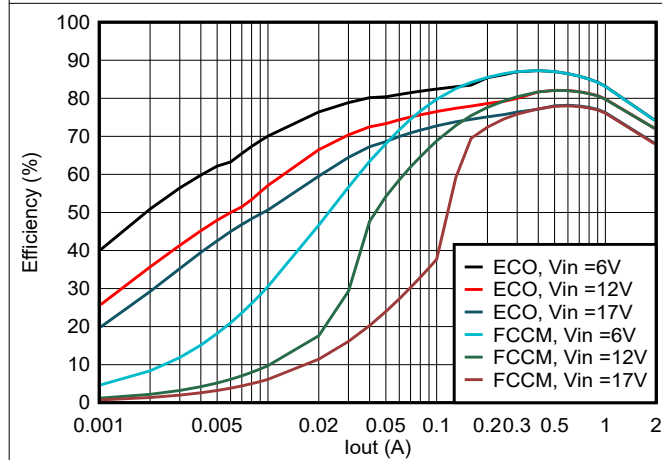


図 5-9. TPS56224x の効率 (0.6Vout、1uH インダクタ使用時)

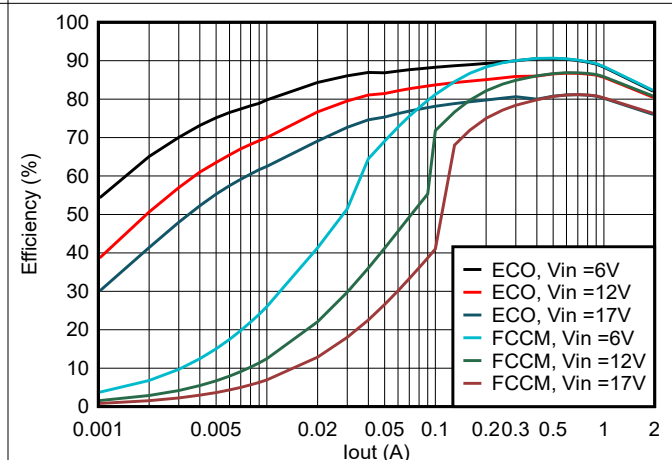


図 5-10. TPS56224x の効率 (1.05Vout、1.2uH インダクタ使用時)

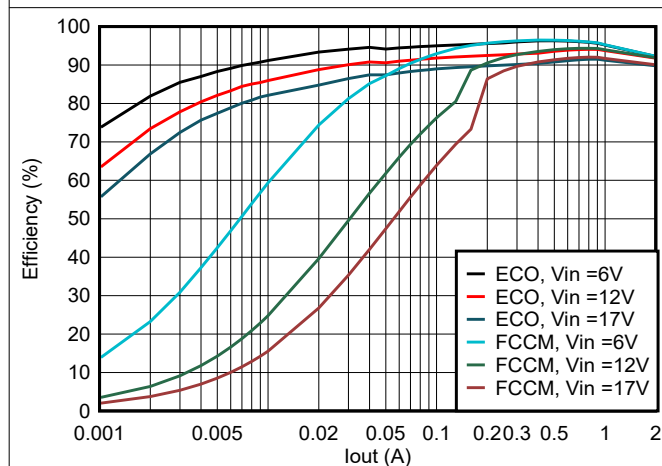


図 5-11. TPS56224x の効率 (3.3Vout、2.2uH インダクタ使用時)

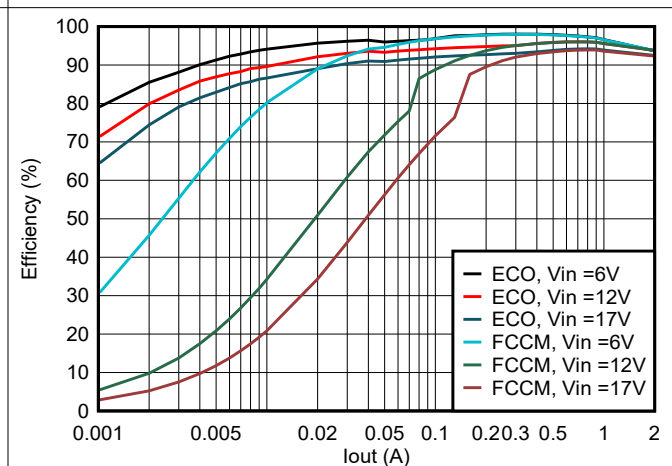


図 5-12. TPS56224x の効率 (5Vout、3.3uH インダクタ使用時)

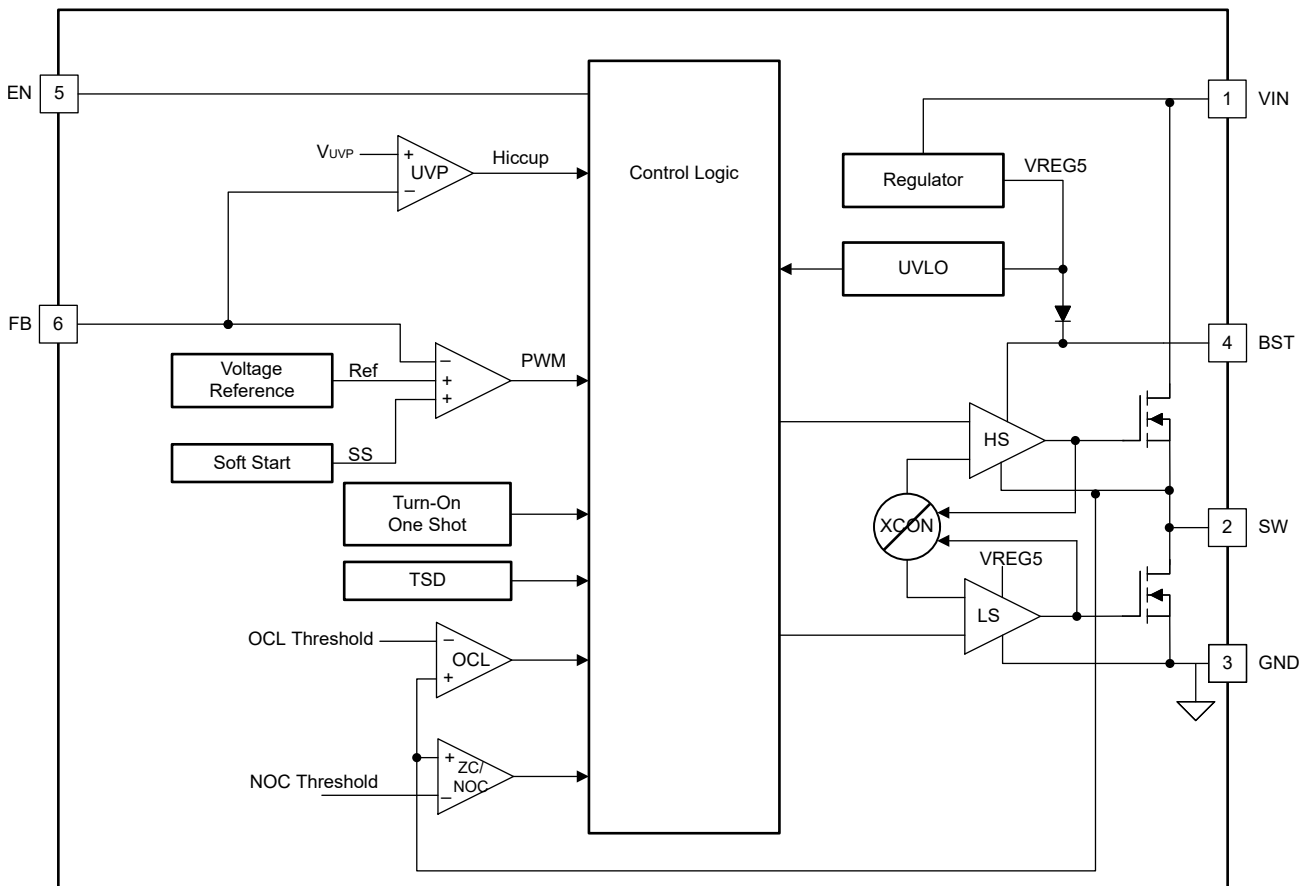
6 詳細説明

6.1 概要

TPS56224xx は、2A FET を内蔵した同期整流降圧コンバータであり、4.2V ~ 17V の入力電圧 (TPS562243、TPS5622436)、4.5V ~ 17V の入力電圧 (TPS562246B)、0.6V ~ 7V 出力電圧で動作できます。このデバイスは、外付け補償部品なしで正確な帰還電圧と高速過渡応答を実現する D-CAP3 制御モードを採用しています。独自の D-CAP3 制御モードにより、外付け部品数が少なく、設計が簡単になり、コスト、サイズ、効率について電源設計を最適化できます。このトポロジにより、重負荷条件での CCM 動作モードと軽負荷条件での DCM 動作の間をシームレスに移行できます。

Eco モード バージョンを使用すると、TPS562243 で軽負荷時に高い効率を維持できます。FCCM モード バージョンでは、TPS562246 および TPS562246B は固定スイッチング周波数と低い出力電圧リップルを維持できます。TPS56224xx は、POSCAP や SP-CAP など等価直列抵抗 (ESR) の低い出力コンデンサにも、ESR の非常に低いセラミックコンデンサにも対応可能です。

6.2 機能ブロック図



6.3 機能説明

6.3.1 適応型オン時間制御およびPWM 動作

TPS56224xx は、D-CAP3 制御方式を採用しています。この方式は、内部補償回路を用いた適応型オン時間 PWM (パルス幅変調) 制御をサポートしており、低 ESR コンデンサおよびセラミック出力コンデンサのいずれを使用する場合でも、擬似固定周波数動作と外付け部品点数の削減を実現します。D-CAP3 制御方式は、出力にほとんどリップルがない状態でも安定して動作します。TPS56224xx には、出力電圧の精度を非常に高めるエラー アンプも内蔵されています。

各サイクルの開始時に、ハイサイド MOSFET がオンになります。内部のワンショット タイマが終了すると、この MOSFET がオフになります。このワンショット タイマの時間は、入力電圧範囲内で擬似固定周波数が維持されるように、出力電圧 V_O に比例し、コンバータの入力電圧 V_{IN} に反比例するよう設定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧がリファレンス電圧を下回ると、ワンショット タイマがリセットされ、ハイサイド MOSFET が再度オンになります。出力リップルをシミュレートするために、リファレンス電圧に内部ランプを追加しているため、D-CAP3 制御方式による ESR に起因する出力リップルは不要です。

6.3.2 Eco モード制御

TPS562243 は、軽負荷時にも高効率を維持する高度な Eco モードで設計されています。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きバレーがゼロ レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ インダクタ電流が検出されると、整流 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。このアクションにより、スイッチング周波数が負荷電流に比例して低下し、軽負荷時の効率がよく維持されます。式 1 を使用して、軽負荷動作 $I_{OUT(LL)}$ 電流への遷移点を計算します。

$$I_{out(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (1)$$

6.3.3 ソフト スタートおよびプリバイアス付きソフト スタート

TPS56224xx には内部に 1.4ms のソフト スタートがあります。EN ピンが High になると、内部ソフト スタート機能によって PWM コンパレータに対するリファレンス電圧が上昇し始めます。

スタートアップ時に出力コンデンサがプリバイアスされている場合には、内部リファレンス電圧が帰還電圧 V_{FB} より大きくなるまで、スイッチングおよび電圧上昇は開始されません。これにより、コンバータはレギュレーション ポイントまでスムーズに上昇します。

6.3.4 デューティ比の大きい動作

TPS56224xx は、スイッチング周波数をスムーズに下げることによって、最大 95% のデューティ比の大きな動作をサポートできます。入力電圧 $V_{IN} < 7V$ で、 V_{FB} が内部リファレンス電圧より低い場合、スイッチング周波数はスムーズに低下して T_{ON} を延長できるため、出力電圧が維持され、負荷過渡性能が向上します。最小スイッチング周波数は、約 400kHz に制限されています。

6.3.5 電流保護

出力過電流制限 (OCL) は、サイクル毎のバレー検出制御回路を使用して実現されています。スイッチ電流は、OFF 状態時にローサイド FET のドレイン - ソース間電圧を測定することで監視されます。この電圧は、スイッチ電流に比例します。精度を向上させるため、電圧センスは温度補償されています。

ハイサイド FET スイッチのオン期間中、スイッチ電流は、 V_{IN} 、 V_{OUT} 、オン時間、出力インダクタ値によって決定される直線的なレートで増加します。ローサイド FET スイッチのオン期間中は、この電流は直線的に減少します。スイッチ電流の平均値は、負荷電流 I_{out} です。監視対象電圧が OCL レベルより高い場合、コンバータはローサイド FET をオンに保持し、電流レベルが OCL レベル以下になるまでの間、(電圧帰還ループで必要とされる場合であっても) 新しい設定パルスの生成を遅延させます。以降のスイッチング サイクルでは、オン時間が固定値に設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流は、ピーク ツー ピーク インダクタリップル電流の 1/2 だけ、過電流スレッシュホールドよりも高くなります。また、電流制限が行われている間は、負荷から要求される電流がコンバータから供給可能な電流を上回る可能性があるため、出力電圧は低下する傾向にあります。このイベントが発生すると、出力電圧が低下することもあります。FB 電圧が UVP スレッシュホールド電圧を下回ると、UVP コンパレータによって立ち下がりが検出されます。その後、UVP 遅延時間が経過すると、デバイスはシャットダウンし、ヒックアップ時間が経過すると再起動します。

過電流状態が解消されると、出力電圧はレギュレーション値に復帰します。

TPS562246 および TPS562246B は FCCM モードの部品です。このモードでは、デバイスは軽負荷時に負のインダクタ電流が流れます。デバイスには NOC (負の過電流) 保護機能があり、負の電流が大きすぎることを防止します。NOC 保護機能は、インダクタ電流のバレーを検出します。インダクタ電流のバレー値が NOC スレッショルドを超えると、IC はローサイドをオフにしてからハイサイドをオンにします。NOC 保護が 8 回連続的にトリガされると、IC はハイサイド FET とローサイド FET の両方をオフにします。NOC 状態が解消され、出力電圧が目標値に戻ると、デバイスは通常スイッチングに戻ります。

TPS562246 および TPS562246B は FCCM モードの部品であるため、インダクタンスが小さすぎてデバイスが NOC をトリガする場合、出力電圧は目標値よりも高くなります。インダクタンスの最小値は、式 2 として識別されます。

$$L = \frac{V_{out} \times \left(1 - \frac{V_{out}}{V_{in}}\right)}{2 \times \text{Frequency} \times \text{NOC}_{min}} \quad (2)$$

6.3.6 イネーブル回路

EN ピンは本デバイスのターンオン/ターンオフを制御します。EN ピンの電圧がターンオン スレッショルドより高い場合、デバイスはスイッチングを開始します。EN ピンの電圧がターンオフ スレッショルドを下回ると、デバイスはスイッチングを停止します。内部 IC に 1uA のプルダウン電流があるため、デフォルトのステータスは Low です。

EN は、Vin からの標準的な抵抗デバイダ、または 5.5V 未満の電圧により制御できます。

また、TPS56224xx の場合は、EN をプルアップ抵抗のみで Vin に接続することもできます。EN 電圧がツェナー ダイオードによってクランプされており、ツェナー ダイオードでは大電流が流れないため、プルアップ抵抗値を 100kΩ とすることを TI は推奨します。プルアップ抵抗 R1 は、80kΩ よりも小さくすることは許容されません。また、EN がオンにならないようにするために、TI は R1 も大きくなりすぎないようにすることを推奨します。プルアップ抵抗 R1 の推奨値範囲は 80kΩ ~ 3mΩ で、100kΩ が最適です。

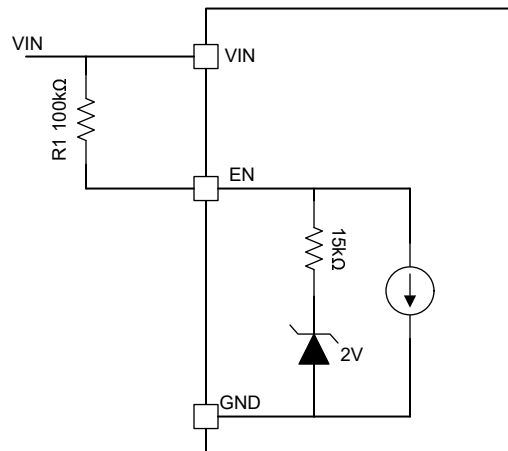


図 6-1. EN ブロック回路

6.3.7 低電圧誤動作防止 (UVLO) 保護

UVLO 保護機能は、内部レギュレータ電圧を監視します。この電圧が UVLO スレッショルド電圧を下回ると、デバイスがオフになります。この保護機能は非ラッチ方式です。

6.3.8 サーマル シャットダウン

デバイスは、デバイスの温度を監視します。温度がスレッショルド値 (通常 155°C) を超えると、デバイスはシャットダウンします。これは非ラッチ方式の保護です。

6.4 デバイスの機能モード

6.4.1 Eco モード動作

TPS562243 は Eco モードで動作することで、軽負荷時でも高い効率を維持します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きの谷がゼロ レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ インダクタ電流が検出されると、整流 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。この事実により、スイッチング周波数が負荷電流に比例して低下し、軽負荷時の効率が高く維持されます。

6.4.2 FCCM モード動作

TPS562246 および TPS562246B は強制 CCM (FCCM) モードで動作することで、軽負荷状況でもコンバータを連続電流モードで動作させ、インダクタ電流を負にできます。FCCM モード時は、負荷範囲全体でスイッチング周波数 (F_{sw}) がほぼ一定に保たれます。これは軽負荷時での効率低下を犠牲にしてもスイッチング周波数と出力電圧リップルを厳密に制御する必要があるアプリケーション向けに設計されています。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS56224xx デバイスは、より高い DC 電圧をより低い DC 電圧に変換する標準的な降圧 DC/DC コンバータであり、最大 2A の出力電流を供給可能です。以下の設計手順を使用して TPS56224xx の部品値を選択できます。あるいは、WEBENCH 回路設計および選択シミュレーション サービス ソフトウェアを使用して、完全な設計を生成することもできます。設計図を生成する際、WEBENCH 回路設計および選択シミュレーション サービス ソフトウェアは、反復的な設計手順を使用し、コンポーネントの包括的なデータベースにアクセスします。ここでは、設計手順について簡単に説明します。

7.2 代表的なアプリケーション

図 7-1 の TPS56224xx アプリケーション回路図は、表 7-1 の要件を満たすように開発されています。このセクションでは、設計手順を示します。

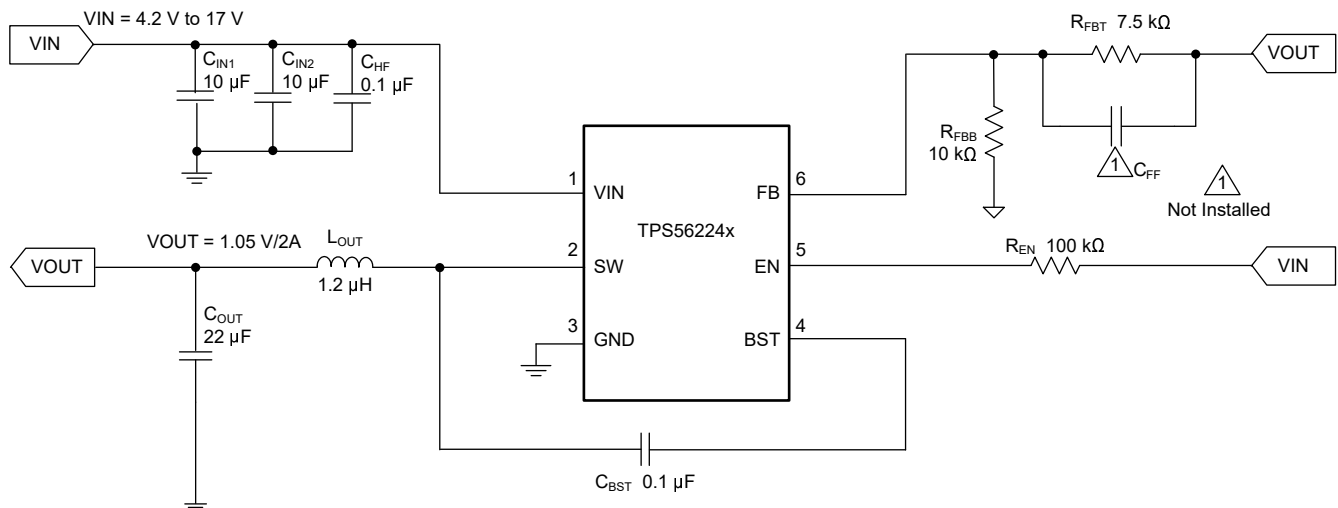


図 7-1. TPS56224xx 1.05V/2A リファレンス デザイン

7.2.1 設計要件

このアプリケーションの設計パラメータを、表 7-1 に示します。

表 7-1. 設計パラメータ

パラメータ	条件	最小値	標準値	最大値	単位
V _{OUT}	出力電圧		1.05		V
I _{OUT}	出力電流		2		A
ΔV _{OUT}	過渡応答	0.2A ~ 1.8A 負荷ステップ、0.8A/μs のスループレート			V
V _{IN}	入力電圧	4.2	12	17	V
V _{OUT(ripple)}	出力電圧リップル	CCM 条件		8	mV
F _{SW}	スイッチング周波数		1.28		MHz
T _A	周辺温度		25		°C

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH Power Designer により、TPS56224xx デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細については、www.ti.com/WEBENCH を参照してください。

7.2.2.2 出力電圧抵抗の選択

出力電圧は、出力ノードと FB ピンとの間の抵抗分圧回路によって設定されます。公差 1% 以内の分圧抵抗を使用することを TI は推奨します。まず、式 3 を使用して V_{OUT} を計算します。

超軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。抵抗値が大きすぎると、回路がノイズの影響を受けやすくなり、FB 入力電流から生じる電圧誤差がより顕著になる可能性があります。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{FBT}}{R_{FBB}}\right) \quad (3)$$

7.2.2.3 出力フィルタの選択

出力フィルタとして使用する LC フィルタは、式 4 に二重極があります。この式では、C_{OUT} は公称値ではなく、ディレーティング後の実効値を使用する必要があります。

$$Frequency_{doublepole} = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (4)$$

内部で補償されるすべての制御トポロジには、制御トポロジがサポートできる出力フィルタの範囲があります。低周波数では、出力設定点抵抗デバイダ回路、およびデバイスの内部ゲインによって、全体のループゲインが設定されます。低周波位相は 180°です。出力フィルタの極周波数において、ゲインは 10 進数ごとに -40dB のレートで減衰し、位相は 180 度低下します。内部リップル生成回路によって高周波数ゼロが導入されることで、ゲインのロールオフが 10 進数ごとに -40dB から -20dB に低減し、90 度の位相ブーストが発生します。内部リップル注入回路が生成する高周波のゼロ周波数は約 160kHz です。TI は、選択されたインダクタおよびコンデンサによって生じる二重極周波数を約 40kHz に配置することを推奨します。これにより、この高周波ゼロによってもたらされる位相ブーストが、安定性要件を満たすのに十分な位相マージンを確保できるようになります。出力電圧が 2V を上回る場合は、TI は C_{FF} コンデンサを追加して帯域幅と位相マージンを増やすことを推奨します。推奨される C_{FF} 範囲は 10pF ~ 100pF です。システム全体のクロスオーバー周波数は通常、スイッチング周波数の 1/3 未満に設定する必要があります。

表 7-2. 推奨部品値

出力電圧 (V)	L _{OUT} (μH)	C _{OUT} (μF)	C _{OUT} (μF) ⁽¹⁾ 範囲	R _{FBT} (kΩ)	R _{FBB} (kΩ)	C _{FF} (pF)
0.6	1	22 (10V 定格)	20-90	0	10.0	-
1.05	1.2	22 (10V 定格)	10-45	7.5	10.0	-
3.3	3.3	22 (25V 定格)	15-60	135.0	30.0	47
5	3.3	22 (25V 定格)	15-60	220.0	30.0	47
7	3.3	22x2 (25V 定格)	15-60	320.0	30.0	47

(1) この表ではセラミックコンデンサを使用しています。すべての C_{OUT} 値は、定格低減後の値です。

インダクタのピーク ツー ピークリップル電流、ピーク電流、および RMS 電流は、式 5、式 6、式 7 で求めることができます。インダクタの飽和電流定格は、計算されたピーク電流よりも大きい必要があり、RMS または加熱電流定格は、計算された RMS 電流よりも大きい必要があります。

$$I_{P-P} = \frac{V_{OUT}}{V_{IN(Max)}} \times \frac{V_{IN(Max)} - V_{OUT}}{L_{OUT} \times f_{SW}} \quad (5)$$

$$I_{PEAK} = I_O + \frac{I_{P-P}}{2} \quad (6)$$

$$I_{LO(RMS)} = \sqrt{I_O^2 + \frac{1}{12} \times I_{P-P}^2} \quad (7)$$

この設計例では、計算されたピーク電流は 2.32A で、RMS 電流の計算値は 2.01A です。使用されているインダクタは、WE 74438357012 です。

コンデンサの値と ESR によって、出力電圧リップルの大きさが決まります。TPS56224xx は、セラミックまたは他の低 ESR コンデンサとともに使用するよう設計されています。TI は 1×22μF 出力コンデンサの使用を推奨します。出力コンデンサに対して必要な RMS 電流定格は、式 8 で求められます。

$$I_{CO(RMS)} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{\sqrt{12} \times V_{IN} \times L_{OUT} \times f_{SW}} \quad (8)$$

この設計では、MuRata GRM21BR61A226ME44L 22μF 出力コンデンサを 1 個使用できます。代表的な ESR はそれぞれ 2mΩ です。RMS 電流の計算値は 0.2A で、各出力コンデンサの定格は 4A です。

7.2.2.4 入力コンデンサの選択

TPS56224xx には、入力デカップリングコンデンサと、アプリケーションによってはバルクコンデンサが必要となります。TI は、デカップリングコンデンサとして 10μF よりもセラミックコンデンサを推奨します。V_{IN} からグランドへの追加の 0.1μF コンデンサ C_{HF} は、高周波フィルタリングを提供するためのオプションです。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.2.5 ブートストラップ コンデンサの選定

適切な動作のためには、BST ピンと SW ピンの間に 0.1 μ F のセラミック コンデンサを接続する必要があります。TI はセラミック コンデンサの使用を推奨します。

7.2.3 アプリケーション曲線

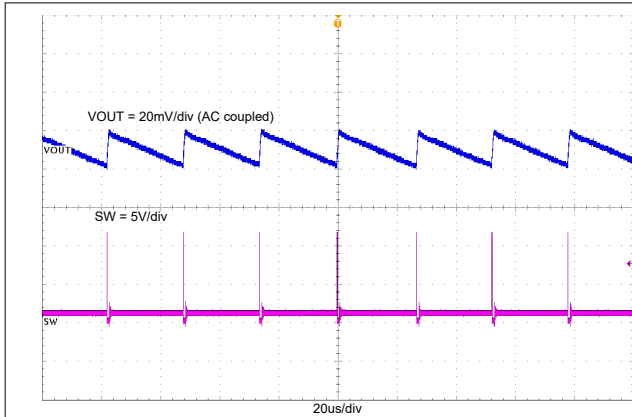


図 7-2. TPS562243 出力電圧リップル (0.01A 負荷)

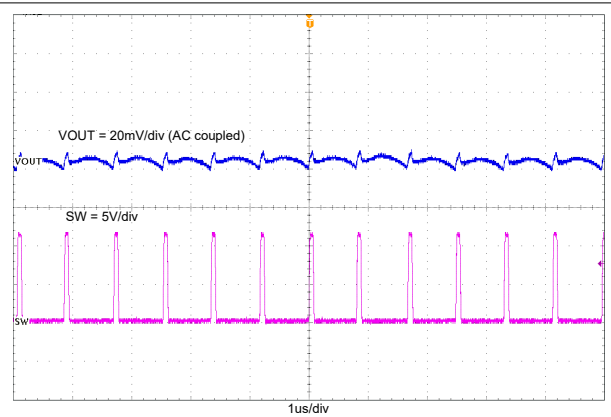


図 7-3. TPS562246 出力電圧リップル (0.01A 負荷)

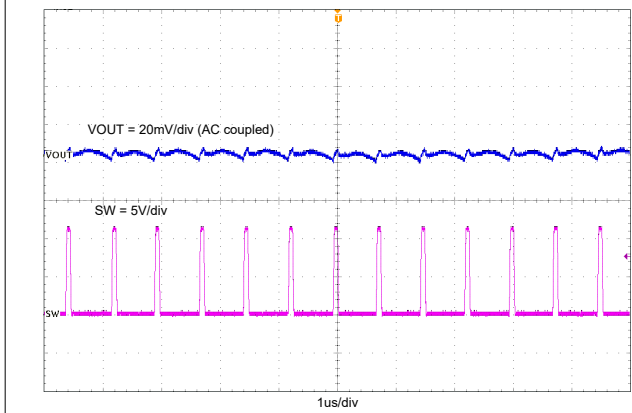


図 7-4. TPS562243 出力電圧リップル (2A 負荷)

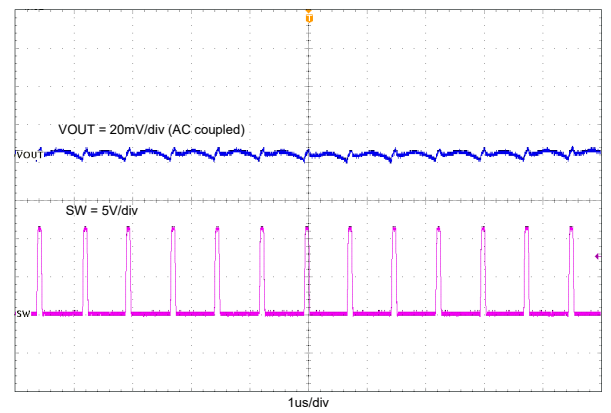


図 7-5. TPS562246 出力電圧リップル (2A 負荷)

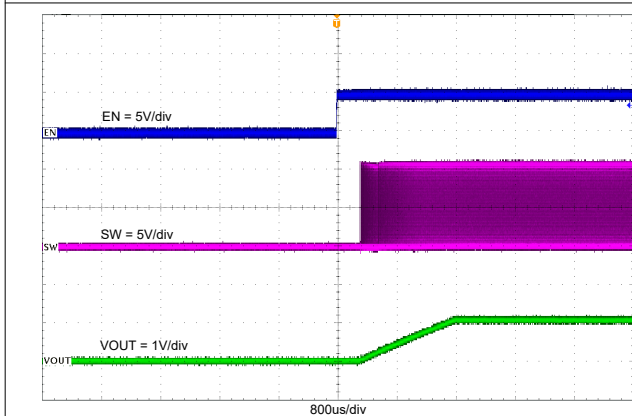


図 7-6. TPS562243 イネーブル オン (2A 負荷)

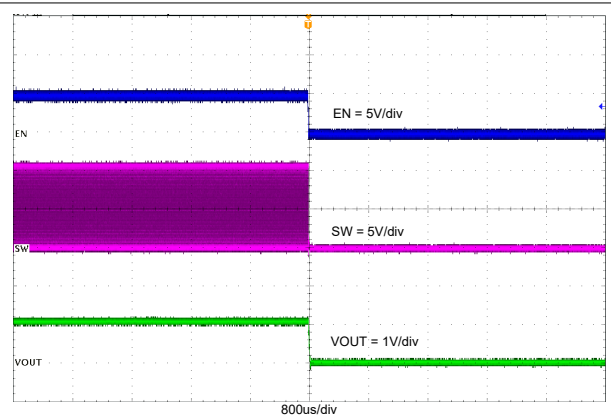


図 7-7. TPS562243 イネーブル オフ (2A 負荷)

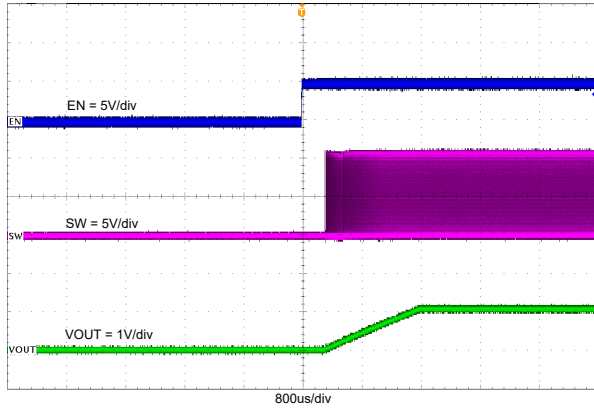


図 7-8. TPS562246 イネーブル オン (2A 負荷)

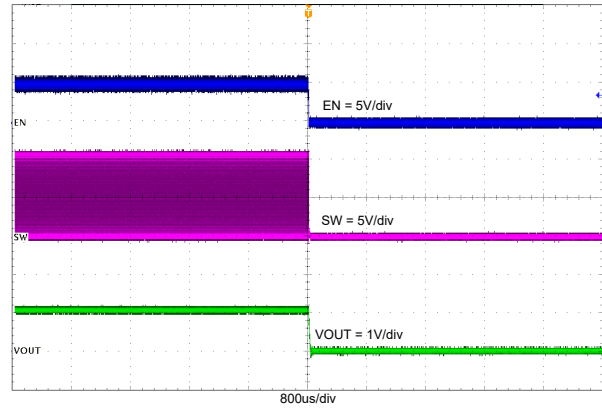


図 7-9. TPS562246 イネーブル オフ (2A 負荷)

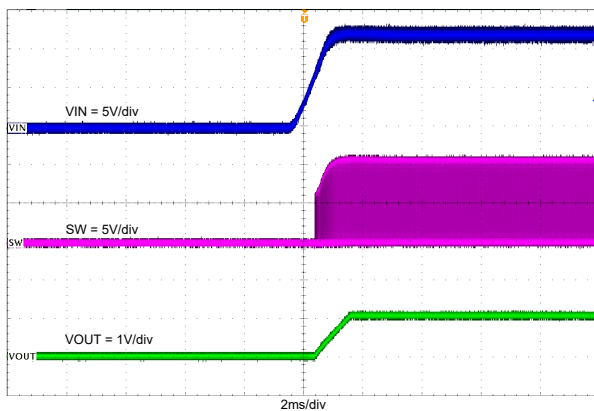


図 7-10. TPS562243 パワー オン (2A 負荷)

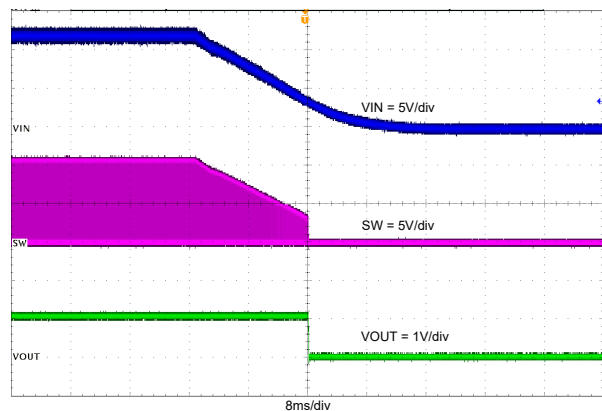


図 7-11. TPS562243 パワー オフ (2A 負荷)

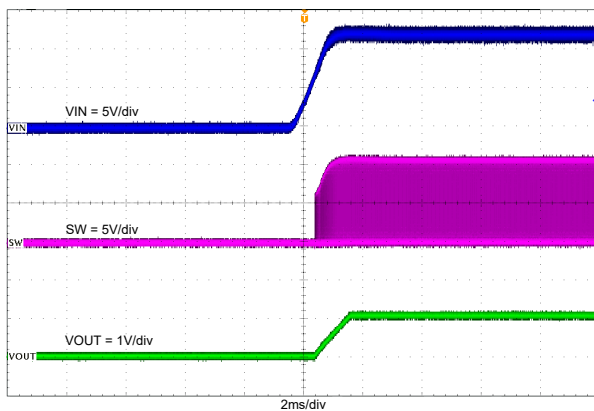


図 7-12. TPS562246 パワー オン (2A 負荷)

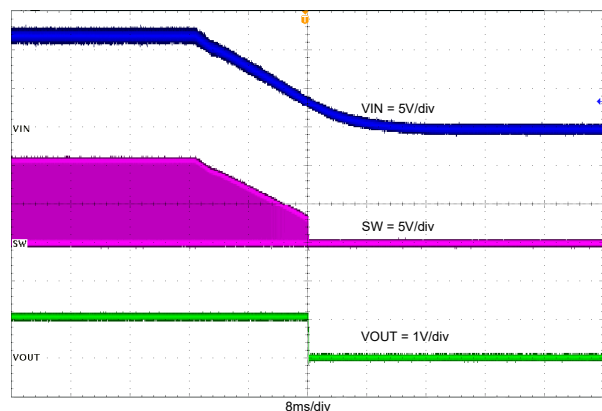


図 7-13. TPS562246 パワー オフ (2A 負荷)

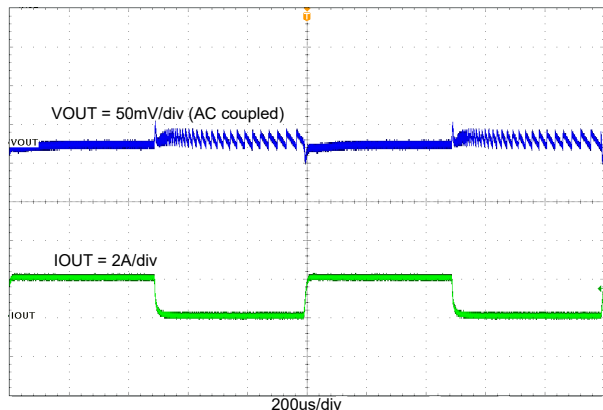


図 7-14. TPS562243 の負荷過渡 (0A から 2A へ)

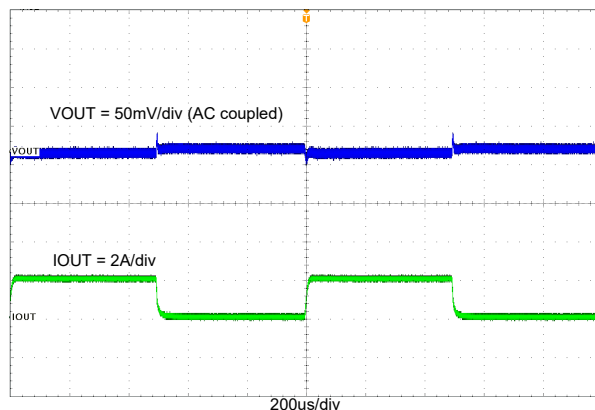


図 7-15. TPS562246 の負荷過渡 (0A から 2A へ)

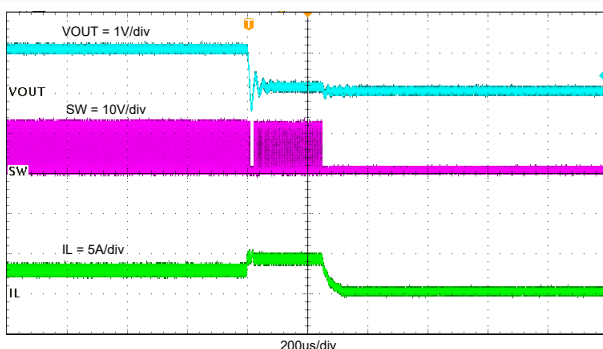


図 7-16. TPS562243 通常動作から出力のハード短絡

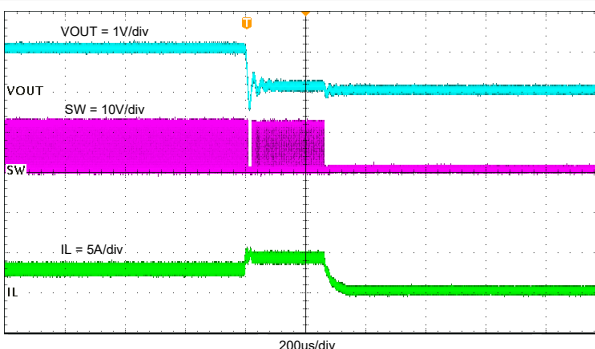


図 7-17. TPS562246 通常動作から出力のハード短絡

7.3 電源に関する推奨事項

TPS56224xx は、4.2V ~ 17V (TPS562243、TPS5622436) および 4.5V ~ 17V (TPS562246B) の範囲の入力電源電圧で動作するように設計されています。降圧コンバータが適切に動作するためには、入力電圧が出力電圧より高い必要があります。最大デューティは 95% です。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

1. V_{IN} および GND のパターンは、パターンインピーダンス低減のためにできるだけ幅広くしてください。面積を広くすることも、放熱の利点となります。
2. パターンインピーダンスを最小限に抑えるために、入力コンデンサおよび出力コンデンサを、デバイスにできるだけ近づけて配置します。
3. 入力コンデンサおよび出力コンデンサに対して十分な数のビアを用意してください。
4. 放射を最小限に抑えるために、SW のパターンは実用的な範囲でできるだけ短く、幅広くしてください。
5. デバイスの下をスイッチング電流が流れないようにしてください。
6. 個別の VOUT パスを上側帰還抵抗に接続します。
7. フィードバックパスの GND ピンにはケルビン接続を使用します。
8. 電圧帰還ループは、高電圧のスイッチングパターンから離して配置し、できればグラウンドシールドを使用してください。
9. ノイズ結合を避けるため、FB ノードのパターンは最小限にしてください。
10. 出力コンデンサと GND ピンの間の GND パターンは、パターンインピーダンス低減のためにできるだけ幅広くしてください。

7.4.2 レイアウト例

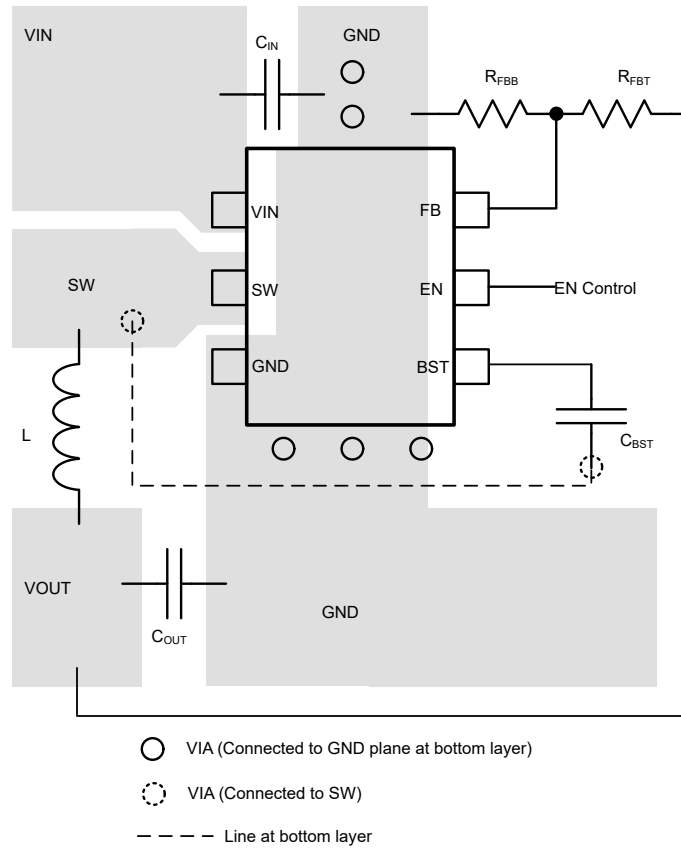


図 7-18. TPS56224xx のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH Power Designer により、TPS56224xx デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細については、www.ti.com/WEBENCH を参照してください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

D-CAP3™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2024) to Revision A (April 2026)	Page
• 「特長」セクションに TPS562246B を追加	1
• 「説明」セクションに TPS562246B を追加	1
• 「推奨動作条件」および「電気的特性」セクションに TPS562246B を追加	4
• 「概要」セクションに TPS562246B を追加	9
• 「電流保護」セクションに TPS562246B を追加	10
• 「FCCM モード動作」セクションに TPS562246B を追加	12
• 「代表的なアプリケーション」セクションに TPS562246B を追加	13
• 「電源に関する推奨事項」セクションに TPS562246B を追加	19

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS562243DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 125	2243
TPS562243DRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2243
TPS562246BDRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	P246B
TPS562246DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 125	2246
TPS562246DRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2246

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

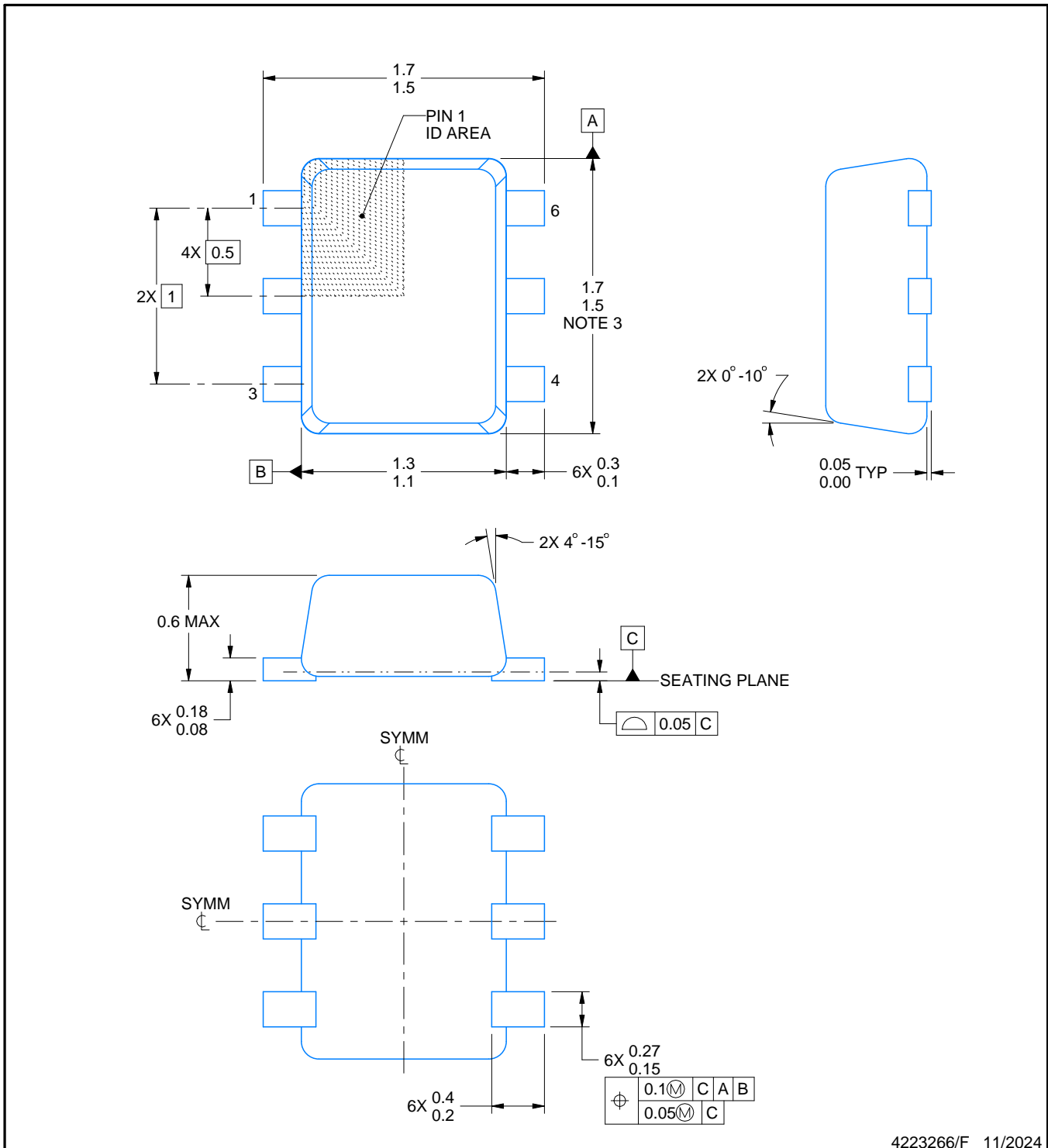

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS562243DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS562246BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS562246DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS562243DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS562246BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS562246DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0



4223266/F 11/2024

NOTES:

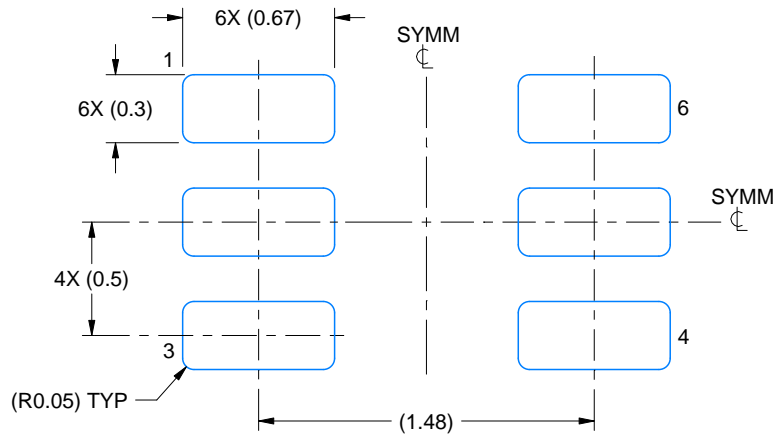
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

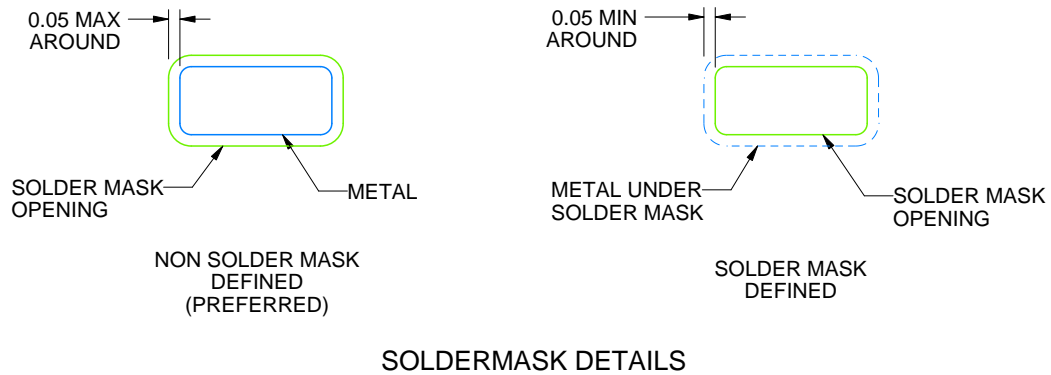
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



4223266/F 11/2024

NOTES: (continued)

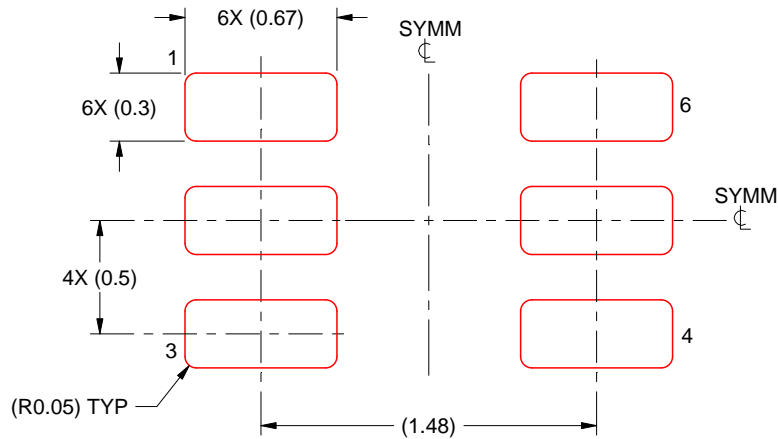
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月