

## TPS61371 負荷切断機能搭載、16V、3.8A、同期整流昇圧

### 1 特長

- 入力電圧範囲: 2.7V ~ 5.5V
- 出力電圧範囲: 16V (最大値)
  - I<sup>2</sup>C は FB V<sub>ref</sub> により V<sub>OUT</sub> をプログラム可能
- オン抵抗:
  - ローサイド FET - 35mΩ
  - ハイサイド + FET 接続解除 - 106mΩ
- スイッチ ピーク電流制限: 3.8A (代表値)
- V<sub>IN</sub> からの静止電流: 125μA
- V<sub>OUT</sub> からの静止電流: 10μA
- V<sub>IN</sub> からのシャットダウン電流: 2.5μA
- スイッチング周波数: 1.5MHz
- ソフト スタート時間: 1.5ms
- 自動 PFM と強制 PWM を選択可能
- シャットダウン時の負荷切断
- 出力放電を選択可能
- 外部ループ補償
- ラッチ タイプによる出力短絡保護と過電圧保護
- 2.5mm × 2.5mm × 0.8mm (max) HotRod™ lite WQFN パッケージ

### 2 アプリケーション

- RF PA ドライバ
- SSD
- バックアップ電源
- 光センサ ドライバ

### 3 説明

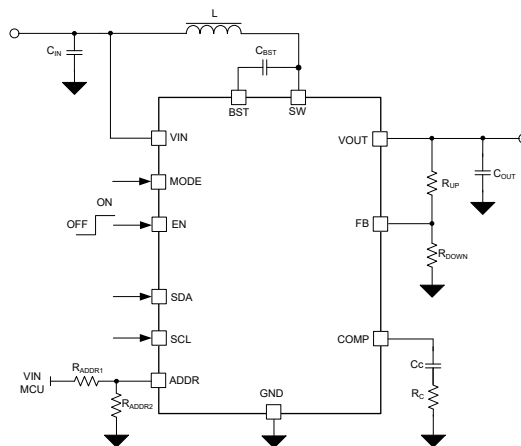
TPS61371 は、負荷を切り離す機能を備えた完全統合型同期整流昇圧コンバータです。本デバイスは最大 16V の出力電圧と 3.8A の電流制限に対応しています。出力電圧は、帰還抵抗、または I<sup>2</sup>C が制御するリファレンス電圧 V<sub>REF</sub> により変更できます。入力電圧範囲は 2.7V ~ 5.5V で、シングルセルのリチウムイオン バッテリ、または 5V バスから給電されるアプリケーションをサポートします。

TPS61371 は、適応型オフ時間制御トポロジで、ピーク電流モードを使用します。このデバイスは、中負荷から重負荷では 1.5MHz の PWM で動作します。軽負荷条件では、デバイスはオート PFM 動作または Forced PWM 動作のいずれかに設定できます。このモードは、MODE ピンと I<sup>2</sup>C レジスタの接続によって決定されます。自動 PFM モードは軽負荷時の効率が低いのが利点で、これに対して強制 PWM 動作では、負荷範囲全体でスイッチング周波数が一定に保たれます。TPS61371 はソフトスタートを使用して、スタートアップ時の突入電流を最小化します。TPS61371 は、シャットダウン時の負荷切断機能を備えており、ラッチ型の過電圧保護および出力短絡保護を提供します。さらに、デバイスはサーマル シャットダウン保護機能を備えています。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS61371	VAR (WQFN-HR, 14)	2.5mm × 2.5mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路



## 目次

<b>1 特長</b> .....	1	6.5 プログラミング.....	13
<b>2 アプリケーション</b> .....	1	<b>7 レジスタ マップ</b> .....	17
<b>3 説明</b> .....	1	7.1 レジスタの説明	17
<b>4 ピン構成および機能</b> .....	3	<b>8 アプリケーションと実装</b> .....	19
<b>5 仕様</b> .....	4	8.1 使用上の注意	19
5.1 絶対最大定格	4	8.2 代表的なアプリケーション	19
5.2 ESD 定格	4	8.3 電源に関する推奨事項	28
5.3 推奨動作条件	4	8.4 レイアウト	28
5.4 熱に関する情報	5	<b>9 デバイスおよびドキュメントのサポート</b> .....	30
5.5 電気的特性	5	9.1 デバイス サポート	30
5.6 I2C のタイミング要件	6	9.2 ドキュメントの更新通知を受け取る方法	30
5.7 代表的特性	8	9.3 サポート・リソース	30
<b>6 詳細説明</b> .....	9	9.4 商標	30
6.1 概要	9	9.5 静電気放電に関する注意事項	30
6.2 機能ブロック図	9	9.6 用語集	30
6.3 機能説明	10	<b>10 改訂履歴</b> .....	30
6.4 デバイスの機能モード	12	<b>11 メカニカル、パッケージ、および注文情報</b> .....	31

## 4 ピン構成および機能

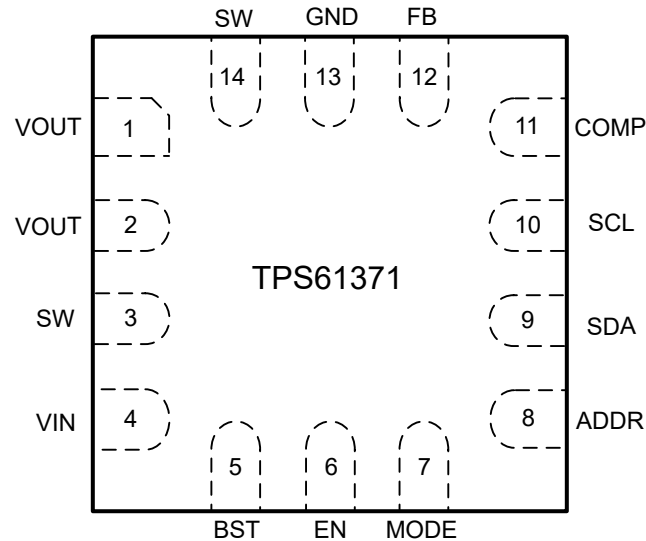


図 4-1. VAR パッケージ、14 ピン WQFN-HR (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
番号	名称		
1, 2	VOUT	PWR	昇圧コンバータ出力
3, 14	SW	PWR	コンバータのスイッチング ノード ピン。このピンは内部ローサイド FET のドレインおよび内部ハイサイド FET のソースに接続されます。ピン 3 およびピン 14 の SW は、相互に接続する必要があります。また、インダクタをピン 3 SW の近くに配置します
4	VIN	I	IC 電源入力
5	BST	O	ハイサイド FET ゲートドライブ用電源。このピンと SW ピンの間には、コンデンサを接続する必要があります。
6	EN	I	イネーブル論理入力。ロジック Low レベルでは、デバイスの出力は無効になります。ロジック High レベルかつ CONVERTER_EN = 1 の場合、デバイスの出力が有効になります。
7	モード	I	動作モード選択ピン。 MODE = High: デバイスは強制 PWM モードに移行し、FPWM ビットが MODE = Low に設定されている内容に関係なく、負荷範囲全体にわたってスイッチング周波数を一定に維持します。デバイスの動作モードは FPWM ビット (ビット = 0: 自動 PFM モード、ビット = 1: FPWM モード)。
8	ADDR	I	I <sup>2</sup> C ターゲット アドレス設定ピン。表 6-2 も参照してください。
9	SDA	I/O	I <sup>2</sup> C シリアル インターフェイス データ。このピンを抵抗器で I <sup>2</sup> C バス電圧まで引き上げます。
10	SCL	I	I <sup>2</sup> C シリアル インターフェイス クロック入力。このピンを抵抗器で I <sup>2</sup> C バス電圧まで引き上げます。
11	COMP	O	内部のエラー アンプの出力。ループ補償ネットワークは、このピンと GND の間に接続する必要があります。
12	FB	I	出力電圧帰還。このピンに接続された抵抗分圧回路により、デフォルトの出力電圧が設定されます。
13	GND	—	グラウンド

(1) PWR = 電源、I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
ピンでの電圧範囲 <sup>(2)</sup>	BST	-0.3	SW + 6	V
ピンでの電圧範囲 <sup>(2)</sup>	SW、VOUT	-0.3	19	V
ピンでの電圧範囲 <sup>(2)</sup>	VIN、EN、COMP、FB、MODE、ADDR、SDA、SCL	-0.3	6	V
動作時の接合部温度、T <sub>J</sub>		-40	150	°C
保管温度、T <sub>stg</sub>		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグラウンドを基準としたものです。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub> <sup>(1)</sup>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(2)</sup>	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(3)</sup>	±500

- (1) 静電気放電 (ESD) 定格は、組み立てラインでデバイスに生じる静電気放電に対するデバイスの耐性を測定します。
- (2) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。
- (3) 上記に記載されているレベルは、ANSI/ESDA/JEDEC JS-002 に準拠した許容レベルです。JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

		最小値	公称値	最大値	単位
V <sub>IN</sub>	入力電圧	2.7		5.5	V
V <sub>OUT</sub>	出力電圧	5		16	V
T <sub>J</sub>	動作時接合部温度	-40		125	°C

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS61371	TPS61371	単位
		VAR-14 ピン	VAR-14 ピン	
		標準	EVM <sup>(2)</sup>	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	75.44	55.81	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	46.38	該当なし	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	25.04	該当なし	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	1.75	3.8	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	25.1	26.58	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。  
(2) TPS61371EVM、4 層、2oz 銅 60mm x 47mm PCB で測定。

## 5.5 電気的特性

特に記述がない限り、V<sub>IN</sub> = 2.7V ~ 5.5V、V<sub>OUT</sub> = 5V ~ 16V、T<sub>J</sub> = -40°C ~ 125°C、標準値は T<sub>J</sub> = 25°C での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電源</b>						
V <sub>IN</sub>	入力電圧範囲		2.7		5	V
V <sub>IN_UVLO</sub>	入力電圧低電圧誤動作防止 (UVLO) スレッシュホールド、立ち上がり	V <sub>OUT</sub> = 12V、T <sub>J</sub> = -40°C ~ 12°C		2.55	2.7	V
	入力電圧低電圧誤動作防止 (UVLO) スレッシュホールド、立ち下がり			2.40	2.5	V
V <sub>POR_UVLO</sub>	正方向の POR スレッシュホールド電圧	V <sub>OUT</sub> = 12V、T <sub>J</sub> = -40°C ~ 125°C	1.73	2.0	2.28	V
V <sub>POR_UVLO</sub>	負方向の POR スレッシュホールド電圧	V <sub>OUT</sub> = 12V、T <sub>J</sub> = -40°C ~ 125°C	1.65	1.90	2.16	V
V <sub>POR_UVLO</sub>	POR スレッシュホールド電圧ヒステリシス	V <sub>OUT</sub> = 12V、T <sub>J</sub> = -40°C ~ 125°C		100		mV
I <sub>Q_VIN</sub>	VIN ピンへの静止電流	IC イネーブル、スイッチングなし、V <sub>IN</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = 5V ~ 16V、T <sub>J</sub> = -40°C ~ 85°C		125	165	μA
I <sub>Q_VOUT</sub>	VOUT ピンへの静止電流	IC イネーブル、スイッチングなし、V <sub>IN</sub> = 2.7V、V <sub>OUT</sub> = 5V ~ 16V、T <sub>J</sub> = -40°C ~ 85°C		10	26	μA
I <sub>SD_VIN</sub>	VIN および GND からのシャットダウン電流	V <sub>IN</sub> = 2.7V ~ 5.5V、V <sub>OUT</sub> = SW = 0V、EN = 0、T <sub>J</sub> = -40°C ~ 85°C		0.85	2.5	μA
I <sub>SD_VIN</sub>	VIN および GND からのシャットダウン電流	V <sub>IN</sub> = 3.3V、V <sub>OUT</sub> = SW = 0V、EN = 0、T <sub>J</sub> = -40°C ~ 85°C		0.85	1.5	μA
I <sub>SD_SW</sub>	SW から GND および VOUT へのシャットダウン電流	SW = V <sub>IN</sub> = 3.3V、V <sub>OUT</sub> = 0V、EN = 0、T <sub>J</sub> = -40°C ~ 85°C		0.01	2	μA
<b>出力電圧</b>						
V <sub>OUT</sub>	出力電圧範囲		4.5		16	V
V <sub>REF</sub>	FB ピンでのリファレンス電圧		0.324		0.959	V
V <sub>REF</sub>	FB ピンでの最小リファレンス電圧		0.319	0.324	0.329	V
V <sub>REF</sub>	FB ピンでの最大リファレンス電圧		0.944	0.959	0.974	V
V <sub>REF</sub>	FB ピンでのデフォルトリファレンス電圧		0.585	0.594	0.603	V
	自動 PFM モード Vref = デフォルト	V <sub>IN</sub> = 4V、V <sub>OUT</sub> = 12V、T <sub>J</sub> = 25°C		1.016		Vref
I <sub>FB_LKG</sub>	FB ピンへのリーク電流				30	該当なし
V <sub>REF_SLEW</sub>	Reference_Slew Rate	ビット = 0	3.366	3.96	4.554	mV/10uS
V <sub>REF_SLEW</sub>	Reference_Slew Rate	ビット = 1	5.61	6.60	7.59	mV/10uS
R <sub>DISCHARGE</sub>	出力放電抵抗	EN_DISCH_VOUT_R Bit = 01	80	100	120	Ω
R <sub>DISCHARGE</sub>	出力放電抵抗	EN_DISCH_VOUT_R Bit = 10	240	300	360	Ω
<b>パワー スイッチ</b>						
T <sub>DISCHARGE</sub>	出力放電遅延時間	0x01[4:3] = 00	35	50	70	μs
T <sub>DISCHARGE</sub>	出力放電遅延時間	0x01[4:3] = 01	70	100	140	μs
T <sub>DISCHARGE</sub>	出力放電遅延時間	0x01[4:3] = 10	105	150	210	μs
T <sub>DISCHARGE</sub>	出力放電遅延時間	0x01[4:3] = 11	140	200	280	μs
R <sub>DS(on)</sub>	ローサイド FET オン抵抗	V <sub>IN</sub> = 3.3V、V <sub>OUT</sub> = 12V、T <sub>J</sub> = 25°C		35		mΩ
	ハイサイド + 切断 FET オン抵抗	V <sub>IN</sub> = 3.3V、V <sub>OUT</sub> = 12V、T <sub>J</sub> = 25°C		106		mΩ
<b>電流制限</b>						

## 5.5 電気的特性 (続き)

特に記述がない限り、 $V_{IN} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^\circ C \sim 125^\circ C$ 、標準値は  $T_J = 25^\circ C$  での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{LIM}$	電流制限 (自動 PFM)	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	3.4	3.8	4.3	A
	電流制限 (強制 PWM)	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	3.28	3.6	4.0	A
<b>EN, MODE, SDA, SCL, ADDR LOGICS</b>						
$V_{IH}$	EN, MODE ピンの High レベル入力電圧				1.2	V
$V_{IL}$	EN, MODE ピンの Low レベル出力電圧		0.4			V
$V_{HYS}$	EN, MODE ピンのヒステリシス			100		mV
$V_{IH}$	ADDR, SDA, SCL ピンの High レベル入力電圧				1.2	V
$V_{IL}$	ADDR, SDA, SCL ピンの Low レベル入力電圧		0.4			V
$T_{DEGLITCH}$	EN, MODE グリッチ除去時間立ち上がり / 立ち下がり	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$		13		$\mu s$
$R_{PD}$	EN, モードプルダウン抵抗	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$		800		k $\Omega$
<b>キャパクタの切り替え</b>						
$f_{SW}$	スイッチ周波数	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 12V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	1.2	1.5	1.7	MHz
$f_{SW\_FOLD}$	スイッチ周波数フォールドバック	$V_{IN} = 3.3V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	470	535	600	kHz
$V_{FSW\_LOW}$	Fsw フォールドバックのスレッシュホールド (1.5 MHz 通常)	$V_{IN} = 3.3V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	15%	20%	25%	%
$V_{FSW\_LOW\_HSV}$	FSW フォールドバックのヒステリシス	$V_{IN} = 3.3V$ 、 $T_J = 25^\circ C$		150		mV
<b>TIMING</b>						
$t_{ON\_MIN}$	最小オン時間	$V_{IN} = 3.3V$ 、 $T_J = -40^\circ C \sim 125^\circ C$		75	95	ns
$t_{SS}$	ソフトスタート時間	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$	1.2	1.5	1.8	ms
$t_{SCP}$	SCP グリッチ除去時間	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$		135		$\mu s$
<b>エラー アンプ</b>						
$V_{COMP}$	COMP 出力の高電圧 自動 PFM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$ 、 $V_{FB} = V_{REF} - 200mV$		1.4		V
	COMP 出力 High 電圧、強制 PWM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$ 、 $V_{FB} = V_{REF} - 200mV$		1.5		V
$V_{COMPL}$	COMP 出力の低電圧、自動 PFM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$ 、 $V_{FB} = V_{REF} + 200mV$		0.8		V
	COMP 出力 Low 電圧、強制 PWM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$ 、 $V_{FB} = V_{REF} + 200mV$		0.6		V
$G_m$	エラー アンプのトランスコンダクタンス	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^\circ C$		175		$\mu s$
$I_{SINK\_EA}$	COMP のシンク電流	$V_{IN} = 3.3V$ 、 $V_J = 25^\circ C$ 、 $V_{FB} = V_{REF} + 200mV$		20		$\mu A$
$I_{SOURCE\_EA}$	COMP のソース電流	$V_{IN} = 3.3V$ 、 $V_J = 25^\circ C$ 、 $V_{FB} = V_{REF} - 200mV$		20		$\mu A$
<b>PROTECTION</b>						
$V_{REF\_OVP}$	リファレンス過電圧保護	$V_{IN} = 2.7V \sim 5.5V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	1.20	1.25	1.30	Vref
$V_{OUT\_OVP}$	出力過電圧保護スレッシュホールド	$V_{IN} = 2.7V \sim 5.5V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	16.5	17.3	18	V
<b>熱特性</b>						
$T_{SD}$	サーマル シャットダウンのスレッシュホールド	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$		150		C
$T_{SD\_HYS}$	サーマル シャットダウン ヒステリシス	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$		20		C

## 5.6 I2C のタイミング要件

$T_J = -40^\circ C \sim 150^\circ C$ 、 $V_{CC} = 5V$ 。標準値は  $T_J = 25^\circ C$  時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>I2C TIMING</b>						
$f_{SCL}$	SCL クロック周波数		100		1000	kHz
$t_{BUF}$	STOP 条件と START 条件の間のバスフリー時間	ファスト モード プラス	0.5			$\mu s$
$t_{HD(STA)}$	(繰り返し) START 条件のホールド時間		260			ns
$t_{LOW}$	SCL クロックの Low 期間		0.5			$\mu s$

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{CC} = 5\text{V}$ 。標準値は  $T_J = 25^{\circ}\text{C}$ 時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{HIGH}}$	SCL クロックの High 期間		260			ns
$t_{\text{SU(STA)}}$	反復開始条件のセットアップ時間		260			ns
$t_{\text{SU(DAT)}}$	データ セットアップ時間		50			ns
$t_{\text{HD(DAT)}}$	データ ホールド時間		0			$\mu\text{s}$
$t_{\text{RCL}}$	SCL 信号の立ち上がり時間				120	ns
$t_{\text{RCL1}}$	START 条件の繰り返し、および ACK ビット後の SCL 信号の立ち上がり時間				120	ns
$t_{\text{FCL}}$	SCL 信号の立ち下がり時間				120	ns
$t_{\text{RDA}}$	SDA 信号の立ち上がり時間				120	ns
$t_{\text{FDA}}$	SDA 信号の立ち下がり時間				120	ns
$t_{\text{SU(STO)}}$	STOP 条件のセットアップ時間		260			ns
$C_B$	SDA および SCL の容量性負荷				200	pF

## 5.7 代表的特性

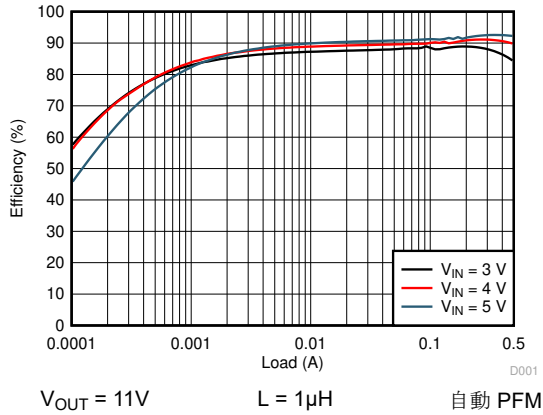


図 5-1. 代効率と負荷との関係

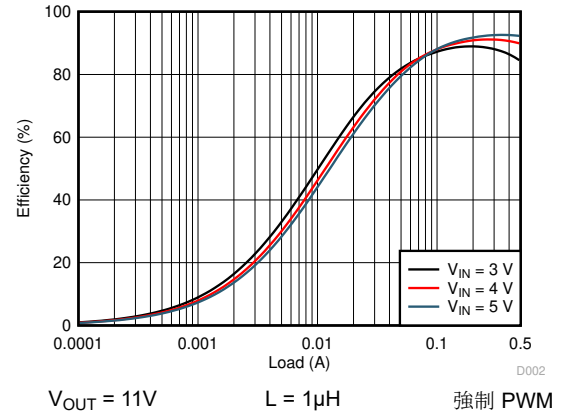


図 5-2. 代効率と負荷との関係

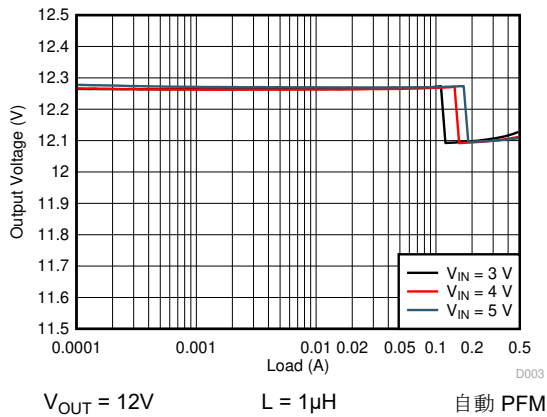


図 5-3. ロードレギュレーション

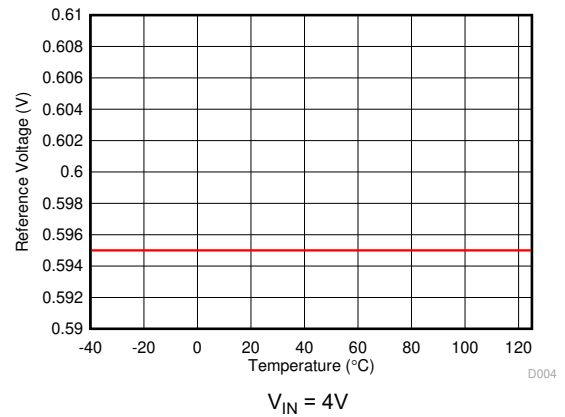


図 5-4. 基準電圧と温度との関係

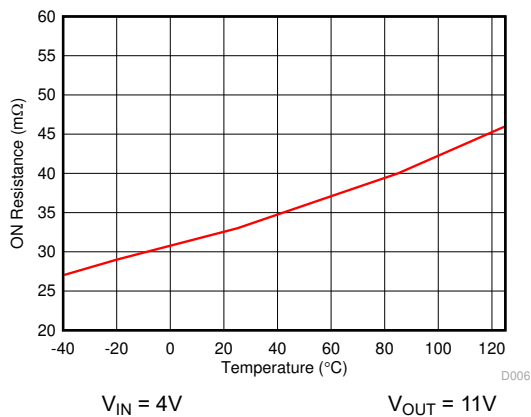


図 5-5. ローサイド  $R_{DS(on)}$  と温度との関係

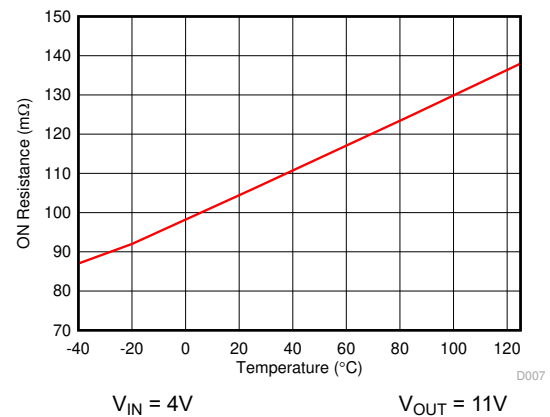


図 5-6. ハイサイド  $R_{DS(on)}$  と温度との関係



## 6.3 機能説明

### 6.3.1 低電圧誤動作防止

低電圧誤動作防止 (UVLO) 回路により、バッテリーの低入力電圧時に、過剰な放電によるデバイスの誤動作を防止します。デバイスは、立ち上がり  $V_{IN}$  が UVLO スレッショルドに達した時点で動作を開始できるようになり、 $V_{IN}$  が UVLO 立ち下がりスレッショルドを下回ると、コンバータの出力段がディセーブルになります。

I<sup>2</sup>C プログラミング インターフェイスのステータスは、 $V_{IN}$  によってのみ決定されます。すなわち、EN ピンおよび CONVERTER\_EN の状態に関係なく適用されます。

- I<sup>2</sup>C プログラミング インターフェイスは、 $V_{IN}$  が UVLO より高い後にアクティブになります。
- プログラミング インターフェイスは非アクティブで、すべての I<sup>2</sup>C レジスタはクリアされ、 $V_{IN}$  が UVLO を下回った後、デフォルト値にリセットされます。

### 6.3.2 イネーブルおよびディセーブル

入力電圧が UVLO スレッショルドを上回っている場合、EN ピンおよび CONVERTER\_EN レジスタ ビットの両方によって出力状態が決まります。CONVERTER\_EN ビットのデフォルト値は 1 です。設定の詳細については、表 6-1 を参照してください。

表 6-1. EN 構成表

VIN	外部 EN ピン	CONVERTER_EN	デバイスの状態	出力状態
UVLO 未満	x	x	デバイスは無効	出力なし
UVLO 以上	低	0	I <sup>2</sup> C プログラミング インターフェイス有効	出力なし
UVLO 以上	低	1	I <sup>2</sup> C プログラミング インターフェイス有効	出力なし
UVLO 以上	High	0	I <sup>2</sup> C プログラミング インターフェイス有効	出力なし
UVLO 以上	High	1	デバイスはアクティブ	出力イネーブル

### 6.3.3 出力電圧設定

出力電圧を調整する方法は 2 つあります。フィードバック抵抗分圧回路を変更する方法と、リファレンス電圧を変更する方法です。

- 外部の出力電圧フィードバック抵抗分圧回路を使用する場合、FB ピンにおける基準電圧  $V_{ref}$  を用いて、式 1 により出力電圧を計算します。

$$V_{OUT} = V_{ref} \times \left( 1 + \frac{R_{UP}}{R_{DOWN}} \right) \quad (1)$$

- TPS61371 には、 $V_{ref}$  を I<sup>2</sup>C 制御で調整するための 7 ビット DAC が搭載されています。調整可能な  $V_{ref}$  の範囲は 0.324V ~ 0.959V で、最小ステップは 5mV です。デフォルトの  $V_{ref}$  は 0.594V です。VREF の詳細設定については、表 7-5 を参照してください。

VO\_Falling 放電ビットが有効な場合、出力にダミーの 100Ω 抵抗負荷が追加されます。これにより、無負荷時でも出力電圧の立ち上がりおよび立ち下がりのスルーレートが同一になります。出力電圧が新しい目標値に達すると、放電抵抗は自動的に取り除かれます。

### 6.3.4 リファレンス電圧スルーレート

ユーザーは、I<sup>2</sup>C インターフェイスを介してリファレンス電圧を調整することで、出力電圧を設定できます。2 つの  $V_{ref}$  スルーレートが利用可能で、CONTROL レジスタの REFERENCE\_SLEW\_RATE ビットで制御されます。

- REFERENCE\_SLEW\_RATE = 0 の場合、 $V_{ref}$  スルーレート = 3.96mV/10μs
- REFERENCE\_SLEW\_RATE = 1 の場合、 $V_{ref}$  スルーレート = 6.60mV/10μs

REFERENCE\_SLEW\_RATE のデフォルト値は 0 です。

$V_{ref}$  を調整して  $V_{OUT}$  を変更すると、実際の  $V_{OUT}$  スルーレートは  $V_{ref}$  スルーレートだけでなく、出力コンデンサ、負荷電流、およびループ応答速度の影響を受けます。

### 6.3.5 エラー アンプ

TPS61371 には相互コンダクタンス アンプが内蔵されており、帰還電圧を内部基準電圧 (または起動フェーズでは内部ソフトスタート電圧) と比較します。エラー アンプの相互コンダクタンス標準値は  $175\mu A/V$  です。ループ補償部品は COMP 端子とグラウンドとの間に配置され、ループ安定性と応答速度を最適化します。

### 6.3.6 ブートストラップ電圧 (BST)

TPS61371 デバイスにはブートストラップ レギュレータが内蔵されており、ハイサイド FET のゲート駆動電圧を供給するために、BST ピンと SW ピンの間に小さなセラミック コンデンサが必要です。この セラミック コンデンサの推奨値は  $20nF \sim 200nF$  です。

### 6.3.7 負荷切断

TPS61371 には負荷切断機能があり、シャットダウンまたは故障状態時には出力が入力から完全に切断されます。

### 6.3.8 出力放電

TPS61371 は、EN ピンがロジック Low レベルの場合、または CONVERTER\_EN ビットが 0 に設定されている場合、あるいは VIN\_UVLO がトリガされた場合に、出力を迅速に放電するための抵抗性経路を提供します。この機能により、VOUT は内部抵抗を介してグラウンドに接続され、出力が「フローティング」状態になったり、不定状態に入るのを防ぎます。出力放電機能により、電源のオン / オフのシーケンスがスムーズになります。このデバイスを電力多重化などの用途で使用する場合は、出力放電機能に注意してください。出力放電回路により、マルチプレクサ出力とグラウンドの間に一定の電流経路が形成されるためです。

出力放電は、DISCHARGE\_VOUT として指定された 2 つのビットによって制御されます。出力放電は、2 つの異なる放電抵抗を使用してディスエーブルまたはイネーブルにできます。DISCHARGE\_VOUT ビットのデフォルト値は 0b00 であり、これは放電機能が無効であることを意味します。詳細な I<sup>2</sup>C 設定については、表 7-3 内の DISCHARGE\_VOUT ビットの項目を参照します。

4 種類の出力放電遅延時間が用意されており、CONTROL レジスタ内の DISCHARGE DELAY TIME ビットによって制御されます。

- 放電遅延時間 = 00 のとき、遅延時間 =  $50\mu s$
- 放電遅延時間 = 01 のとき、遅延時間 =  $150\mu s$
- 放電遅延時間 = 10 のとき、遅延時間 =  $100\mu s$
- 放電遅延時間 = 11 のとき、遅延時間 =  $200\mu s$

DISCHARGE DELAY TIME のデフォルト値は 00 です。

### 6.3.9 過電圧保護

TPS61371 はラッチ FB 過電圧保護を備えています。FB ピンの電圧が  $1.25 \times V_{REF}$  (標準値) を超えると、TPS61371 はグリッチ除去時間 (標準値  $2\mu s$ ) 後に EN ロジックまたは VIN\_UVLO がリセットされるまで、スイッチングを停止します。

I<sup>2</sup>C で出力を High ターゲットから Low ターゲットに変更すると、ラッチ FB 過電圧保護検出がブロックされます。

TPS61371 は、ラッチ固定過電圧保護機能も備えています。出力電圧が過電圧保護スレッショルド (標準値  $17.3V$ ) を超えると、EN ロジックまたは VIN\_UVLO がリセットされるまで、TPS61371 はスイッチングを直ちに停止します (グリッチ除去時間なし)。この機能により、デバイスが過電圧から保護され、過剰な過電圧の出力に接続されている回路が保護されます。

### 6.3.10 サーマル シャットダウン

過熱および消費電力による損傷を防止するため、サーマル シャットダウンが実装されています。一般に、サーマル シャットダウンは、接合部温度が 150°C (標準値) を超える場合に発生します。サーマル シャットダウンがトリガされると、デバイスはスイッチングを停止し、接合部温度が 130°C (標準値) を下回ると回復します。

### 6.3.11 スタートアップ

TPS61371 はソフト スタート機能により、スタートアップ時の突入電流が低減されます。TPS61371 は、EN ピンが High になるとソフトスタートを開始します。スタートアップ手順には 2 つのフェーズがあります。

- $V_{OUT}$  が  $V_{IN}$  の 120% 未満になると、出力電圧はスイッチング周波数 535kHz (標準値) で上昇します。
- $V_{OUT}$  が  $V_{IN}$  の 120% を超えると、スイッチング周波数が標準 1.5MHz に変化し、出力電圧が設定点まで上昇します。

### 6.3.12 マイクロ短絡保護:

TPS61371 は、ラッチ出力短絡保護機能を備えています。135 $\mu$ s 電流制限期間がトリガされ、 $V_{OUT}$  が 105% の  $V_{IN}$  を下回ると、EN ロジックまたは  $V_{IN\_UVLO}$  がリセットされるまで、TPS61371 はスイッチングを直ちに停止します。図 6-1 を参照してください。

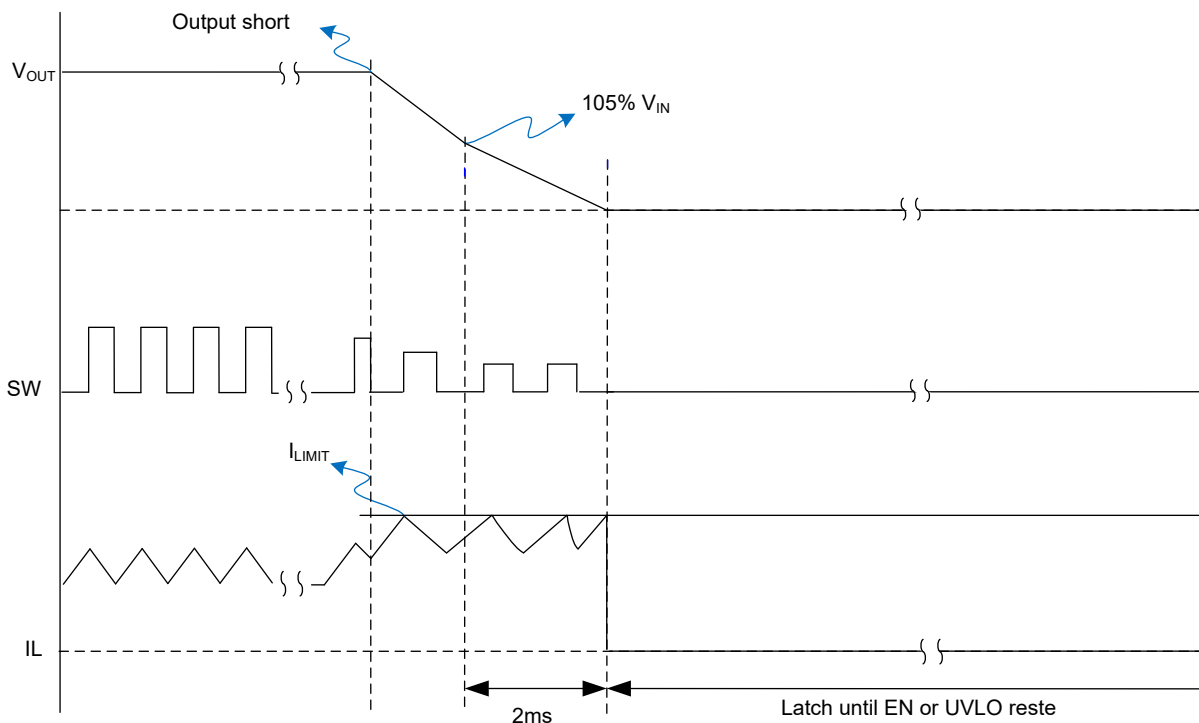


図 6-1. 短絡保護動作

## 6.4 デバイスの機能モード

### 6.4.1 動作

軽負荷の状況では、TPS61371 は自動 PFM または強制 PWM に構成できます。自動 PFM 動作では、軽負荷時にスイッチング周波数が低下し、より高い効率を実現しますが、強制 PWM 動作では、負荷範囲全体にわたって周波数が一定に保たれます。

### 6.4.2 自動 PFM モード

TPS61371 は、軽負荷時にパルス周波数変調 (PFM) による省電力モードを内蔵しています (MODE ピンをロジック Low レベルに設定し、FPWM ビットを 0 に設定します)。このデバイスはスイッチング サイクルをスキップし、出力電圧をよ

り高いスレッショルド (通常は  $101.6\% \times V_{OUT\_NORM}$ ) にレギュレートします。図 6-2 に、PFM の動作原理を示します。自動 PFM モードでは、軽負荷の状況で平均スイッチング周波数を下げることにより、スイッチング損失を減らし、効率を向上できます。

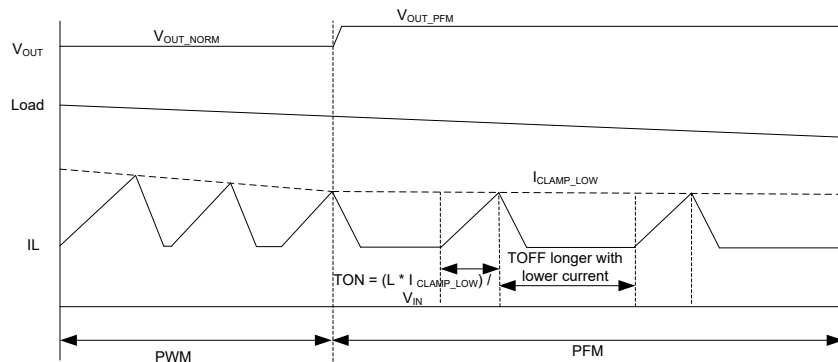


図 6-2. 自動 PFM 動作時の動作

### 6.4.3 強制 PWM モード

TPS61371 は、強制 PWM モードでになり、負荷範囲全体にわたってスイッチング周波数が一定に維持されます。負荷電流が減少すると、内部エラー アンプの出力も減少し、インダクタのピーク電流が減少して電力供給も減少します。たとえ FET を流れる電流が負になっても、ハイサイド FET はオフにならず、スイッチング周波数は重負荷と同じに保たれます。

### 6.4.4 モード選択可能

TPS61371 を 2 種類の動作モードに構成するための MODE ピンを備えています。MODE ピンが High レベルの場合、デバイスは Forced PWM モードで動作します。MODE ピンが Low レベルにプルされている場合、動作モードは CONTROL レジスタ内の FPWM ビットに依存します。I<sup>2</sup>C の詳細設定については、表 7-3 の FPWM ビットも参照します。

## 6.5 プログラミング

### 6.5.1 シリアル インターフェイスの説明

I<sup>2</sup>C は、Philips Semiconductor (現 NXP Semiconductors) 『NXP Semiconductors、UM10204–I<sup>2</sup>C-Bus 仕様およびユーザー マニュアル』を参照) が開発した 2 線式シリアル インターフェイスです。バスは、プルアップ構造を持つデータライン (SDA) とクロックライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I<sup>2</sup>C 対応デバイスはすべて、オープンドレイン I/O ピン、SDA、SCL を介して I<sup>2</sup>C バスに接続します。通常は、マイクロコントローラまたはデジタル信号プロセッサである制御装置がバスを制御します。制御装置は、SCL 信号とデバイス アドレスを生成する役割を担っています。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ターゲット デバイスは、コントローラ デバイスの制御下でバス上のデータを受信し、送信します。

このデバイスはターゲットとして動作し、I<sup>2</sup>C バス仕様で定義されている次のデータ転送モードをサポートしています。

- スタンダード モード (100Kbps)
- 高速モード (400Kbps)
- 高速モード プラス (1Mbps)

このインターフェイスにより、電源設計の柔軟性が向上し、ほとんどの機能を瞬時のアプリケーション要件に応じて新しい値にプログラムできます。電源電圧が  $V_{IT+(POR)}$  を上回っている限り、レジスタの内容はそのまま維持されます。

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、この文書ではこのプロトコルを F/S モードと呼びます。この装置は 7 ビットのアドレス指定に対応しています。10 ビットのアドレス指定および一般呼出しアドレスには対応していません。デバイスの 7 ビット アドレスは、ADDR ピンでプログラムできます。

デバイスの I<sup>2</sup>C 機能が正しくリセットされていることを確認するため、TI は、SDA および SCL プルアップ電圧の初期電源投入後、I<sup>2</sup>C コントローラが I<sup>2</sup>C バス上で停止条件を開始することを勧めています。

### 6.5.2 Standard-Mode, Fast-Mode, Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することでデータ転送を開始します。図 6-3 で示されているように、SCL がハイの状態 で SDA ラインにハイからローへの遷移が発生すると、スタート条件となります。すべての I<sup>2</sup>C 互換デバイスは、スタート条件を認識します。

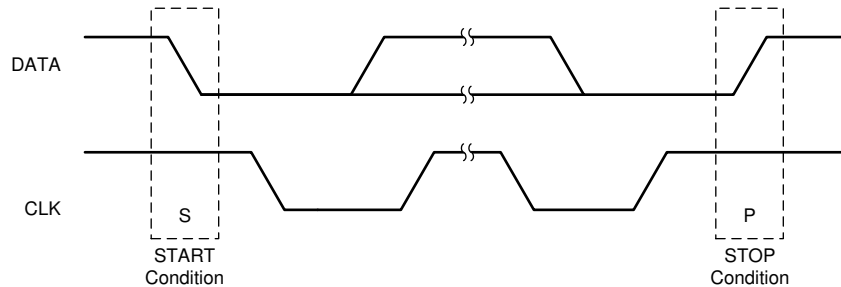


図 6-3. 開始条件と停止条件

その後、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り書き込み方向ビット R/W を SDA ラインに送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、クロックパルスのハイ期間全体にわたって SDA ラインが安定している必要があります(図 6-4 を参照)。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 番目の SCL サイクルのハイ期間全体にわたって SDA ラインをローにすることで、アクノリッジ(図 6-5 を参照)を生成します。この確認を検出すると、コントローラはターゲットとの通信リンクが確立されたことを認識します。

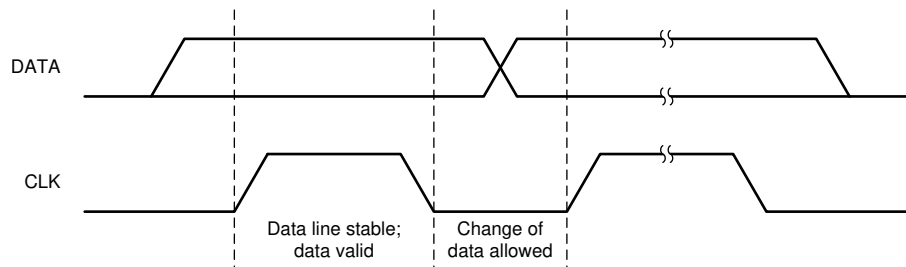


図 6-4. シリアル インターフェイスでのビット転送

コントローラは、ターゲットにデータを送信する(R/W ビット 1)か、ターゲットからデータを受信する(R/W ビット 0)ために、さらに SCL サイクルを生成します。どちらの場合も、トランスミッタから送信されたデータに対してレシーバがアクノリッジを返す必要があります。確認応答信号は、コントローラまたはターゲットのどちらが受信者であるかによって、コントローラまたはターゲットのどちらかによって生成されます。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータシーケンスを、必要なだけ続けることができます。

データ転送の終了を通知するために、コントローラは SCL ラインがハイの状態 で SDA ラインをローからハイに引き上げることでストップ条件を生成します(図 6-3 を参照)。SCL が高レベルのときに SDA ラインが低レベルから高レベルに遷移すると、バスが解放され、指定されたターゲットとの通信リンクが停止します。すべての I<sup>2</sup>C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、すべてのデバイスはバスが解放されたことを認識し、スタート条件および一致するアドレスが送信されるのを待ちます。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、00h が読み出されます。

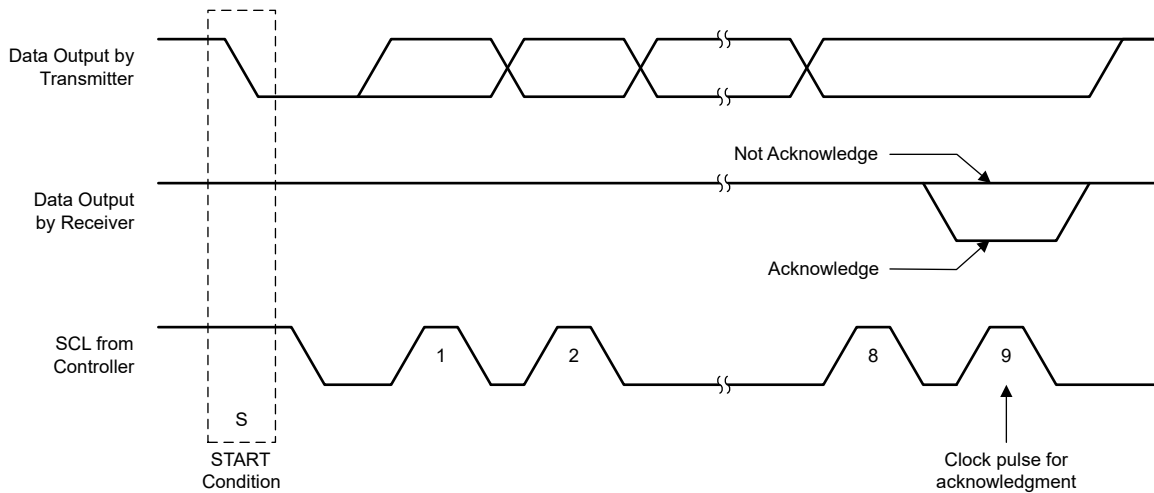


図 6-5. I<sup>2</sup>C バスのアクトリッジ

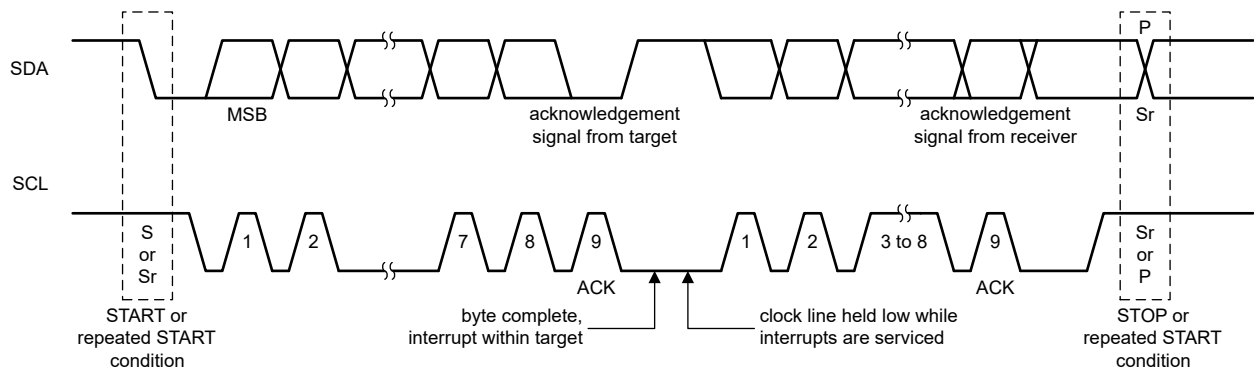


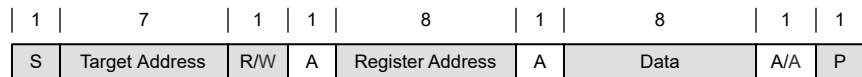
図 6-6. バス プロトコル

### 6.5.3 I<sup>2</sup>C 更新シーケンス

1 回の更新では、次のものがが必要です。

- 開始条件
- 有効な I<sup>2</sup>C ターゲット アドレス
- レジスタ アドレス
- データ バイト

各バイトの受信を確認するために、デバイスは単一のクロック パルスの High 期間中に SDA ラインを Low にします。デバイスは、最後のバイトに続く確認応答信号の立ち下がりエッジで更新を実行します。



From controller to target

From target to controller

A = Acknowledge (SDA low)

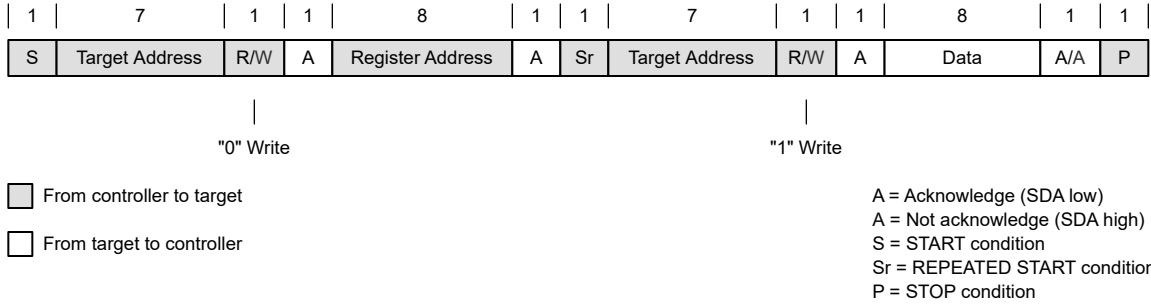
A = Not acknowledge (SDA high)

S = START condition

Sr = REPEATED START condition

P = STOP condition

図 6-7. 標準、高速、高速プラスの各モードにおける「書き込み」データ転送フォーマット



**図 6-8. 標準、高速、高速プラスモードにおけるデータ転送フォーマットの「読み取り」**

### 6.5.4 I<sup>2</sup>C ターゲット アドレス

#### 6.5.4.1 I<sup>2</sup>C ターゲット アドレスの説明

ADDR ピンを High、フローティング、Low の 3 つの異なる状態に設定すると、TPS61371 の 3 つの I<sup>2</sup>C ターゲットアドレスを構成できます: 0x72、0x73、または 0x74。表 6-2 に、ADDR ピンの詳細な状態と、対応する I<sup>2</sup>C ターゲットアドレスを示します。

**表 6-2. I<sup>2</sup>C ターゲット アドレス**

ADDR ピンの状態	ADDR ピンの電圧	I <sup>2</sup> C ターゲット アドレス
High	1.2V ~ 5.5V	0x72
フローティング		0x73
低	GND ~ 0.4V	0x74

## 7 レジスタ マップ

### 7.1 レジスタの説明

#### 7.1.1 レジスタ マップ

表 7-1. レジスタ マップ

アドレス	略称	レジスタ名	セクション
0x01	制御	制御レジスタ	<a href="#">表示</a>
0x02	VOUT	VOUT レジスタ	<a href="#">表示</a>

#### 7.1.2 レジスタ CONTROL (レジスタ アドレス : 0x01、デフォルト : 0x01)

[レジスタ マップ](#)に戻る

表 7-2. レジスタ CONTROL のフォーマット

7	6	5	4	3	2	1	0
NIL[1:0]	FPWM	リファレンス スルー レート	放電遅延時間		DISCHARGE_VOUT		CONVERTER_EN
R	R/W	R/W	R/W		R/W		R/W

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-3. レジスタ CONTROL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NIL[1:0]	R	0b00	未使用。 書き込み動作中、これらのビットのデータは無視されます。読み出し操作中は 0 が返されます
6	FPWM	R/W	0b0	デバイスの作業モードを設定します (MODE ピンと OR 接続) 0: MODE ピンがロジック Low の場合、自動 PFM モード。 1: MODE ピンがロジック Low の場合、強制 PWM モード。 MODE ピンが High レベルの場合、デバイスは常に Forced PWM モードで動作します
5	リファレンス スルーレ ート	R/W	0b0	Vref スルーレート 0: スルーレート 0、3.96mV/10 $\mu$ s 1: スルーレート 1、6.60mV/10 $\mu$ s
4:3	放電遅延時間	R/W	0b00	VOUT 放電の遅延時間 00: 50 $\mu$ s 01: 100 $\mu$ s 10: 150 $\mu$ s 11: 200 $\mu$ s
2:1	DISCHARGE _VOUT	R/W	0b00	VOUT 放電抵抗を設定します 00: 無効化 01: 100 $\Omega$ 10 または 11: 300 $\Omega$
0	CONVERTER_EN	R/W	0b1	コンバーターを有効にする (EN ピンと AND 接続) 0: 無効化 1: イネーブル

### 7.1.3 レジスタ VOUT (レジスタ アドレス : 0x02、デフォルト : 0x36)

[レジスタ マップに戻る](#)

表 7-4. レジスタ VOUT フォーマット

7	6	5	4	3	2	1	0	
VO_Falling 放電	Vref[6:0]							
R/W	R/W							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-5. レジスタ VOUT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VO_Falling 放電	R/W	0b0	VO_Falling 放電設定ビット。 0:無効化 1:ENABLE (放電抵抗 100Ω)
6:0	Vref[6:0]	R/W	0x36	これらのビットは、リファレンス電圧を設定します リファレンス電圧 = 0.324V + Vref[6:0] × 0.005V

## 8 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

TPS61371 は、同期整流式昇圧コンバータです。以下の設計手順を使用して TPS61371 の部品値を選択できます。ここでは、設計手順について簡単に説明します。

### 8.2 代表的なアプリケーション

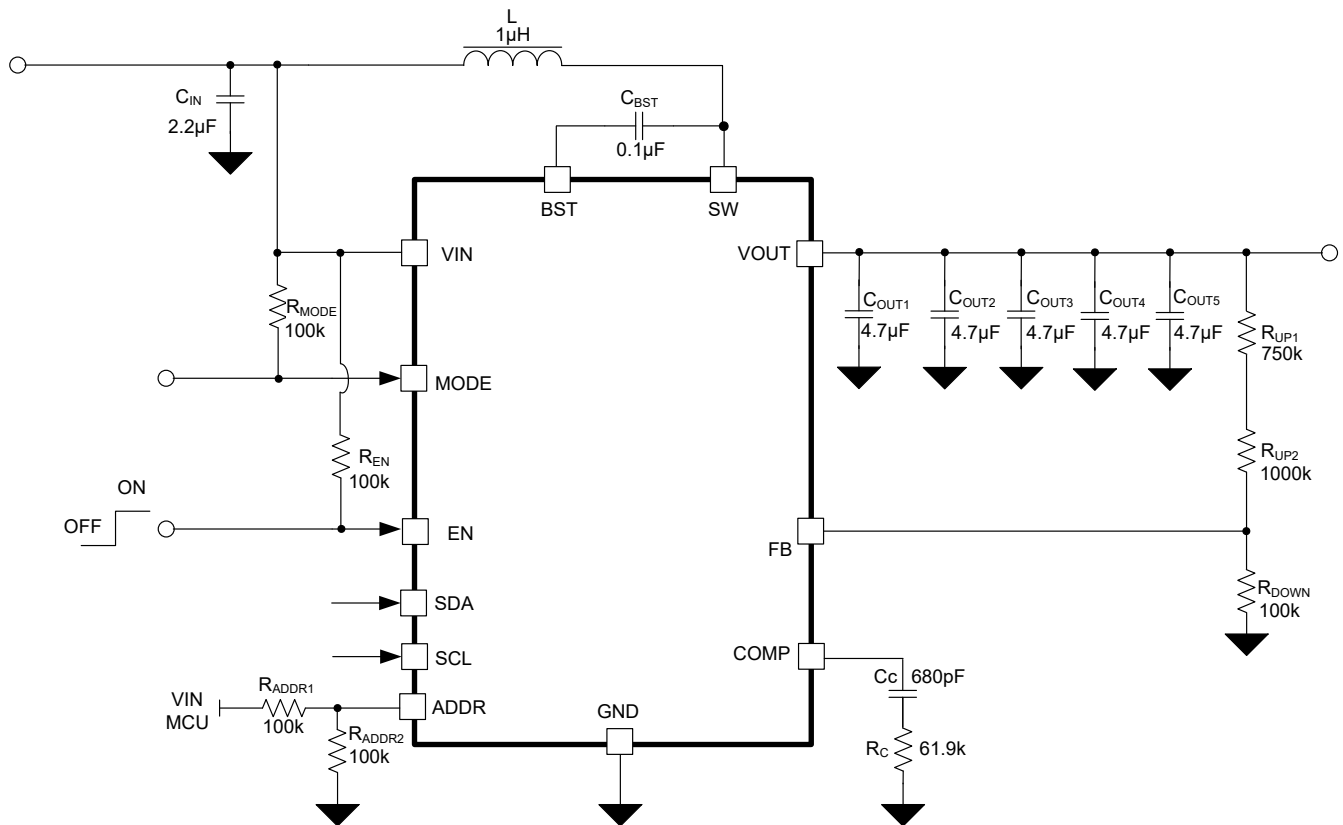


図 8-1. TPS61371 11V 出力 (負荷切断機能付き) の回路図

## 8.2.1 設計要件

この設計の例では、入力パラメータとして表 8-1 を使用しています。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲	3V ~ 5V
出力電圧	11V
出力リップル電圧	±3%
出力電流	0.6A
動作周波数	1.5MHz

## 8.2.2 詳細な設計手順

### 8.2.2.1 出力電圧の設定

TPS61371 の出力電圧は、分圧抵抗回路を使用して外部で調整可能です。出力電圧と抵抗デバイダの関係を計算するには、式 1 を使用します。

ここで、

- $V_{OUT}$  は出力電圧です。
- $R_{UP}$  は 上部の分圧抵抗です
- $R_{DOWN}$  は、下側の分圧抵抗です

最良の精度を得るために、TI は  $R_{DOWN}$  を約 100k $\Omega$  とすることを推奨しています。これは、 $R_{DOWN}$  を流れる電流が FB ピンのリーク電流の少なくとも 100 倍となるようにするためです。 $R_{DOWN}$  を小さい値にすると、ノイズ注入に対する耐性が高まります。 $R_{DOWN}$  を大きい値にすると、静止電流が減少し、低負荷電流時に最大の効率を達成します。

### 8.2.2.2 インダクタの選択

昇圧コンバータでは通常、電力変換中にエネルギーを蓄積するために、インダクタと出力コンデンサという 2 つの主要なパッシブ部品が必要です。インダクタは、定常状態の効率 (リップルや効率を含む) に加えて、過渡動作、ループ安定性に影響を与えるため、アプリケーションで最も重要な部品となります。

インダクタとインダクタンスを選択するときの、その他の重要なパラメータは次のとおりです。

- 最大電流定格 (RMS およびピーク電流を考慮する)
- 直列抵抗
- 動作温度

平均インダクタ電流のリップルの割合が低いインダクタリップル電流を選択すると、インダクタンス値が大きくなり、コンバータの潜在的な出力電流が最大化され、EMI が最小化されます。リップルが大きいほどインダクタンス値が小さくなり、インダクタが物理的に小さくなるため、過渡応答が改善されますが、EMI が増加する可能性があります。

インダクタ選定の指針は、インダクタのリップル電流 ( $\Delta I_L$ ) が平均電流の一定割合となるようにすることです。次に式 2、式 3 および式 4 を使用してインダクタンスを計算します：

$$\Delta I_L = \frac{V_{IN} \times D}{L \times f_{SW}} \quad (2)$$

$$\Delta I_{L,R} = \text{Ripple \%} \times \frac{V_{OUT} \times I_{OUT}}{\eta \times V_{IN}} \quad (3)$$

$$L = \frac{1}{\text{Ripple \%}} \times \frac{\eta \times V_{IN}}{V_{OUT} \times I_{OUT}} \times \frac{V_{IN} \times D}{f_{SW}} \quad (4)$$

ここで、

- $\Delta I_L$  は、ピークツーピークのインダクタ電流リップル
- $V_{IN}$  は入力電圧
- $D$  はデューティ・サイクル
- $L$  はインダクタです
- $f_{SW}$  はスイッチング周波数です
- **Ripple%** は、DC 電流に対するリップル比
- $V_{OUT}$  は出力電圧です。
- $I_{OUT}$  は出力電流
- $\eta$  は効率です。

インダクタを流れる電流は、インダクタリップル電流 + 平均入力電流です。パワーアップ時、負荷障害発生時、または負荷過渡状態中は、インダクタ電流が計算したピークインダクタ電流を超えて増加する場合があります。

インダクタの値は、電流バイアスなしで  $\pm 20\%$ 、場合によっては  $\pm 30\%$  の許容誤差があります。インダクタ電流が飽和レベルに近づくと、インダクタのメーカーが飽和を定義する方法に応じて、インダクタンスが  $0A$  バイアス電流の値から  $20\% \sim 35\%$  減少する可能性があります。インダクタを選択するときは、定格電流、特に飽和電流が動作中のピーク電流よりも大きいことを確認してください。

インダクタのピーク電流は、負荷、スイッチング周波数、入力および出力電圧の関数として変化するため、式 5 と式 6 で計算できます。

$$I_{PEAK} = I_{IN} + \frac{1}{2} \times \Delta I_L \quad (5)$$

ここで、

- $I_{PEAK}$  はインダクタのピーク電流です
- $I_{IN}$  は絶縁入力電流です。
- $\Delta I_L$  はインダクタを流れるリップル電流です

入力 DC 電流は出力電圧、出力電流によって決まり、効率は次のように計算できます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (6)$$

ここで、

- $I_{IN}$  はインダクタの入力電流です
- $V_{OUT}$  は出力電圧です。
- $V_{IN}$  は入力電圧
- $\eta$  は効率です。

インダクタのリップル電流はインダクタンス、周波数、入力電圧、および式 2 によって計算されるデューティサイクルに依存しますが、式 6、式 5 を式 2 に置き換えて、インダクタのピーク電流を計算します。

$$I_{PEAK} = \frac{I_{OUT}}{(1-D) \times \eta} + \frac{1}{2} \times \frac{V_{IN} \times D}{L \times f_{SW}} \quad (7)$$

ここで、

- $I_{PEAK}$  はインダクタのピーク電流です
- $I_{OUT}$  は出力電流
- $D$  はデューティ・サイクル
- $\eta$  は効率です。
- $V_{IN}$  は入力電圧
- $L$  はインダクタです
- $f_{SW}$  はスイッチング周波数です

熱定格電流 (RMS) は式 8 で計算されます。

$$I_{L\_RMS} = \sqrt{I_{IN}^2 + \frac{1}{12}(\Delta I_L)^2} \quad (8)$$

ここで、

- $I_{L\_RMS}$  はインダクタの RMS 電流です
- $I_{IN}$  はインダクタの入力電流です
- $\Delta I_L$  はインダクタを流れるリップル電流です

ピーク電流がインダクタの飽和電流を超えないこと、および RMS 電流がインダクタの温度に関連する定格電流を超えないことを確認します。

所定の物理的インダクタ サイズに対して、インダクタンスを大きくすると、通常は飽和電流が小さくなります。コイルの合計損失は、DC 抵抗 (DCR) 損失と、次の周波数に依存する損失で構成されます。

- コア材料での損失 (特に高いスイッチング周波数での磁気ヒステリシス損失)
- 表皮効果による導体の追加損失 (高周波での電流変位)
- 隣接巻線の磁界損失 (近接効果)

特定のインダクタでは、電流リップルが大きい (インダクタが小さい) と、DC が大きくなり、周波数に依存する損失が生じます。効率を高めるために、基本的に DCR の小さいインダクタを推奨します。ただし、通常、損失とフットプリントの間にはトレードオフがあります。

以下のような、さまざまなサプライヤから表 8-2 のインダクタ シリーズを推奨します。

表 8-2. TPS61371 の推奨インダクタ

部品番号	L (μH)	DCR 標準値 (mΩ) 標準値。	飽和電流 / 標準値。	サイズ (L × W × H mm)	メーカー <sup>(1)</sup>
PIJT3225FE-1R0MSR	1	40	4.4	3.2 × 2.5 × 0.65	Cyntec
XAL4020-222ME	2.2	35	5.6	4 × 4 × 2	Coilcraft
DFE322512F-2R2M = P2	2.2	66	2.6	3.2 × 2.5 × 1.2	Murata
DFE322520FD-4R7M#	4.7	98	3.4	3.2 × 2.5 × 2.0	Murata

(1) 『サードパーティー製品に関する免責事項』を参照してください。

### 8.2.2.3 出力コンデンサの選択

出力コンデンサは主に、負荷過渡状態または定常状態の要件を満たすように選択します。その後、選択した出力コンデンサに対するループ補償が行われます。出力リップル電圧は、コンデンサの等価直列抵抗 (ESR) および容量に関係します。ESR がゼロのセラミック コンデンサを仮定すると、所定のリップルに対して必要な最小容量は式 9 を用いて計算できます：

$$C_{OUT} = \frac{I_{OUT} \times (V_{OUT} - V_{IN})}{f_{SW} \times \Delta V \times V_{OUT}} \quad (9)$$

ここで、

- $C_{OUT}$  は出力コンデンサ
- $I_{OUT}$  は出力電流
- $V_{OUT}$  は出力電圧です。
- $V_{IN}$  は入力電圧
- $\Delta V$  は、必要な出力電圧リップル
- $f_{SW}$  はスイッチング周波数です

式 10 を使用し、ESR に起因する追加の出力リップル成分を計算します：

$$\Delta V_{ESR} = I_{OUT} \times R_{ESR} \quad (10)$$

ここで、

- $\Delta V_{ESR}$  は、ESR により生じる出力電圧リップル
- $R_{ESR}$  は、出力コンデンサと直列の抵抗

セラミック コンデンサの場合、ESR リップルは無視して構いません。ただし、タンタル コンデンサまたは電解コンデンサを使用する場合は、ESR によるリップルを考慮する必要があります。

DC バイアス下でのセラミック コンデンサの定格を評価する際には注意が必要です。セラミック コンデンサは、定格電圧において容量が最大で 70% 低下する場合があります。したがって、必要な出力電圧において十分な容量を確保するため、電圧定格には十分なマージンを考慮する必要があります。

**表 8-3. TPS61371 の推奨出力コンデンサ**

部品番号	C (μF)	破片	説明	サイズ	メーカー <sup>(1)</sup>
GRM188R61E106MA73D	10	3	X5R、0603、25V、±20% の公差	0603	Murata

(1) 『サード パーティ製品に関する免責事項』を参照してください。

#### 8.2.2.4 入力コンデンサの選択

積層セラミックコンデンサは、ステップアップコンバータの入力デカップリングに最適です。マルチレイヤ セラミックコンデンサは ESR が非常に低く、小型で入手可能だからです。入力コンデンサは、できる限りデバイスに近づけて配置する必要があります。

セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミック コンデンサを使用している場合に、長いワイヤを通して (壁のアダプタなどから) 電源を供給すると、出力での負荷ステップにより  $V_{IN}$  ピンでリングングが生じる可能性があります。このリングングは出力に結びつきループが不安定であると誤判断をしたり、部品の損傷を招くこともあります。そのような状況では、 $C_{IN}$  と電源リードの間に追加の「バルク」容量 (電解またはタンタル) を配置して、電源リードのインダクタンスと  $C_{IN}$  との間で発生する可能性のあるリングングを低減します。

#### 8.2.2.5 ループ安定性と補償

##### 8.2.2.5.1 小信号モデル

TPS61371 は、適応型オフ時間制御トポロジで、ピーク電流を使用します。インダクタ電流の情報が検出されると、電力段の小信号モデルは、L および  $C_{OUT}$  によって作成される 2 極システムから、 $R_{OUT}$  および  $C_{OUT}$  によって作成される単極システムへと効率化されます。TPS61371 の COMP ピンに接続する外部ループ補償ネットワークが追加され、ループ安定性と応答時間を最適化します。図 8-2 に示す抵抗  $R_C$ 、コンデンサ  $C_C$ 、および  $C_P$  はループ補償回路で構成されます。

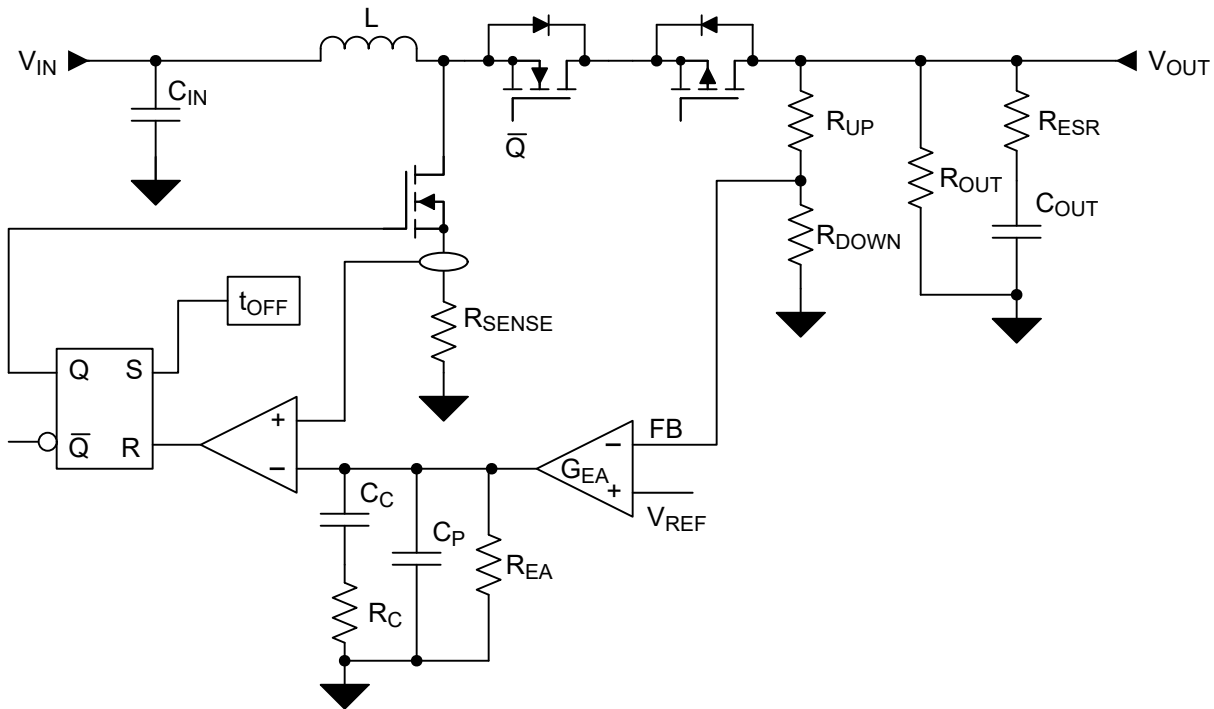


図 8-2. TPS61371 の制御等価回路モデル

パワーステージの小信号モデルは次の通りです:

$$G_{PS}(s) = \frac{R_{OUT} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{s}{2 \times \pi \times f_{ESR}}\right) \left(1 - \frac{s}{2 \times \pi \times f_{RHP}}\right)}{1 + \frac{s}{2 \times \pi \times f_P}} \quad (11)$$

ここで、

- D はデューティ・サイクル
- ROUT は出力負荷抵抗
- RSENSE は通常 TPS61371 の 0.2Ω 等価内部電流センス抵抗です

電力段の単一極は、次のとおりです。

$$f_P = \frac{2}{2 \times \pi \times R_{OUT} \times C_{OUT}} \quad (12)$$

ここで、

- COUT は出力コンデンサで、複数の同一の出力コンデンサを並列接続する昇圧コンバータの場合は、これらのコンデンサを等価容量で組み合わせるだけです

出力コンデンサの ESR によって生じるゼロは、次のとおりです。

$$f_{ESR} = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}} \quad (13)$$

ここで、

- RESR は、出力コンデンサの等価直列抵抗

右側面ゼロは次のとおりです。

$$f_{RHP} = \frac{R_{OUT} \times (1 - D)^2}{2\pi \times L} \quad (14)$$

ここで、

- $D$  はデューティ・サイクル
- $R_{OUT}$  は出力負荷抵抗
- $L$  はインダクタンス

TPS61371 COMP ピンは内部の相互コンダクタンス アンプの出力です。

式 15 に、帰還抵抗ネットワークとエラー アンプの式を示します。

$$H_{EA}(S) = G_{EA} \times R_{EA} \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}} \times \frac{1 + \frac{S}{2 \times \pi \times f_Z}}{\left(1 + \frac{S}{2 \times \pi \times f_{P1}}\right) \times \left(1 + \frac{S}{2 \times \pi \times f_{P2}}\right)} \quad (15)$$

ここで、

- $R_{EA}$  はエラー アンプの出力インピーダンスで、 $R_{EA} = 500\text{M}\Omega$ 。  $G_{EA}$  はエラー アンプの相互コンダクタンスで、 $G_{EA} = 175\mu\text{S}$ 。
- $f_{P1}$  および  $f_{P2}$  は補償のポールの周波数
- $f_Z$  は補償ネットワークのゼロの周波数です

$$f_{P1} = \frac{1}{2\pi \times R_{EA} \times C_C} \quad (16)$$

ここで、

- $C_C$  は、ゼロ コンデンサ補償です

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (17)$$

ここで、

- $C_C$  は、ポール コンデンサ補償です
- $R_C$  は、補償ネットワークの抵抗です

$$f_Z = \frac{1}{2\pi \times R_C \times C_C} \quad (18)$$

### 8.2.2.6 ループ補償設計手順

小信号モデルを使用して、次の手順は、指定したインダクタと出力容量を使用して補償回路のパラメータを計算することです。

#### 1. クロスオーバー周波数 $f_C$ を設定します。ます。

- 最初のステップは、ループのクロスオーバー周波数  $f_C$  を設定することです。クロスオーバー周波数が高いほど、ループ応答が高速になります。ループゲインは、スイッチング周波数  $f_{SW}$  の 1/10 または RHPZ 周波数  $f_{RHPZ}$  の 1/5 のいずれか低い方を超えないことが通常、許容されます。それから、以下のセクションで、 $R_C$ 、 $C_C$ 、 $C_P$  のループ補償ネットワークの値を計算します。

#### 2. 補償抵抗 $R_C$ を設定します。

- $f_Z$  を  $f_C$  より下に配置すると、 $f_C$  より高い周波数では、 $R_C \parallel R_{EA}$  は、ほぼ  $R_C$  となり、 $R_C \times G_{EA}$  によって補償ゲインが設定されます。 $f_Z$  において補償ゲイン  $K_{COMP-dB}$  を設定すると、合計ループゲイン  $T(s) = G_{PS}(s) \times H_{EA}(s) \times H_e(s)$  は  $f_C$  でゼロになります。

- そのため、 $f_{P2}$  までの単極ロールオフを概算するには、式 19 を再編成して  $R_C$  を求め、 $f_C$  での補償ゲイン  $K_{EA}$  はゲイン  $K_{PS}$  の負であり、パワー段のボード線図の周波数  $f_C$  で読み取られる、または詳細を簡単にすることができます。

$$K_{EA}(S) = 20 \times \log\left(G_{EA} \times R_C \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}}\right) = -K_{PS}(f_C) \quad (19)$$

ここで、

- $K_{EA}$  は、エラー アンプ ネットワークのゲインです
- $K_{PS}$  は電力段のゲインです
- $G_{EA}$  は、アンプの相互コンダクタンスで、標準値  $G_{EA} = 175\mu A/V$  です

### 3. 補償ゼロコンデンサ $C_C$ を設定します。

- $R_{OUT}$ 、 $C_{OUT}$  の電力段の極位置に補償ゼロを配置し、次の式が得られます。

$$f_Z = \frac{1}{2\pi \times R_C \times C_C} \quad (20)$$

- $f_Z = f_P$  に設定し、次の式を得ます。

$$C_C = \frac{R_{OUT} \times C_{OUT}}{2 \times R_C} \quad (21)$$

### 4. 補償極コンデンサ $C_P$ を設定します。

- 補償用の極は、 $R_{ESR}$  と  $C_{OUT}$  によって生成されるゼロの位置に配置します。ESR ゼロによる望ましくない影響を打ち消すことは有効です。

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (22)$$

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (23)$$

- $f_{P2} = f_{ESR}$  に設定し、次の式を得ます。

$$C_P = \frac{R_{ESR} \times C_{OUT}}{R_C} \quad (24)$$

- 計算された  $C_P$  値が 10pF より小さい場合は、この値は無視のままでかまいません。

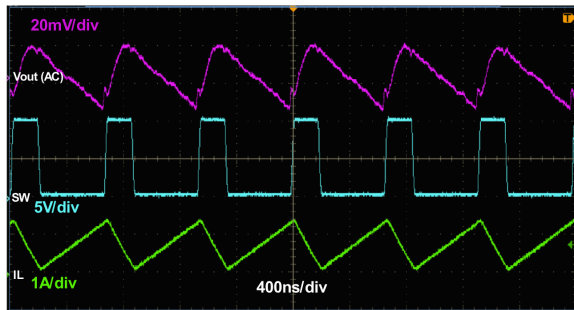
ループを、 $45^\circ$  を超える位相マージンと 6dB を超えるゲイン マージンになるように設計すると、ラインおよび負荷の過渡時の出力電圧のリングングが除去されます。この設計例では、 $R_C = 61.9k\Omega$ 、 $C_C = 680pF$  です。

#### 8.2.2.7 ブートストラップ コンデンサの選択

BST ピンと SW ピンとの間のブートストラップ コンデンサは、各サイクルのターンオン時にハイサイド FET デバイスを充電するためのゲート電流を供給するとともに、ブートストラップ コンデンサの回復電荷を供給します。ブートストラップ コンデンサの推奨値は 20nF ~ 200nF です。配線のインダクタンスにより引き起こされる電圧過渡による損傷の可能性を最小限に抑えるため、 $C_{BST}$  には、良好な品質で ESR の低いセラミック コンデンサを使用し、デバイスのピンに配置する必要があります。この設計例では、100nF の値が選択されています。

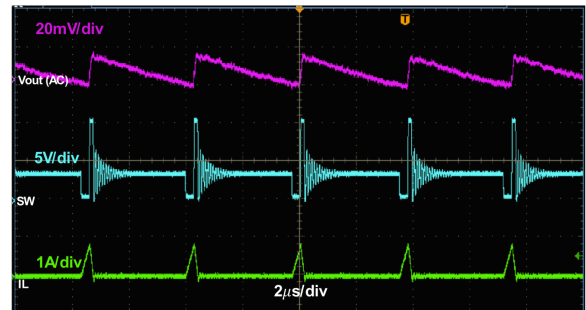
### 8.2.3 アプリケーション曲線

標準値  $V_{IN} = 3V \sim 5V$ 、 $V_{OUT} = 11V$ 、温度 = 25°C、特に記述の無い限り



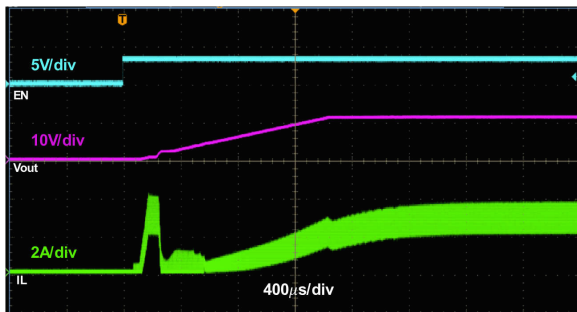
$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-3. 200mA 負荷時の定常状態



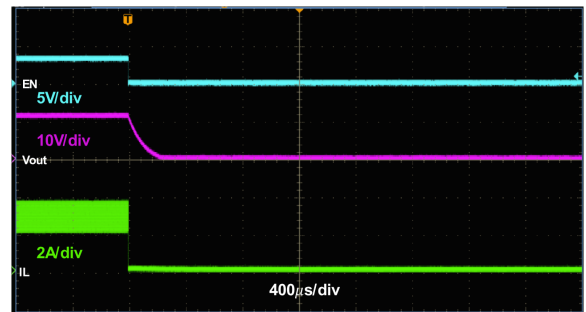
$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-4. 10mA 負荷時の定常状態



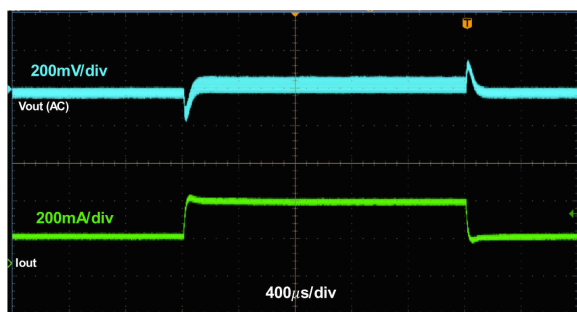
$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-5. EN によるスタートアップ、負荷 = 16Ω



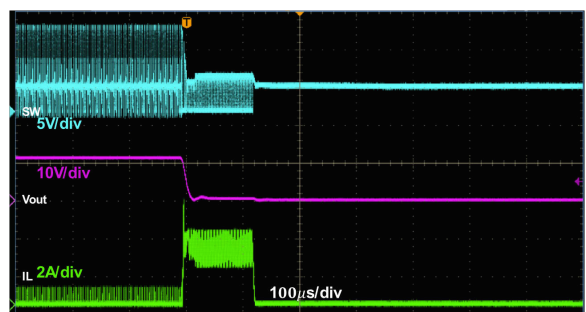
$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-6. EN によるシャットダウン、負荷 = 12.5Ω



$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-7. 負荷過渡、200mA ~ 400mA、100mA/µs



$V_{IN} = 3.3V$        $V_{OUT} = 11V$       モード = 自動 PFM  
 $L = 1\mu H$        $C_{OUT} = 3 \times 10\mu F$

図 8-8. 短絡出力

## 8.3 電源に関する推奨事項

デバイスは、2.7V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS61371 から数インチ以上離れている場合は、セラミック バイパス キャパシタに加えて追加のバルク容量が必要となることがあります。通常は、47 $\mu$ F の電解コンデンサを使用します。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

基本的な PCB レイアウトでは、ノイズに敏感な信号パスおよび電源パスを分離する必要があります。レイアウトを注意深く行わないと、レギュレータで不安定性またはノイズの問題が発生する可能性があります。

適切に設計された基板で良好な性能を得るために、以下のチェックリストを推奨します：

1. チップの出力、出力コンデンサからチップの GND への大電流経路を最小化します。このループには、 $di/dt$  の大きいスイッチング電流 (ナノ秒 / アンペア) が含まれており、高周波ノイズは簡単に変換できます。
2. SW ピンに接続されるすべてのパターンの長さおよび面積を最小限に抑え、スイッチングレギュレータの下には常にグランドプレーンを使用して、プレーン間カップリングを最小限に抑えます。
3. 入力および出力コンデンサには、バルクコンデンサを、より小さな、直列抵抗の低いセラミックコンデンサと組み合わせて使用します。より小さなコンデンサは IC に近づけて配置することで、ノイズのデカップリングに対して低インピーダンスパスを提供します。
4. IC 付近のグランド領域は、十分な熱放散面積を備えていなければなりません。広いパワーバス (例: VOUT、SW、GND) を銅の広い領域に接続するか、ビアを使用して下層または内部層のグランドプレーンに接続し、放熱性能を強化します。
5. 入力電源リップルを低減するため、入力コンデンサは  $V_{IN}$  ピンおよび PGND ピンの近くに配置します。
6. 帰還や補償回路などノイズに敏感なネットワークは、SW パターンから離して配置します。
7. フィードバックおよびループ補償回路の接続には、専用のグランド配線を使用します。このグランドパターンは、メインのパワーグランドに 1 点で接続することで、循環電流を最小限に抑えます。

## 8.4.2 レイアウト例

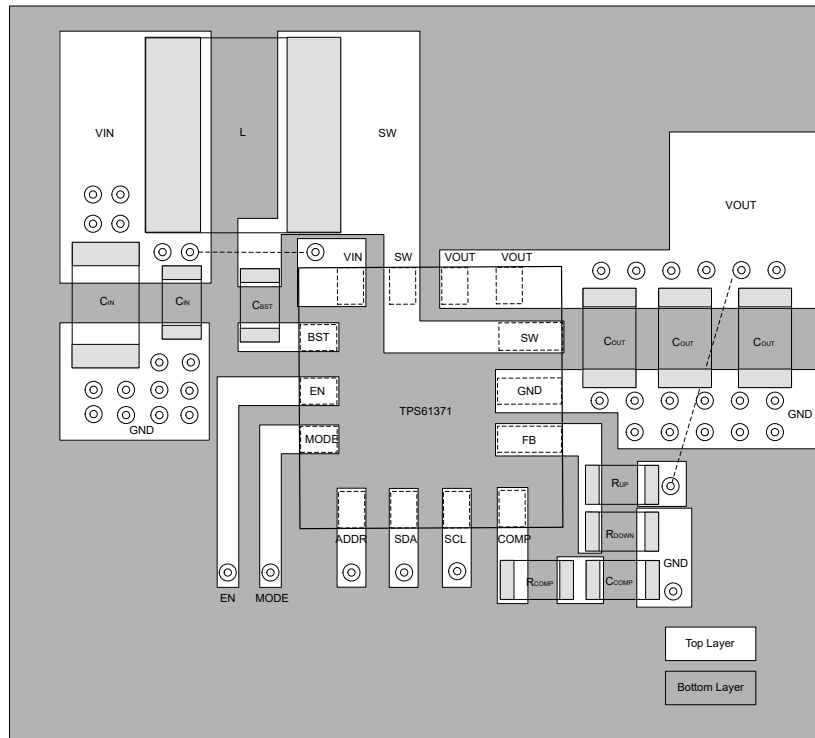


図 8-9. 推奨レイアウト

### 8.4.2.1 熱に関する注意事項

一般に、低背でファインピッチの表面実装パッケージに IC を実装する場合は、消費電力に特別な注意が必要です。熱結合、エアフロー、追加ヒートシンク、対流面、他の発熱部品の存在など、システムに依存する多くの問題により、所定の部品の消費電力の限界が左右されます。

放熱性能を向上させるための 2 つの基本的な方法を以下に示します：

- PCB 設計による消費電力性能の改善
- PCB コンポーネントの熱結合の改善

ポータブル機器の電力需要はますます重要になるにつれて、効率、消費電力、デザイン サイズの間で最良のトレード オフを実現する必要があります。集積化と小型化により接合部温度が大幅に上昇する可能性があり、これが原因でアプリケーションの不具合 (たとえば、早期のサーマル シャットダウン、あるいは考えられる限り最悪の事態ではデバイスの信頼性低下) が発生する可能性があります。接合部から周囲への熱抵抗は、アプリケーションと基板レイアウトに大きく依存します。高い最大消費電力が存在するアプリケーションでは、基板設計で熱放散の問題に特に注意を払う必要があります。デバイスの動作時接合部温度 ( $T_J$ ) は  $125^{\circ}\text{C}$  未満に維持してください。

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

#### 9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

日付	改訂	注
April 2026	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

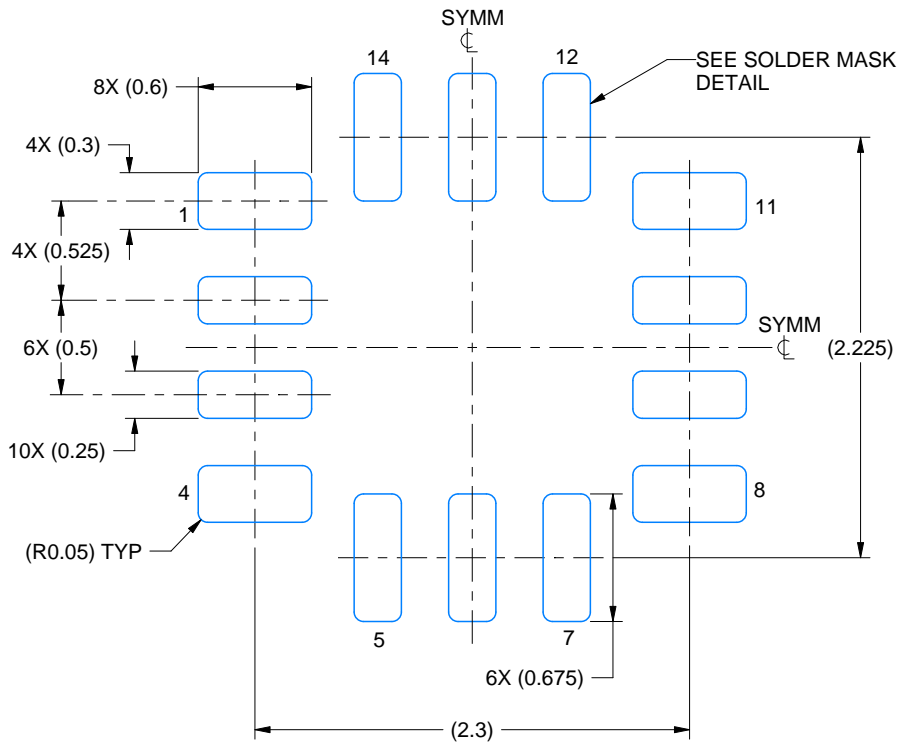


# EXAMPLE BOARD LAYOUT

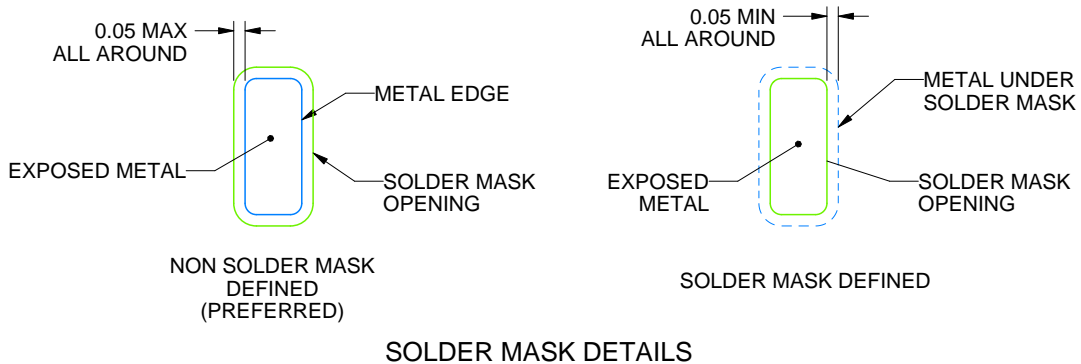
VAR0014A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 25X



4231113/A 08/2024

NOTES: (continued)

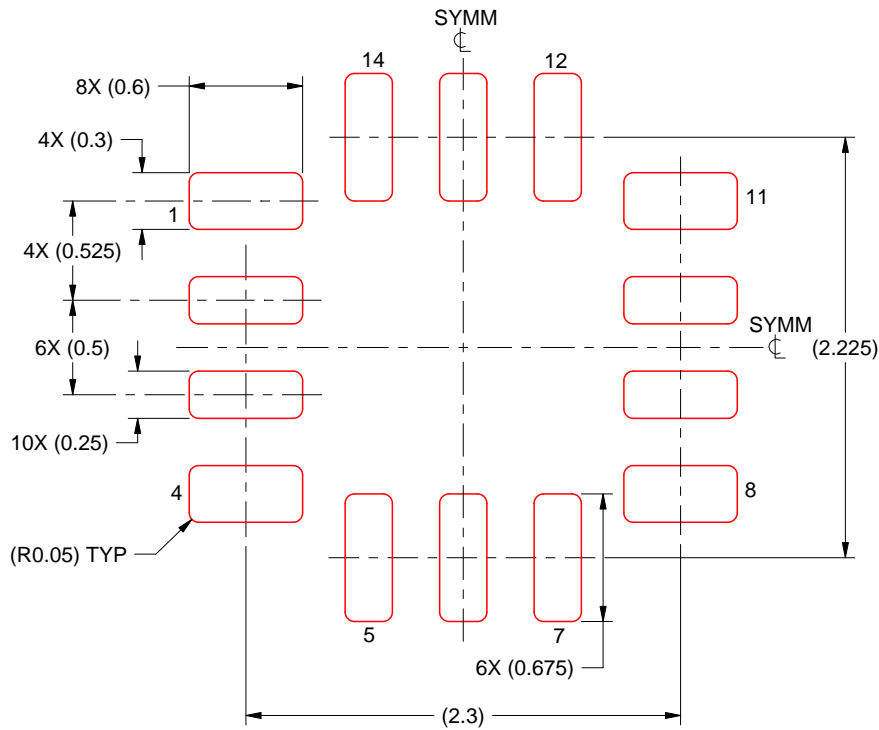
3. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).

# EXAMPLE STENCIL DESIGN

VAR0014A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 25X

4231113/A 08/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月