

# TPS61372L 負荷切斷機能搭載、16V、3.8A、同期整流昇圧

## 1 特長

- 入力電圧範囲: 2.5V ~ 5.5V
- 出力電圧範囲: 16V (最大値)
- オン抵抗:
  - ローサイド FET - 36mΩ
  - ハイサイド FET - 107mΩ
- スイッチ ピーク電流制限: 3.8A
- $V_{IN}$  からの静止電流: 74μA
- $V_{OUT}$  からの静止電流: 10μA
- $V_{IN}$  からのシャットダウン電流: 1μA
- スイッチング周波数: 1.5MHz
- ソフトスタート時間: 0.9ms
- ヒップ出力短絡保護
- 自動 PFM と強制 PWM を選択可能
- シャットダウン時の負荷切斷
- 外部ループ補償
- 出力過電圧保護
- 2.5mm × 2.5mm の HotRod™ Lite WQFN パッケージ
- WEBENCH® Power Designer による TPS61372L を使用するカスタム設計の作成

## 2 アプリケーション

- RF PA ドライバ
- NAND フラッシュ
- バックアップ電源
- モーター ドライバ
- 光センサ ドライバ

## 3 説明

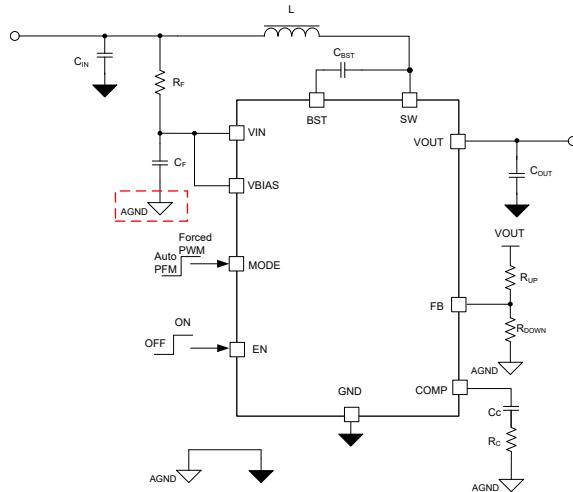
TPS61372L は、負荷を切り離す機能を備えた完全統合型同期整流昇圧コンバータです。本デバイスは最大 16V の出力電圧と 3.8A の電流制限に対応しています。入力電圧範囲は 2.5V ~ 5.5V で、シングルセルのリチウムイオン バッテリ、または 5V バスから給電されるアプリケーションをサポートします。

TPS61372L は、適応型オフ時間制御トポロジーで、ピーク電流モードを使用します。このデバイスは、中負荷から重負荷では 1.5MHz の PWM で動作します。軽負荷の状況では、デバイスが自動的に PFM に切り替わるか、強制的に PWM で動作するかを、MODE ピン接続で構成できます。自動 PFM モードは軽負荷時の効率が高いのが利点で、これに対して強制 PWM 動作では、負荷範囲全体でスイッチング周波数が一定に保たれます。TPS61372L はソフトスタートを使用して、スタートアップ時の突入電流を最小化します。TPS61372L はシャットダウン時に負荷が切斷され、ヒップ モードの出力短絡保護機能があります。さらに、デバイスには出力過電圧およびサーマル シャットダウン保護機能も実装されています。TPS61372L は、2.5mm × 2.5mm、高さが 0.8mm の 14 ピン WQFN パッケージで供給されるので、小型のソリューションを実現できます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
TPS61372L	WQFN (14)	2.5mm × 2.5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーション回路



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	6.4 デバイスの機能モード	11
2 アプリケーション	1	7 アプリケーションと実装	12
3 説明	1	7.1 アプリケーション情報	12
4 ピン構成および機能	3	7.2 代表的なアプリケーション	12
5 仕様	4	7.3 電源に関する推奨事項	21
5.1 絶対最大定格	4	7.4 レイアウト	21
5.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	24
5.3 推奨動作条件	4	8.1 デバイス サポート	24
5.4 熱に関する情報	5	8.2 ドキュメントの更新通知を受け取る方法	24
5.5 電気的特性	5	8.3 サポート・リソース	24
5.6 代表的特性	7	8.4 商標	24
6 詳細説明	9	8.5 静電気放電に関する注意事項	24
6.1 概要	9	8.6 用語集	25
6.2 機能ブロック図	9	9 改訂履歴	25
6.3 機能説明	10	10 メカニカル、パッケージ、および注文情報	25

## 4 ピン構成および機能

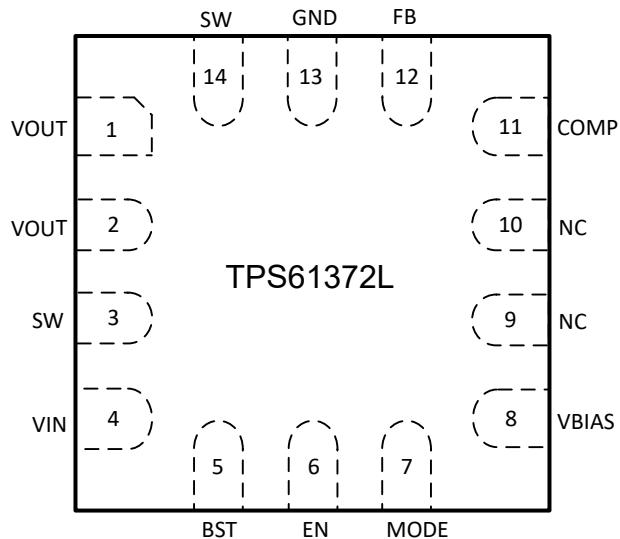


図 4-1. TPS61372L VAR パッケージ、14 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
番号	名称		
1、2	VOUT	PWR	昇圧コンバータ出力。
3、14	SW	PWR	コンバータのスイッチング ノード ピン。SW ピンは内部ローサイド FET のドレインおよび内部ハイサイド FET のソースに接続されます。
4	VIN	I	IC 電源入力。このピンは、RC フィルタで入力電源レールに接続します。
5	BST	O	ハイサイド FET ゲートドライバ用電源。このピンと SW ピンの間には、コンデンサを接続する必要があります。
6	EN	I	イネーブル論理入力。ロジック "High" レベルにすると、デバイスは有効になります。ロジック "Low" レベルにすると、デバイスは無効化され、シャットダウン モードに入ります。
7	モード	I	動作モードの選択ピン。MODE = Low の場合、このデバイスは自動 PFM モードで動作し、軽負荷時に優れた効率で動作します。MODE = High の場合、このデバイスは強制 PWM モードになり、負荷範囲全体にわたってスイッチング周波数が一定に維持されます。
8	VBIAS	I	内部ロジック制御ブロックの IC 電源。このピンを VIN ピンに直接接続する必要があります。
9、10	NC	-	接続なし。フローティングのままにしておきます。
11	COMP	O	内部のエラー アンプの出力。ループ補償ネットワークは、このピンと GND の間に接続する必要があります。
12	FB	I	出力電圧帰。このピンに接続する分圧抵抗回路によって、出力電圧が設定されます。
13	GND	-	グランド。
14	SW		

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
ピンでの電圧範囲 <sup>(2)</sup>	BST	-0.3	SW+6	V
ピンでの電圧範囲 <sup>(2)</sup>	SW, VOUT	-0.3	19	V
ピンでの電圧範囲 <sup>(2)</sup>	VIN, EN, COMP, FB, MODE, NC	-0.3	6	V
動作時の接合部温度、 $T_J$		-40	150	°C
保管温度、 $T_{stg}$		-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、回路のグランドを基準としたものです。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$ <sup>(1)</sup>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(2)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(3)</sup>	±500	

- (1) 静電気放電 (ESD) 定格は、組み立てラインでデバイスに生じる静電気放電に対するデバイスの耐性を測定します。
- (2) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置を講じれば、HBM は 500V 未満の許容差で製造できます。
- (3) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

		最小値	公称値	最大値	単位
$V_{IN}$	入力電圧	2.5	5.5	5.5	V
$V_{OUT}$	出力電圧	5	16	16	V
$T_J$	動作時接合部温度	-40	125	125	°C

## 5.4 热に関する情報

热評価基準 <sup>(1)</sup>		TPS61372L	単位
		VAR	
		14 ピン	
R <sub>θJA</sub>	接合部から周囲への热抵抗	75.4	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への热抵抗	46.4	°C/W
R <sub>θJB</sub>	接合部から基板への热抵抗	25.0	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	1.8	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	25.1	°C/W

(1) 従来および新しい热特性の詳細については、『半導体および IC パッケージの热測定値』アプリケーション レポート、SPRA953 を参照してください。

## 5.5 電気的特性

特に記述がない限り、 $V_{IN} = 2.5V \sim 5.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$ 、標準値は  $T_J = 25^{\circ}C$  での値です。

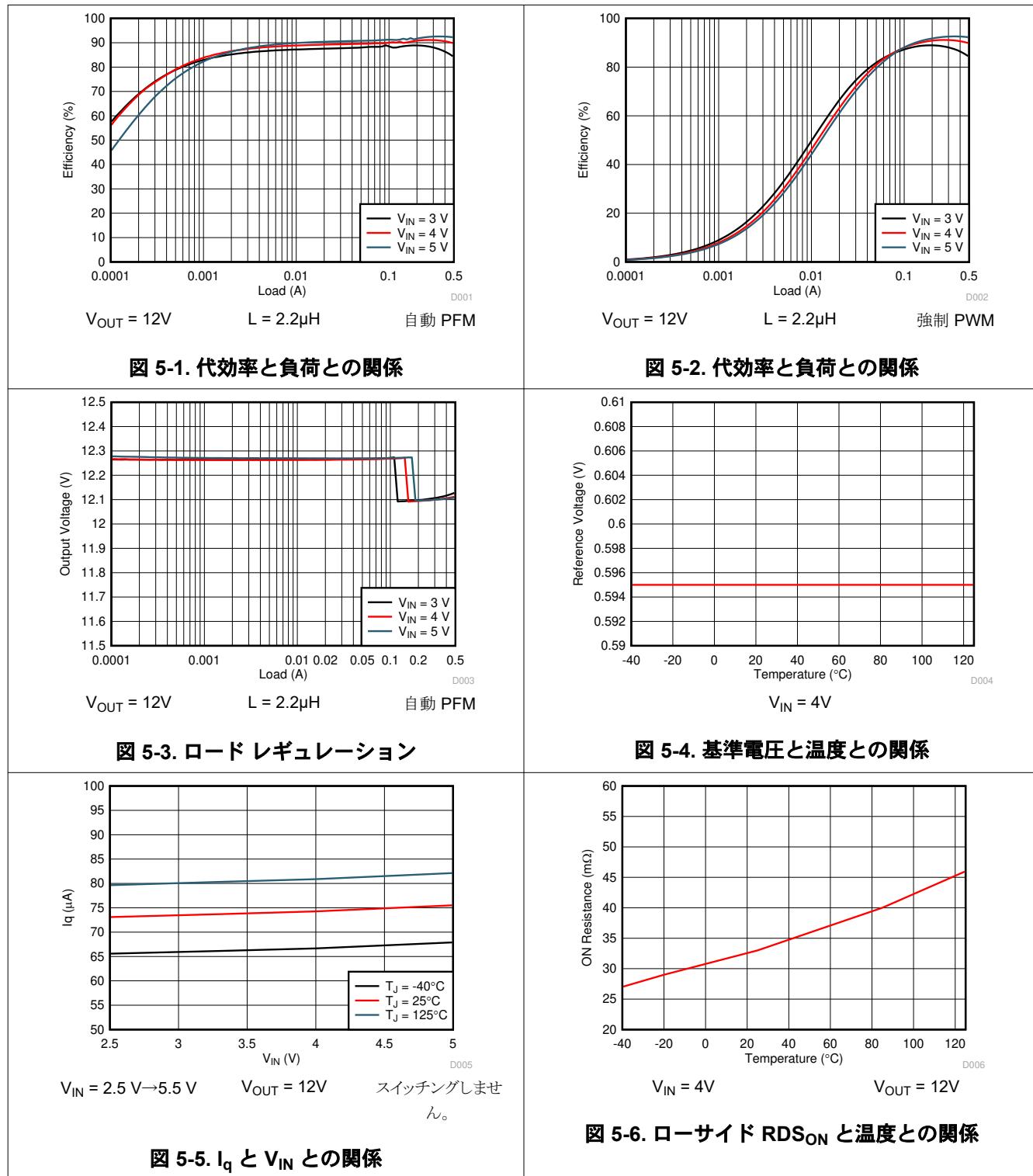
パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電源</b>						
V <sub>IN_UVLO</sub>	入力電圧低電圧誤動作防止 (UVLO) スレッショルド、立ち上がり	V <sub>OUT</sub> = 12V, $T_J = -40^{\circ}C \sim 125^{\circ}C$		2.32		V
	入力電圧低電圧誤動作防止 (UVLO) スレッショルド、立ち下がり			2.1		V
I <sub>Q_VIN</sub>	V <sub>IN</sub> ピンへの静止電流	IC イネーブル、スイッチングなし、 $T_J = -40^{\circ}C \sim 85^{\circ}C$		74	110	μA
I <sub>Q_VOUT</sub>	V <sub>OUT</sub> ピンへの静止電流	IC イネーブル、スイッチングなし、 $V_{IN} = 2.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^{\circ}C \sim 85^{\circ}C$		10	26	μA
I <sub>SD_VIN</sub>	V <sub>IN</sub> および GND からのシャットダウン電流	$V_{IN} = 2.5V \sim 5.5V$ 、 $V_{OUT} = SW = 0V$ 、EN = 0、 $T_J = -40^{\circ}C \sim 85^{\circ}C$		0.1	1	μA
I <sub>SD_VIN</sub>	V <sub>IN</sub> および GND からのシャットダウン電流	$V_{IN} = 3.3V$ 、 $V_{OUT} = SW = 0V$ 、EN = 0、 $T_J = -40^{\circ}C \sim 85^{\circ}C$		0.1	1	μA
I <sub>SD_SW</sub>	SW から GND および V <sub>OUT</sub> へのシャットダウン電流	$SW = 3.3V$ 、 $V_{IN} = V_{OUT} = 0V$ 、EN = 0、 $T_J = -40^{\circ}C \sim 85^{\circ}C$			2	μA

## 5.5 電気的特性 (続き)

特に記述がない限り、 $V_{IN} = 2.5V \sim 5.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$ 、標準値は  $T_J = 25^{\circ}C$  での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>出力電圧</b>						
$V_{REF}$	FB ピンでのリファレンス電圧		0.585	0.594	0.603	V
	AUTO PFM モード	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		1.016		$V_{REF}$
$I_{FB\_LKG}$	FB ピンへのリーキ電流				30	nA
<b>パワー・スイッチ</b>						
$R_{DS(on)}$	ローサイド FET オン抵抗	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		36		$m\Omega$
	ハイサイド + 切断 FET オン抵抗	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		107		$m\Omega$
<b>電流制限</b>						
$I_{LIM}$	電流制限 (自動 PFM)	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$		3.4	3.8	4.3
	電流制限 (強制 PWM)	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 16V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$		3.28	3.6	4.0
<b>EN, MODE ロジック</b>						
$V_{IH}$	EN, MODE ピンの High レベル入力電圧				1.2	V
$V_{IL}$	EN, MODE ピンの Low レベル出力電圧		0.4			V
$V_{HYS}$	EN, MODE ピンのヒステリシス			136		$mV$
$T_{DEGLITCH}$	EN, MODE グリッチ除去時間立ち上がり / 立ち下がり	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		13		$\mu s$
$R_{PD}$	EN, MODE プルダウン抵抗	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		800		$k\Omega$
<b>キャラクタの切り替え</b>						
$f_{SW}$	スイッチ周波数	$V_{IN} = 3V \sim 4.5V$ 、 $V_{OUT} = 5V \sim 12V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$	1.2	1.5	1.7	MHz
$f_{SW\_FOLD}$	スイッチ周波数フォールドバック	$V_{IN} = 3.3V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$	470	535	600	$kHz$
$V_{FSW\_LOW}$	$f_{SW}$ フォールドバックのスレッショルド (1.5 MHz 通常)	$V_{IN} = 3.3V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$	15%	20%	25%	$V_{IN}$
$V_{FSW\_LOW\_HYS}$	$f_{SW}$ フォールドバックのヒステリシス	$V_{IN} = 3.3V$ 、 $T_J = 25^{\circ}C$		150		$mV$
<b>TIMING</b>						
$t_{ON\_MIN}$	最小オン時間	$V_{IN} = 3.3V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$	75	95		ns
$t_{SS}$	ソフトスタート時間	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		0.9		ms
$t_{HIC\_ON}$	ヒカップサイクルのオフ時間	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		74		ms
$t_{HIC\_OFF}$	ヒカップサイクルのオン時間	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		1.9		ms
<b>エラー・アンプ</b>						
$V_{COMPH}$	COMP 出力の高電圧 自動 PFM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} - 200mV$		1.4		V
	COMP 出力 High 電圧、強制 PWM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} - 200mV$		1.5		V
$V_{COMPL}$	COMP 出力の低電圧、自動 PFM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} + 200mV$		0.8		V
	COMP 出力 Low 電圧、強制 PWM	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} + 200mV$		0.6		V
$G_m$	エラー・アンプのトランジスタゲンダクタンス	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		175		$\mu s$
$I_{SINK\_EA}$	COMP のシンク電流	$V_{IN} = 3.3V$ 、 $V_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} + 200mV$		20		$\mu A$
$I_{SOURCE\_EA}$	COMP のソース電流	$V_{IN} = 3.3V$ 、 $V_J = 25^{\circ}C$ 、 $V_{FB} = V_{REF} - 200mV$		20		$\mu A$
<b>PROTECTION</b>						
$V_{OVP}$	出力過電圧保護スレッショルド	$V_{IN} = 2.5V \sim 5.5V$ 、 $T_J = -40^{\circ}C \sim 125^{\circ}C$	16.5	17.3	18	V
$V_{OVP\_HYS}$	出力過電圧保護ヒステリシス	$V_{IN} = 3.3V$ 、 $V_{OUT} = 12V$ 、 $T_J = 25^{\circ}C$		500		$mV$
<b>熱特性</b>						
$T_{SD}$	サーマル シャットダウンのスレッショルド	$V_{IN} = 3.3V$ 、 $V_{OUT} > 12V$		140		$^{\circ}C$
$T_{SD\_HYS}$	サーマル シャットダウン ヒステリシス	$V_{IN} = 3.3V$ 、 $V_{OUT} > 12V$		20		$^{\circ}C$

## 5.6 代表的特性



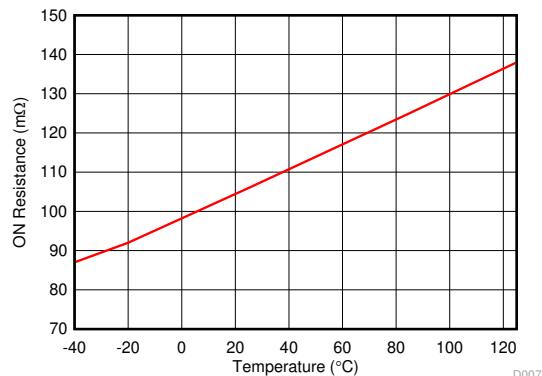
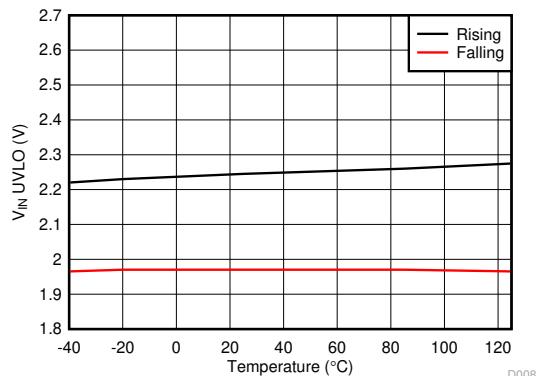
 $V_{IN} = 4V$  $V_{OUT} = 12V$ 図 5-7. ハイサイド  $RDS_{ON}$  と温度との関係

図 5-8. UVLO スレッショルドと温度との関係

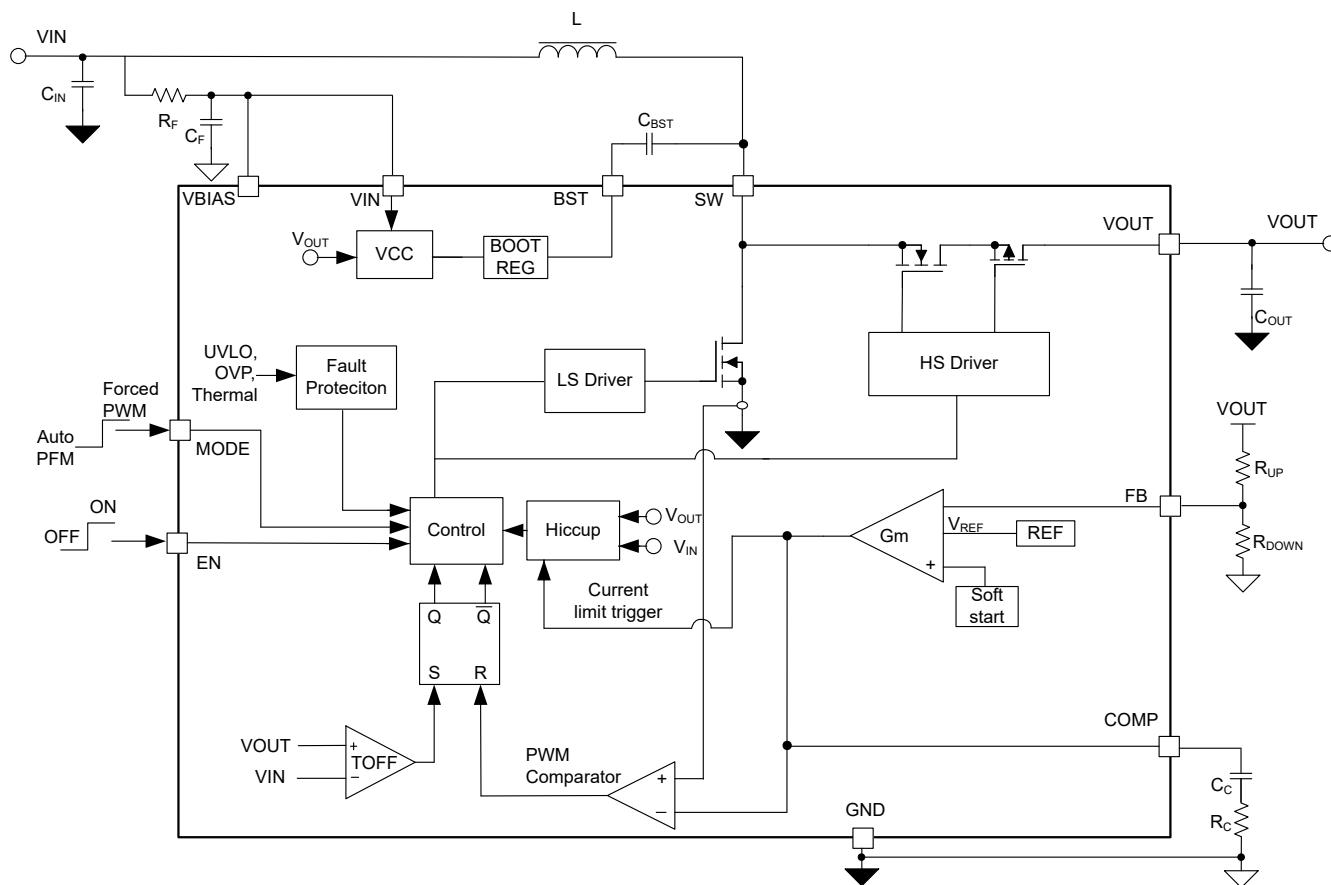
## 6 詳細説明

### 6.1 概要

TPS61372L は、負荷切断機能と短絡保護機能を内蔵しており、16V 出力をサポートする、高集積の同期整流昇圧コンバータです。TPS61372L は 2.5V ~ 5.5V の入力電圧範囲をサポートしています。TPS61372L は、適応型オフ時間制御トポロジで、ピーク電流モードを使用して、出力電圧をレギュレートします。TPS61372L は中から高負荷電流時に、疑似定周波数パルス幅変調 (Pulse Width Modulation, PWM) で動作します。各サイクルの開始時に、ローサイド FET がオンになり、インダクタ電流は、誤差アンプ (EA) の出力によって決定されるピーク電流に達するまで増加します。EA の出力トリップによって決定されるピーク電流の事前設定値を下回ると、ローサイド FET はオフになります。ローサイド FET がオフになっている限り、短い遅延時間の後にハイサイド FET がオンになり、貫通電流を防止します。ローサイド FET をオフ状態にする期間は、 $V_{IN}/V_{OUT}$  の比によって決定されます。

TPS61372L は PFM で動作するため、軽負荷時に高い効率を実現します。このデバイスは強制 PWM モードに構成し、負荷範囲の全体にわたって周波数を一定に維持して、ノイズに敏感なアプリケーションに対してより高い耐性を実現することができます。

### 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 低電圧誤動作防止

低電圧誤動作防止 (UVLO) 回路により、バッテリの低入力電圧時に、過剰な放電によるデバイスの誤動作を防止します。デバイスは、立ち上がり  $V_{IN}$  が UVLO スレッショルドに達した時点で動作を開始し、 $V_{IN}$  が UVLO 立ち下がりスレッショルドを下回ると、コンバータの出力段がディセーブルになります。EN が High 状態になり、 $V_{IN}$  が低下して UVLO がトリガされると、デバイスはシャットダウン前に 90 $\mu$ s (代表値) の  $V_{OUT}$  を放電します。

### 6.3.2 イネーブルおよびディセーブル

入力電圧が UVLO スレッショルドを上回り、EN ピンが High スレッショルド (最小 1.2V) を上回ると、TPS61372L がイネーブルになります。EN ピンが Low スレッショルド (最大 0.4V) を下回ると、TPS61372L はシャットダウン モードに移行します。

### 6.3.3 エラー アンプ

TPS61372L には相互コンダクタンス アンプが内蔵されており、帰還電圧を内部基準電圧 (または起動フェーズでは内部ソフトスタート電圧) と比較します。エラー アンプの相互コンダクタンス標準値は 175 $\mu$ A/V です。ループ補償部品は COMP 端子とグランドとの間に配置され、ループ安定性と応答速度を最適化します。

### 6.3.4 ブートストラップ電圧 (BST)

TPS61372L デバイスにはブートストラップ レギュレータが内蔵されており、ハイサイド FET のゲート駆動電圧を供給するために、BST ピンと SW ピンの間に小さなセラミック コンデンサが必要です。このセラミック コンデンサの推奨値は 20nF ~ 200nF です。

### 6.3.5 負荷切断

TPS61372L デバイスには負荷切断機能があり、シャットダウンまたはフォルト状態時には出力が入力から完全に切断されます。

### 6.3.6 過電圧保護

出力電圧が過電圧保護スレッショルド (標準 17.3V) を超えて検出された場合、 $V_{OUT}$  ピンの電圧が出力過電圧保護復帰スレッショルド (500mV のヒステリシス) を下回るまで、TPS61372L はスイッチングを直ちに停止します。この機能により、デバイスが過電圧から保護され、過剰な過電圧の出力に接続されている回路が保護されます。

### 6.3.7 サーマル シャットダウン

過熱および消費電力による損傷を防止するため、サーマル シャットダウンが実装されています。一般に、サーマル シャットダウンは、接合部温度が 140°C (標準値) を超える場合に発生します。サーマル シャットダウンがトリガされると、デバイスはスイッチングを停止し、接合部温度が 120°C (標準値) を下回ると回復します。

### 6.3.8 スタートアップ

TPS61372L はソフト スタート機能により、スタートアップ時の突入電流が低減されます。TPS61372L は、EN ピンが High になるとソフトスタートを開始します。スタートアップ手順には 2 つのフェーズがあります。

- $V_{OUT}$  が  $V_{IN}$  の 120% 未満になると、出力電圧はスイッチング周波数 535kHz (標準値) で上昇します。
- $V_{OUT}$  が  $V_{IN}$  の 120% を超えると、スイッチング周波数が標準 1.5MHz に変化し、出力電圧が設定点まで上昇します。

### 6.3.9 マイクロ短絡保護 :

TPS61372L は、出力短絡保護が発生すると、ヒップ保護モードを備えています。ヒップ モードでは、1.9ms の時間電流制限がトリガされ、 $V_{OUT}$  が 105%  $V_{IN}$  未満にプルダウンされると、TPS61372L はシャットダウンされます。ヒップ定常状態では、デバイスがシャットダウンされ、74ms (標準値) の待機時間後に再起動するため、連続的な短絡状況での総放熱量を低減できます。短絡状態が解消されると、デバイスは自動的に回復し、起動フェーズを再開できます。

## 6.4 デバイスの機能モード

### 6.4.1 動作

軽負荷の状況では、TPS61372L は自動 PFM または強制 PWM に構成できます。自動 PFM 動作では、軽負荷時にスイッチング周波数が低下し、より高い効率を実現しますが、強制 PWM 動作では、負荷範囲全体にわたって周波数が一定に保たれます。

### 6.4.2 自動 PFM モード

TPS61372L には、軽負荷時のパルス周波数変調 (PFM) を備えたパワー セーブ モードが内蔵されています (MODE ピンを Low ロジックまたはフローティングに設定します)。このデバイスはスイッチング サイクルをスキップし、出力電圧をより高いスレッショルド (通常は  $101.6\% \times V_{OUT\_NORM}$ ) にレギュレートします。図 6-1 に、PFM の動作原理を示します。自動 PFM モードでは、軽負荷の状況で平均スイッチング周波数を下げることにより、スイッチング損失を減らし、効率を向上できます。

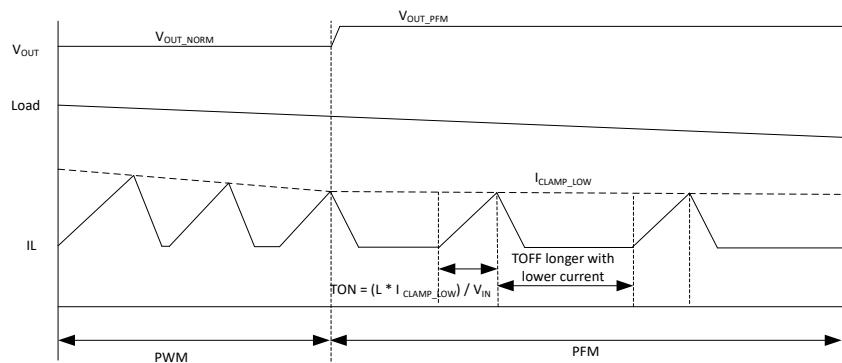


図 6-1. 自動 PFM 動作時の動作

### 6.4.3 強制 PWM モード

TPS61372L は、強制 PWM モードでになり、負荷範囲全体にわたってスイッチング周波数が一定に維持されます。負荷電流が減少すると、内部エラー アンプの出力も減少し、インダクタのピーク電流が減少して電力供給も減少します。たとえ FET を流れる電流が負になっても、ハイサイド FET はオフになりず、スイッチング周波数は重負荷と同じに保たれます。

### 6.4.4 モード選択可能

TPS61372L を 2 種類の動作モードに構成するための MODE ピンを備えています。デバイスは、MODE ピンを Low またはフローティングにすると自動 PFM モードで動作し、MODE ピンが High のときは強制 PWM モードで動作します。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

TPS61372L は、同期整流式昇圧コンバータです。以下の設計手順を使用して TPS61372L の部品値を選択できます。ここでは、設計手順について簡単に説明します。または、WEBENCH® ソフトウェアを使用して、完全な設計を生成することも可能です。WEBENCH® ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。ここでは、設計手順について簡単に説明します。

### 7.2 代表的なアプリケーション

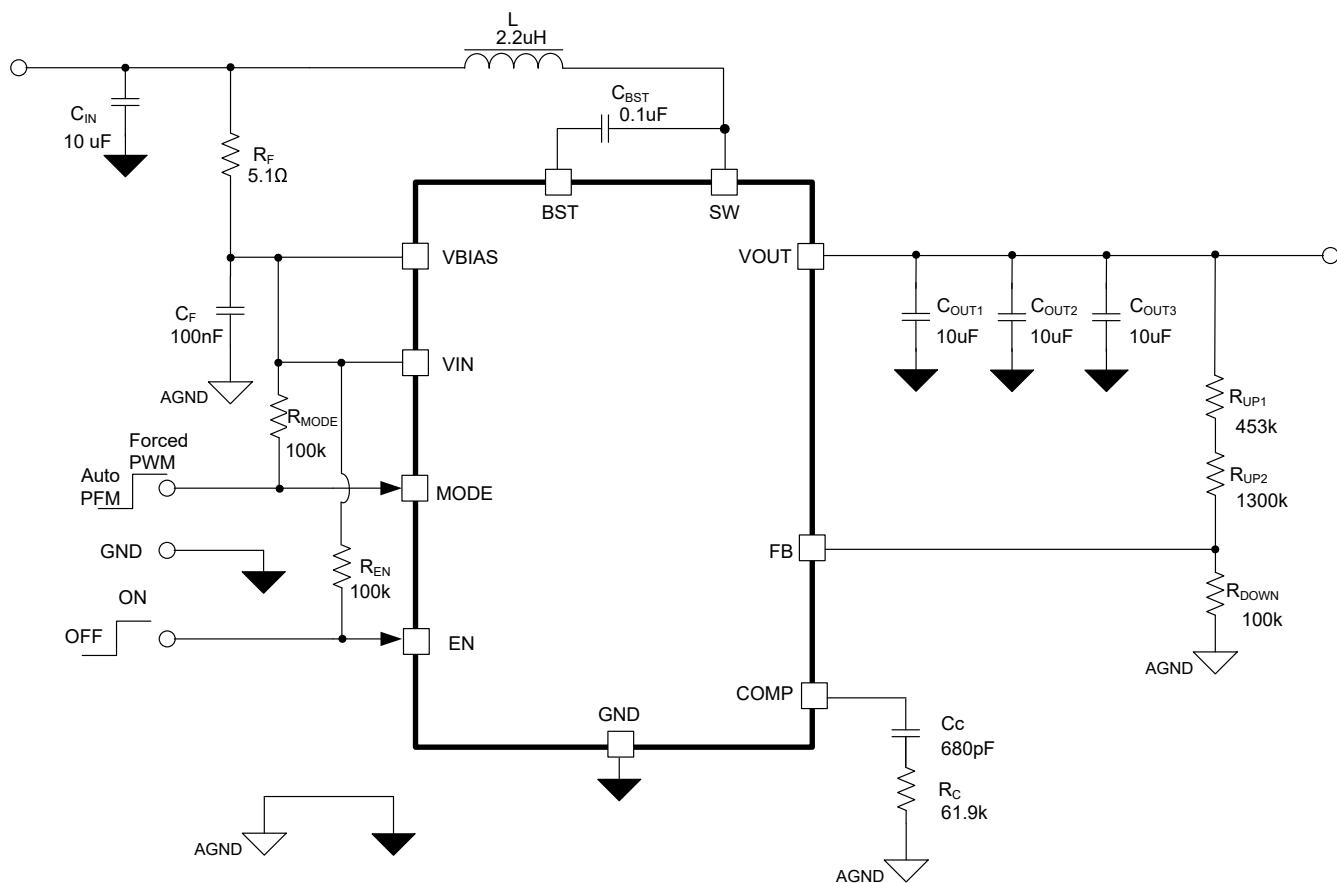


図 7-1. TPS61372L 12V 出力 (負荷切断機能付き) の回路図

## 7.2.1 設計要件

この設計の例では、入力パラメータとして表 7-1 を使用しています。

**表 7-1. 設計パラメータ**

パラメータ	値
入力電圧範囲	3V ~ 5V
出力電圧	11V
出力リップル電圧	±3%
出力電流	0.6A
動作周波数	1.5MHz

## 7.2.2 詳細な設計手順

### 7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、TPS61372L デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 ( $V_{IN}$ )、出力電圧 ( $V_{OUT}$ )、出力電流 ( $I_{OUT}$ ) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、[www.ti.com/ja-jp/WEBENCH](http://www.ti.com/ja-jp/WEBENCH) でご覧になります。

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。設計者は、以下を把握する必要があります。

- 入力電圧範囲
- 出力電圧
- 出力リップル電圧
- 出力電流定格
- 動作周波数

### 7.2.2.2 出力電圧の設定

TPS61372L の出力電圧は、分圧抵抗回路を使用して外部で調整可能です。出力電圧と分圧抵抗と間の関係は、式 1 で与えられます。

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_{UP}}{R_{DOWN}}\right) \quad (1)$$

ここで、

- $V_{OUT}$  は出力電圧です。
- $R_{UP}$  は上部の分圧抵抗です
- $R_{Down}$  は、下側の分圧抵抗です

$R_{DOWN}$  には、約  $100\text{k}\Omega$  を選択します。 $R_{DOWN}$  をわずかに増加または減少させると、標準の値の抵抗を使用するときに、より近い出力電圧マッチングが得られる場合があります。この設計では、 $R_{DOWN} = 100\text{k}\Omega$  かつ  $R_{UP} = 1.853\text{M}\Omega$  ( $1.3\text{M}\Omega + 453\text{k}\Omega$ ) で、出力電圧は  $11\text{V}$  です。

最高の精度を得るには、TI は  $R_{DOWN}$  に流れる電流が FB ピンのリーク電流の少なくとも 100 倍になるように  $R_{DOWN}$  を  $100\text{k}\Omega$  程度にすることを推奨します。 $R_{DOWN}$  を小さい値にすると、ノイズ注入に対する耐性が高まります。 $R_{DOWN}$  を大きい値にすると、静止電流が減少し、低負荷電流時に最大の効率を達成します。

### 7.2.2.3 インダクタの選択

昇圧コンバータでは通常、電力変換中にエネルギーを蓄積するために、インダクタと出力コンデンサという 2 つの主要なパッシブ部品が必要です。インダクタは、定常状態の効率 (リップルや効率を含む) に加えて、過渡動作、ループ安定性に影響を与えるため、アプリケーションで最も重要な部品となります。

インダクタとインダクタンスを選択するときの、その他の重要なパラメータは次のとおりです。

- 最大電流定格 (RMS およびピーク電流を考慮する)
- 直列抵抗
- 動作温度

平均インダクタ電流のリップルの割合が低いインダクタリップル電流を選択すると、インダクタンス値が大きくなり、コンバータの潜在的な出力電流が最大化され、EMI が最小化されます。リップルが大きいほどインダクタンス値が小さくなり、インダクタが物理的に小さくなるため、過渡応答が改善されますが、EMI が増加する可能性があります。

インダクタを選択する際の目安は、インダクタのリップル電流 ( $\Delta I_L$ ) が平均電流の一定の割合であることを確認することです。インダクタンスは、式 2、式 3、および式 4 で計算できます。

$$\Delta I_L = \frac{V_{IN} \times D}{L \times f_{SW}} \quad (2)$$

$$\Delta I_{L\_R} = \text{Ripple\%} \times \frac{V_{OUT} \times I_{OUT}}{\eta \times V_{IN}} \quad (3)$$

$$L = \frac{1}{\text{Ripple \%}} \times \frac{\eta \times V_{IN}}{V_{OUT} \times I_{OUT}} \times \frac{V_{IN} \times D}{f_{SW}} \quad (4)$$

ここで、

- $\Delta I_L$  は、ピークツーピークのインダクタ電流リップル
- $V_{IN}$  は入力電圧
- $D$  はデューティ・サイクル
- $L$  はインダクタです
- $f_{SW}$  はスイッチング周波数です
- $\text{Ripple\%}$  は、DC 電流に対するリップル比
- $V_{OUT}$  は出力電圧です。
- $I_{OUT}$  は出力電流
- $\eta$  は効率です。

インダクタを流れる電流は、インダクタリップル電流 + 平均入力電流です。パワーアップ時、負荷障害発生時、または負荷過渡状態中は、インダクタ電流が計算したピークインダクタ電流を超えて増加する場合があります。

インダクタの値は、電流バイアスなしで  $\pm 20\%$ 、場合によっては  $\pm 30\%$  の許容誤差があります。インダクタ電流が飽和レベルに近づくと、そのインダクタのベンダが飽和を定義する方法に応じて、0A バイアス電流の値から 20% ~ 35% 減少する可能性があります。インダクタを選択するときは、その定格電流、特に飽和電流が動作中のピーク電流よりも大きいことを確認してください。

インダクタのピーク電流は、負荷、スイッチング周波数、入力および出力電圧の関数として変化するため、式 5 と式 6 で計算できます。

$$I_{PEAK} = I_{IN} + \frac{1}{2} \times \Delta I_L \quad (5)$$

ここで、

- $I_{PEAK}$  はインダクタのピーク電流です
- $I_{IN}$  は絶縁入力電流です。
- $\Delta I_L$  はインダクタを流れるリップル電流です

入力 DC 電流は出力電圧、出力電流によって決まり、効率は次のように計算できます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (6)$$

ここで、

- $I_{IN}$  はインダクタの入力電流です
- $V_{OUT}$  は出力電圧です。
- $V_{IN}$  は入力電圧
- $\eta$  は効率です。

インダクタのリップル電流はインダクタンス、周波数、入力電圧、および式 2 によって計算されるデューティサイクルに依存しますが、式 6、式 5 を式 2 に置き換えて、インダクタのピーク電流を計算します。

$$I_{PEAK} = \frac{I_{OUT}}{(1-D) \times \eta} + \frac{1}{2} \times \frac{V_{IN} \times D}{L \times f_{SW}} \quad (7)$$

ここで、

- $I_{PEAK}$  はインダクタのピーク電流です
- $I_{OUT}$  は出力電流
- $D$  はデューティ・サイクル
- $\eta$  は効率です。
- $V_{IN}$  は入力電圧
- $L$  はインダクタです
- $f_{SW}$  はスイッチング周波数です

熱定格電流 (RMS) は式 8 で計算されます。

$$I_{L\_RMS} = \sqrt{I_{IN}^2 + \frac{1}{12}(\Delta I_L)^2} \quad (8)$$

ここで、

- $I_{L\_RMS}$  はインダクタの RMS 電流です
- $I_{IN}$  はインダクタの入力電流です
- $\Delta I_L$  はインダクタを流れるリップル電流です

ピーク電流がインダクタの飽和電流を超えないように、RMS 電流がインダクタの温度に関連する定格電流を超えないことが重要です。

所定の物理的インダクタ サイズに対して、インダクタンスを大きくすると、通常は飽和電流が小さくなります。コイルの合計損失は、DC 抵抗 (DCR) 損失と、次の周波数に依存する損失で構成されます。

- コア材料での損失 (特に高いスイッチング周波数での磁気ヒステリシス損失)
- 表皮効果による導体の追加損失 (高周波での電流変位)
- 隣接巻線の磁界損失 (近接効果)

特定のインダクタでは、電流リップルが大きい (インダクタが小さい) と、DC が大きくなり、周波数に依存する損失が生じます。効率を高めるために、基本的に DCR の小さいインダクタを推奨します。ただし、通常は損失とフットプリントのトレードオフです。

以下のような、さまざまなサプライヤから表 7-2 のインダクタ シリーズを推奨します。

**表 7-2. TPS61372L の推奨インダクタ**

部品番号	L (μH)	DCR 標準値 (mΩ) ) 標準値。	飽和電流 / 標準値。	サイズ (L × W × H mm)	メーカー <sup>(1)</sup>
XGL3512-102ME	1	28	4.5	3.5 × 3.2 × 1.2	Coilcraft
XGL3512-122ME	1.2	32.5	4.1	3.5 × 3.2 × 1.2	Coilcraft

(1) 「サード パーティー製品に関する免責事項」をご覧ください。

#### 7.2.2.4 出力コンデンサの選択

出力コンデンサは主に、負荷過渡状態または定常状態の要件を満たすように選択します。その後、選択した出力コンデンサに対するループ補償が行われます。出力リップル電圧は、コンデンサの等価直列抵抗 (ESR) と、その容量に関係します。ESR がゼロのコンデンサを使用する場合、リップルに対して必要な最小容量は、式 9 を使用して計算できます。

$$C_{\text{OUT}} = \frac{I_{\text{OUT}} \times (V_{\text{OUT}} - V_{\text{IN}})}{f_{\text{SW}} \times \Delta V \times V_{\text{OUT}}} \quad (9)$$

ここで、

- $C_{\text{OUT}}$  は出力コンデンサ
- $I_{\text{OUT}}$  は出力電流
- $V_{\text{OUT}}$  は出力電圧です。
- $V_{\text{IN}}$  は入力電圧
- $\Delta V$  は、必要な出力電圧リップル
- $f_{\text{SW}}$  はスイッチング周波数です

ESR に起因する追加の出力リップル成分は、式 10 で計算されます。

$$\Delta V_{\text{ESR}} = I_{\text{OUT}} \times R_{\text{ESR}} \quad (10)$$

ここで、

- $\Delta V_{\text{ESR}}$  は、ESR により生じる出力電圧リップル
- $R_{\text{ESR}}$  は、出力コンデンサと直列の抵抗

セラミック コンデンサの場合、ESR リップルは無視して構いません。ただし、タンタルまたは電解コンデンサを使用する場合は考慮する必要があります。

DC バイアス下でのセラミック コンデンサの定格を評価する際には注意が必要です。セラミック コンデンサは、定格電圧でその容量の最大 70% を低減する可能性があります。そのため、電圧定格には十分なマージンを確保して、必要な出力電圧で十分な容量が得られるようにすることを考慮してください。

表 7-3. TPS61372L の推奨出力コンデンサ

部品番号	C (μF)	破片	説明	サイズ	メーカー <sup>(1)</sup>
GRM188R61E106MA73D	10	3	X5R、0603、5V、±20% の公差	0603	Murata (村田製作所)

### 7.2.2.5 入力コンデンサの選択

多層セラミックコンデンサは、ESRが極めて低く、占有面積も小さいため、昇圧コンバータの入力デカップリング用に優れた選択肢となります。入力コンデンサはデバイスにできる限り近づけて配置します。

セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミックコンデンサを使用している場合に、長いワイヤを通して(壁のアダプタなどから)電源を供給すると、出力での負荷ステップにより  $V_{IN}$  ピンでリングングが生じる可能性があります。このリングングは出力に結びつきループが不安定であると誤判断をしたり、部品の損傷を招くこともあります。そのような状況では、 $C_{IN}$  と電源リードの間に追加の「バルク」容量(電解またはタンタル)を配置して、電源リードのインダクタンスと  $C_{IN}$  との間で発生する可能性のあるリングングを低減します。

### 7.2.2.6 ループ安定性と補償

#### 7.2.2.6.1 小信号モデル

TPS61372L は、適応型オフ時間制御トポロジで、ピーク電流を使用します。インダクタ電流の情報が検出されると、電力段の小信号モデルは、 $L$  および  $C_{OUT}$  によって作成される 2 極システムから、 $R_{OUT}$  および  $C_{OUT}$  によって作成される単極システムへと効率化されます。TPS61372L の COMP ピンに接続する外部ループ補償ネットワークが追加され、ループ安定性と応答時間を最適化します。図 7-2 に示す抵抗  $R_C$ 、コンデンサ  $C_C$ 、および  $C_P$  はループ補償回路で構成されます。

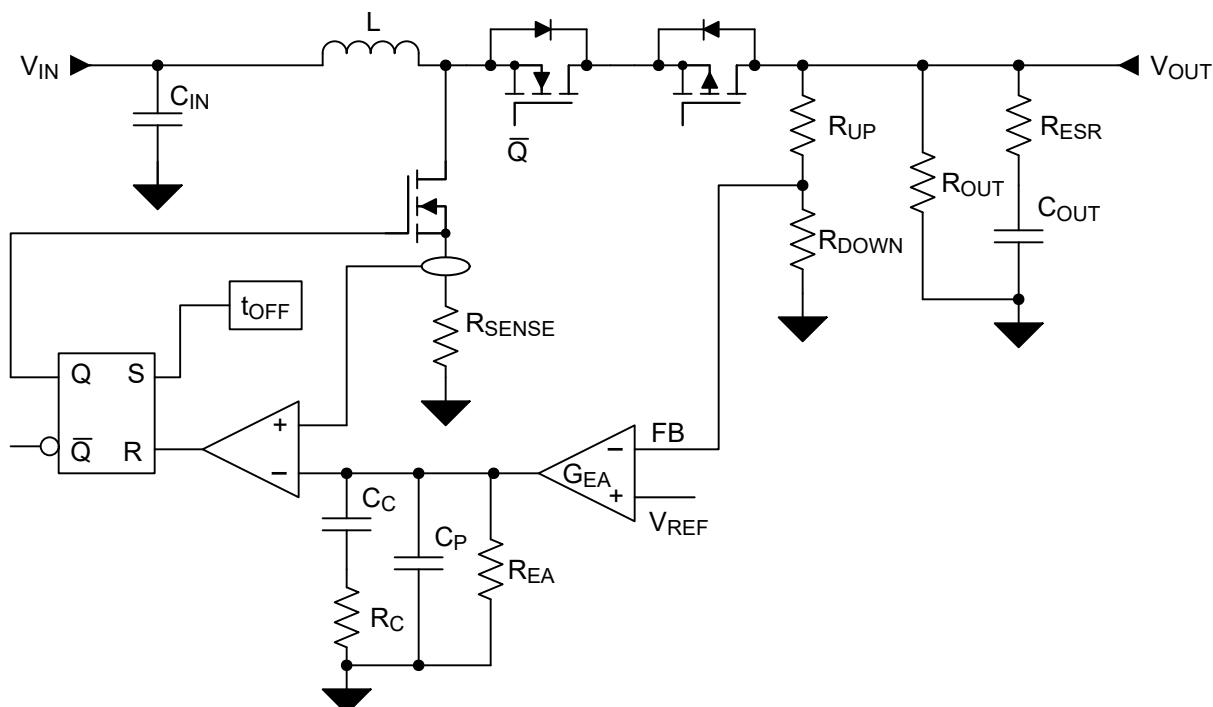


図 7-2. TPS61372L の制御等価回路モデル

スロープ補償を含む出力段の小信号は次のとおりです。

$$G_{PS}(S) = \frac{R_{OUT} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{S}{2\pi \times f_{ESR}}\right) \left(1 - \frac{S}{2\pi \times f_{RHP}}\right)}{1 + \frac{S}{2\pi \times f_P}} \quad (11)$$

ここで、

- D はデューティ・サイクル
- $R_{OUT}$  は出力負荷抵抗
- $R_{SENSE}$  は通常 TPS61372L の  $0.2\Omega$  等価内部電流センス抵抗です

電力段の単一極は、次のとおりです。

$$f_P = \frac{2}{2\pi \times R_{OUT} \times C_{OUT}} \quad (12)$$

ここで、

- $C_{OUT}$  は出力コンデンサで、複数の同一の出力コンデンサを並列接続する昇圧コンバータの場合は、これらのコンデンサを等価容量で組み合わせるだけです

出力コンデンサの ESR によって生じるゼロは、次のとおりです。

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (13)$$

ここで、

- $R_{ESR}$  は、出力コンデンサの等価直列抵抗

右側面ゼロは次のとおりです。

$$f_{RHP} = \frac{R_{OUT} \times (1-D)^2}{2\pi \times L} \quad (14)$$

ここで、

- D はデューティ・サイクル
- $R_{OUT}$  は出力負荷抵抗
- L はインダクタンス

TPS61372L COMP ピンは内部の相互コンダクタンス アンプの出力です。

式 15 に、帰還抵抗ネットワークとエラー アンプの式を示します。

$$H_{EA}(S) = G_{EA} \times R_{EA} \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}} \times \frac{1 + \frac{S}{2 \times \pi \times f_Z}}{\left(1 + \frac{S}{2 \times \pi \times f_{P1}}\right) \times \left(1 + \frac{S}{2 \times \pi \times f_{P2}}\right)} \quad (15)$$

ここで、

- $R_{EA}$  はエラー アンプの出力インピーダンスで、 $R_{EA} = 500M\Omega$
- $G_{EA}$  はエラー アンプの相互コンダクタンスで、 $G_{EA} = 175\mu S$
- $f_{P1}$  および  $f_{P2}$  は補償のポールの周波数です

- $f_z$  は補償ネットワークのゼロの周波数です

$$f_{P1} = \frac{1}{2\pi \times R_{EA} \times C_c} \quad (16)$$

ここで、

- $C_c$  は、ゼロコンデンサ補償です

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (17)$$

ここで、

- $C_c$  は、ポールコンデンサ補償です
- $R_C$  は、補償ネットワークの抵抗です

$$f_z = \frac{1}{2\pi \times R_C \times C_c} \quad (18)$$

### 7.2.2.7 ループ補償設計手順

小信号モデルを使用して、次の手順は、指定したインダクタと出力容量を使用して補償回路のパラメータを計算することです。

#### 1. クロスオーバー周波数 $f_c$ を設定します。

- 最初のステップは、ループのクロスオーバー周波数  $f_c$  を設定することです。クロスオーバー周波数が高いほど、ループ応答が高速になります。一般的にループゲインは、スイッチング周波数  $f_{SW}$  の 1/10 または  $RHPZ$  周波数  $f_{RHPZ}$  の 1/5 のいずれか低い方を超えないことが許容されます。それから、以下のセクションで、 $R_c$ 、 $C_c$ 、 $C_p$  のループ補償ネットワークの値を計算します。

#### 2. 補償抵抗 $R_c$ を設定します。

- $f_z$  を  $f_c$  より下に配置すると、 $f_c$  より高い周波数では、 $R_c || R_{EA}$  は、ほぼ  $R_c$  となり、 $R_c \times G_{EA}$  によって補償ゲインが設定されます。 $f_z$  において補償ゲイン  $K_{COMP-dB}$  を設定すると、合計ループゲイン  $T_{(s)} = G_{PS(s)} \times H_{EA(s)} \times H(s)$  は  $f_c$  でゼロになります。
- そのため、 $f_{P2}$  までの単極ロールオフを概算するには、式 19 を再編成して  $RC$  を求め、 $f_c$  での補償ゲイン  $K_{EA}$  はゲイン  $K_{PS}$  の負であり、パワ一段のボード線図の周波数  $f_c$  で読み取られる、または詳細を簡単にすることができます。

$$K_{EA}(f_c) = 20 \times \log(G_{EA} \times R_c \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}}) = -K_{PS}(f_c) \quad (19)$$

ここで、

- $K_{EA}$  は、エラー アンプネットワークのゲインです
- $K_{PS}$  は電力段のゲインです
- $G_{EA}$  は、アンプの相互コンダクタンスで、標準値  $G_{EA} = 175\mu A/V$  です

#### 3. 補償ゼロコンデンサ $C_c$ を設定します。

- $R_{OUT}$ 、 $C_{OUT}$  の電力段の極位置に補償ゼロを配置し、次の式が得られます。

$$f_z = \frac{1}{2\pi \times R_c \times C_c} \quad (20)$$

- $f_z = f_P$  に設定し、次の式を得ます。

$$C_C = \frac{R_{OUT} \times C_{OUT}}{2R_C} \quad (21)$$

#### 4. 補償極コンデンサ $C_P$ を設定します。

- 補償用の極は、 $R_{ESR}$  と  $C_{OUT}$  によって生成されるゼロの位置に配置します。補償用の極は、ESR ゼロがもたらす役に立たない影響を打ち消すのに役立ちます。

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (22)$$

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (23)$$

- $f_{P2} = f_{ESR}$  に設定し、次の式を得ます。

$$C_P = \frac{R_{ESR} \times C_{OUT}}{R_C} \quad (24)$$

- 計算された  $C_P$  値が  $10\text{pF}$  より小さい場合は、無視のままでかまいません。

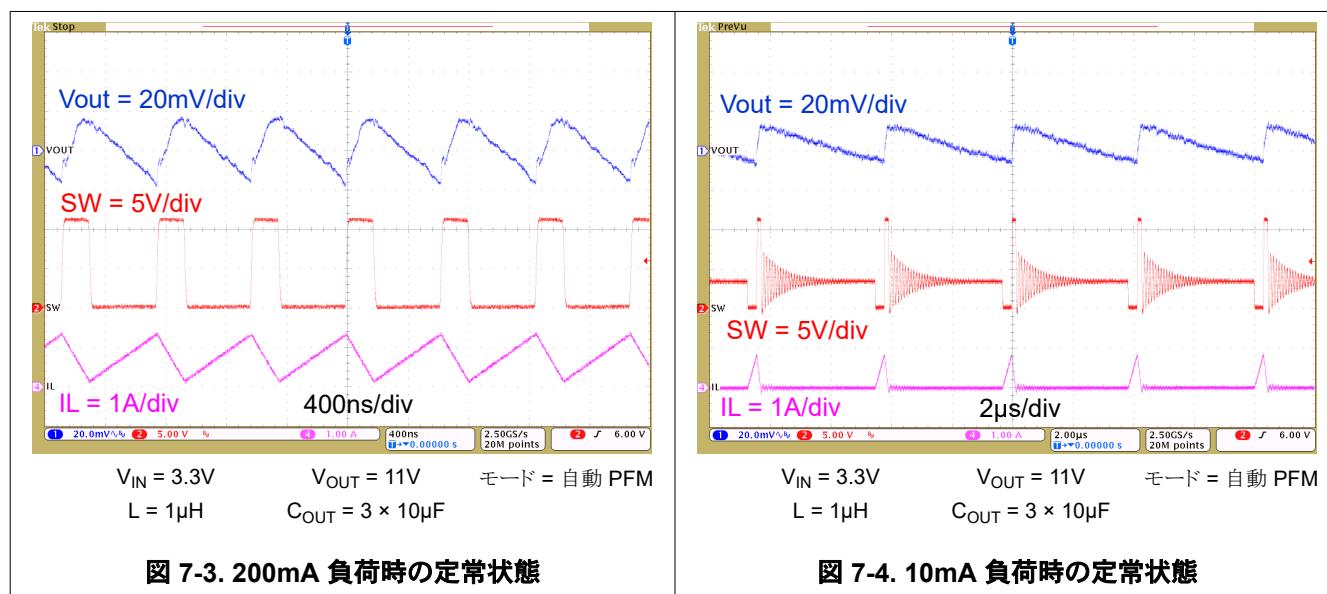
ループを、 $45^\circ$  を超える位相マージンと  $6\text{dB}$  を超えるゲイン マージンになるように設計すると、ラインおよび負荷の過渡時の出力電圧のリンクギングが除去されます。この設計例では、 $R_C = 61.9\text{k}\Omega$ 、 $C_C = 680\text{pF}$  です。

#### 7.2.2.8 ブートストラップ コンデンサの選択

BST ピンと SW ピンとの間のブートストラップ コンデンサは、各サイクルのターンオン時にハイサイド FET デバイスを充電するためのゲート電流を供給するとともに、ブートストラップ コンデンサの回復電荷を供給します。ブートストラップ コンデンサの推奨値は  $20\text{nF} \sim 200\text{nF}$  です。配線のインダクタンスにより引き起こされる電圧過渡による損傷の可能性を最小限に抑えるため、デバイスのピンに高品質で低 ESR の  $C_{BST}$  セラミックコンデンサを使用してください。

#### 7.2.3 アプリケーション曲線

標準値  $V_{IN} = 3\text{V} \sim 5\text{V}$ 、 $V_{OUT} = 11\text{V}$ 、温度 =  $25^\circ\text{C}$ 、特に記述の無い限り



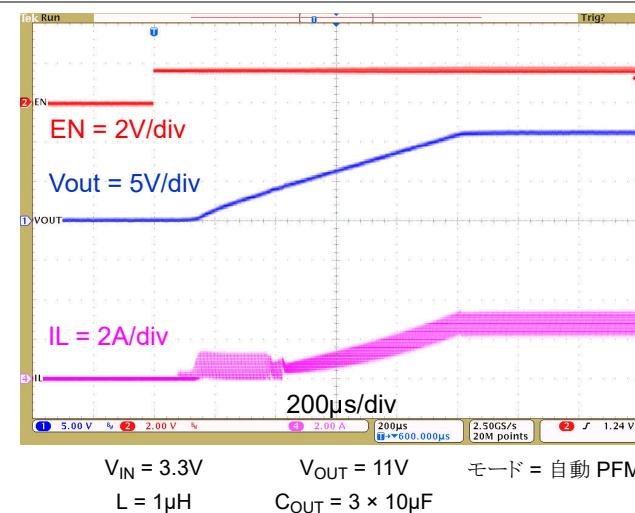


図 7-5. EN によるスタートアップ、負荷 = 16Ω

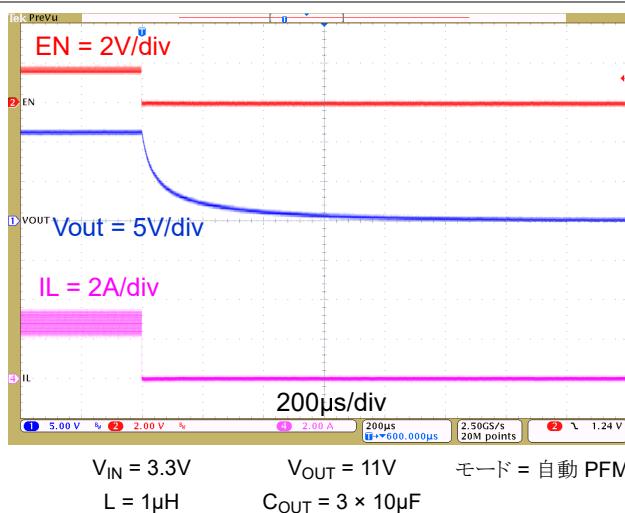


図 7-6. EN によるシャットダウン、負荷 = 16Ω

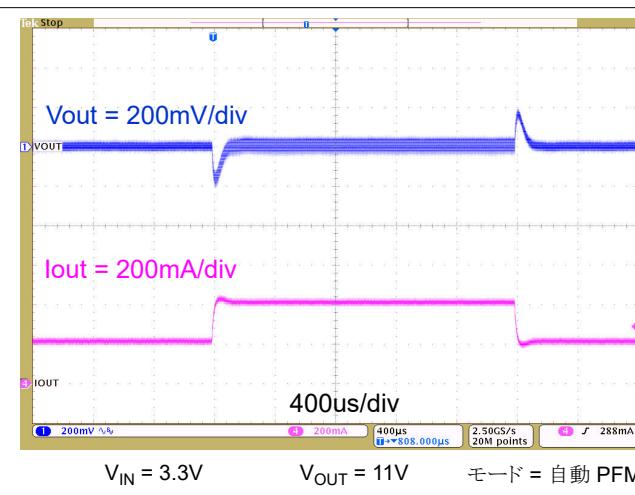


図 7-7. 負荷過渡、200mA ~ 400mA、100mA/μs

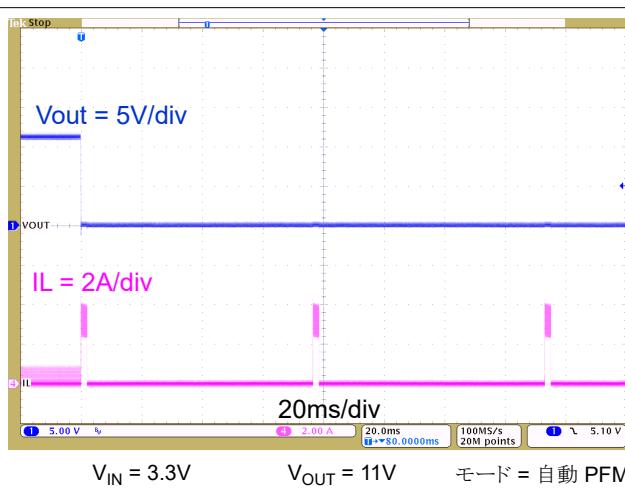


図 7-8. 短絡出力

## 7.3 電源に関する推奨事項

デバイスは、2.5V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS61372L から数インチ以上離れている場合は、セラミック バイパス キャパシタに加えて追加のバルク容量が必要となることがあります。通常は、47μF の電解コンデンサを使用します。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

基本的な PCB レイアウトでは、ノイズに敏感な信号パスおよび電源パスを分離する必要があります。レイアウトを注意深く行わないと、レギュレータで不安定性またはノイズの問題が発生する可能性があります。

適切に設計された基板で良好な性能を実現するためには、以下のチェックリストに従うことをお勧めします。

- チップの出力、出力コンデンサからチップの GND への大電流経路を最小化します。このループには、 $di/dt$  の大きいスイッチング電流 (ナノ秒 / アンペア) が含まれており、高周波ノイズは簡単に変換できます。

2. SW ピンに接続されるすべてのパターンの長さと面積を最小限に抑え、スイッチング レギュレータの下には常にグラウンド プレーンを使用して、プレーン間カッピングを最小限に抑えます。
3. 入力および出力コンデンサには、バルクコンデンサを、より小さな、直列抵抗の低いセラミックコンデンサと組み合わせて使用します。より小さなコンデンサは IC に近づけて配置することで、ノイズのデカッピングに対して低インピーダンス パスを提供します。
4. IC 付近のグラウンド領域は、十分な熱放散面積を備えていなければなりません。広いパワーバス (例: VOUT, SW, GND) を銅の広い領域に接続するか、ビアを使用して下層または内部層のグラウンド プレーンに接続し、放熱性能を強化します。
5. 入力電源リップルを低減するため、入力コンデンサはインダクタとデバイスの GND ピンの近くに配置します。
6. 帰還や補償回路などノイズに敏感なネットワークは、SW パターンから離して配置します。
7. 個別のグラウンド パターンを使用して、VIN ピンのコンデンサ、帰還回路、およびループ補償回路を接続します。このグラウンド パターンは、メインのパワーグラウンドに 1 点で接続することで、循環電流を最小限に抑えます。

#### 7.4.2 レイアウト例

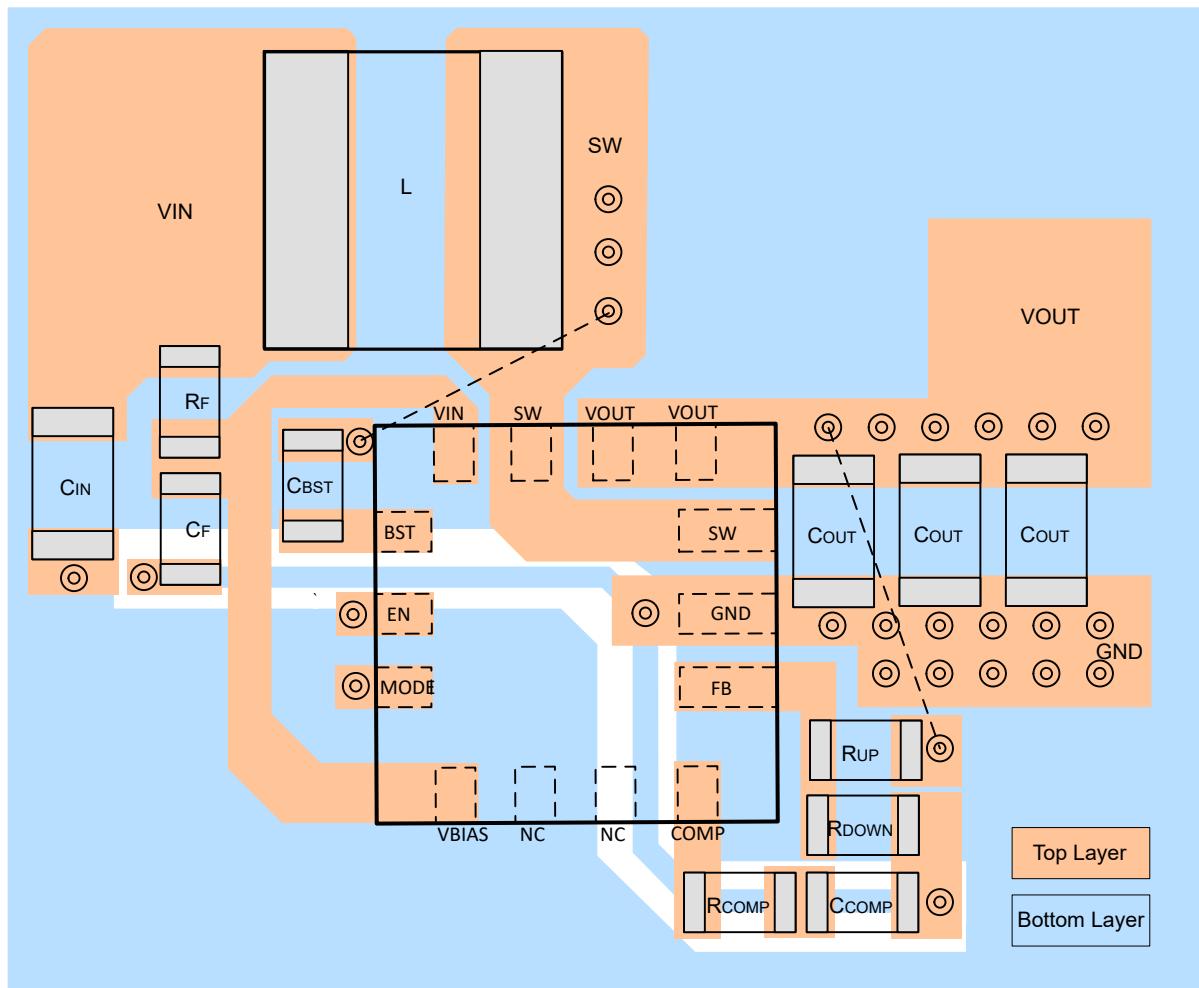


図 7-9. 推奨レイアウト

#### 7.4.2.1 热に関する注意事項

一般に、低背でファインピッチの表面実装パッケージに IC を実装する場合は、消費電力に特別な注意が必要です。热結合、エアフロー、追加ヒートシンク、対流面、他の発熱部品の存在など、システムに依存する多くの問題により、所定の部品の消費電力の限界が左右されます。

热特性強化の 2 つの方法を以下のリストに示します。

- PCB 設計による消費電力性能の改善
- PCB コンポーネントの热結合の改善。

ポータブル機器の電力需要はますます重要になるにつれて、効率、消費電力、ソリューション サイズの間で最良のトレードオフを実現する必要があります。統合と小型化によって、接合部温度が大幅に上昇する可能性があり、アプリケーションの不適切な挙動につながる可能性があります (早期のサーマル シャットダウン、またはワースト ケースによりデバイスの信頼性が低下する)。接合部から周囲への熱抵抗は、アプリケーションと基板レイアウトに大きく依存します。高い最大消費電力が存在するアプリケーションでは、基板設計で熱放散の問題に特に注意を払う必要があります。デバイスの動作時接合部温度 ( $T_J$ ) は  $125^{\circ}\text{C}$  未満に維持してください。

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

#### 8.1.2 開発サポート

##### 8.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、TPS61372L デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 ( $V_{IN}$ )、出力電圧 ( $V_{OUT}$ )、出力電流 ( $I_{OUT}$ ) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、[www.ti.com/ja-jp/WEBENCH](http://www.ti.com/ja-jp/WEBENCH) でご覧になります。

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision * (April 2025) to Revision A (June 2025)</b>	<b>Page</b>
• Rtheta-JA を 87.1 から 75.4 に変更.....	5
• Rtheta-JC (上) を 0.7 から 46.4 に変更.....	5
• Rtheta-JB を 24.1 から 25.0 に変更.....	5
• Psi-JT を 0.4 から 1.8 に変更.....	5
• Psi-JB を 24.3 から 25.1 に変更.....	5

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS61372LVARR	Active	Production	WQFN-HR (VAR)   14	3000   LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	372L

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

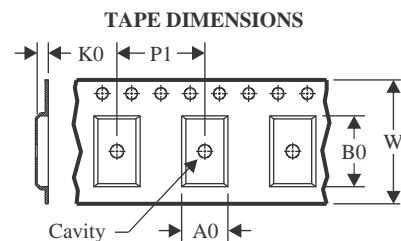
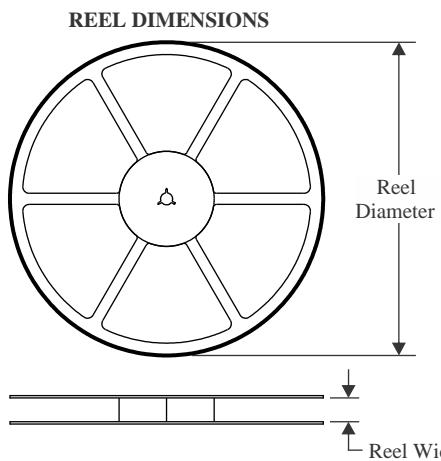
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

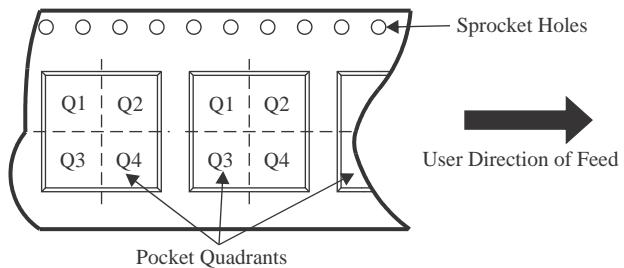
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

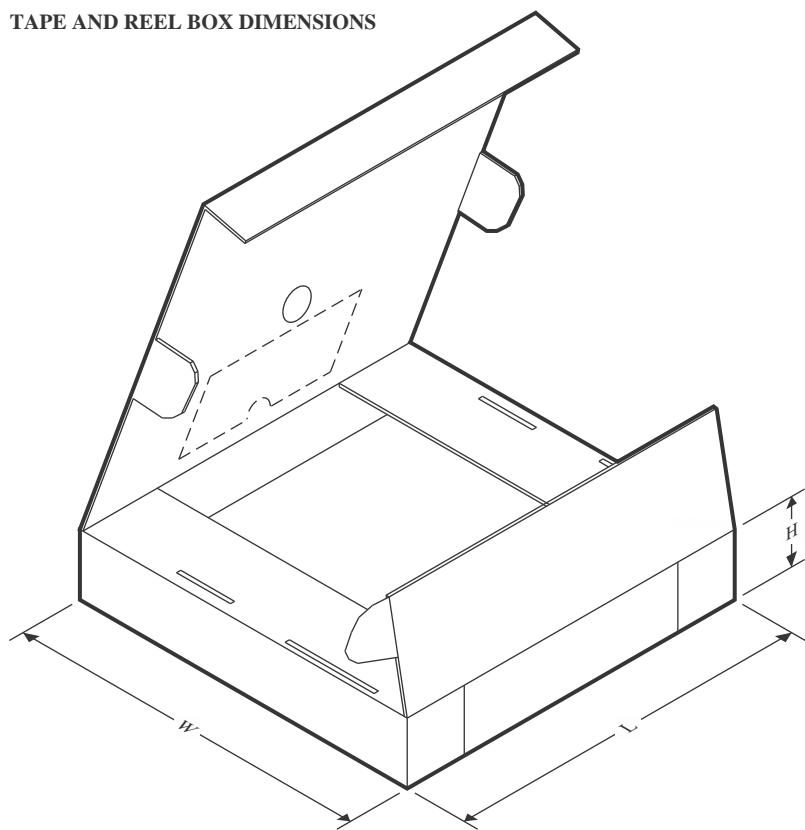
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS61372LVARR	WQFN-HR	VAR	14	3000	180.0	8.4	2.8	2.8	1.0	4.0	8.0	Q2

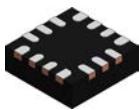
**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS61372LVARR	WQFN-HR	VAR	14	3000	210.0	185.0	35.0

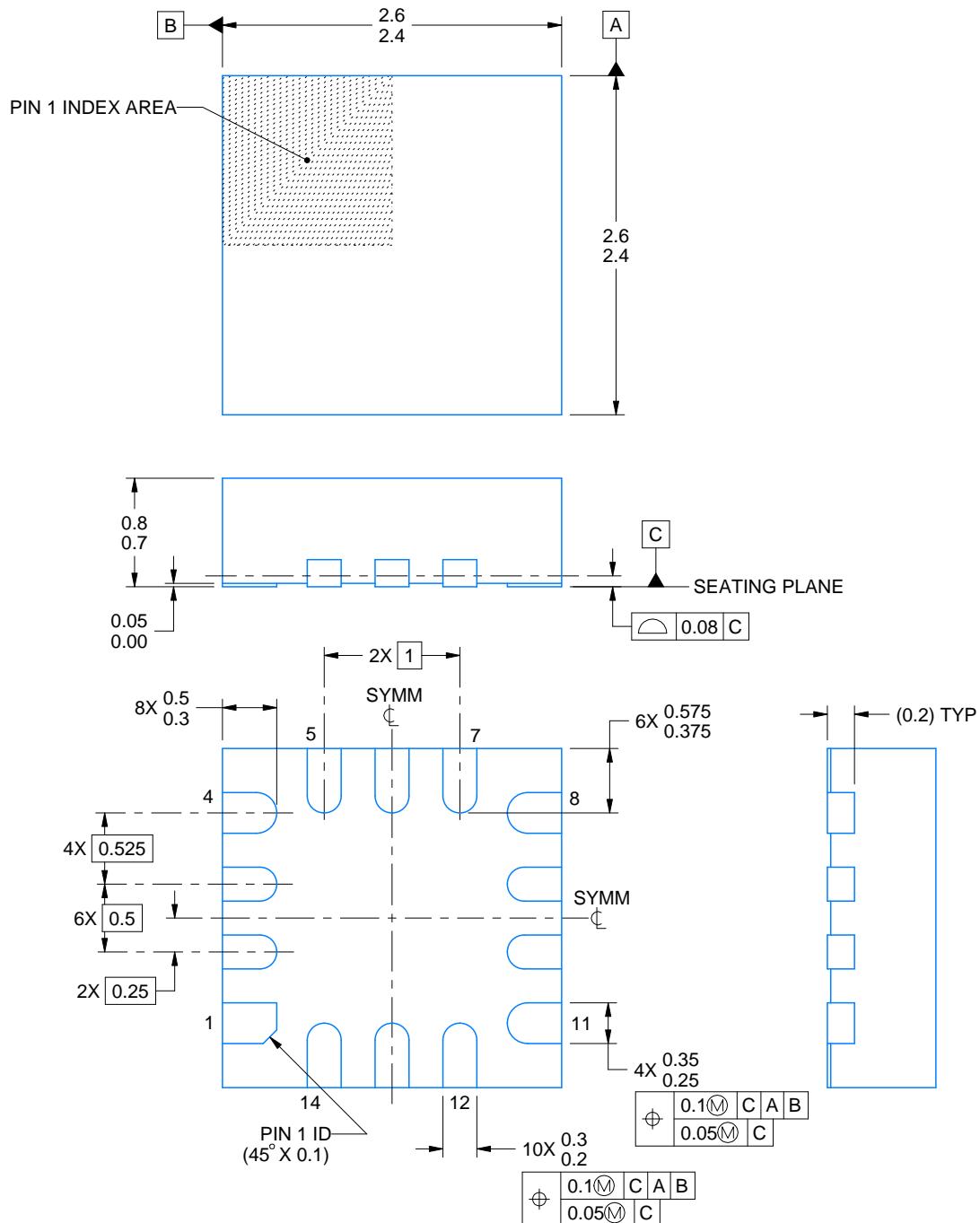
## PACKAGE OUTLINE

**VAR0014A**



## **WQFN-HR - 0.8 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



4231113/A 08/2024

## NOTES:

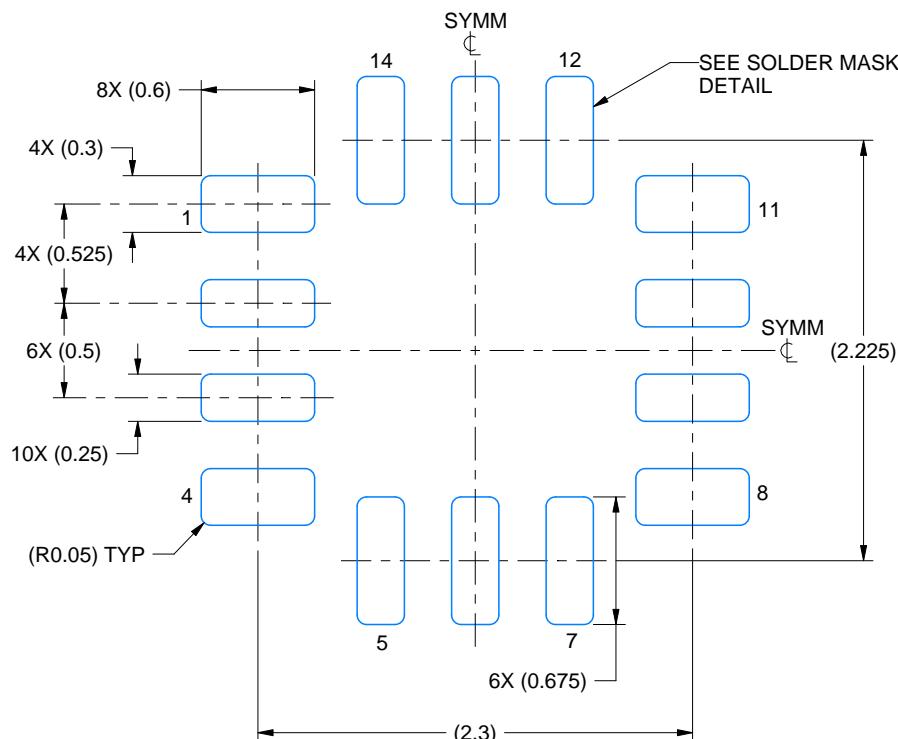
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.

## EXAMPLE BOARD LAYOUT

**VAR0014A**

**WQFN-HR - 0.8 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 25X



4231113/A 08/2024

#### NOTES: (continued)

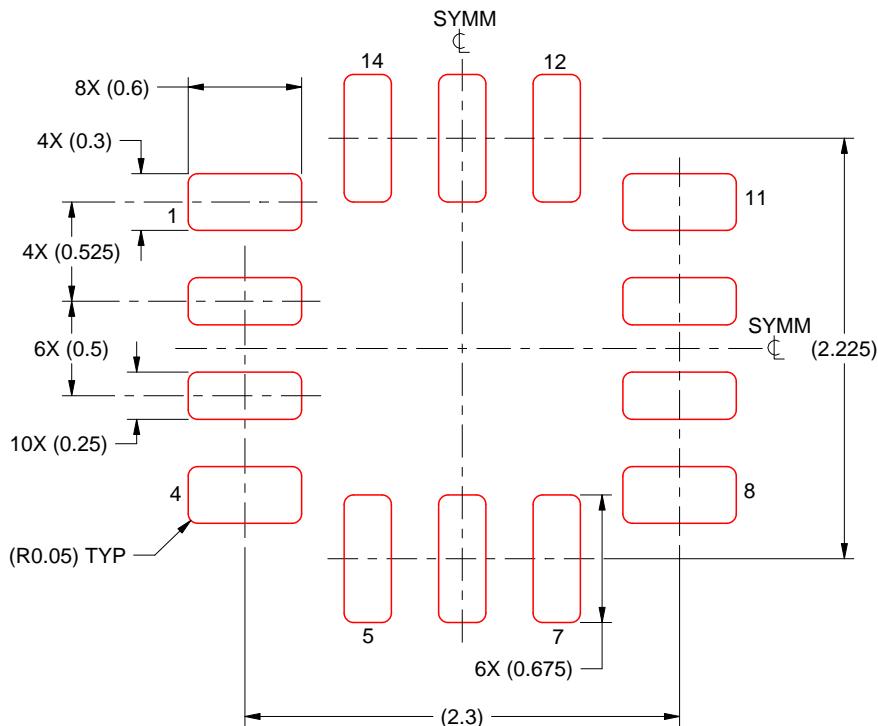
3. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

VAR0014A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 25X

4231113/A 08/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月