

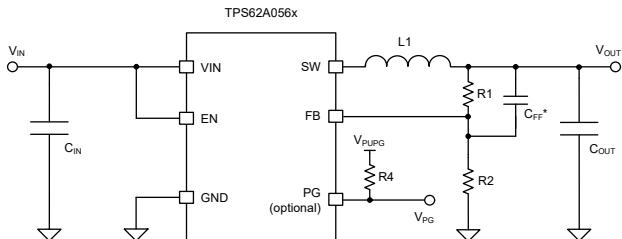
## TPS62A0569x、2A、高効率、同期式降圧コンバータ、SOT-563 パッケージ

### 1 特長

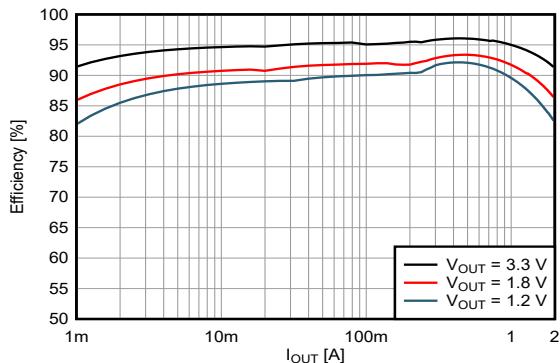
- 入力電圧範囲: 2.5V ~ 5.5V
- 2A パワーセーブ モード (PSM) および強制パルス幅変調 (FPWM) バージョン
- TLV6256x DRL ファミリとピン互換
- 調整可能な出力電圧範囲: 0.6V ~  $V_{IN}$
- 100mΩ/70mΩ 低  $R_{DS(ON)}$  スイッチ
- 23μA 未満の静止電流
- 温度効果を含む 2% のフィードバック精度
- 100% モード動作
- 2.4MHz のスイッチング周波数
- パワー グッド出力ピン (オプション)
- 短絡保護 (HICCUP)
- ソフト スタートアップを内蔵
- アクティブ高速出力放電 (電流制限付きスイッチ)
- サーマル シャットダウン保護機能

### 2 アプリケーション

- セットトップ ボックス、TV アプリケーション
- IP ネットワーク カメラ、多機能プリンタ
- ワイヤレス ルータ、ソリッドステートドライブ
- バッテリ駆動アプリケーション
- 汎用 POL (ポイント オブ ロード) 電源



代表的なアプリケーション



5V<sub>IN</sub> での効率と出力電流との関係 (TPS62A0569)

### 3 説明

TPS62A0569x デバイス ファミリは同期整流降圧型 DC/DC コンバータで、高効率と小型の設計サイズ向けに最適化されています。このデバイスには、最大 2A の出力電流を供給できるスイッチが内蔵されています。中～高負荷領域では、本デバイスはピーク電流モード PWM 方式で動作し、スイッチング周波数は約 2.4MHz となります。軽負荷時には、デバイスは自動的にパワーセーブ モード (PSM) へ移行し、負荷電流範囲の全体にわたって高い効率を維持します。シャットダウン状態では、アプリケーションの保存寿命を延ばす目的で、デバイスの消費電流が最小レベルに抑制されます。このデバイスファミリの TPS62A0569A バリアントは、負荷電流の範囲全体で強制 PWM で動作します。

TPS62A0569 デバイスは、外付けの分圧抵抗によって出力電圧を変更できます。内部のソフトスタート回路により、スタートアップ時の突入電流が制限されます。過電流保護、サーマル シャットダウン保護、およびパワー グッド (オプション) といった基本機能が内蔵されています。デバイスは SOT563 パッケージで提供されます。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS62A0568x	DRL (SOT-563, 6) <sup>(3)</sup>	1.60mm × 1.60mm
	DDC (SOT-23, 5) <sup>(3)</sup>	2.90mm × 2.80mm
TPS62A0569x	DRL (SOT-563, 6)	1.60mm × 1.60mm
	DDC (SOT-23, 5) <sup>(3)</sup>	2.90mm × 2.80mm

(1) 詳細については、セクション 11 を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はビンも含まれます。

(3) 開発中製品の情報 (量産データではない)。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	<b>1</b>	<b>8 アプリケーションと実装</b>	<b>12</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>8.1 アプリケーション情報</b>	<b>12</b>
<b>3 説明</b>	<b>1</b>	<b>8.2 代表的なアプリケーション</b>	<b>12</b>
<b>4 デバイス比較表</b>	<b>3</b>	<b>8.3 設計要件</b>	<b>12</b>
<b>5 ピン構成および機能</b>	<b>4</b>	<b>8.4 詳細な設計手順</b>	<b>13</b>
<b>6 仕様</b>	<b>5</b>	<b>8.5 アプリケーション曲線</b>	<b>15</b>
6.1 絶対最大定格	5	8.6 電源に関する推奨事項	17
6.2 ESD 定格	5	8.7 レイアウト	17
6.3 推奨動作条件	5	<b>9 デバイスおよびドキュメントのサポート</b>	<b>18</b>
6.4 熱に関する情報	6	9.1 デバイス サポート	18
6.5 電気的特性	6	9.2 ドキュメントの更新通知を受け取る方法	18
6.6 代表的特性	8	9.3 サポート・リソース	18
<b>7 詳細説明</b>	<b>9</b>	9.4 商標	18
7.1 概要	9	9.5 静電気放電に関する注意事項	18
7.2 機能ブロック図	9	9.6 用語集	18
7.3 機能説明	9	<b>10 改訂履歴</b>	<b>18</b>
7.4 デバイスの機能モード	10	<b>11 メカニカル、パッケージ、および注文情報</b>	<b>18</b>

## 4 デバイス比較表

発注用製品型番	モード	ピン 6	出力電流	ピン数	
TPS62A0568DRLR <sup>(1)</sup>	PSM	NC <sup>(2)</sup>	1A	6	
TPS62A0568ADRLR <sup>(1)</sup>	FPWM				
TPS62A0568PDRLR <sup>(1)</sup>	PSM	PG			
TPS62A0568APDRLR <sup>(1)</sup>	FPWM				
TPS62A0569DRLR <sup>(1)</sup>	PSM	NC <sup>(2)</sup>	2A		
TPS62A0569ADRLR	FPWM				
TPS62A0569PDRLR	PSM	PG			
TPS62A0569APDRLR <sup>(1)</sup>	FPWM				
TPS62A0568DDC <sup>(1)</sup>	PSM	該当なし	1A	5	
TPS62A0568ADD <sup>(1)</sup>	FPWM				
TPS62A0569DDC <sup>(1)</sup>	PSM				
TPS62A0569ADD <sup>(1)</sup>	FPWM		2A		

(1) 開発中製品の情報(量産データではない)。

(2) NC はフローティングにするか、GND に接続するか、VOUT に接続できます。

## 5 ピン構成および機能

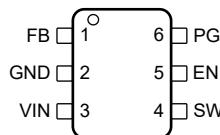


図 5-1. 6 ピン DRL SOT563 パッケージ、PG 付き (上面図)

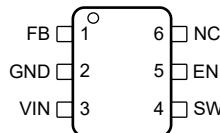


図 5-2. 6 ピン DRL SOT563 パッケージ、OUT/VOS と互換 (上面図)

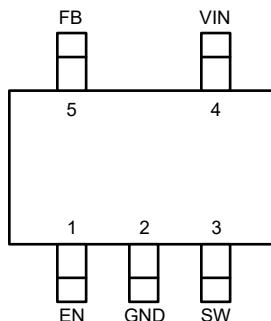


図 5-3. 5 ピン DDC SOT23 パッケージのプレビュー (上面図)

表 5-1. ピンの機能

名称	ピン番号		種類 <sup>(1)</sup>	説明
	SOT563	SOT23		
EN	5	1	I	デバイスイネーブルロジック入力。ロジック High になると、デバイスはイネーブルになります。ロジック Low になると、デバイスがディスエーブルになり、シャットダウンします。ピンをフローティングのままにしないでください。
FB	1	5	I	内部制御ループの帰還ピン。このピンは、外部の帰還デバイダに接続します。
GND	2	2	G	グランドピン。
PG <sup>(2)</sup> 、NC <sup>(3)</sup>	6	n/a	O/NC	このピンは、TPS62A056x と TPS62A056xP においては異なります。P バージョンでは、このピンにパワーグッドのオープンドレイン出力があり、5.5V 未満の任意の電圧へ接続されたプルアップ抵抗を備えています。未使用の場合、このピンはフローティングとするか GND に接続しなければなりません。P バージョン以外では、このピンを出力コンデンサの正極に接続することができます。
SW	4	3	O	内部 FET スイッチおよびインダクタ端子に接続されたスイッチピン。出力フィルタのインダクタをこのピンに接続します。
VIN	3	4	I	入力電圧ピン入力コンデンサを $V_{IN}$ と GND の間に、できるだけ近づけて接続します。

(1) I = 入力、O = 出力、G = グランド、NC = 未接続。

(2) TPS62A056xP (P バージョン)、このピンにパワーグッド信号を持つデバイスと互換性がある。

(3) TPS62A056x (P バージョン以外)、このピンが出力電圧に接続されているデバイスと互換性がある。

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
ピン電圧 <sup>(2)</sup>	V <sub>IN</sub> 、EN、PG	-0.3	6.5	V
	SW、DC	-0.3	V <sub>IN</sub> + 0.3	V
	SW、スイッチング時 10ns 未満の過渡電圧	-3.0	10	V
	FB	-0.3	3	V
動作時接合部温度	T <sub>J</sub>	-40	150	°C
保存温度	T <sub>stg</sub>	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。

### 6.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±500

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>IN</sub>	入力電源電圧範囲	2.5		5.5	V
V <sub>OUT</sub>	出力電圧範囲	0.6		V <sub>IN</sub>	V
I <sub>OUT</sub>	出力電流範囲		TPS62A0569	2	A
L	実効インダクタンス	0.4	1.0	2.5	μH
C <sub>OUT</sub>	実効出力キャパシタンス	10 <sup>(1)</sup>		90	μF
I <sub>PG</sub>	パワー グッド入力電流能力	0		1	mA
T <sub>J</sub>	動作時接合部温度	-40		125 <sup>(2)</sup>	°C

- (1) 5μF の最小実効容量 (コンデンサ値をディレーティングで補正) は、「出力フィルタ設計」セクションに記載されている条件下で可能です。
- (2) 接合部温度が 105°Cを超える状態で連続動作させると、寿命が低下します。

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS62A0569x	単位
		DRL	
		6 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	157.3	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への熱抵抗	92.2	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	45.6	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	4.0	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	45.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、[SPRA953『半導体およびICパッケージの熱評価基準』](#)アプリケーションノートを参照してください。

## 6.5 電気的特性

T<sub>J</sub> = -40°C ~ +125°C、V<sub>IN</sub> = 2.5V ~ 5.5V。代表値は、T<sub>J</sub> = 25°C および V<sub>IN</sub> = 5V です(特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位		
<b>電源</b>							
I <sub>Q(VIN)</sub>	V <sub>IN</sub> 静止電流	非スイッチング、V <sub>EN</sub> = High、V <sub>FB</sub> = 610mV		23	μA		
I <sub>SD(VIN)</sub>	V <sub>IN</sub> のシャットダウン時消費電流	V <sub>EN</sub> = Low (125°Cでの最大値)		0.01	2	μA	
V <sub>UVLO(R)</sub>	V <sub>IN</sub> UVLO 立ち上がりスレッショルド	V <sub>IN</sub> 立ち上がり		2.3	2.4	2.5	V
V <sub>UVLO(H)</sub>	V <sub>IN</sub> UVLO ヒステリシス	V <sub>IN</sub> 立ち下がり		0.12		V	
<b>イネーブル</b>							
V <sub>EN(R)</sub>	EN 電圧立ち上がりスレッショルド	EN 立ち上がり、スイッチングはイネーブル	0.9		V		
V <sub>EN(F)</sub>	EN 電圧立ち下がりスレッショルド	EN 立ち下がり、スイッチングはディスエーブル		0.35	V		
V <sub>EN(LKG)</sub>	EN の入力リーク電流	V <sub>EN</sub> = 5 V		0.1	nA		
<b>基準電圧</b>							
V <sub>FB</sub>	FB 電圧	PWM モード、25°C	588	600	612	mV	
I <sub>FB(LKG)</sub>	FB の入力リーク電流	V <sub>FB</sub> = 0.6 V		0.13		nA	
<b>スイッチング周波数</b>							
f <sub>SW(FCCM)</sub>	平均スイッチング周波数、PWM バージョン	V <sub>IN</sub> = 5V、V <sub>OUT</sub> = 1.8V		2400	kHz		
f <sub>SW</sub>	平均スイッチング周波数、PSM バージョン	V <sub>IN</sub> = 5V、V <sub>OUT</sub> = 1.8V	0	2400 <sup>(1)</sup>	kHz		
<b>スタートアップ</b>							
	内部固定ソフトスタート時間	EN = High から V <sub>FB</sub> = 0.56V		0.6	ms		
<b>電力段</b>							
R <sub>DSON(HS)</sub>	ハイサイド MOSFET オン抵抗	V <sub>IN</sub> = 5V		100	mΩ		
R <sub>DSON(LS)</sub>	ローサイド MOSFET オン抵抗	V <sub>IN</sub> = 5V		70	mΩ		
<b>過電流保護</b>							
I <sub>HS(OC)</sub>	ハイサイド ピーク電流制限	TPS62A0569	2.3	3.4	A		
<b>パワー グッド</b>							
V <sub>PGTH</sub>	パワー グッド(PG) スレッショルド	PG ピン Low、FB 立ち下がり		93.5	%		
V <sub>PGTH</sub>	PG スレッショルド	PG ピン High、FB 立ち上がり		96	%		
I <sub>PG(LKG)</sub>	オープンドレイン出力が High の PG ピンのリーキ電流	V <sub>PG</sub> = 5V		100	nA		
	PG ピン出力 Low レベル電圧	I <sub>PG</sub> = 1mA		200	mV		
<b>出力放電</b>							
	SW ピンの出力放電電流	V <sub>IN</sub> = 3 V、V <sub>OUT</sub> = 2.0 V		68	mA		
<b>サーマル シャットダウン</b>							
T <sub>J(SD)</sub>	サーマル シャットダウンのスレッショルド	温度上昇		165	°C		

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{IN} = 2.5\text{V} \sim 5.5\text{V}$ 。代表値は、 $T_J = 25^{\circ}\text{C}$  および  $V_{IN} = 5\text{V}$  です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス		20		°C

- (1) この周波数は、標準的な周波数より大幅に高くも低くもあり得ます。周波数は、デバイスが動作する条件によって決定されます。 $V_{OUT}$  を維持することが最優先であり、スイッチング周波数に影響を及ぼす可能性があります。パワーセーブ モードとパルス幅変調モードの間の範囲では、一定の周波数は存在せず、5MHzまでの成分を含むスペクトルが混在します。

## 6.6 代表的特性

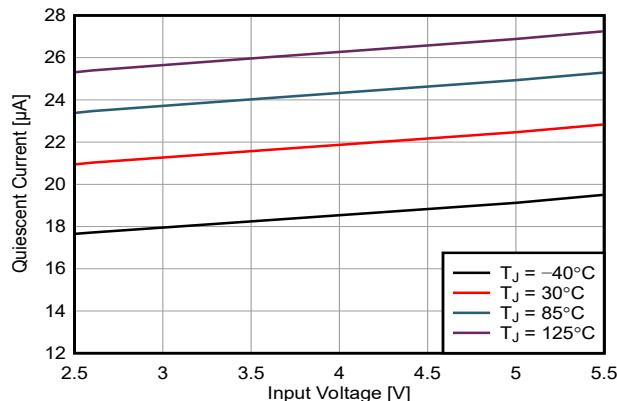


図 6-1. 静止電流と入力電圧との関係 (PSM 動作のみ)

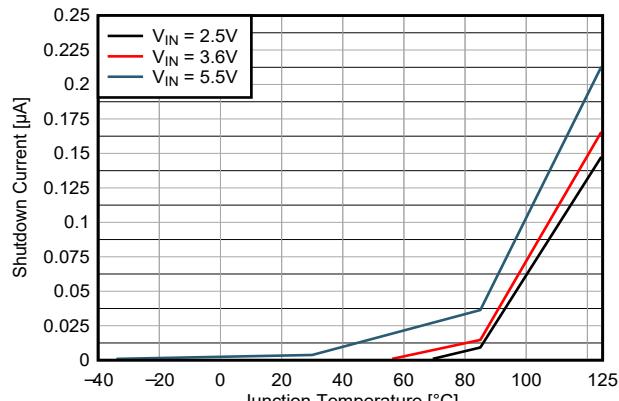


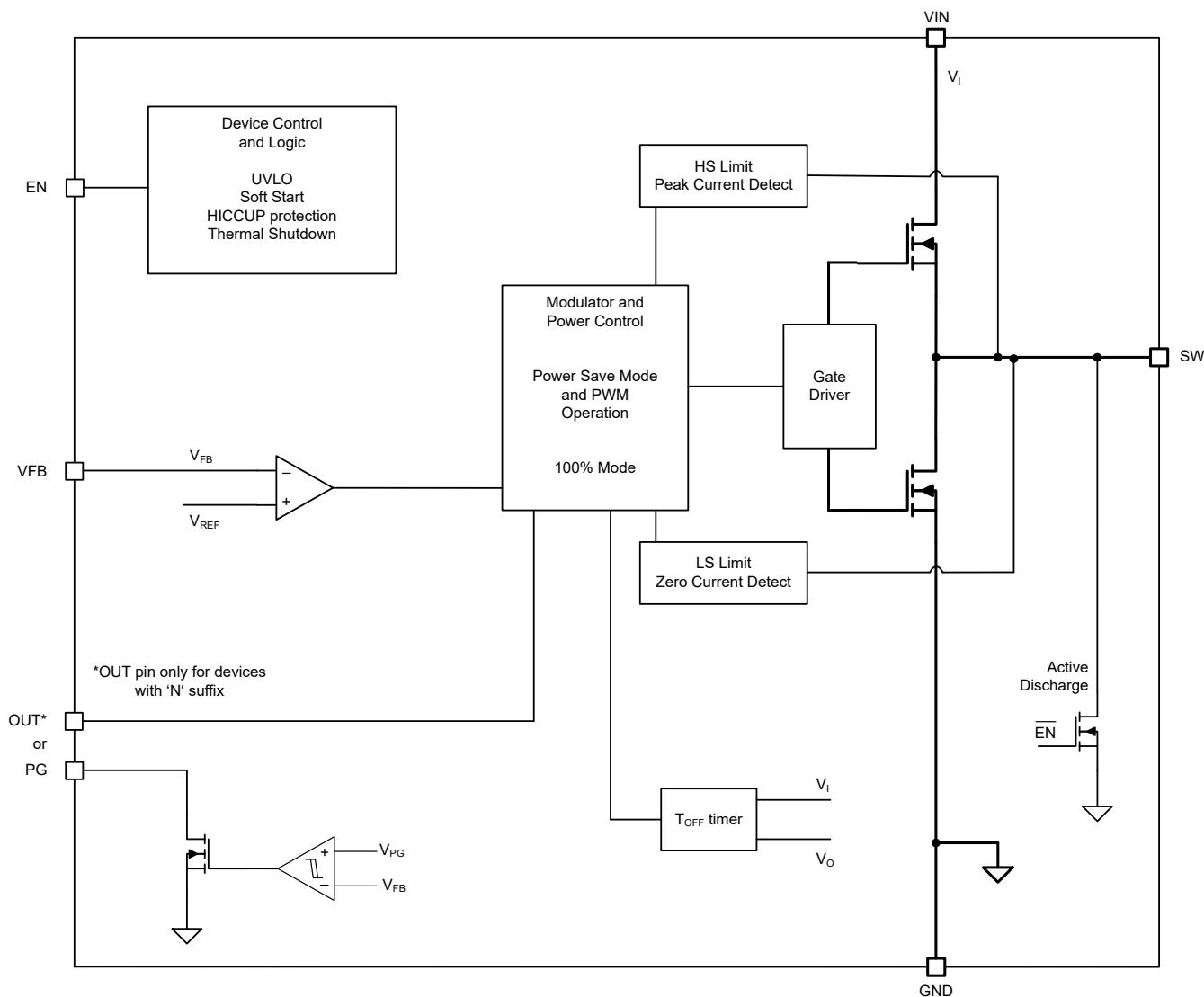
図 6-2. シャットダウン電流と接合部温度との関係

## 7 詳細説明

### 7.1 概要

TPS62A0569 は、高効率の同期整流降圧型コンバータです。このデバイスは、ピーク電流制御方式に基づく適応型オフ時間機能を用いて動作します。このデバイスは通常、中負荷から重負荷の電流条件で 2.4MHz のパルス幅変調 (PWM) 方式で動作します。 $V_{IN}/V_{OUT}$  の比率に基づいて、単純な回路によりローサイド MOSFET に必要なオフ時間が設定されるため、入力電圧、出力電圧、負荷電流の変動に関係なく、スイッチング周波数は比較的一定になります。

### 7.2 機能ブロック図



### 7.3 機能説明

#### 7.3.1 パワー セーブ モード

インダクタ電流が不連続になると、デバイスは自動的にパワー セーブ モードに移行し、軽負荷時の効率を向上させます。パワー セーブ モードでは、コンバータはスイッチング周波数を低減し、消費電流を最小化します。パワーセーブ モードでは、出力電圧が公称出力電圧をわずかに上回ります。この影響は、出力コンデンサを増やすか、フィードフォワード コンデンサを追加することで最小化されます。

### 7.3.2 100% デューティ サイクル対応の低ドロップアウト動作

このデバイスは、100% のデューティ サイクル モードに移行することで、入力と出力の間の電圧差を低く抑えます。このモードでは、ハイサイド MOSFET スイッチが継続的にオンになり、ローサイド MOSFET スイッチはオフになります。出力レギュレーションを維持するための入力電圧の最小値は、負荷電流と出力電圧に応じて、次のように計算されます。

$$V_{IN(MIN)} = V_{OUT} + I_{OUT} \times (R_{DS(ON)} + R_L) \quad (1)$$

ここで、

- $R_{DS(ON)}$  = ハイサイド FET オン抵抗
- $R_L$  = インダクタ オーム抵抗 (DCR)

### 7.3.3 ソフトスタート

デバイスをイネーブルにした後、内部ソフトスタート回路により出力電圧が徐々に上昇し、スタートアップ時間中に公称出力電圧に達します。これにより、過剰な突入電流を防止し、スムーズな電圧立ち上がり勾配を作り出します。また、内部ソフトスタート回路は、内部インピーダンスが高い一次電池や再充電可能バッテリの過剰な電圧降下も防止します。

TPS62A0569 は、プリバイアス出力コンデンサで起動できます。コンバータは、印加されたバイアス電圧で起動し、出力電圧を公称値に上昇させます。

### 7.3.4 スイッチ電流制限と短絡保護回路 (HICCUP)

スイッチ電流制限により、デバイスを大きなインダクタ電流から保護して、バッテリや入力レールから過剰な電流が流れるのを防ぎます。内部伝搬遅延が原因で、その間に AC ピーク電流が静的電流制限値を上回ることがあります。インダクタの短絡や飽和、過負荷、または出力回路の短絡状態が原因で、過剰な電流が発生する場合があります。インダクタ電流がスレッショルド  $I_{LIM}$  に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになって、適応型オフ時間でインダクタ電流を減少させます。

このスイッチ電流制限が 32 回トリガされると、デバイスは出力を保護するためにスイッチングを停止します。その後、100μs の標準の遅延時間が経過すると、本デバイスは自動的に新しいスタートアップを開始します。これは、HICCUP 短絡保護と呼ばれています。デバイスは、高負荷状態が解消されるまでこのモードを繰り返します。HICCUP 保護は、スタートアップ中もイネーブルされます。

### 7.3.5 低電圧誤動作防止

低入力電圧時のデバイスの誤動作を防止するため、電圧が  $V_{UVLO}$  より低い場合にデバイスをシャットダウンする、低電圧誤動作防止 (UVLO) が実装されています。 $t_{UVLO}$  のブランкиング時間は、ノイズから UVLO が誤ってトリガされることを防止します。ブランкиング後も低電圧状態が持続する場合、UVLO は有効になります。

### 7.3.6 サーマルシャットダウン

接合部温度が  $T_{J(SD)}$  を超えると、デバイスはサーマルシャットダウン状態に移行し、スイッチングを停止します。デバイス温度がスレッショルドの  $T_{J(HYS)}$  を下回ると、デバイスは自動的に通常動作に戻ります。

## 7.4 デバイスの機能モード

### 7.4.1 イネーブルおよびディセーブル

EN 入力をロジック High に設定すると、デバイスがイネーブルになります。したがって、ロジック Low に設定すると、デバイスはディスエーブルになります。デバイスがイネーブルの場合、内部電力段はスイッチングを開始し、出力電圧を設定点電圧にレギュレートします。EN 入力は終端させ、フローティングさせないでください。

### 7.4.2 パワー グッド

TPS62A0569xP バージョンには、出力電圧が目標に到達しデバイスが準備完了であるかどうかを示すパワー グッド (PG) 機能が内蔵されています。PG 信号は、スタートアップ時の複数のレールのシーケンシングに使用できます。PG ピンは、推奨入力電圧レベルに合致する任意の電圧に接続されたプルアップ抵抗を必要とするオープンドレン出力で

す。EN, UVLO (低電圧誤動作防止)、サーマルシャットダウンにより本デバイスがターンオフされると、PG は Low になります。PG ピンが Low に維持されるには、VIN が印加され続けている必要があります。使用しない場合、パワー グッドは GND に接続するか、オープンのままにできます。PG インジケータにはデグリッチ機能があり、ループからのグリッチや過渡応答を示す信号を防ぎます。P なしの TPS62A0569x には、パワーグッド ピンは付いていません。これらのバージョンでは、このピンは NC であり、フローティングのままにするか、GND または  $V_{OUT}$  に接続できます。

**表 7-1. パワー グッドインジケータの機能表**

ロジック信号				PG のステータス
$V_I$	EN ピン	サーマルシャットダウン	$V_O$	
$V_I > UVLO$	High	なし	目標の $V_O$	高インピーダンス
			$V_O <$ 目標値	Low
	Low	あり	X	Low
	X	X	X	Low
$V_I < 1.8V$	X	X	X	未定義

## 8 アプリケーションと実装

### 注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーションに基づいて、いくつかの入力および出力電圧の選択肢について、電源設計を完成させるための外部部品の設計について説明します。

### 8.2 代表的なアプリケーション

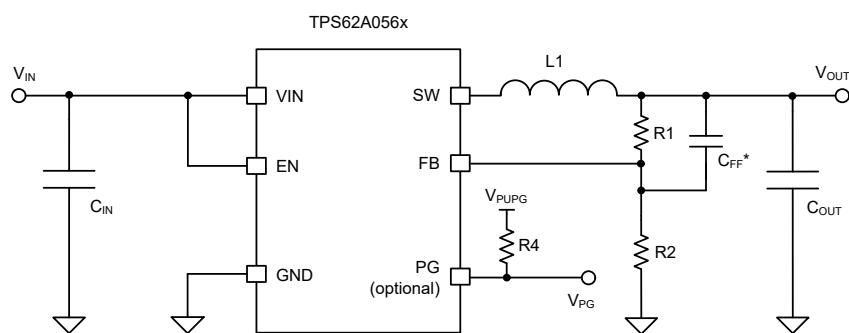


図 8-1. TPS62A056x の代表的なアプリケーション回路

\*  $C_{FF}$  はオプション、一部のデバイスでは PG は NC

### 8.3 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	値の例
入力電圧 ( $V_{IN}$ )	2.5V ~ 5.5V
出力電圧 ( $V_{OUT}$ )	1.8V
最大出力電流 ( $I_{OUT}$ )	1.0A、2.0A

この例で使用する部品のリストを 表 8-2 に示します。

表 8-2. 部品のリスト

リファレンス	説明	メーカー <sup>(1)</sup>
$C_{IN}$	4.7μF、セラミック コンデンサ、10V、X7R、サイズ 0805、GRM21BR71A475KA73L	Murata (村田製作所)
$C_{OUT}$	22μF、セラミック コンデンサ、10V、X7R、サイズ 0805、GRM21BZ71A226KE15L	Murata (村田製作所)
L1	1μH、パワー インダクタ、DFE252012F-1R0M (1A) / XGL3520-102MEC (2A)	Murata/Coilcraft
R1, R2	チップ抵抗、1%、サイズ 0603	標準
$C_{FF}$	オプション、必要に応じて最大 120pF	標準

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

## 8.4 詳細な設計手順

### 8.4.1 出力電圧の設定

出力電圧は、式 2 に従って外部抵抗デバイダによって設定されます。

$$R1 = R2 \times \left( \frac{V_{OUT}}{V_{FB}} - 1 \right) = R2 \times \left( \frac{V_{OUT}}{0.6V} - 1 \right) \quad (2)$$

許容可能なノイズ感度を実現するため、R2 を  $100\text{k}\Omega$  より高くしないでください。

### 8.4.2 入力および出力コンデンサの選択

TPS62A0569 のアーキテクチャは、低等価直列抵抗 (ESR) の超小型セラミック出力コンデンサの使用を可能にします。これらのコンデンサは出力電圧リップルを低減し、それゆえに推奨されています。抵抗を高周波数に維持し、また、温度による容量変動を小さくするために、X7R または X6S の誘電体を使用することを推奨します。

入力コンデンサは、コンバータに対する低インピーダンスのエネルギー源であり、安定した動作の実現に寄与します。最良のフィルタリング性能を得るために、低 ESR の積層セラミック コンデンサを推奨します。これらの値については、表 [推奨動作条件](#) を参照してください。

TPS62A0569 は、[TPS62A0569x における出力電圧、コンデンサおよびインダクタの組み合わせマトリクス](#) に示されているさまざまな出力コンデンサおよびインダクタの組み合わせで動作するように設計されています。許容される実効インダクタおよびコンデンサの値も、表 [推奨動作条件](#) に概説します。他の組み合わせも可能ですが、最高の安定性を得るために、特定のインダクタ、出力コンデンサ、およびフィードフォワード コンデンサで位相余裕を検証するために、ボード線図を実行する必要があります。これは、このデータシートの部品表とディレーティングが異なる部品を使用する場合にも有効です。

フィードフォワード コンデンサにより、負荷過渡応答が向上し、より大きな出力コンデンサと組み合わせて位相余裕が改善する場合があります。出力コンデンサが小さい場合、位相余裕が低下する可能性があります。 $R2 = 100\text{k}\Omega$  を使用する場合、最適値は通常  $10\text{pF} \sim 120\text{pF}$  の範囲です。 $R2$  の値が異なる場合は、 $C_{FF}$  の範囲を再計算する必要があります。アプリケーション ノート『[安定性と帯域幅を向上させるためのフィードフォワード コンデンサ](#)』で、このトピックについて詳細に説明しています。

### 8.4.3 出力フィルタの設計

インダクタと出力コンデンサを組み合わせることで、ローパス フィルタを実現します。以下の表に、出力電圧ごとの出力コンデンサとインダクタのペアの値を示します。チェックされたセルは、シミュレーションおよびラボ テストによって安定性が実証されている組み合わせを示します。2 つのプラス記号 (++) は、このコンデンサとインダクタの値の組み合わせが記載されている  $V_{OUT}$  範囲に対して非常に安定して動作し、対象アプリケーションに変更を加えずに使用できます。プラス記号 (+) が 1 つあります。これは、このコンデンサとインダクタの値の組み合わせがリファレンス ボード (TPS62A0569x 評価基板) 上で安定して動作することを意味しますが、ターゲットアプリケーションに適応させる必要があります。このコンデンサおよびインダクタの組み合わせについては、アプリケーションとの組み合わせについてより徹底的にチェックし、未実装の予備の  $C_{OUT}$  位置を追加して、レイアウトまたは BOM のオプションを提供します。他の組み合わせも特定のターゲット アプリケーションに適合し、ボード線図の測定を含む安定性の検証が完了すれば使用できます。

**表 8-3. TPS62A0569x における出力電圧、コンデンサおよびインダクタの組み合わせマトリクス**

$V_{OUT}$ [V]	$L$ [ $\mu\text{H}$ ] <sup>(1)</sup>	$C_{OUT}$ [ $\mu\text{F}$ ] <sup>(2)</sup>			
		10	22	$2 \times 22$	$4 \times 22$
$0.6 \leq V_{OUT} < 1.2$	0.47	+	++	++	++
	1		++	++	++
	2.2		++	++	++
$1.2 \leq V_{OUT} < 1.8$	0.47	+	++	++	+ <sup>(3)</sup>
	1		++	++	+ <sup>(3)</sup>
	2.2		++	++	+ <sup>(3)</sup>

**表 8-3. TPS62A0569x における出力電圧、コンデンサおよびインダクタの組み合わせマトリクス (続き)**

V <sub>OUT</sub> [V]	L [ $\mu$ H] <sup>(1)</sup>	C <sub>OUT</sub> [ $\mu$ F] <sup>(2)</sup>			
		10	22	2 × 22	4 × 22
1.8 ≤ V <sub>OUT</sub>	0.47	+ (C <sub>FF</sub> = 0)	++	++	+ <sup>(3)</sup>
	1	+ (C <sub>FF</sub> = 0)	++ <sup>(4)</sup>	+	+ <sup>(3)</sup>
	2.2		+	+	+ <sup>(3)</sup>

(1) 推奨事項には、BOM に記載のデバイス ファミリと同程度のインダクタの許容誤差および電流ディレーティングが含まれています。

(2) BOM のデバイス ファミリに基づき、この推奨事項には容量許容誤差とバイアス電圧のディレーティングが含まれています。メーカー や フォーム ファクタが異なるコンデンサでは、ディレーティング量が増大する場合があります。その場合は、より大きな値を検討する必要があります。

(3) 強い過渡耐性を備えた、非常に安定した動作条件です。大きな過渡電圧での電圧降下が最小化されます。この設定ではゲイン帯域幅が低下するため、大きな過渡の後に V<sub>OUT</sub> が目標値に戻るまでの時間が長くなるので、「+」が付けられています。

(4) 評価基板の構成

## 8.5 アプリケーション曲線

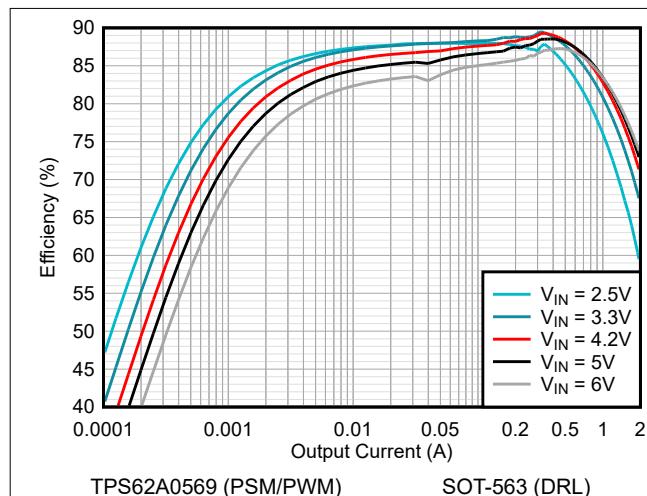


図 8-2. 0.6V の出力効率

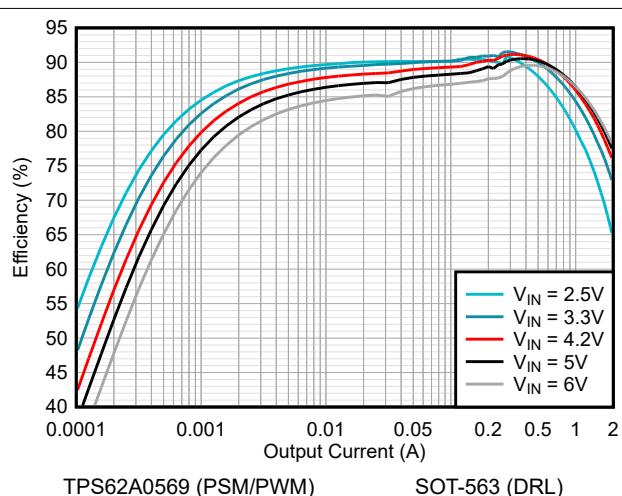


図 8-3. 0.9V の出力効率

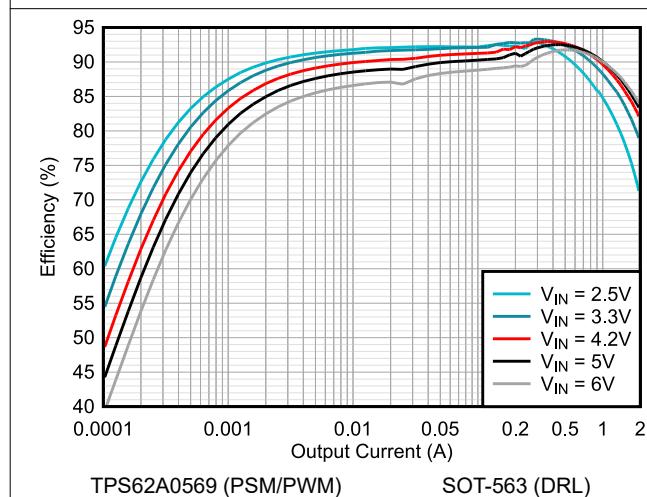


図 8-4. 1.2V の出力効率

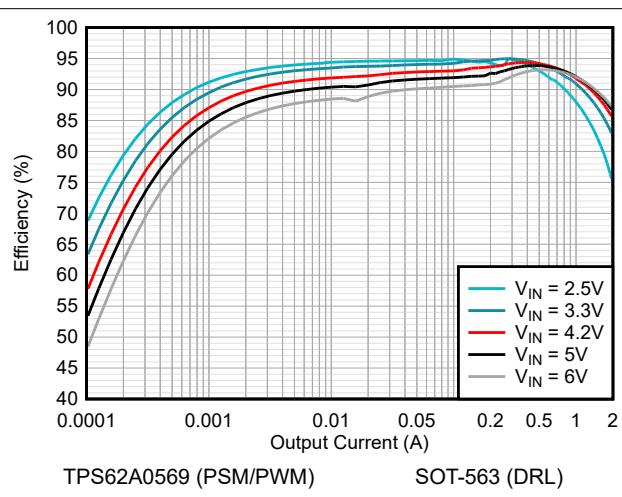


図 8-5. 1.8V の出力効率

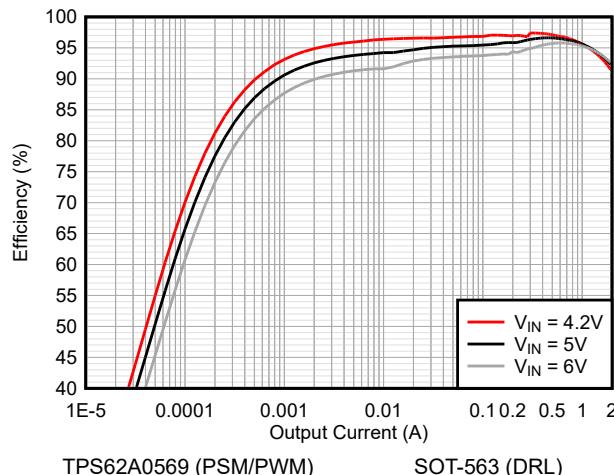


図 8-6. 3.3V の出力効率

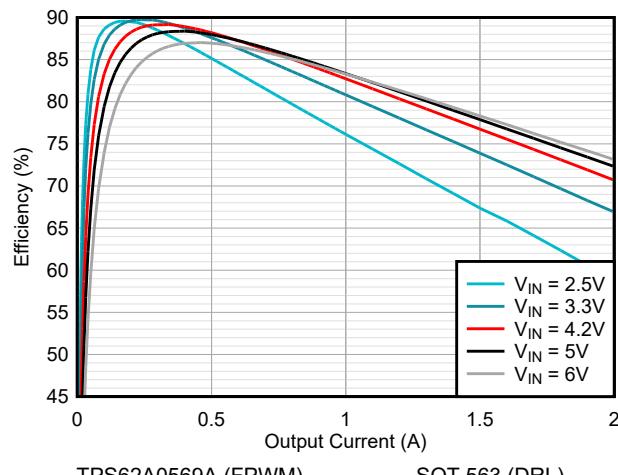


図 8-7. 0.6V の出力効率

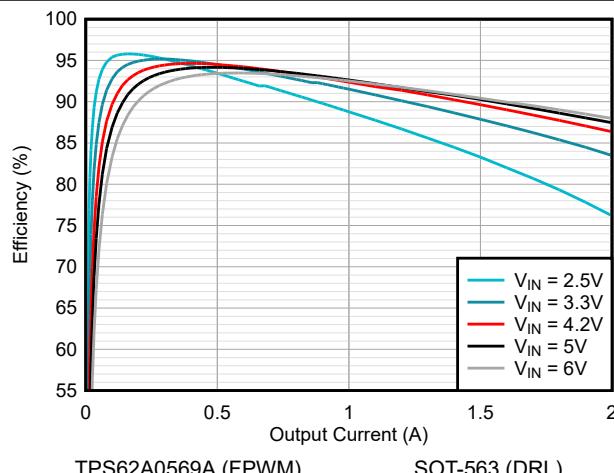


図 8-8. 1.8V の出力効率

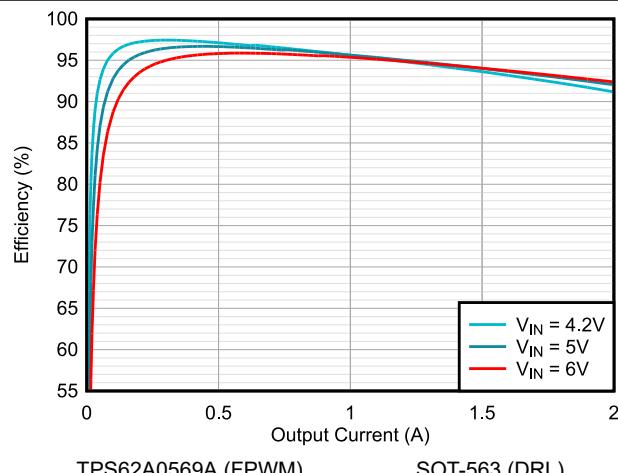
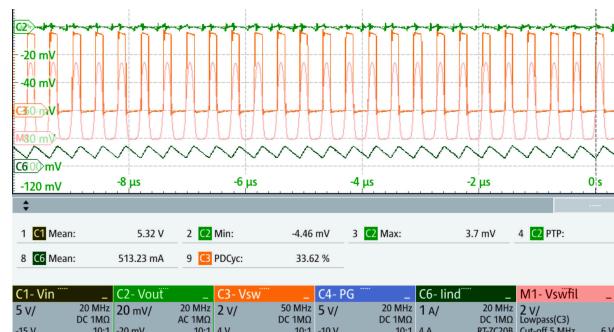
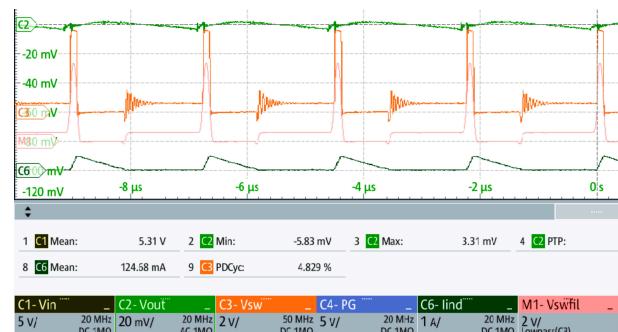


図 8-9. 3.3V の出力効率



TPS62A0569x 自動 PSM および強制 PWM バージョン  $V_{IN} = 5.5V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 500mA$

図 8-10. PWM 動作



TPS62A0569 (自動 PSM パー  
ジン) V<sub>IN</sub> = 5.5V、V<sub>OUT</sub> = 1.8V、  
I<sub>OUT</sub> = 100mA

図 8-11. パワーセーブ モード動作

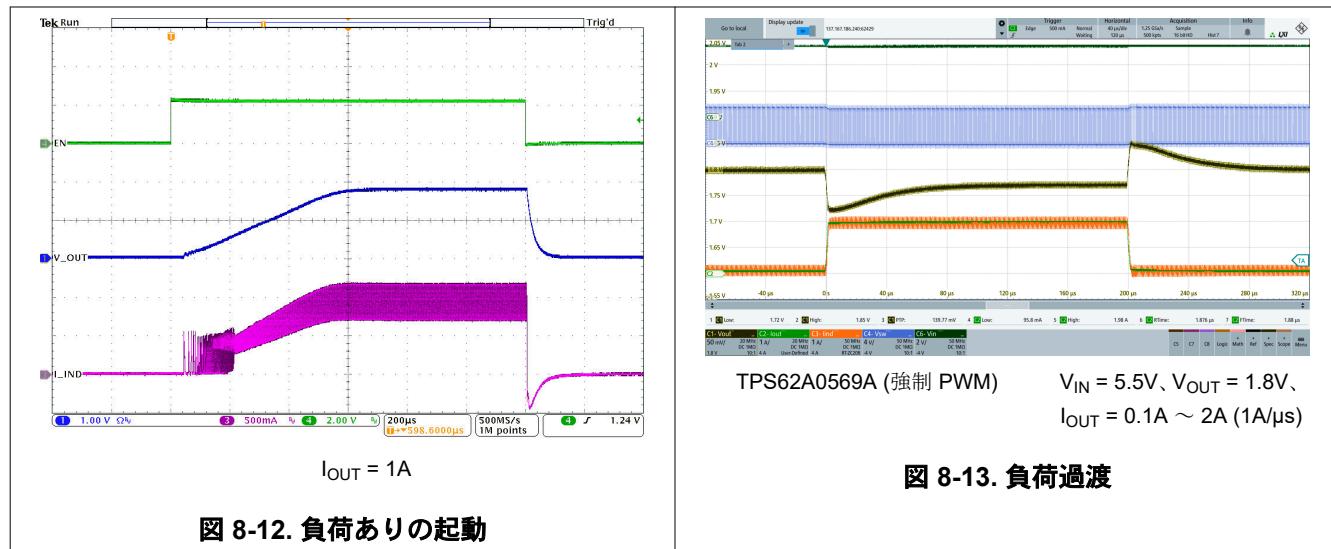


図 8-12. 負荷ありの起動

図 8-13. 負荷過渡

## 8.6 電源に関する推奨事項

このデバイスは、2.5V から 5.5V の入力電源電圧範囲で動作するように設計されています。アプリケーションに対して入力電源の定格電流が十分であることを確認してください。

## 8.7 レイアウト

### 8.7.1 レイアウトのガイドライン

プリント基板 (PCB) のレイアウトは、TPS62A056x デバイス ファミリの高性能を維持するための重要なステップです。

- 入力コンデンサ、出力コンデンサ、インダクタは、IC にできる限り近づけて配置します。これにより、電源トレースが短くなります。これらの電源トレースを直接かつ広く配線することで、トレース抵抗と寄生インダクタンスを低く抑えることができます。
- グランドの電位シフトを避けるため、入力コンデンサおよび出力コンデンサのローサイドは GND ピンに正しく接続します。
- FB に接続されているセンストレースは信号トレースです。ノイズが誘発されないように特に注意してください。これらの配線は SW ノードから離して配置します。
- 共通のグランドを使用します。遮蔽するために GND レイヤを使用できます。

推奨される PCB レイアウトについては、図 8-14 を参照してください。

### 8.7.2 レイアウト例

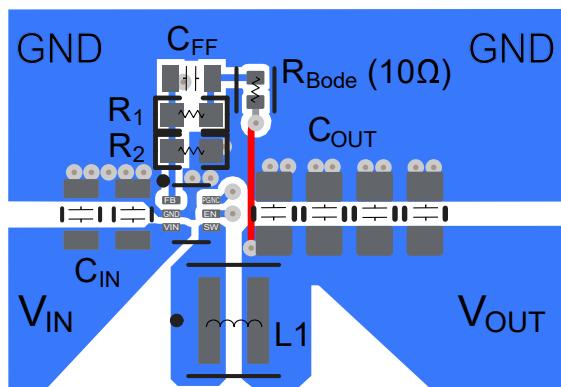


図 8-14. TPS62A0569 (SOT563) PCB レイアウトに関する推奨事項

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

#### 9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インストルメンツの出版物は、単独またはテキサス・インストルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

#### テキサス・インストルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62A0569ADRLR	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	BARE COPPER	Level-1-260C-UNLIM	-40 to 125	1XH
TPS62A0569PDRLR	Active	Production	SOT-5X3 (DRL)   6	4000   LARGE T&R	-	BARE COPPER	Level-1-260C-UNLIM	-40 to 125	1ZK

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

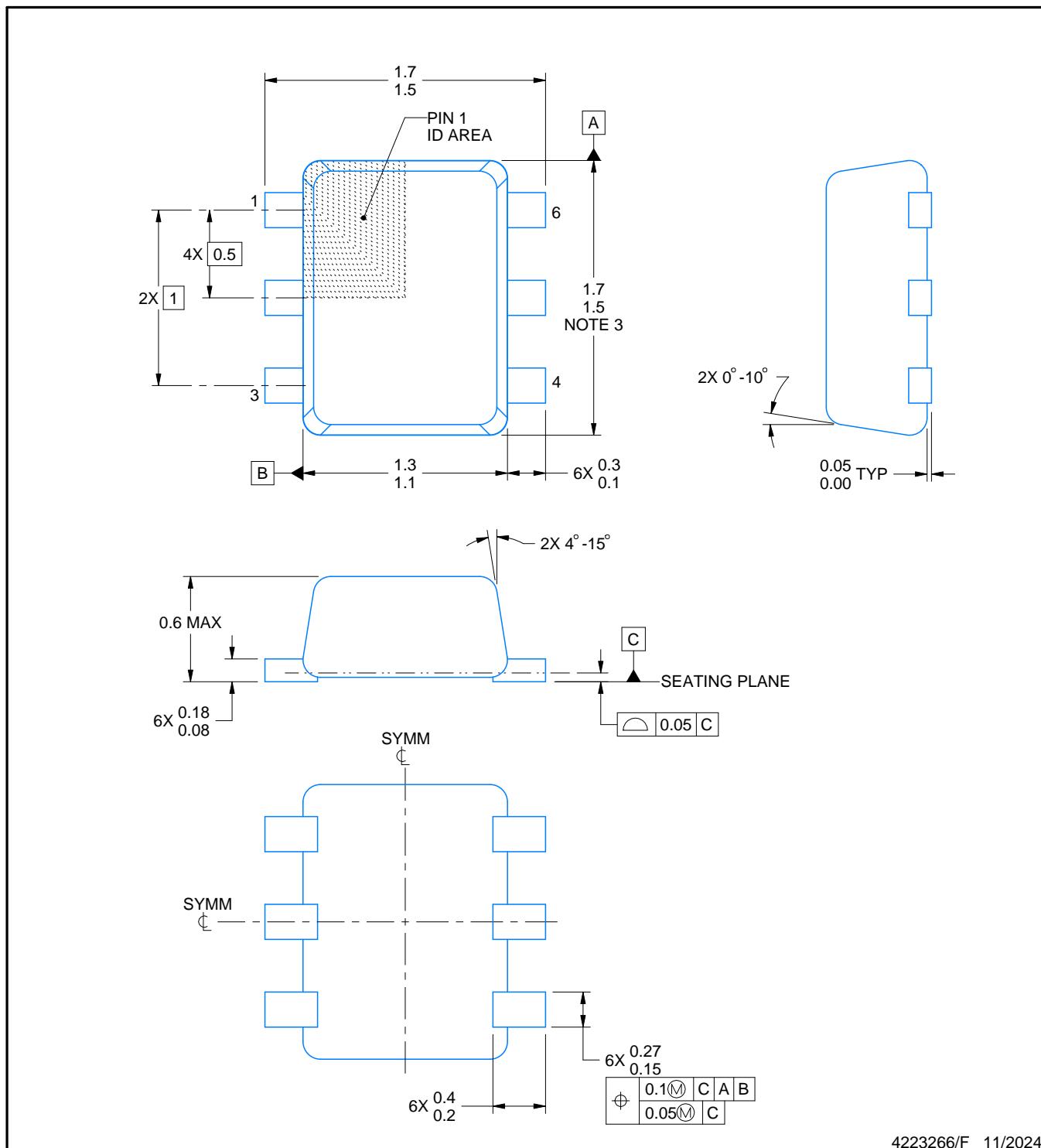
## PACKAGE OUTLINE

**DRL0006A**



## SOT - 0.6 mm max height

## PLASTIC SMALL OUTLINE



4223266/F 11/2024

## NOTES:

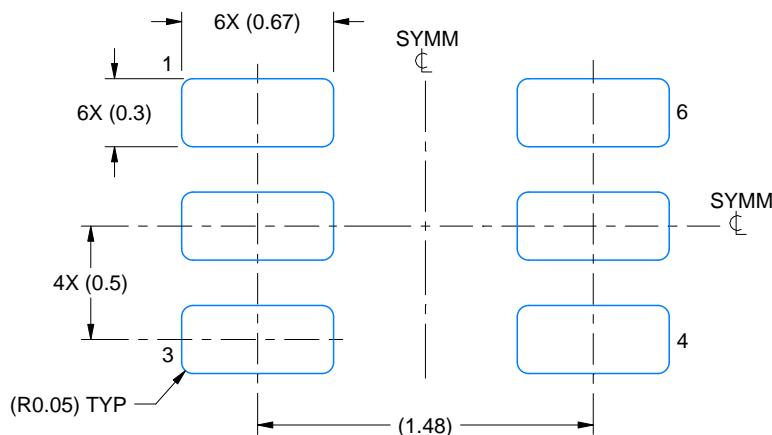
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
  4. Reference JEDEC registration MO-293 Variation UAAD

# EXAMPLE BOARD LAYOUT

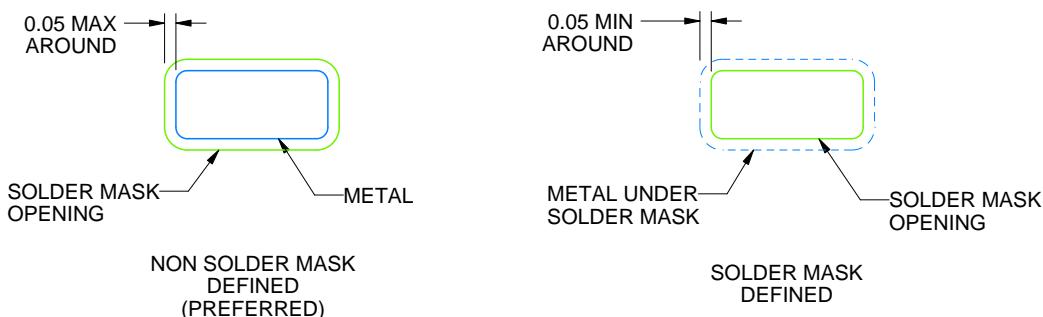
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

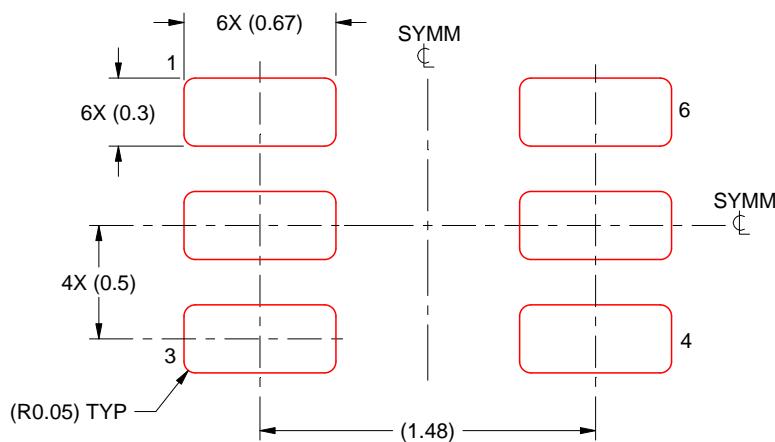
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

# EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月