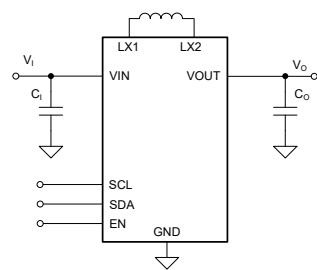


# TPS631012A および TPS631013A 1.6V ~ 5.5V 入力電圧 1.5A 昇降圧コンバータ、 I<sup>2</sup>C および 1.2V 論理 I/O 搭載

## 1 特長

- 入力電圧範囲: 1.6V ~ 5.5V
  - スタートアップ時のデバイス入力電圧 > 1.65V
- 出力電圧範囲 (調整可能): 1.0V ~ 5.5V
- 高い出力電流能力、3A ピークスイッチ電流
  - $V_{IN} \geq 3V$ 、 $V_{OUT} = 3.3V$  時の  $I_{OUT}$  は 2A
  - $V_{IN} \geq 2.7V$ 、 $V_{OUT} = 3.3V$  時の  $I_{OUT}$  は 1.5A
- 全負荷範囲にわたって高効率を実現
  - 静止電流: 8μA (代表値)
  - 自動パワー セーブ モードおよび強制 PWM モードを構成可能
- ピーク電流昇降圧モードアーキテクチャ
  - シームレスなモード遷移
  - 順方向および逆方向電流動作
  - あらかじめ出力にバイアスを印加した状態で起動
  - 2MHz スイッチングの固定周波数動作
- 安全性と堅牢な動作機能
  - 過電流保護および短絡保護
  - アクティブランプを採用したソフトスタート機能内蔵
  - 過熱保護および過電圧保護
  - 負荷切断による真のシャットダウン機能
  - 順方向および逆方向の電流制限
- 1.2V ロジック I/O をサポート
- 内部 EN のデフォルト設定
  - TPS631012A および TPS631012XA(X=1,2,3): CONVERTER\_EN = 0
  - TPS631013A: CONVERTER\_EN = 1
- 小型ソリューション サイズ
  - 小型 1μH インダクタ
  - 1.806mm × 0.908mm (WCSP)



代表的なアプリケーション

## 2 アプリケーション

- システム プリレギュレータ (スマートフォン、タブレット、端末、TWS)
- ポイントオブロード レギュレーション (有線センサ、ポートケーブルアダプタ、ドングル)
- 指紋、カメラ センサ (電子スマートロック、IP ネットワークカメラ)
- 電圧スタビライザ (データコム、光モジュール、冷却 / 加熱)

## 3 説明

TPS631012A および TPS631013A は、小型ウェハー チップスケール パッケージに封止された定周波数ピーケ電流モード制御昇降圧コンバータです。3A のピーケ電流制限 (標準値) と 1.6V ~ 5.5V の入力電圧範囲を備え、システム プリレギュレータと電圧スタビライザの電源アプリケーションを提供します。

TPS631012A と TPS631013A は入力電圧に応じて自動的に昇圧モード、降圧モード、3 サイクル昇降圧モード (入力電圧が出力電圧とほぼ等しい場合) で動作します。モード間の遷移は定義されたデューティ サイクルで発生し、モード間の不要な切り替えが避けられるので出力電圧リップルを減らすことができます。8μA の静止電流とパワー セーブ モードにより、軽負荷から無負荷までの状況で非常に高い効率を実現します。

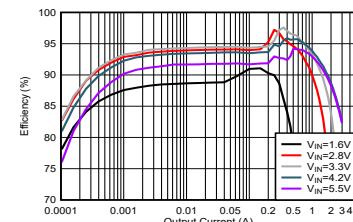
これらのデバイスは、WCSP で小型のソリューション サイズを実現しています。

### パッケージ情報

部品番号	パッケージ <sup>(2)</sup>	パッケージ サイズ (公称)
TPS631012A <sup>(1)</sup>	WCSP	
TPS631013A		1.806mm × 0.908mm

(1) 製品レビュー。詳細はテキサス・インスツルメンツまでお問い合わせください。

(2) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



効率と出力電流との関係 ( $V_{OUT} = 3.3V$ )



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSIJ1](#)

## 目次

1 特長	1	7.5 プログラミング	13
2 アプリケーション	1	8 レジスタ マップ	16
3 説明	1	8.1 レジスタの説明	16
4 デバイス比較表	3	9 アプリケーションと実装	18
5 ピン構成および機能	4	9.1 アプリケーション情報	18
6 仕様	5	9.2 代表的なアプリケーション	18
6.1 絶対最大定格	5	9.3 電源に関する推奨事項	24
6.2 ESD 耐圧	5	9.4 レイアウト	25
6.3 推奨動作条件	5	10 デバイスおよびドキュメントのサポート	26
6.4 熱に関する情報	5	10.1 デバイス サポート	26
6.5 電気的特性	6	10.2 ドキュメントの更新通知を受け取る方法	26
6.6 タイミング要件	7	10.3 サポート・リソース	26
6.7 代表的特性	8	10.4 商標	26
7 詳細説明	9	10.5 静電気放電に関する注意事項	26
7.1 概要	9	10.6 用語集	26
7.2 機能ブロック図	9	11 改訂履歴	26
7.3 機能説明	9	12 メカニカル、パッケージ、および注文情報	27
7.4 デバイスの機能モード	12		

## 4 デバイス比較表

部品番号	内部 EN のデフォルト設定 <sup>(3)</sup>	I <sup>2</sup> C ターゲットアドレス
TPS631012A <sup>(1)</sup>	CONVERTER_EN = 0	0x2A
TPS6310121A <sup>(1) (2)</sup>	CONVERTER_EN = 0	0x28
TPS6310122A <sup>(1) (2)</sup>	CONVERTER_EN = 0	0x29
TPS6310123A <sup>(1) (2)</sup>	CONVERTER_EN = 0	0x2B
TPS631013A	CONVERTER_EN = 1	0x2A

(1) 製品レビュー。詳細はテキサス・インストルメンツまでお問い合わせください。

(2) TPS631012A と TPS631012XA (X=1, 2, 3) は、I<sup>2</sup>C ターゲットアドレスのみが異なります。

(3) レジスタ CONTROL1 を参照してください。

## 5 ピン構成および機能

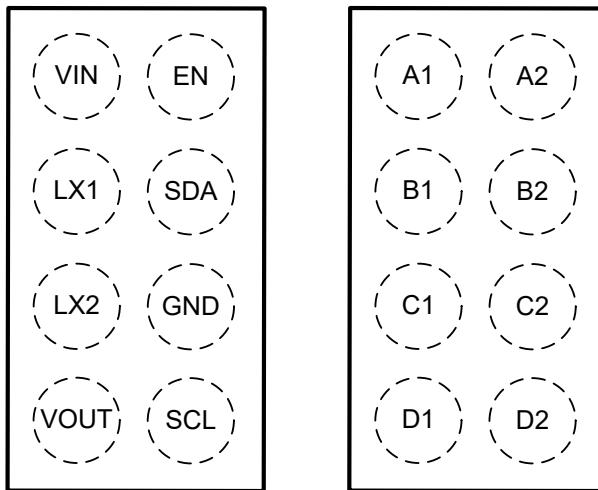


図 5-1. TPS631013A YBG パッケージ、8 ピン WCSP (上面図)

表 5-1. ピンの機能

ピン		I/O <sup>(1)</sup>	説明
名称	番号		
VIN	A1	PWR	電源入力電圧
EN	A2	I	デバイスイネーブル。有効にするには「High」を、無効にするには「Low」を設定します。ピンをフローティングのままにしないでください。
LX1	B1	PWR	降圧段のインダクタスイッチングノード
SDA	B2	I	I <sup>2</sup> Cシリアルインターフェイスデータ。このピンを抵抗器でI <sup>2</sup> Cバス電圧まで引き上げます。
LX2	C1	PWR	昇圧側のスイッチングノード。
GND	C2	PWR	電源グランド
VOUT	D1	PWR	電力段出力
SCL	D2	I	I <sup>2</sup> Cシリアルインターフェイスクロック入力。このピンを抵抗器でI <sup>2</sup> Cバス電圧まで引き上げます。

(1) PWR = 電源、I = 入力

## 6 仕様

### 6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) [\(1\)](#)

		最小値	最大値	単位
$V_I$	入力電圧 ( $V_{IN}$ 、 $LX1$ 、 $LX2$ 、 $V_{OUT}$ 、 $EN$ 、 $SCL$ 、 $SDA$ ) <a href="#">(2)</a>	-0.3	6.0	V
	10ns 未満の入力電圧 ( $LX1$ 、 $LX2$ ) <a href="#">(2)</a>	-2.0	7.0	V
$T_J$	動作時接合部温度		-40	150 °C
$T_{stg}$	保存温度		-65	150 °C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 電圧値はすべて、特に記載のない限り、ネットワークのグランド端子を基準としています。

### 6.2 ESD 耐圧

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <a href="#">(1)</a>	±1000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JS-002 に準拠 <a href="#">(2)</a>	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

動作接合部温度を超える(特に記載がない限り)

		最小値	公称値	最大値	単位
$V_I$	電源電圧	1.6	5.5	5.5	V
$V_O$	出力電圧	1.0	5.5	5.5	V
$C_I$	実効入力容量	$V_I = 1.6V \sim 5.5V$	4.2		μF
$C_O$	実効出力容量	1.2V ≤ $V_O$ ≤ 3.6V、 $V_O = 3.3V$ での公称値	10.4	16.9	330 μF
		3.6V < $V_O$ ≤ 5.5V、 $V_O = 5V$ での公称値	7.95	10.6	330 μF
$L$	実効インダクタンス		0.7	1	1.3 μH
$T_J$	動作ジャンクション温度範囲		-40	125	°C

### 6.4 熱に関する情報

自由気流での動作温度範囲内 (特に記述のない限り)

熱評価基準		TPS631012A TPS631013A	単位
		YBG (WCSP)	
		8 ピン	
$R_{\Theta JA}$	接合部から周囲への熱抵抗	84	°C/W
$R_{\Theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	0.7	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	43.9	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	2.9	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	43.7	°C/W
$R_{\Theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	該当なし	°C/W

## 6.5 電気的特性

動作接合部温度範囲および推奨供給電圧範囲を超える(特に記載がない限り)。標準値は、 $V_I = 3.8V$ 、 $V_O = 3.3V$ 、 $T_J = 25^\circ C$ (特に記載のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
<b>電源</b>								
$I_{SD}$	VIN へのシャットダウン電流	$V_I = 3.8V$ 、 $V_{(EN)} = 0V$	$T_J = 25^\circ C$	0.5	0.9	0.9	$\mu A$	
$I_Q$	VIN への静止電流	$V_I = 2.2V$ 、 $V_O = 3.3V$ 、 $V_{(EN)} = 2.2V$ 、スイッチングなし		0.15	6.1	6.1	$\mu A$	
$I_Q$	VOUT への静止電流	$V_I = 2.2V$ 、 $V_O = 3.3V$ 、 $V_{(EN)} = 2.2V$ 、スイッチングなし		8		8	$\mu A$	
$V_{IT+}$	正方向の UVLO スレッショルド電圧	$V_I$ 立ち上がり		1.5	1.55	1.599	V	
$V_{IT-}$	負方向の UVLO スレッショルド電圧	$V_I$ 立ち下がり		1.4	1.45	1.499	V	
$V_{hys}$	UVLO スレッショルド電圧ヒステリシス			99		99	mV	
$V_{I(POR)T+}$	正方向の POR スレッショルド電圧 <sup>(1)</sup>	$V_I$ または $V_O$ の最大値		1.25	1.45	1.65	V	
$V_{I(POR)T-}$	負方向の POR スレッショルド電圧 <sup>(1)</sup>			1.22	1.43	1.6	V	
<b>I/O 信号</b>								
$V_{T+}$	正方向スレッショルド電圧	EN、SDA、SCL		0.65	0.82	0.82	V	
$V_{T-}$	負方向スレッショルド電圧	EN、SDA、SCL		0.33	0.44	0.44	V	
$V_{hys}$	ヒステリシス電圧	EN、SDA、SCL		210		210	mV	
$I_{IH}$	High レベル入力電流	EN、SDA、SCL	$V_{(EN)} = V_{(SDA)} = V_{(SCL)} = 1.5V$ 、ブルアップ抵抗なし	$\pm 0.01$	$\pm 0.25$	$\pm 0.25$	$\mu A$	
$I_{IL}$	Low レベル入力電流	EN、SDA、SCL	$V_{(EN)} = V_{(SDA)} = V_{(SCL)} = 0V$	$\pm 0.01$	$\pm 0.1$	$\pm 0.1$	$\mu A$	
$I_{IB}$	入力バイアス電流	EN、SDA、SCL	$V_{(EN)} = 5.5V$	$\pm 0.01$	$\pm 0.3$	$\pm 0.3$	$\mu A$	
<b>パワー スイッチ</b>								
$r_{DS(on)}$	オン状態抵抗	Q1	$V_I = 3.8V$ 、 $V_O = 3.3V$ 、 テスト電流 = 0.2A	45		45	$m\Omega$	
		Q2		50		50	$m\Omega$	
		Q3		50		50	$m\Omega$	
		Q4		85		85	$m\Omega$	
<b>電流制限</b>								
$I_{L(Peak)}$	スイッチ ピーク電流制限 <sup>(2)</sup>	Q1	$V_O = 3.3V$	出力ソース電流	2.6	3	3.35	A
				出力シンク電流、 $V_I = 3.3V$	-0.7	-0.55	-0.45	A
$I_{PFM\_entry}$	PFM モード エントリ スレッショルド(ピーク)電流 <sup>(2)</sup>		$I_O$ 立ち下がり		145		145	mA
<b>保護機能</b>								
$V_{T+(OVP)}$	正方向 OVP スレッショルド電圧			5.55	5.75	5.95	V	
$V_{T+(IVP)}$	正方向 IVP スレッショルド電圧			5.55	5.75	5.95	V	
$T_{SD\_R}$	サーマル シャットダウン スレッショルド温度	$T_J$ 立ち上がり		160		160	$^\circ C$	
$T_{SD\_HYS}$	サーマル シャットダウン ヒステリシス			25		25	$^\circ C$	
<b>タイミング パラメータ</b>								
$t_{d(EN)}$	EN ピンの立ち上がりエッジと出力電圧ランプの開始の間の遅延			0.87	1.5	1.5	ms	
$t_{d(ramp)}$	ソフトスタート ランプ時間			6.42	7.55	8.68	ms	
$f_{SW}$	スイッチング周波数			1.8	2	2.2	MHz	

(1) POR(パワーオン リセット)のスレッショルドは、デバイスが動作するために必要な内部 VMAX ブロックの最小供給量です。

(2) 電流制限生産テストは、DC 条件下で実施されます。動作時の電流制限はやや高く、伝搬遅延と適用される外部成分に依存します

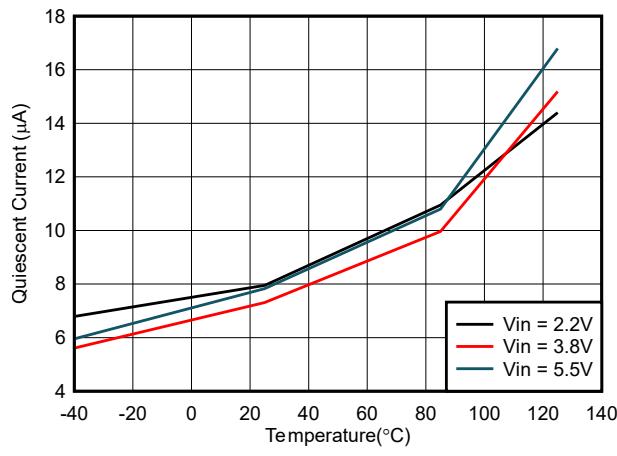
## 6.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲(特に記載のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
<b>I<sup>2</sup>C インターフェイス</b>						
$f_{SCL}$	SCL クロック周波数	スタンダード モード	0	100	1000	kHz
		ファスト モード	0	400	400	
		ファスト モード プラス (1)	0	1000	1000	
$t_{LOW}$	SCL クロック Low 期間	スタンダード モード	4.7	4.7	4.7	μs
		ファスト モード	1.3	1.3	1.3	
		ファスト モード プラス (1)	0.5	0.5	0.5	
$t_{HIGH}$	SCL クロックの High の時間	スタンダード モード	4.0	4.0	4.0	μs
		ファスト モード	0.6	0.6	0.6	
		ファスト モード プラス (1)	0.26	0.26	0.26	
$t_{BUF}$	停止条件と開始条件 の間のバスフリー時間	スタンダード モード	4.7	4.7	4.7	μs
		ファスト モード	1.3	1.3	1.3	
		ファスト モード プラス (1)	0.5	0.5	0.5	
$t_{SU:STA}$	(繰り返し) START 条件のセットアップ時間	スタンダード モード	4.7	4.7	4.7	μs
		ファスト モード	0.6	0.6	0.6	
		ファスト モード プラス (1)	0.26	0.26	0.26	
$t_{HD:STA}$	(繰り返し) START 条件のホールド時間	スタンダード モード	4.0	4.0	4.0	μs
		ファスト モード	0.6	0.6	0.6	
		ファスト モード プラス (1)	0.26	0.26	0.26	
$t_{HD:DAT}$	データホールド時間	スタンダード モード	0	0	0	μs
		ファスト モード	0	0	0	
		ファスト モード プラス (1)	0	0	0	
$t_r$	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20	300	300	
		ファスト モード プラス (1)			20	
$t_f$	SDA 信号と SCL 信号の両方の立ち下がり時間	スタンダード モード			300	ns
		ファスト モード		$20 \times V_{DD}/5.5$	300	
		ファスト モード プラス (1)		$20 \times V_{DD}/5.5$	120	
$t_{su:STO}$	STOP 条件のセットアップ時間	スタンダード モード	4.0	4.0	4.0	μs
		ファスト モード	0.6	0.6	0.6	
		ファスト モード プラス (1)	0.26	0.26	0.26	
$t_{VD:DAT}$	データ有効時間	スタンダード モード			3.45	μs
		ファスト モード			0.9	
		ファスト モード プラス (1)			0.45	
$t_{VD:ACK}$	データ有効アノリッジ時間	スタンダード モード			3.45	μs
		ファスト モード			0.9	
		ファスト モード プラス (1)			0.45	
$C_b$	各バスラインの容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	

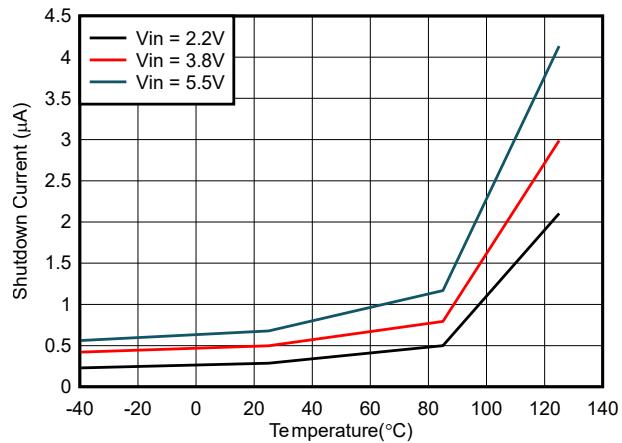
(1) ファースト モード プラスは互換性がありますが、I<sup>2</sup>C 規格には準拠していません

## 6.7 代表的特性



$V_O = 3.3\text{V}$ 、非スイッチング

図 6-1. 静止電流と温度との関係



EN = Low

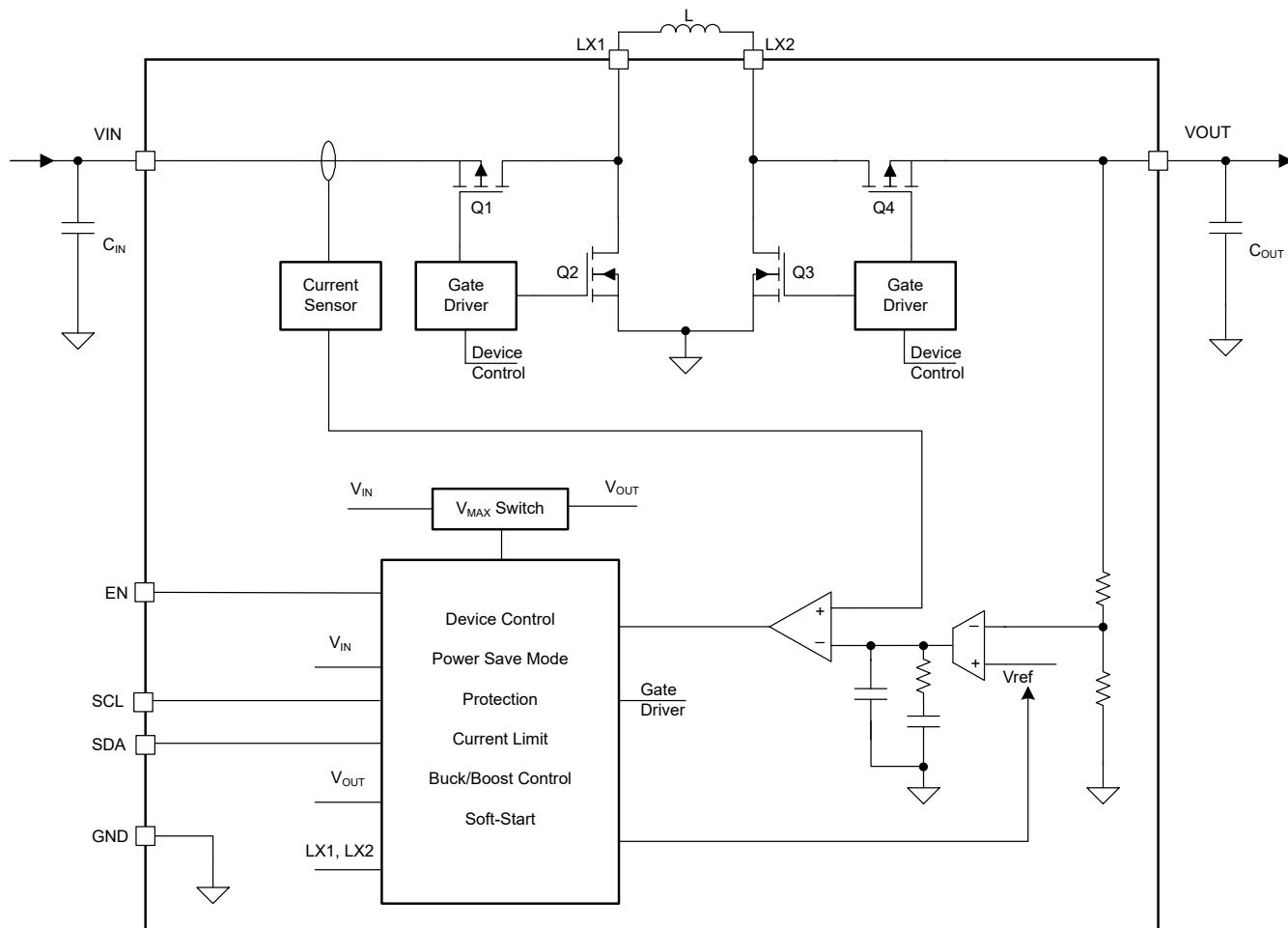
図 6-2. シャットダウン電流と温度との関係

## 7 詳細説明

### 7.1 概要

TPS631012A と TPS631013A は、定周波数ピーカ電流モード制御降圧コンバータです。コンバータは、約 2MHz のスイッチング周波数を持つ固定周波数を使用します。変調方式には 3 つの明確に定義された動作モードがあり、コンバータは  $V_{IN}$  と  $V_{OUT}$  の動作範囲全体にわたって定義済みのスレッショルドを維持します。最大出力電流は Q1 のピーカ電流制限によって決定されますが、これは通常 3A です。

### 7.2 機能ブロック図



### 7.3 機能説明

#### 7.3.1 低電圧誤動作防止 (UVLO)

デバイスがシャットダウン モードにない場合、 $V_{IN}$  ピンの入力電圧は継続的に監視されます。UVLO は、コンバータ動作を停止または開始するのみです。UVLO は、本デバイスのコア ロジックに影響を及ぼしません。UVLO は、デバイス動作中のデバイスのブラウンアウトを回避します。 $V_{IN}$  ピンの電源電圧が UVLO の負方向スレッショルドを下回った場合、コンバータは動作を停止します。電力変換の誤った妨害を避けるため、UVLO 立ち下がりスレッショルド論理信号はデジタル的にグリッチ解除されます。

$V_{IN}$  ピンの電源電圧が UVLO 立ち上がりしきい値より高く回復した場合、コンバータは動作に戻ります。この場合、ソフトスタート手順は、プリバイアス出力なしのスタートアップ時よりも速く再スタートします。

### 7.3.2 イネーブルとソフト・スタート

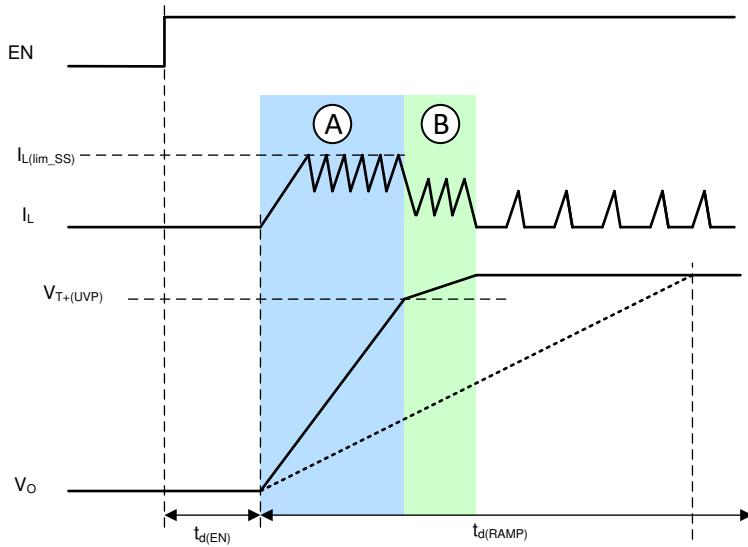


図 7-1. 標準的なソフトスタート動作

入力電圧が UVLO 上昇スレッショルドを超えると、EN ピンが 1.2V を超える電圧にプルされると、TPS631012A と TPS631013A がイネーブルになります。図 7-1 に、代表的な起動ケース(低出力負荷、標準的な出力容量)を示します。

TPS631012A と TPS631013A には、[レジスタ CONTROL2](#) の FAST\_RAMP\_EN ビットで制御される 2 つの起動メカニズムがあります。図 7-1 に、代表的な起動ケース(低出力負荷、標準的な出力容量)を示します。

- FAST\_RAMP\_EN = 1 の場合、高速ランプ モードがイネーブルされます。出力ランプの動作を、図 7-1 の実線 VO として示します
- FAST\_RAMP\_EN = 0 の場合、高速ランプ モードはディセーブルされます。出力ランプの動作を、図 7-1 のダッシュライン VO として示します

高速ランプモードが有効になっている場合、コンデンサの容量がランプ時間  $t_d(\text{RAMP})$  として選択された容量よりも低い値に選択されている場合、デバイスはインダクタのピーク電流を制御して突入電流を制限し、可能な限り最速のソフトスタートを確実にします。その後、出力電圧は、リファレンス電圧ランプよりも速く上昇します(図 7-1 の位相 A を参照)。出力オーバーシュートを回避するために、出力が目標電圧に近づくと電流クランプは非アクティブとなり、電圧ランプによって指定された基準電圧ランプのスルーレートに従います。これは、起動が完了する電圧ランプです(図 7-1 の位相 B を参照)。電流クランプ動作からの遷移は、 $V_{T+}(\text{UVP})$  スレッショルド(一般に目標出力電圧の 90%)によって検出されます。位相 B の後、出力電圧は公称目標電圧に十分に安定化されます。電流波形は、出力負荷と動作モードによって異なります。スタートアップ時の電流制限には 2 つの方法があり、[レジスタ CONTROL2](#) の CL\_RAMP\_MIN ビットで制御されます。

- CL\_RAMP\_MIN = 0 の場合、起動時の標準電流制限(図 7-1 の位相 A)は 500mA です
- CL\_RAMP\_MIN = 1 の場合、起動時の標準電流制限(図 7-1 の位相 A)は 1000mA です

高速ランプ モードが無効になっている場合、出力電圧は内部基準電圧ランプのスルーレートによって完全に制御されます。出力電圧ランプ時間を定義するため、[レジスタ CONTROL2](#) には 3 ビットの TD\_RAMP があります。

起動時に電流制限 ( $I_{L(\text{lim\_SS})}$ ) が TD\_RAMP によって制御される電圧ランプに従うために必要な電流よりも低い場合、電流は自動的に増加して電圧ランプに従うことに注意してください。

### 7.3.3 デバイスイネーブル(EN)

EN ピンはデバイスをイネーブル/ディセーブルします。

- EN ピンが High のとき、デバイスはオンになります。
- EN ピンが Low になると、デバイスは無効化されます。

レジスタ **CONTROL1** の **CONVERTER\_EN** ビットは、コンバータ出力のイネーブルとディセーブルにも使用されます。

- TPS631012A の場合、**CONVERTER\_EN = 0** のデフォルトビットです。
- TPS631013A の場合、**CONVERTER\_EN = 1** のデフォルトビットです。

**表 7-1. デバイス イネーブル真理値表**

外部 EN ピン	内部 EN( <b>CONVERTER_EN</b> )	デバイスの状態	出力状態
0	X	デバイスはシャットダウン中	出力なし
1	0	アクティブなプログラミング インターフェース	出力なし
1	1	デバイスはアクティブ	出力イネーブル

EN ピンをロジック Low に接続すると、すべての I<sup>2</sup>C レジスタがクリーンアップされ、デフォルト値にリセットされることに注意します。CONVERTER\_EN を 0 に設定しても、I<sup>2</sup>C レジスタに影響はありません

### 7.3.4 出力電圧制御

TPS631012A および TPS631013A は、25mV ステップで 1.0V ~ 5.5V の出力電圧を生成します。Register **VOUT** は、出力電圧の設定に使用します。

- VOUT = 1.000 + (VOUT[7:0] × 0.025) V**、**0x00<=VOUT[7:0]<=0xB4** のとき
- VOUT = 5.5V**、**0xB5<=VOUT[7:0]<=0xFF** のとき

**VOUT[7:0]** は、レジスタ **VOUT** の 8 ビット値です。

**VOUT** が異なる電圧間で設定されている場合、レジスタ **CONTROL1** の **EN\_FAST\_DVS** の動的電圧スケーリング制御ビットは、**VOUT** セトリング時間を制御します。

- EN\_FAST\_DVS = 1** のとき、**VOUT** の標準スルーレートは 7.2V/ms です。
- EN\_FAST\_DVS = 0** のとき、**VOUT** のスルーレートは標準 0.4V/ms です

### 7.3.5 モード選択 (PFM/PWM)

TPS631012A と TPS631013A には、PFM と FPWM の 2 つのモードがあります。PFM モード動作中、デバイスは、動作出力電流の全範囲にわたって最高の効率を維持するためのパワー セーブ モードを備えています。PFM モードでは、デバイスは自動的にコンバータの動作を CCM からパルス周波数変調に切り替えます。FPWM モードでは、出力電流に関係なく、すべての動作条件で PWM を使用して、出力リップルを最小限に抑えます。

PFM/FPWM モードの選択は、レジスタ **CONTROL2** の **FPWM** ビットによって制御されます。

- FPWM = 0b0** のとき、デバイスは PFM モードで動作します
- FPWM = 0b1** のとき、デバイスは FPWM モードで動作します

### 7.3.6 出力放電

TPS631012A と TPS631013A は、EN ピンがロジック Low の場合、または **CONVERTER\_EN** ビットが 0 に設定されている場合に、アクティブ プルダウン電流を供給して出力を素早く放電します。この機能では、**VOUT** が内部回路経由でグランドに接続され、出力がフローティングになることや不定状態に移行することを防止します。出力放電機能により、電源のオン / オフのシーケンスがスムーズになります。このデバイスを電力多重化などの用途で使用する場合は、出力放電機能に注意してください。出力放電回路により、マルチプレクサ出力とグランドの間に一定の電流経路が形成されるためです。

出力放電は、**EN\_DISCH\_VOUT** という名前の 2 つのビットによって制御されます。出力放電はディセーブル、または 3 つの異なるオプションに設定できます。I<sup>2</sup>C 設定の詳細については、レジスタ **CONTROL2** の **EN\_DISCH\_VOUT** ビットを参照してください。

### 7.3.7 逆電流保護

FPWM モードでは、このデバイスは逆電流動作 ( $V_{OUT}$  ピンから  $V_{IN}$  ピンへの電流の流れ) をサポートします。内部出力フィードバック電圧が基準電圧よりも高い場合、コンバータのレギュレーションにより、電流が入力コンデンサに流れ込みます。逆電流動作は  $V_{IN}$  電圧または  $V_{OUT}$  電圧の比から独立しているため、すべてのデバイス動作モードで昇圧、降圧、昇降圧を使用できます。

### 7.3.8 保護機能

以下のセクションでは、デバイスの保護機能について説明します。

#### 7.3.8.1 入力過電圧保護

TPS631012A と TPS631013A は入力過電圧保護機能を備えており、出力から入力に電流が流れて入力源が電流をシンクしない場合(例えば、電源経路のダイオード)でも、デバイスへの損傷を回避します。

強制 PWM モードが有効になっている場合、シンク電流制限に達するまでは電流がマイナスになることがあります。 $V_{IN}$  ピンに入力電圧スレッショルド  $V_{T+}(IVP)$  に達すると、保護機能により強制 PWM モードが無効になり、 $V_{IN}$  から  $V_{OUT}$  への電流の流れのみが許可されます。入力電圧が入力電圧保護閾値を下回った後、強制 PWM モードが再び有効になります。

#### 7.3.8.2 出力過電圧保護

デバイスには、デバイスの損傷を回避する出力過電圧保護機能があります。 $V_{OUT}$  ピンで出力電圧スレッショルド  $V_{T+}(OVP)$  に達すると、保護機能によりコンバータのパワーレベルがオフになり、スイッチングノードが高インピーダンスになります。

#### 7.3.8.3 短絡保護 / Hiccup

このデバイスは、短絡保護におけるピーク電流制限性能を備えています。図 7-2 に、短絡保護の短絡 / 過負荷イベントにおけるデバイスの代表的な動作を示します。

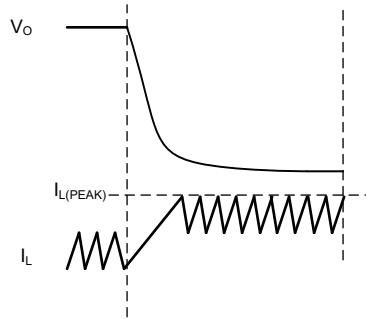


図 7-2. 短絡保護時のデバイスの代表的な動作

レジスタ CONTROL1 の EN\_SCP ビットを 1 に設定して短絡保護機能を有効にすると、Hiccup タイマーが働き、スイッチオン時間を標準 9 ミリ秒に制限し、その後標準 22 ミリ秒のオフ時間を経て、デバイスが再起動します。短絡状態が解消されると、デバイスは自動的に通常の動作モードに入ります。

#### 7.3.8.4 サーマルシャットダウン

デバイスの熱による損傷を防止するため、ダイの温度が監視されます。検出された温度が標準の温度スレッショルド 160°C を超えると、デバイスは動作を停止します。温度が標準のサーマルシャットダウンヒステリシス 25°C を下回ると、コンバータは通常の動作に戻ります。

## 7.4 デバイスの機能モード

このデバイスには、オフとオンの 2 つの機能モードがあります。 $V_{IN}$  ピンの電圧が UVLO スレッショルドより高く、EN ピンに高いロジックレベルが印加されると、デバイスは ON モードに移行します。 $V_{IN}$  ピンの電圧が UVLO スレッショルドを下回るか、EN ピンに低いロジックレベルが印加されると、デバイスは OFF モードに移行します。

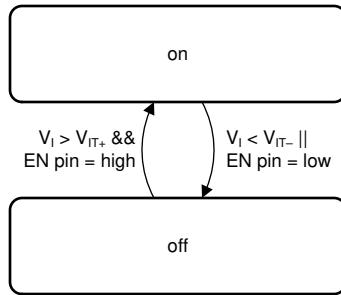


図 7-3. デバイスの機能モード

## 7.5 プログラミング

### 7.5.1 シリアルインターフェイスの説明

I<sup>2</sup>C は、Philips Semiconductor(現 NXP Semiconductors) [UM10204-I<sup>2</sup>C-Bus 仕様およびユーザー マニュアル](#)を参照)が開発した 2 線式シリアルインターフェイスです。バスは、プルアップ構造を持つデータライン (SDA) とクロックライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I<sup>2</sup>C 対応デバイスはすべて、オープンドレイン I/O ピン、SDA、SCL を介して I<sup>2</sup>C バスに接続します。通常はマイクロコントローラまたはデジタル信号プロセッサである制御装置がバスを制御します。制御装置は、SCL 信号とデバイス アドレスを生成する役割を担っています。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ターゲット デバイスは、コントローラ デバイスの制御下でバス上のデータを受信し、送信します。

このデバイスはターゲットとして動作し、I<sup>2</sup>C バス仕様で定義されている次のデータ転送モードをサポートしています。

- スタンダード モード (100kbps)
- 高速モード (400kbps)
- 高速モード プラス (1Mbps)

このインターフェイスにより、電源ソリューションに柔軟性が加わり、アプリケーションの即時の要件に応じて、ほとんどの機能を新しい値にプログラムすることが可能になります。電源電圧が  $V_{IT+}(POR)$  を上回っている限り、レジスタの内容はそのまま維持されます。

標準モードと高速モードのデータ転送プロトコルはまったく同じであるため、本書では F/S モードと呼びます。この装置は 7 ビットのアドレス指定に対応しています。10 ビットのアドレス指定および一般呼出しアドレスには対応していません。デバイスの 7 ビットアドレスは 2Ah (00101010b) です。

デバイスの I<sup>2</sup>C 機能が正しくリセットされていることを確認するため、SDA および SCL プルアップ電圧の初期電源投入後、I<sup>2</sup>C コントローラが I<sup>2</sup>C バス上で停止条件を開始することをお勧めします。

### 7.5.2 Standard-Mode、Fast-Mode、Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することでデータ転送を開始します。図 7-4 で示されているように、SCL がハイの状態で SDA ラインにハイからローへの遷移が発生すると、スタート条件となります。すべての I<sup>2</sup>C 互換デバイスは、スタート条件を認識します。

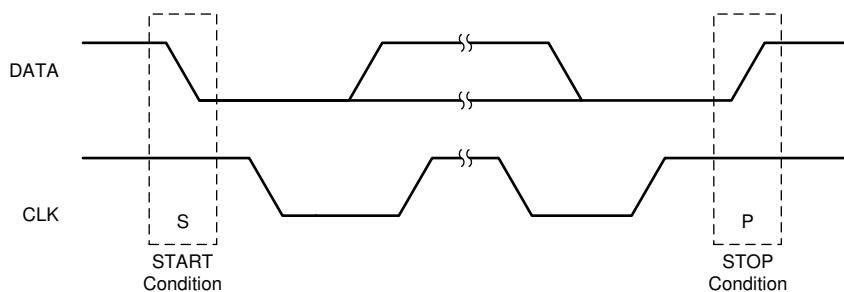


図 7-4. 開始条件と停止条件

その後、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット R/W を SDA ラインに送信します。すべての送信中、コントローラはデータの有効性を確認します。有効なデータ条件では、クロックパルスのハイ期間全体にわたって SDA ラインが安定している必要があります(図 7-5 を参照)。すべてのデバイスは、コントローラから送信されたアドレスを認識し、それを内部固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 番目の SCL サイクルのハイ期間全体にわたって SDA ラインをローにすることで、アクノリッジ(図 7-6 を参照)を生成します。この確認を検出すると、コントローラはターゲットとの通信リンクが確立されたことを認識します。

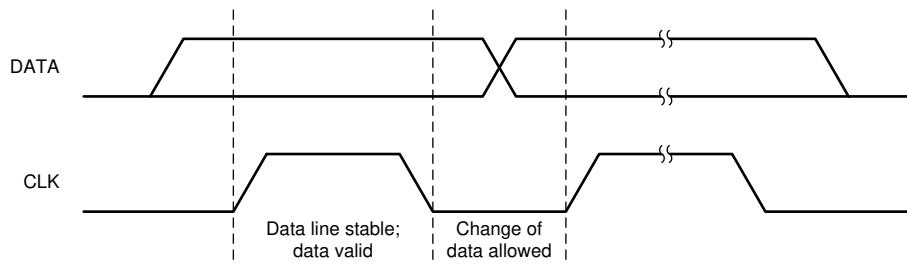
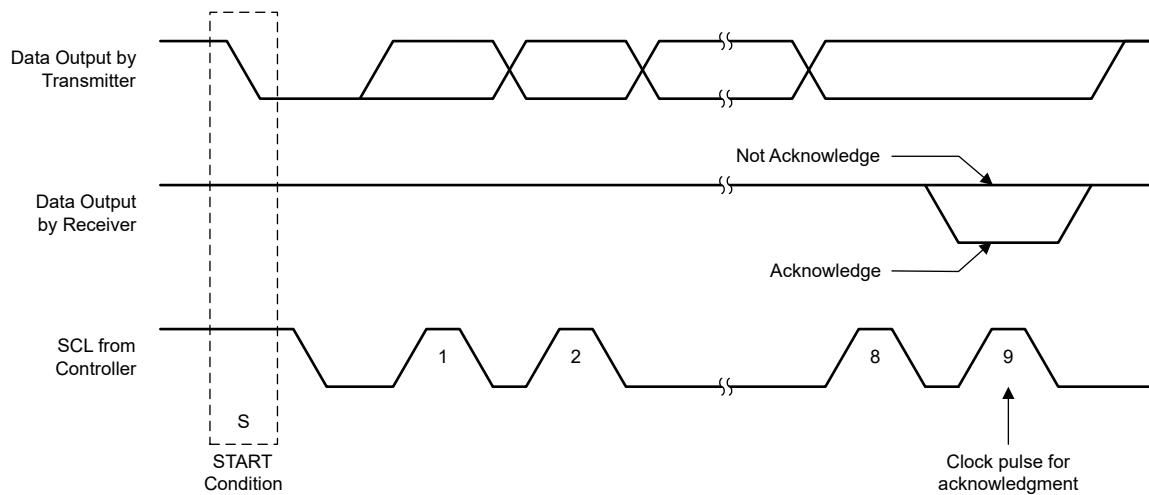


図 7-5. シリアル インターフェイスでのビット転送

コントローラは、ターゲットにデータを送信する(R/W ビット 1)か、ターゲットからデータを受信する(R/W ビット 0)ために、さらに SCL サイクルを生成します。どちらの場合も、送信側から送信されたデータに対して受信側がアクノリッジを返す必要があります。確認応答信号は、コントローラまたはターゲットのどちらが受信者であるかによって、コントローラまたはターゲットのどちらかによって生成されます。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータシーケンスを、必要なだけ続けます。

データ転送の終了を通知するために、コントローラは SCL ラインがハイの状態で SDA ラインをローからハイに引き上げることでストップ条件を生成します(図 7-4 を参照)。SCL が高レベルのときに SDA ラインが低レベルから高レベルに遷移すると、バスが解放され、指定されたターゲットとの通信リンクが停止します。すべての I<sup>2</sup>C 互換デバイスが、ストップ条件を認識する必要があります。停止条件を受信すると、すべてのデバイスはバスが解放されたことを認識し、対応するアドレスに続く開始条件を待機します。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、00h が読み出されます。

図 7-6. I<sup>2</sup>C バスのアクノリッジ

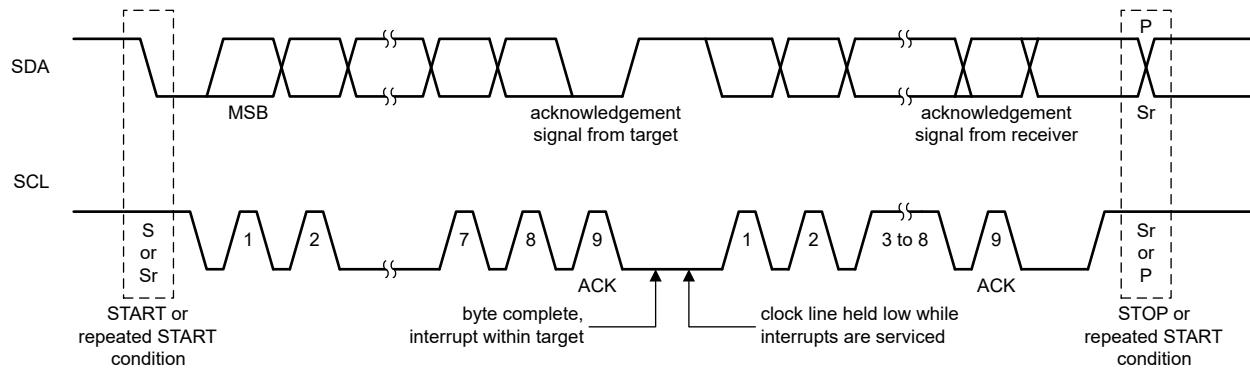


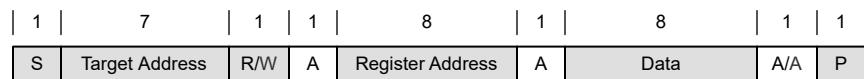
図 7-7. バスプロトコル

### 7.5.3 I<sup>2</sup>C 更新シーケンス

1回の更新では、次のものが必要です。

- 開始条件
- 有効な I<sup>2</sup>C ターゲットアドレス
- レジスタアドレス
- データバイト

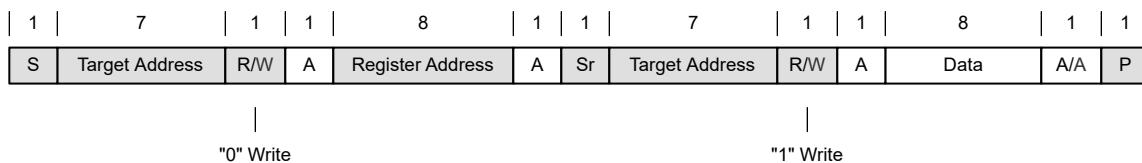
各バイトの受信を確認するために、デバイスは单一のクロックパルスの High期間中に SDAラインを Lowにします。デバイスは、最後のバイトに続く確認応答信号の立ち下がりエッジで更新を実行します。



- From controller to target
- From target to controller

A = Acknowledge (SDA low)  
 A = Not acknowledge (SDA high)  
 S = START condition  
 Sr = REPEATED START condition  
 P = STOP condition

図 7-8. 標準、高速、高速プラスの各モードにおける「書き込み」データ転送フォーマット



- From controller to target
- From target to controller

A = Acknowledge (SDA low)  
 A = Not acknowledge (SDA high)  
 S = START condition  
 Sr = REPEATED START condition  
 P = STOP condition

図 7-9. 標準、高速、高速プラスモードにおけるデータ転送フォーマットの「読み取り」

## 8 レジスタ マップ

### 8.1 レジスタの説明

#### 8.1.1 レジスタ マップ

表 8-1. レジスタ マップ

アドレス	略称	レジスタ名	セクション
0x02	CONTROL1	制御 1 レジスタ	表示
0x03	VOUT	VOUT レジスタ	表示
0x05	CONTROL2	制御 2 レジスタ	表示

#### 8.1.2 レジスタ CONTROL1 (レジスタ アドレス : 0x02、デフォルト : 0x09)

レジスタ マップに戻る

表 8-2. レジスタ CONTROL1 の形式

7	6	5	4	3	2	1	0
NIL[3:0]			EN_FAST_DVS	EN_SCP	NIL	CONVERTER_EN	
R			R/W	R/W	R	R/W	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

SCP: 短絡保護

表 8-3. レジスタ CONTROL1 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	NIL[3:0]	R	0b0000	未使用。 書き込み動作中、これらのビットのデータは無視されます。読み出し操作中は 0 が返されます
3	EN_FAST_DVS	R/W	0b1	DVS を高速モードに設定します 0: 無効化、1: イネーブル
2	EN_SCP	R/W	0b0	短絡時のヒューズ保護を有効にする 0: 無効化、1: イネーブル
1	NIL	R	0b0	未使用。
0	CONVERTER_EN	R/W	0b1	コンバーターを有効にする(EN ピンと AND 接続) 0: DISABLE(TPS631012XA)、1: ENABLE(TPS631013A)

#### 8.1.3 レジスタ VOUT (レジスタ アドレス : 0x03、デフォルト : 0x5C)

レジスタ マップに戻る

表 8-4. レジスタ VOUT フォーマット

7	6	5	4	3	2	1	0
VOUT[7:0]							
R/W							

凡例: R/W = 読み取り / 書き込み

**表 8-5. レジスタ VOUT のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	VOUT[7:0]	R/W	0x5C	これらのビットは、出力電圧を設定します 0x00<=VOUT[7:0]<=0xB4; の場合、出力電圧 = 1.000 + (VOUT[7:0] × 0.025) V 0xB5<=VOUT[7:0]<= 0xFF のとき、出力電圧は 5.5V

#### 8.1.4 レジスタ CONTROL2 (レジスタ アドレス : 0x05、デフォルト : 0x75)

[レジスタ マップ](#)に戻る

**表 8-6. レジスタ CONTROL2 の形式**

7	6	5	4	3	2	1	0
FPWM	FAST_RAMP_EN	EN_DISCH_VOUT[1:0]			CL_RAMP_MIN	TD_RAMP[2:0]	
R/W	R/W	R/W			R/W	R/W	

凡例: R/W = 読み取り / 書き込み

**表 8-7. レジスタ CONTROL2 のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	FPWM	R/W	0b0	強制 PWM 動作 0:無効化、1:イネーブル
6	FAST_RAMP_EN	R/W	0b1	デバイスは、VOUT ランプよりも高速で起動します。 0:無効化、1:イネーブル
5:4	EN_DISCH_VOUT[1:0]	R/W	0b11	BUBO Vout 放電のイネーブル 00:無効化 01:低速(34mA) 10:中(67mA) 11:高速(100mA)
3	CL_RAMP_MIN	R/W	0b0	ソフトスタートランプ中の最小電流制限を定義します 0:Low (500mA) 1:High (2x Low)
2:0	TD_RAMP[2:0]	R/W	0b101	Vo ソフトスタートランプのランプ時間を定義します 000:0.256ms 001:0.512ms 010:1.024ms 011:1.920ms 100:3.584ms 101:7.552ms 110:9.600ms 111:24.320ms

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

TPS631012A、TPS631013A は、高効率、低静止電流の降圧ブーストコンバータです。このデバイスは、出力電圧よりも高い、または低い入力電源からレギュレートされた出力電圧を必要とするアプリケーションに適しています。

### 9.2 代表的なアプリケーション

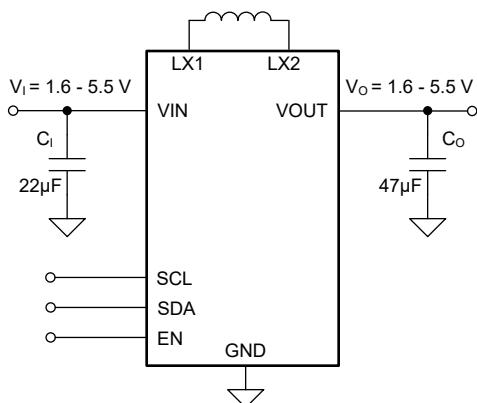


図 9-1. 3.3V<sub>OUT</sub> の代表的なアプリケーション

#### 9.2.1 設計要件

設計パラメータを [表 9-1](#) に示します。

表 9-1. 設計パラメータ

パラメータ	値
入力電圧	2.7V ~ 4.3V
出力電圧	3.3V
出力電流	1.5A

#### 9.2.2 詳細な設計手順

最初のステップは出力フィルタ部品の選択です。このプロセスを簡素化するため、[セクション 6.3](#) にはインダクタンスと容量の最小値と最大値の概要が示されています。公称インダクタンスと公称容量を選択する際は、公差とディレーティングに注意してください。

##### 9.2.2.1 インダクタの選択

インダクタの選択は、以下のようないくつかのパラメータに影響されます。

- インダクタのリップル電流
- 出力電圧リップル
- パワーセーブ モードに遷移点
- 効率

標準インダクタについては、[表 9-2](#) を参照してください。

高い効率を得るには、導通損失を最小限に抑えるために、直流抵抗の低いインダクタが必要です。特にスイッチング周波数が高い場合、コア材料は効率に大きな影響を与えます。小型チップ インダクタを使用すると、主にインダクタのコア損失が増加するため、効率が低下します。適切なインダクタを選択するときは、コア損失を考慮する必要があります。インダクタのリップル電流は、インダクタの値によって決まります。インダクタ値が大きいほど、インダクタのリップル電流は小さくなり、コンバータの伝導損失は低くなります。逆に、インダクタの値を大きくすると、負荷過渡応答が遅くなります。インダクタの飽和を避けるため、定常状態動作でのインダクタのピーク電流は式 2 で計算されます。ブースト モードにおけるスイッチ電流を定義する方程式のみを示します。これは、最も高い電流値を提供し、適切なインダクタを選択するための重要な電流値を表すからです。

$$\text{Duty Cycle Boost} \quad D = \frac{V_{\text{OUT}} - V_{\text{IN}}}{V_{\text{OUT}}} \quad (1)$$

$$I_{\text{PEAK}} = \frac{I_{\text{out}}}{\eta \times (1 - D)} + \frac{V_{\text{in}} \times D}{2 \times f \times L} \quad (2)$$

ここで

- $D$  = ブースト モード時のデューティ サイクル
- $f$  = コンバータのスイッチング周波数(標準値 2 MHz)
- $L$  = インダクタの値
- $\eta$  = 推定コンバータ効率(効率曲線から数値を使用するか、仮定として 0.9 を使用)

#### 注

ブースト モードにおける最小入力電圧での計算が必要です。

実際の動作条件を使用して最大インダクタ電流を計算すると、必要なインダクタ飽和電流の最小値が求まります。飽和電流が、式 2 を使用して計算した値よりも 20% 大きいインダクタを選択することを推奨します。可能なインダクタを表 9-2 に示します。

**表 9-2. 推奨インダクタ一覧**

インダクタの値 [μH]	飽和電流 [A]	DCR [mΩ]	部品番号	メーカー <sup>(1)</sup>	サイズ (L × W × H mm)
1	4.3	42	DFE252012P-1R0M = P2	MuRata	2.5 × 2.0 × 1.2
1	4.2	43	HTEK20161T-1R0MSR	Cyntec	2.0 × 1.6 × 1.0
1	2.2	75	MAKK2016T1R0M <sup>(2)</sup>	Taiyo Yuden	2.0 × 1.6 × 1.0
1	2.0	144	DFE18SAN1R0ME0 <sup>(2)</sup>	Murata	1.6 × 0.8 × 0.8

(1) 「[セクション 10.1.1](#)」を参照してください。

(2) このインダクタは、最大出力電流範囲をサポートしていません。

#### 9.2.2.2 出力コンデンサの選択

出力コンデンサには、IC の VOUT 端子と PGND 端子のできるだけ近くに配置した小型のセラミック コンデンサを使用します。公称出力コンデンサの推奨合計値は 47μF です。何らかの理由で IC の近くに配置できない大容量コンデンサを使用する必要がある場合は、大容量コンデンサと並列に小容量のセラミックコンデンサを使用し、小容量のコンデンサを IC の VOUT 端子と PGND 端子のできるだけ近くに配置します。

実効容量は、[セクション 6.3](#) の推奨値に従って決定することが重要です。一般に、DC バイアスの影響を考慮すると、有効キャパシタンスが小さくなります。出力キャパシタンスの選択は、主にサイズと過渡動作のトレードオフであり、キャパシタンスが大きいほど過渡応答のオーバー / アンダーシュートが減少し、過渡応答時間が長くなります。可能な出力コンデンサを表 9-3 に示します。

**表 9-3. 推奨コンデンサー一覧**

コンデンサーの値 [ $\mu$ F]	定格電圧 [V]	ESR [ $m\Omega$ ]	部品番号	メーカー <sup>(1)</sup>	サイズ(メートル)
47	6.3	10	GRM219R60J476ME44	Murata	0805 (2012)
47	10	40	CL10A476MQ8QRN	Semco	0603 (1608)

(1) 「セクション 10.1.1」を参照してください。

**9.2.2.3 入力コンデンサの選択**

レギュレータのライン過渡応答特性と電源回路全体の EMI 特性を改善するには、 $22\mu F$  の入力コンデンサを推奨します。IC の VIN ピンと PGND ピンにできるだけ近づけて X5R または X7R のセラミック コンデンサを配置することを推奨します。この容量は制限なしに増やすことができます。入力電源がコンバータから数インチ以上離れている場合、セラミックバイパス コンデンサに加えてバルク容量の追加が必要になることがあります。 $47\mu F$  の電解コンデンサまたはタンタル コンデンサが典型的な選択肢です。

**表 9-4. 推奨コンデンサー一覧**

コンデンサーの値 [ $\mu$ F]	定格電圧 [V]	ESR [ $m\Omega$ ]	部品番号	メーカー <sup>(1)</sup>	サイズ(メートル)
22	6.3	43	GRM187R61A226ME15	Murata	0603 (1608)
10	10	40	GRM188R61A106ME69	Murata	0603 (1608)

(1) 「セクション 10.1.1」を参照してください。

**9.2.2.4 出力電圧の設定**

出力電圧は I<sup>2</sup>C で設定されます出力電圧の詳細設定については、「[出力電圧制御](#)」の部分を参照してください。

### 9.2.3 アプリケーション曲線

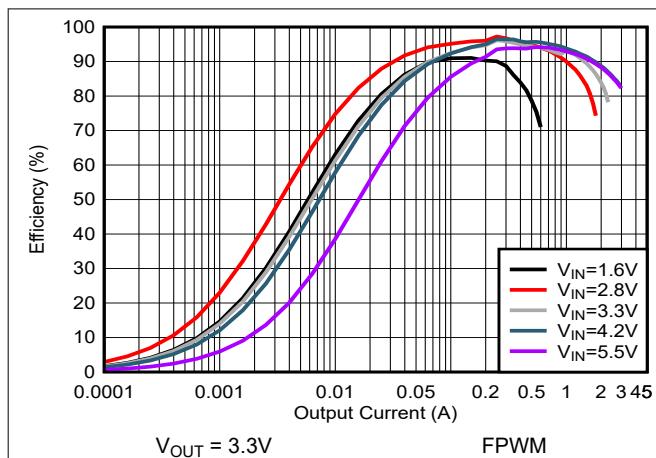


図 9-2. 効率と出力電流との関係 (FPWM)

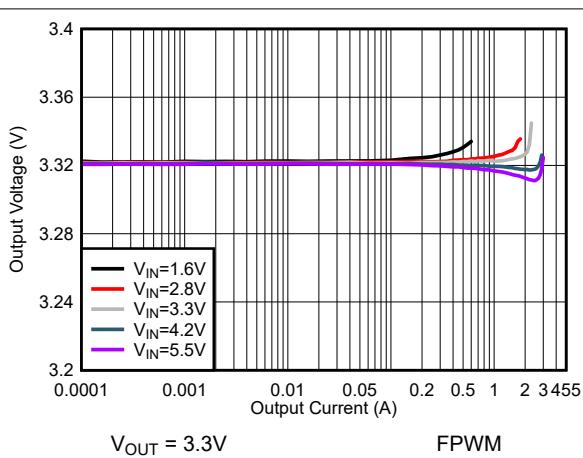


図 9-3. 負荷レギュレーション (FPWM)

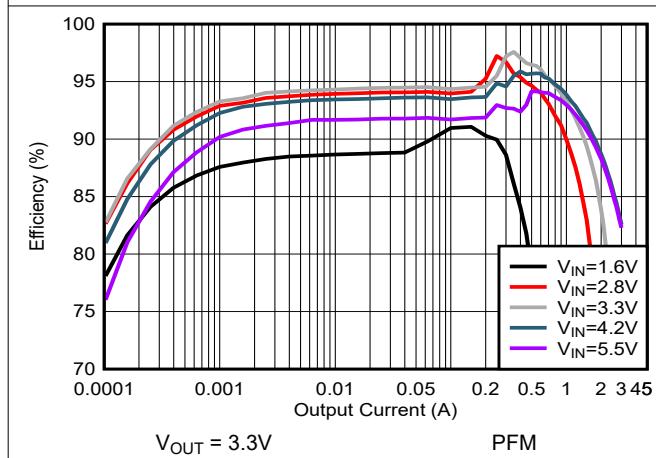


図 9-4. 効率と入力電圧との関係 (PFM)

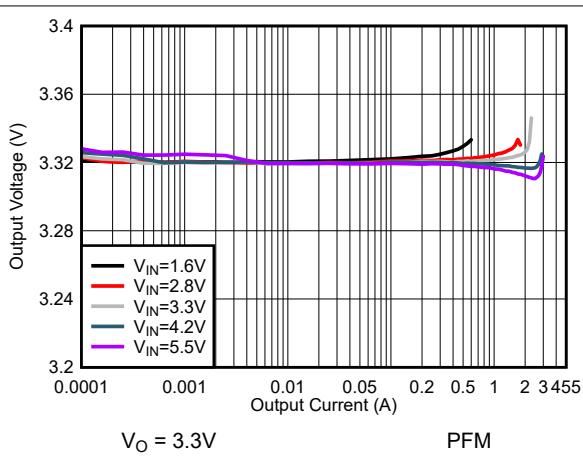


図 9-5. 負荷レギュレーション (PFM)

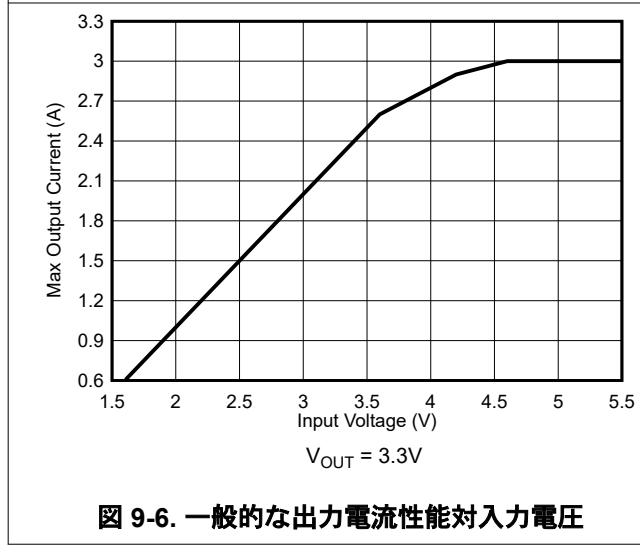


図 9-6. 一般的な出力電流性能対入力電圧

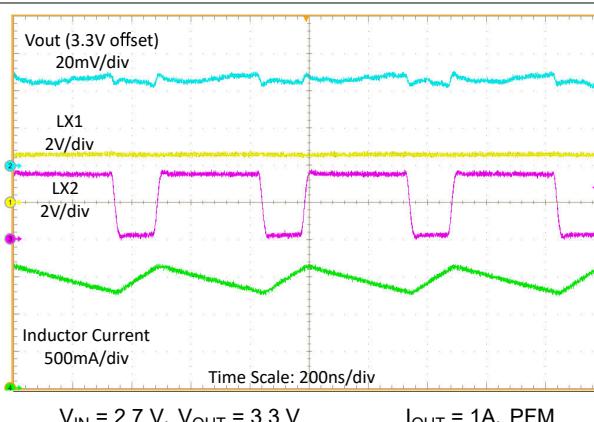


図 9-7. スイッチング波形、1A 負荷での昇圧動作

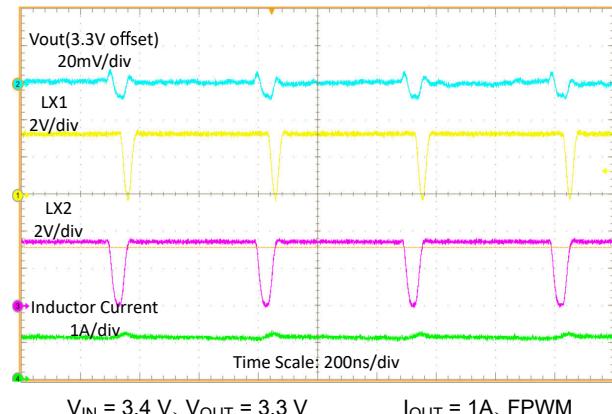


図 9-8. スイッチング波形、1A 負荷での昇降圧動作

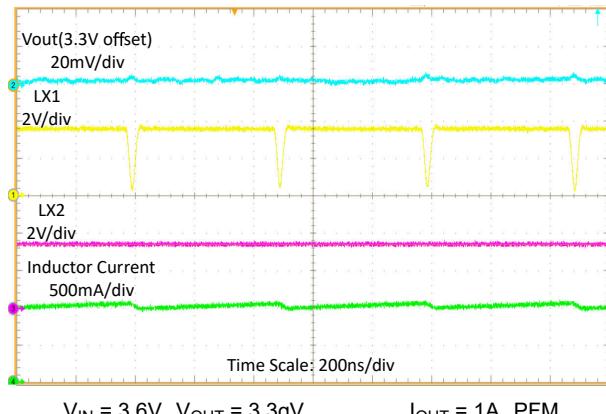


図 9-9. スイッチング波形、1A 負荷での降圧動作

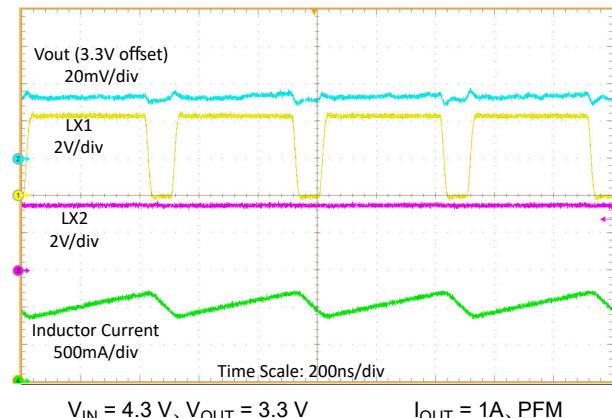


図 9-10. スイッチング波形、1A 負荷での降圧動作

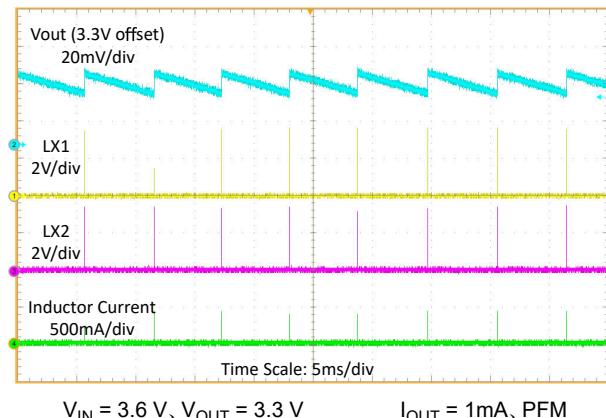


図 9-11. 負荷 1mA におけるスイッチング波形

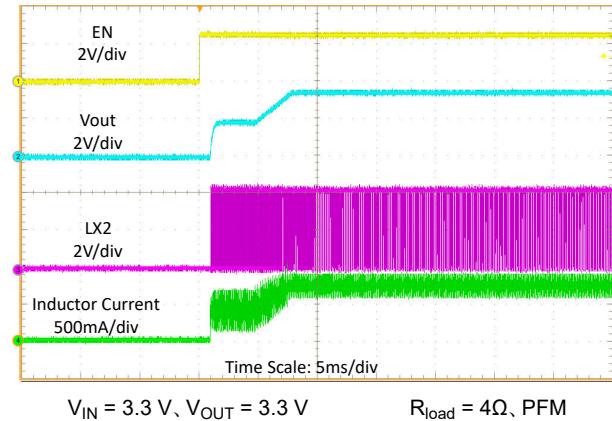


図 9-12. EN によるスタートアップ(TPS631013A で測定)

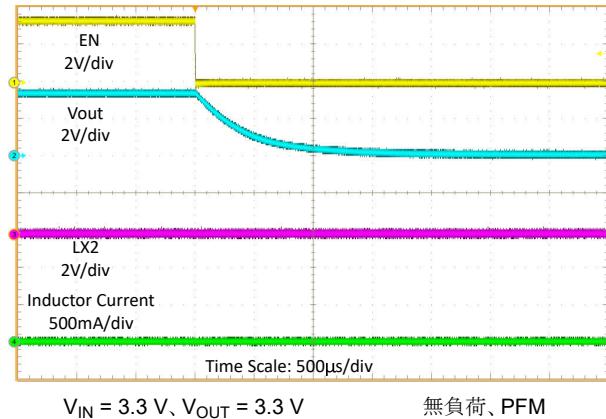


図 9-13. EN によるシャットダウン

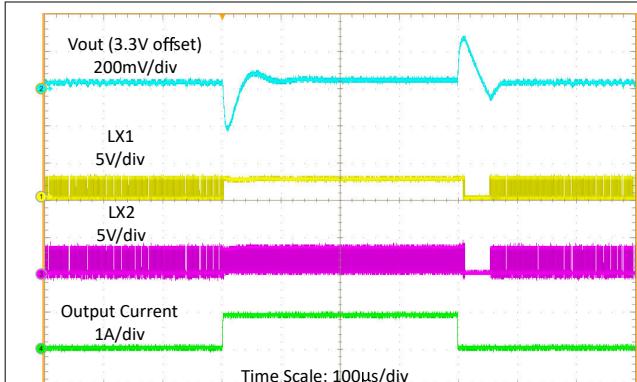


図 9-14. 入力電圧 2.7V での負荷過渡

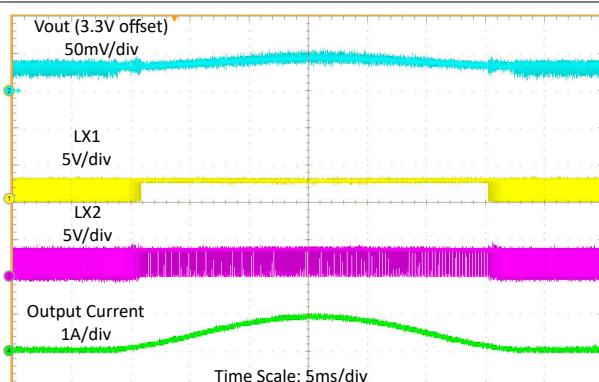


図 9-15. 入力電圧 2.7V での負荷スイープ

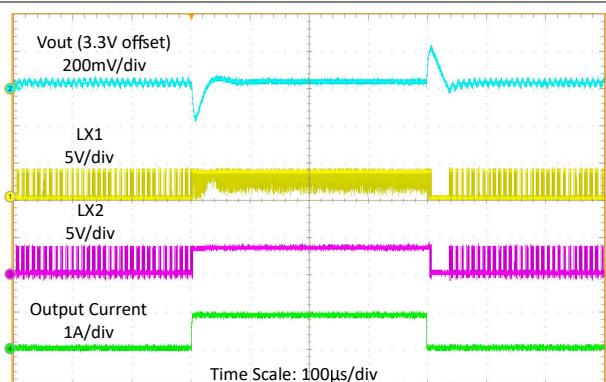


図 9-16. 入力電圧 3.6V での負荷過渡

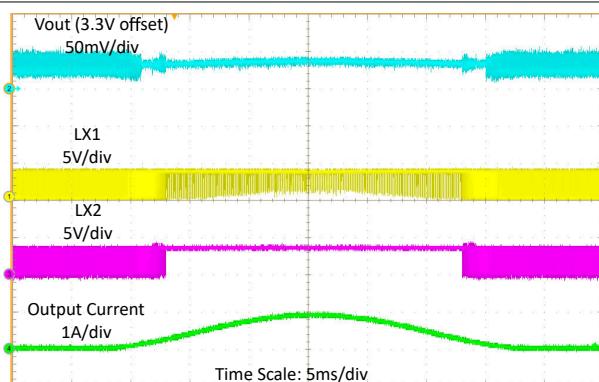


図 9-17. 入力電圧 3.6V での負荷スイープ

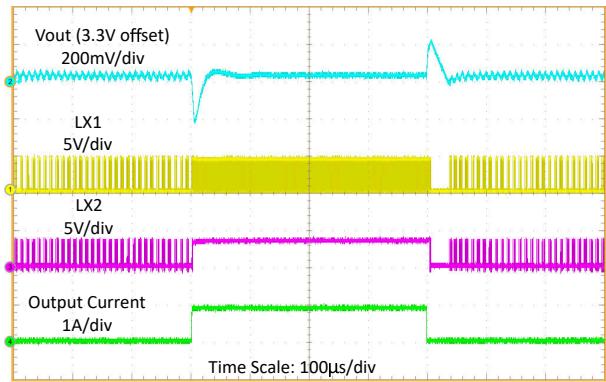


図 9-18. 入力電圧 4.3V での負荷過渡

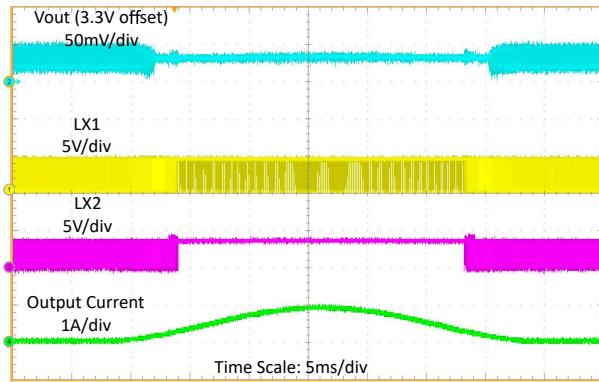


図 9-19. 入力電圧 4.3V での負荷スイープ

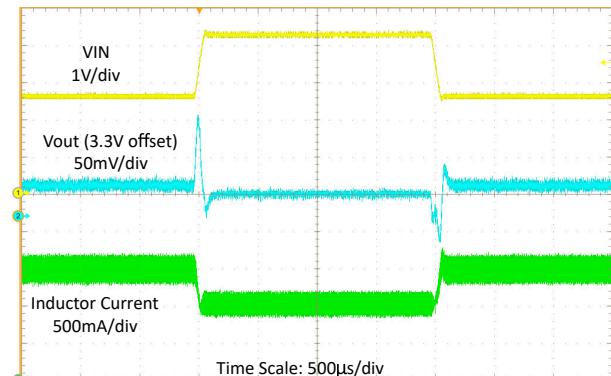


図 9-20. 1A の負荷電流時のライン過渡応答

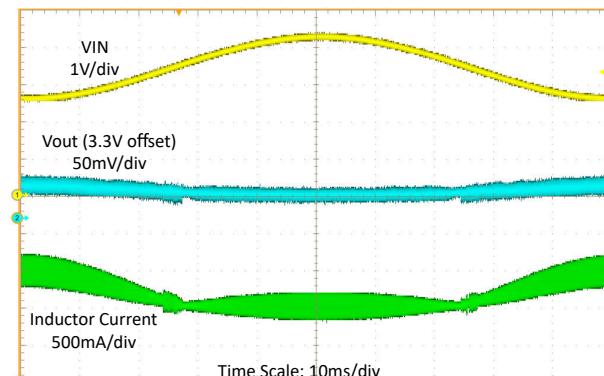


図 9-21. 1A の負荷電流におけるラインスイープ

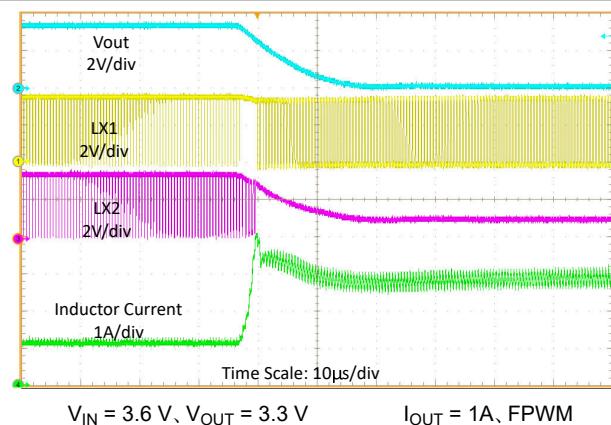


図 9-22. 出力短絡保護 (開始)

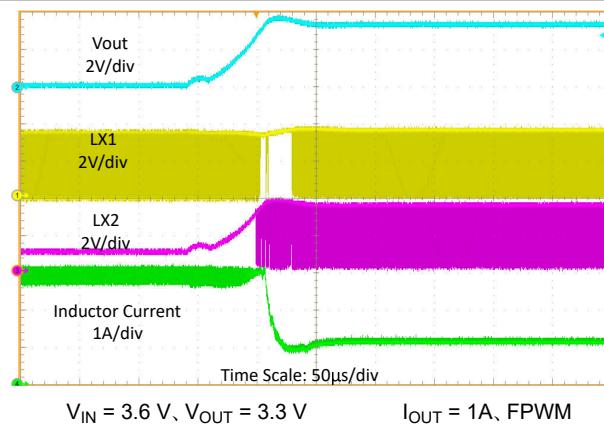


図 9-23. 出力短絡保護 (復帰)

表 9-5.  $V_{OUT} = 3.3V$  のアプリケーション特性曲線用成分

リファレンス	説明 (2)	部品番号	メーカー (1)
U1	高電力密度 1.5A 降圧 - 昇圧コンバータ	TPS631012A または TPS631013A	テキサス・インストゥルメンツ
L1	1.0µH, 2.5mm x 2.0mm, 4.3A, 42mΩ	DFE252012P-1R0M = P2	MuRata
C1	22µF, 0603, セラミックコンデンサ, ±20%, 6.3V	GRM187R61A226ME15	Murata
C2	47µF, 0805, セラミックコンデンサ, ±20%, 6.3V	GRM219R60J476ME44	Murata

(1) 「セクション 10.1.1」を参照してください。

(2) その他の出力電圧については、抵抗値を参照してください。

### 9.3 電源に関する推奨事項

TPS631012A および TPS631013A には、入力電源に対して特別な要件はありません。入力電源の出力電流は、供給電圧、出力電圧、出力電流に応じて定格する必要があります。

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

PCB レイアウトは、デバイスの高性能を維持するための重要なステップです。

- 入出力コンデンサは IC にできるだけ近づけて配置します。トレースは短くする必要があります。入力および出力コンデンサへの配線幅を広くし、直接配線することで、配線抵抗と寄生インダクタンスを低く抑えることができます。
- FB に接続されているセンストレースは信号トレースです。これらのトレースは、LX1 および LX2 ノードから離して配置します。

### 9.4.2 レイアウト例

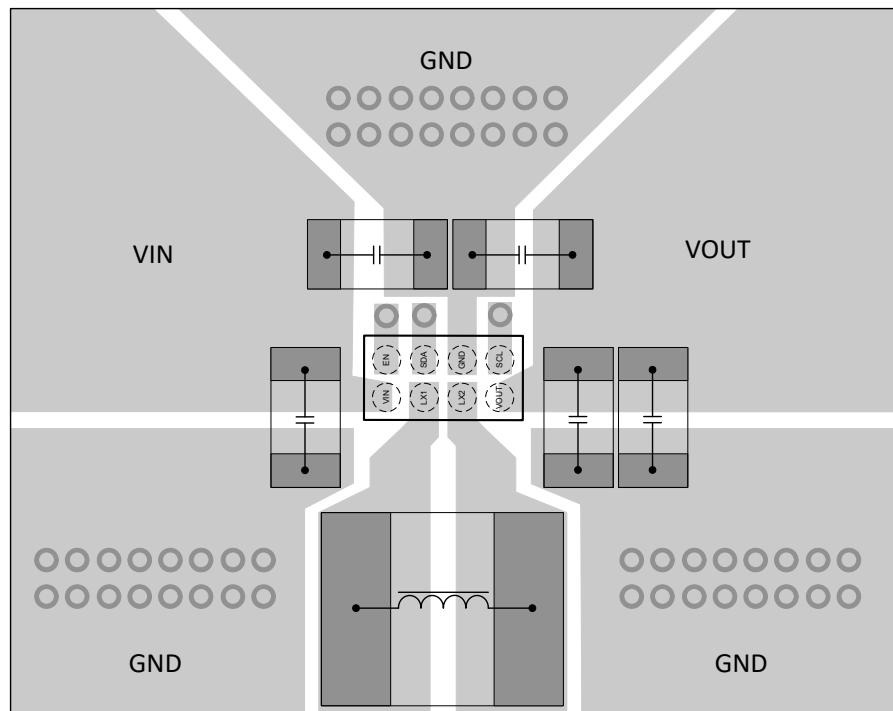


図 9-24. レイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 デバイス サポート

#### 10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

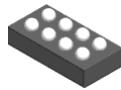
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2025	*	初版リリース

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

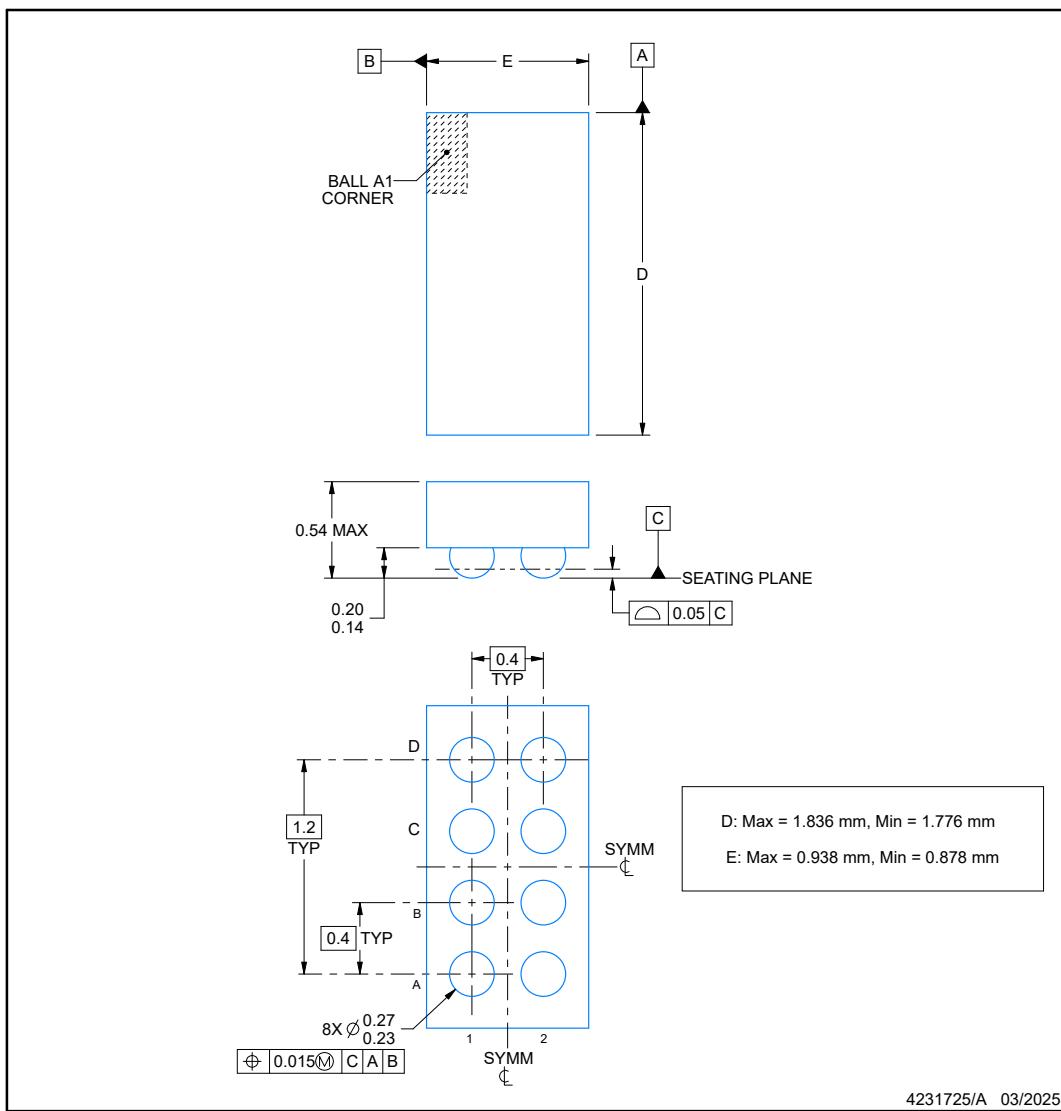
YBG0008-C03



PACKAGE OUTLINE

DSBGA - 0.54 mm max height

DIE SIZE BALL GRID ARRAY



4231725/A 03/2025

NOTES:

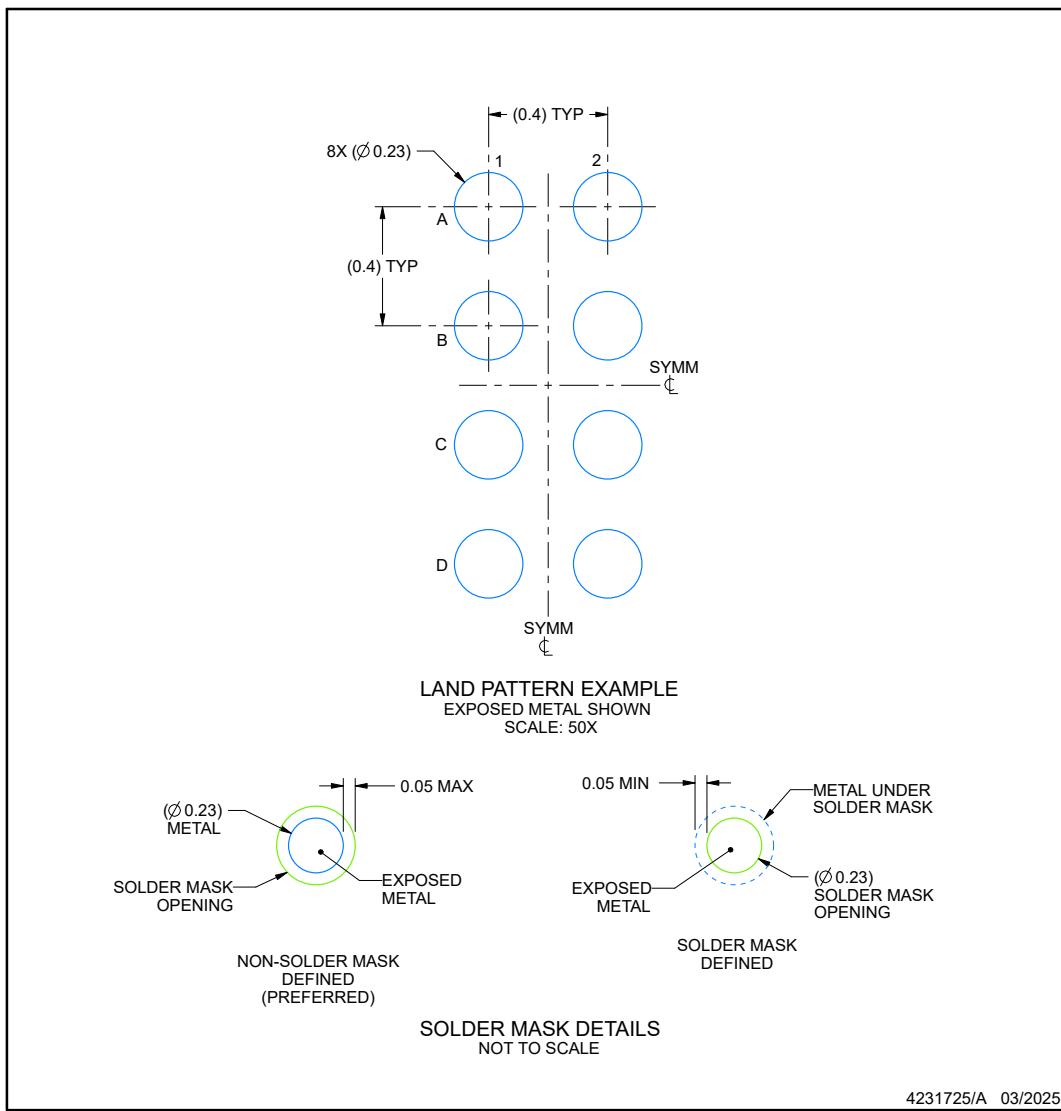
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

## EXAMPLE BOARD LAYOUT

**YBG0008-C03**

**DSBGA - 0.54 mm max height**

DIE SIZE BALL GRID ARRAY



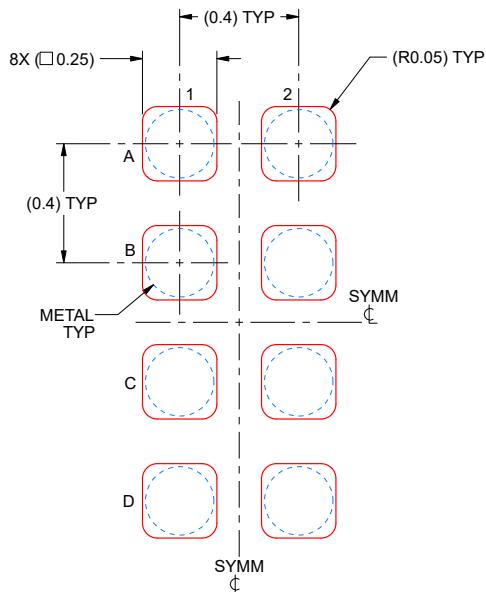
NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.  
See Texas Instruments Literature No. SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

EXAMPLE STENCIL DESIGN  
**YBG0008-C03**

**DSBGA - 0.54 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE: 50X

4231725/A 03/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS631013AYBGR	Active	Production	DSBGA (YBG)   8	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	1XQ

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

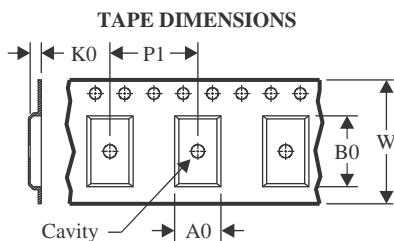
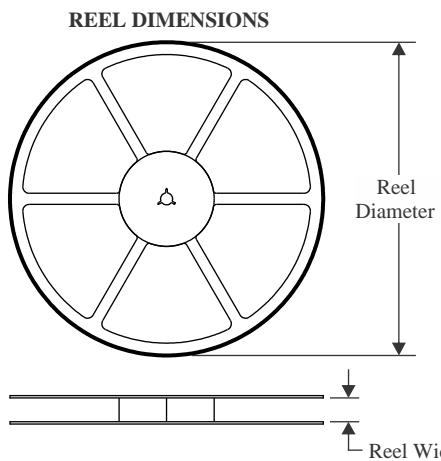
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

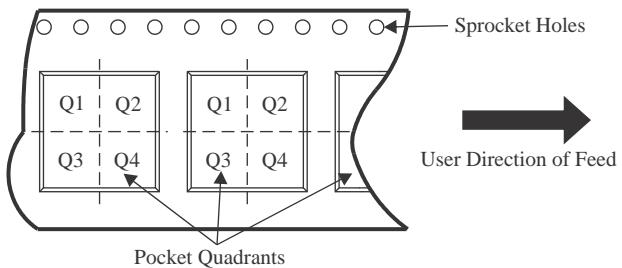
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



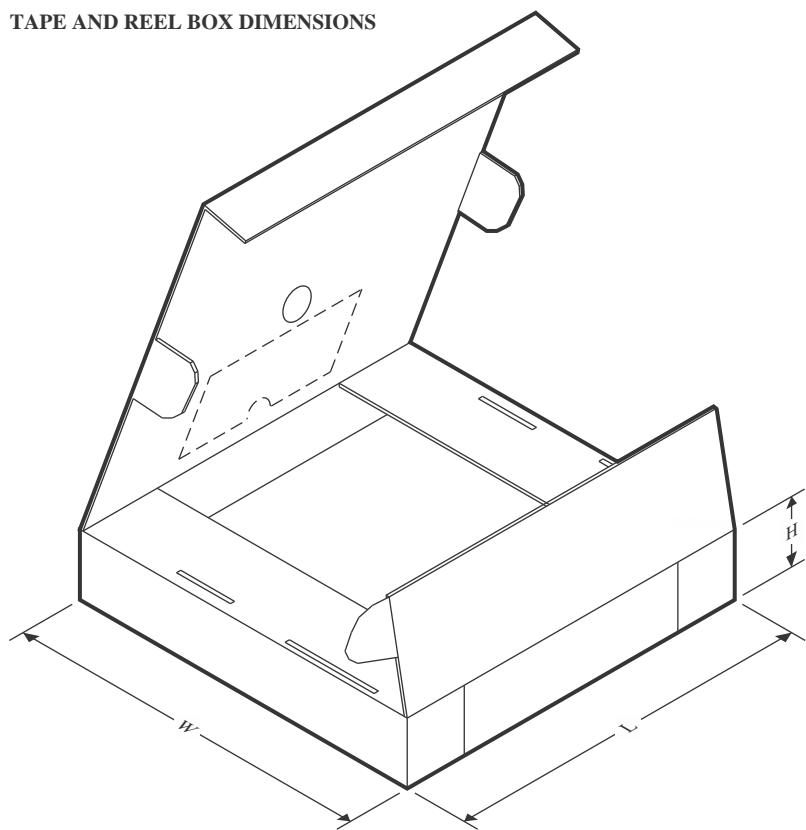
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS631013AYBGR	DSBGA	YBG	8	3000	180.0	8.4	1.02	2.02	0.63	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS631013AYBGR	DSBGA	YBG	8	3000	182.0	182.0	20.0

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月