

# TPS736-Q1 車載、コンデンサ不要、NMOS、400mA、逆電流保護機能付き低ドロップアウトレギュレータ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ,  $T_A$
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 出力コンデンサなし、または任意の値またはタイプのコンデンサで安定動作
- 入力電圧範囲:  $1.7\text{V} \sim 5.5\text{V}$
- 非常に低いドロップアウト電圧:  $75\text{mV}$  (標準値)
- オプションの出力コンデンサの有無にかかわらず非常に優れた負荷過渡応答
- 新しい NMOS トポロジにより、逆リーク電流を低減
- 低ノイズ:  $30\mu\text{V}_{\text{RMS}}$  (標準値,  $10\text{Hz} \sim 100\text{kHz}$ )
- 初期精度:  $0.5\%$
- ライン、負荷、温度の全範囲にわたって  $1\%$  の総合精度
- シャットダウンモードの最大  $I_Q$ :  $1\mu\text{A}$  未満
- サーマル シャットダウン、仕様規定された最小 / 最大電流制限保護
- 複数の出力電圧バージョンが利用可能:
  - 固定出力:  $1.2\text{V} \sim 3.3\text{V}$
  - 調整可能な出力:  $1.2\text{V} \sim 5.5\text{V}$

## 2 アプリケーション

- インフォテインメントおよびクラスタ
- 先進運転支援システム (ADAS)
- ボディエレクトロニクスおよび照明

## 3 説明

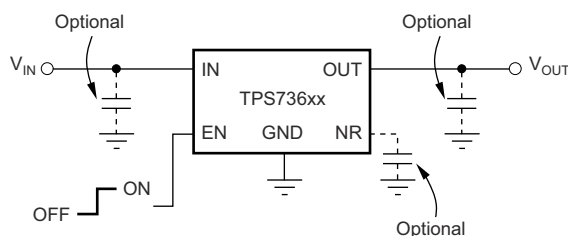
TPS736-Q1 低ドロップアウト (LDO) リニア電圧レギュレータは、NMOS パストランジスタで構成される NMOS トポロジを電圧フォロウ構成で使用します。このトポロジは、低 ESR の出力コンデンサで安定に動作し、コンデンサを使用しなくても動作できます。また、このトポロジは逆耐圧が高く (低逆電流)、グランドピン電流が全出力電流値にわたってほぼ一定です。

TPS736-Q1 は、非常に低いドロップアウト電圧と小さいグランドピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は  $1\mu\text{A}$  未満であり、携帯型アプリケーション向けに設計されています。非常に小さい出力ノイズ ( $0.1\mu\text{F}$  の  $C_{\text{NR}}$  で  $30\mu\text{V}_{\text{RMS}}$ ) は、VCO への電力供給に最適です。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
TPS736-Q1	DBV (SOT-23, 5)	$2.9\text{mm} \times 2.8\text{mm}$
	DCQ (SOT-223, 6)	$6.5\text{mm} \times 7.06\text{mm}$

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



### 代表的なアプリケーション



## 目次

<b>1 特長</b> .....	<b>1</b>	<b>6.4 デバイスの機能モード</b> .....	<b>17</b>
<b>2 アプリケーション</b> .....	<b>1</b>	<b>7 アプリケーションと実装</b> .....	<b>18</b>
<b>3 説明</b> .....	<b>1</b>	7.1 アプリケーション情報.....	18
<b>4 ピン構成および機能</b> .....	<b>3</b>	7.2 代表的なアプリケーション.....	18
<b>5 仕様</b> .....	<b>4</b>	7.3 電源に関する推奨事項.....	21
5.1 絶対最大定格.....	4	7.4 レイアウト.....	21
5.2 ESD 定格.....	4	<b>8 デバイスおよびドキュメントのサポート</b> .....	<b>24</b>
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	24
5.4 熱に関する情報.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	24
5.5 電気的特性.....	5	8.3 サポート・リソース.....	24
5.6 代表的特性.....	6	8.4 商標.....	24
<b>6 詳細説明</b> .....	<b>15</b>	8.5 静電気放電に関する注意事項.....	24
6.1 概要.....	15	8.6 用語集.....	24
6.2 機能ブロック図.....	15	<b>9 改訂履歴</b> .....	<b>24</b>
6.3 機能説明.....	16	<b>10 メカニカル、パッケージ、および注文可能な情報</b> .....	<b>25</b>

## 4 ピン構成および機能

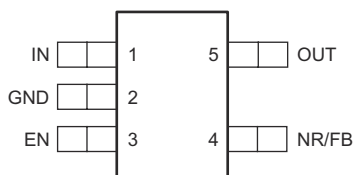


図 4-1. DBV パッケージ、5 ピン SOT-23 (上面図)

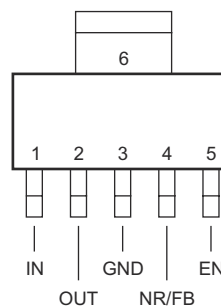


図 4-2. DCQ パッケージ、6 ピン SOT-223 (上面図)

表 4-1. ピンの機能

名称	ピン 番号		種類 <sup>(1)</sup>	説明
	SOT-23	SOT-223		
EN	3	5	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、 <a href="#">イネーブルピンとシャットダウン</a> セクションを参照してください。EN を使用しない場合は、IN に接続できます。
FB	4	4	I	FB ピン (可変電圧バージョンのみ) は、制御ループのエラー アンプへの入力ピンで、デバイスの出力電圧設定に使用されます。
GND	2	3、6	—	グラウンド
IN	1	1	I	入力電源
NR	4	4	—	NR ピン (固定電圧バージョンのみ) を外付けコンデンサに接続することで、内部バンドギャップによって発生するノイズがバイパスされる、出力ノイズを極めて低いレベルに低減できます。
OUT	5	2	O	レギュレータの出力。安定性のために出力コンデンサは必要ありません。

(1) I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電圧	入力、 $V_{IN}$	-0.3	6	V
	イネーブル、 $V_{EN}$	-0.3	6	
	出力、 $V_{OUT}$	-0.3	5.5	
	$V_{NR}$ 、 $V_{FB}$	-0.3	6	
電流	最大出力、 $I_{OUT}$	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	$P_{DISS}$	熱に関する情報 参照		
温度	動作時の接合部温度、 $T_J$	-40	150	°C
	動作時周囲温度、 $T_A$	-40	125	
	保存、 $T_{stg}$	-65	150	

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup>	±2000
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{IN}$	入力電源電圧	1.7		5.5	V
$V_{OUT}$	出力電圧	0		5.5	V
$I_{OUT}$	出力電流	0		400	mA

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS736-Q1 新しいシリコン	TPS736-Q1 新しいシリコン	TPS736-Q1 レガシーシリコン	単位
		DCQ (SOT-223)	DBV (SOT-23)	DBV (SOT-23)	
		6 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	76	185.2	221.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46.6	82.9	74.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.1	53.1	51.9	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	8.6	21.1	2.8	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	17.6	52.7	51.1	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 電気的特性

動作温度範囲 ( $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ )、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}^{(1)}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  (特に記述のない限り)。標準値は  $T_J = 25^{\circ}\text{C}$  時に測定

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{IN}$	入力電圧範囲 <sup>(1) (2)</sup>			1.7		5.5	V
$V_{FB}$	内部リファレンス (TPS73601)	$T_J = 25^{\circ}\text{C}$		1.198	1.204	1.210	V
$V_{OUT}$	出力電圧範囲 (TPS73601) <sup>(3)</sup>			$V_{FB}$		5.5 - $V_{DO}$	V
	精度 <sup>(1) (4)</sup>	公称	$T_J = 25^{\circ}\text{C}$	-0.5		0.5	%
		$V_{IN}$ 、 $I_{OUT}$ 、および温度範囲全体で ()		-1	$\pm 0.5$	1	
$\Delta V_{OUT(\Delta V_{IN})}$	ラインレギュレーション <sup>(1)</sup>	$V_{OUT(nom)} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.01			%/V
$\Delta V_{OUT(\Delta I_{OUT})}$	ロードレギュレーション	$1\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.002			%/mA
		$10\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.0005			
$V_{DO}$	ドロップアウト電圧 <sup>(5)</sup> ( $V_{IN} = V_{OUT(nom)} - 0.1\text{V}$ )	$I_{OUT} = 400\text{mA}$			75	200	mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	$1.7\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25			$\Omega$
$I_{CL}$	出力電流制限	$V_{OUT} = 0.9 \times V_{OUT(nom)}$	レガシー シリコン	400	650	800	mA
		$3.6\text{V} \leq V_{IN} \leq 4.2\text{V}$ 、 $0^{\circ}\text{C} \leq T_J \leq 70^{\circ}\text{C}$		500		800	
		$V_{OUT} = 0.9 \times V_{OUT(nom)}$	新しいシリコン	500		800	
$I_{SC}$	短絡電流	$V_{OUT} = 0\text{V}$		450			mA
$I_{REV}$	逆リーク電流 <sup>(6)</sup> ( $-I_{IN}$ )	$V_{EN} \leq 0.5\text{V}$ 、 $0\text{V} \leq V_{IN} \leq V_{OUT}$			0.1	10	$\mu\text{A}$
$I_{GND}$	グラウンドピン電流	$I_{OUT} = 10\text{mA}$ ( $I_Q$ )、レガシー シリコン			400	550	$\mu\text{A}$
		$I_{OUT} = 10\text{mA}$ ( $I_Q$ )、新しいシリコン			400	630	
$I_{GND}$	グラウンドピン電流	$I_{OUT} = 400\text{mA}$			800	1000	$\mu\text{A}$
$I_{SHDN}$	シャットダウン時の電流 ( $I_{GND}$ )	$V_{EN} \leq 0.5\text{V}$ 、 $V_{OUT} \leq V_{IN} \leq 5.5\text{V}$ 、 $-40^{\circ}\text{C} \leq T_J \leq 100^{\circ}\text{C}$ 、レガシーシリコン			0.02	1.3	$\mu\text{A}$
$I_{SHDN}$	シャットダウン時の電流 ( $I_{GND}$ )	$V_{EN} \leq 0.5\text{V}$ 、 $V_{OUT} \leq V_{IN} \leq 5.5\text{V}$ 、新しいシリコン			0.02	1	$\mu\text{A}$
$I_{FB}$	帰還ピン電流 (TPS73601)				0.1	0.45	$\mu\text{A}$
PSRR	電源電圧変動除去比 (リップル除去)	$f = 100\text{Hz}$ 、 $I_{OUT} = 400\text{mA}$			58		dB
		$f = 10\text{kHz}$ 、 $I_{OUT} = 400\text{mA}$			37		
$V_N$	出力ノイズ電圧、BW = 10Hz~100kHz	$C_{OUT} = 10\mu\text{F}$ 、 $C_{NR}$ なし			$27 \times V_{OUT}$		$\mu\text{V}_{RMS}$
		$C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$			$8.5 \times V_{OUT}$		
$t_{STR}$	起動時間	$V_{OUT} = 3\text{V}$ 、 $R_L = 30\Omega$ 、 $C_{OUT} = 1\mu\text{F}$			600		$\mu\text{s}$
$V_{EN(high)}$	EN ピン 高 (イネーブル)			1.7		$V_{IN}$	V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)			0		0.5	V
$I_{EN(high)}$	イネーブルピンの電流 (イネーブル)	$V_{EN} = 5.5\text{V}$			0.02	0.1	$\mu\text{A}$
$T_{SD}$	サーマル シャットダウン温度	シャットダウン、温度上昇			160		$^{\circ}\text{C}$
		リセット、温度低下			140		

- (1) 最小  $V_{IN} = V_{OUT} + V_{DO}$  または  $1.7\text{V}$  のいずれか大きい方。
- (2)  $V_{OUT(nom)} < 1.6\text{V}$  の場合、 $V_{IN} \leq 1.6\text{V}$  になると出力が  $V_{IN}$  にロックされ、過電圧による損傷が発生する可能性があります。この状況为了避免するため、 $V_{IN}$  をオフにする前にデバイスを無効にしてください。(レガシーシリコンのみ)
- (3) TPS73601-Q1 は、 $V_{OUT} = 2.5\text{V}$  でテストされています。
- (4) この仕様には外付け抵抗の許容誤差は含まれていません。
- (5)  $V_{DO}$  は、 $V_{OUT(nom)} < 1.8\text{V}$  の出力バージョンでは、最小  $V_{IN} = 1.7\text{V}$  であるため測定されません。
- (6) 固定電圧バージョンのみ対応。詳細は「アプリケーション情報」セクションを参照してください。

## 5.6 代表的特性

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

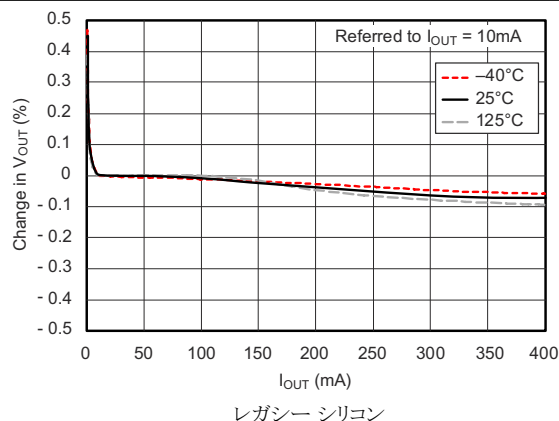


図 5-1. ロードレギュレーション

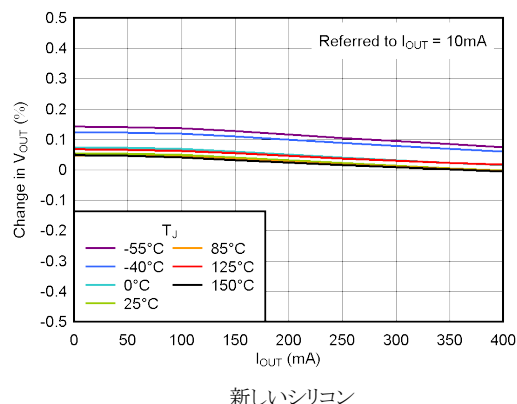


図 5-2. ロードレギュレーション

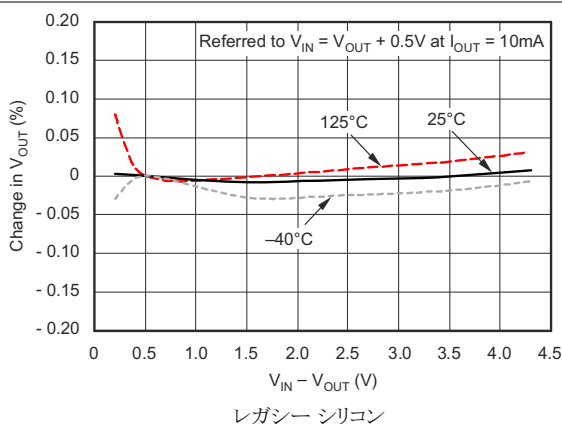


図 5-3. ラインレギュレーション

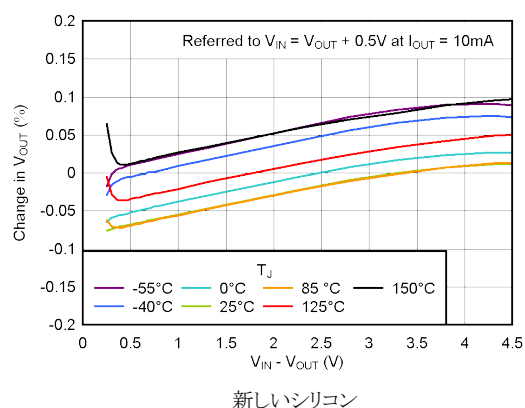


図 5-4. ラインレギュレーション

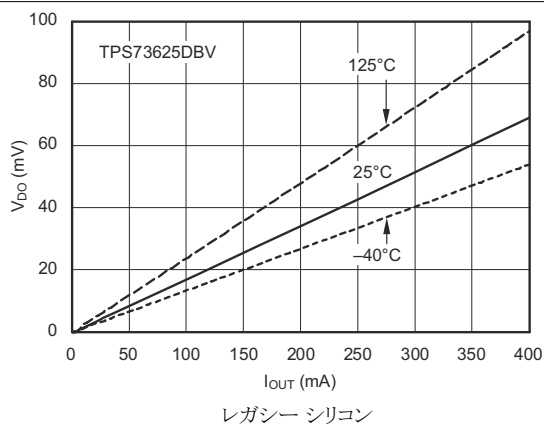


図 5-5. ドロップアウト電圧と出力電流との関係

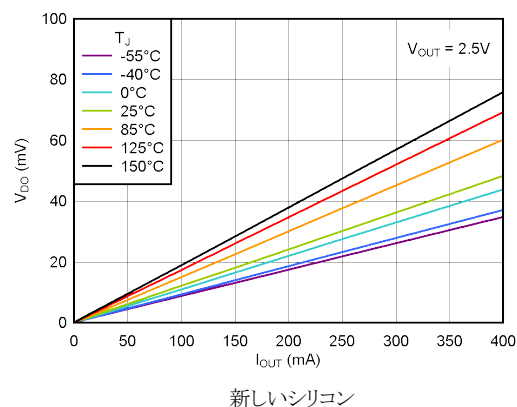


図 5-6. ドロップアウト電圧と出力電流との関係

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

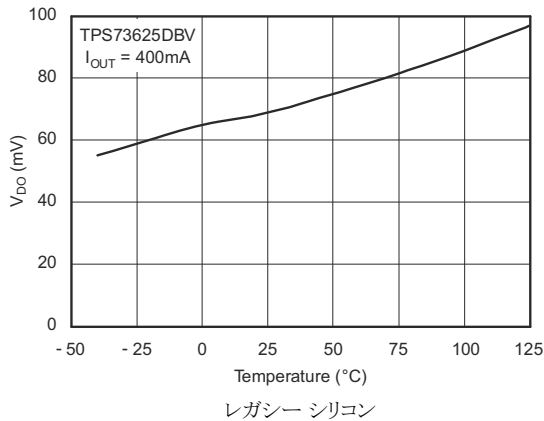


図 5-7. ドロップアウト電圧 vs 温度

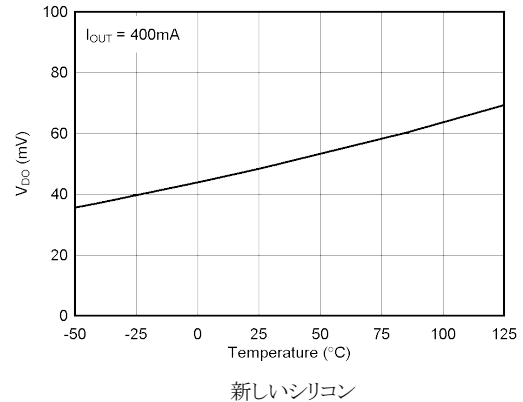


図 5-8. ドロップアウト電圧 vs 温度

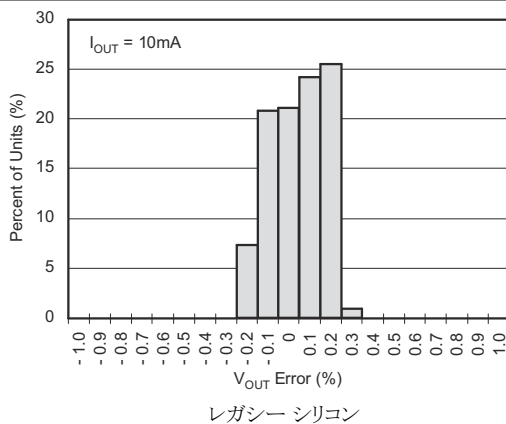


図 5-9. 出力電圧精度のヒストグラム

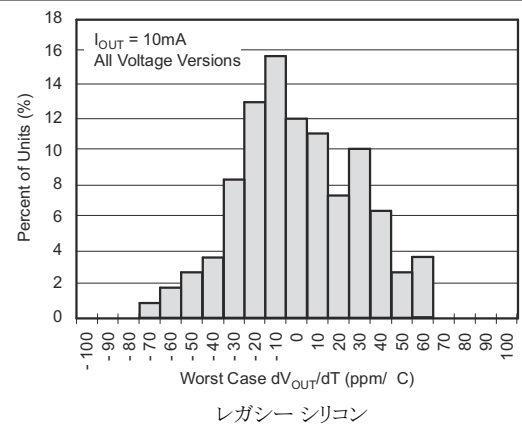


図 5-10. 出力電圧ドリフトのヒストグラム

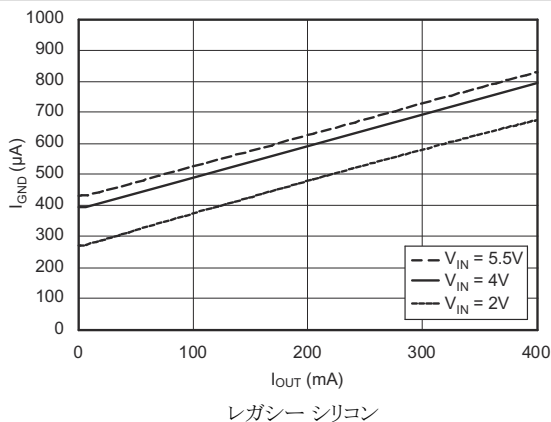


図 5-11. グランドピンの電流と出力電流との関係

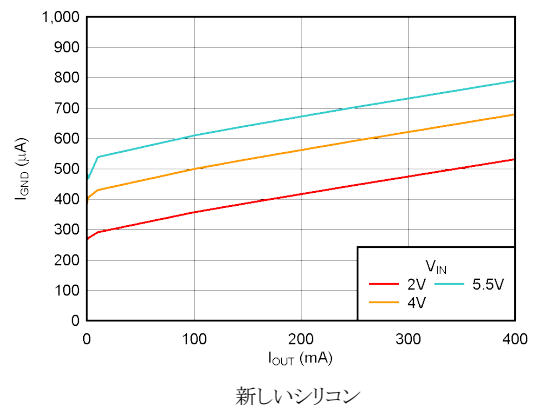


図 5-12. グランドピンの電流と出力電流との関係

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

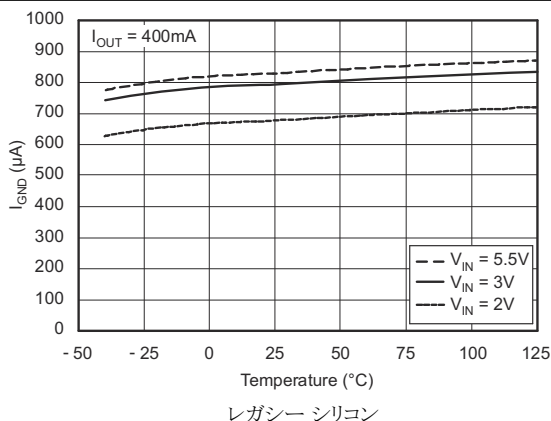


図 5-13. グランドピンの電流と温度との関係

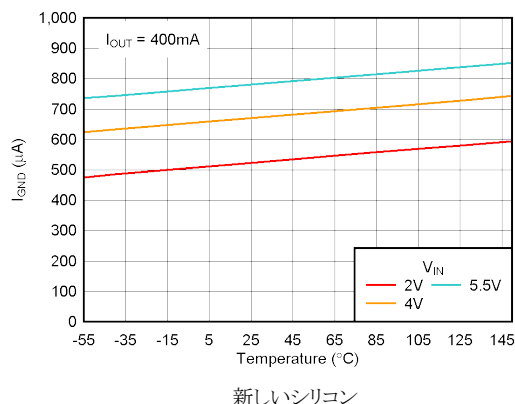


図 5-14. グランドピンの電流と温度との関係

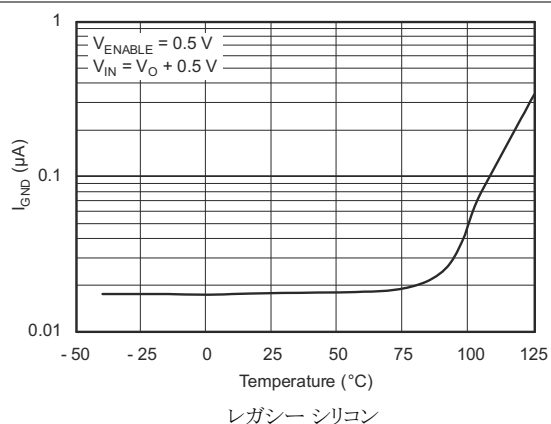


図 5-15. シャットダウン時のグランドピンの電流と温度との関係

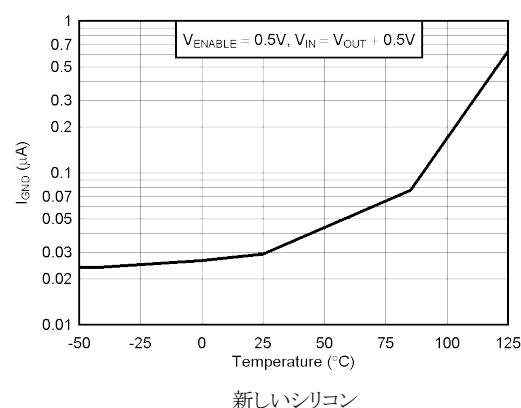


図 5-16. シャットダウン時のグランドピンの電流と温度との関係

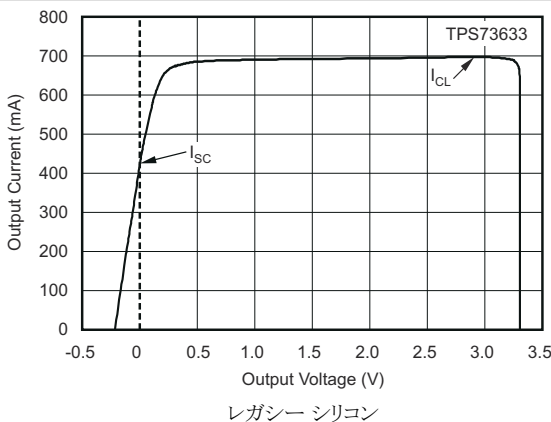


図 5-17. 電流制限と  $V_{OUT}$  (フォールドバック) の関係

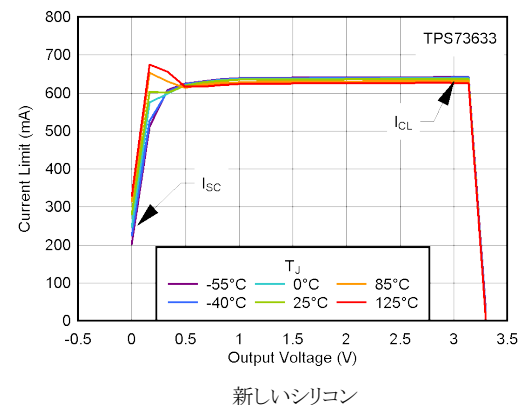
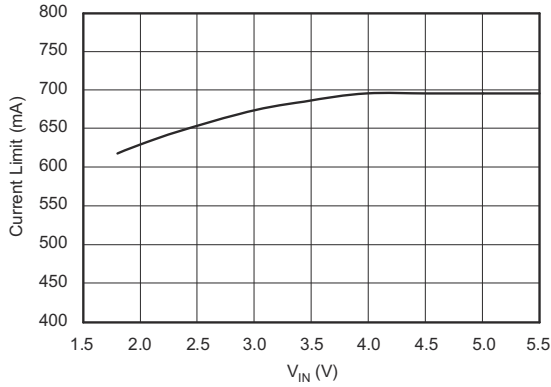


図 5-18. 電流制限と  $V_{OUT}$  (フォールドバック) の関係



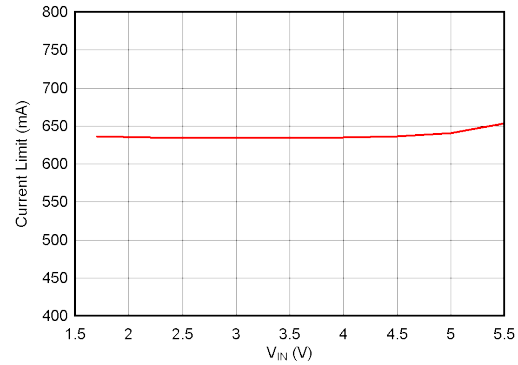
## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)



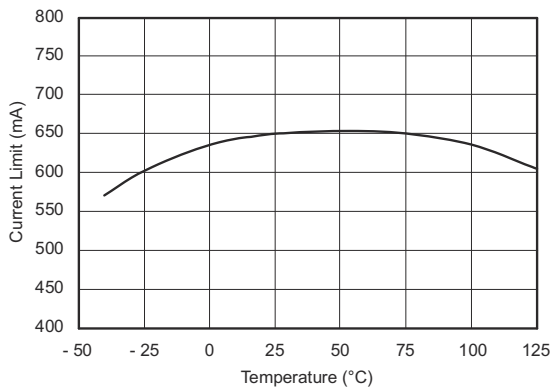
レガシー シリコン

図 5-19. 電流制限と  $V_{IN}$  との関係



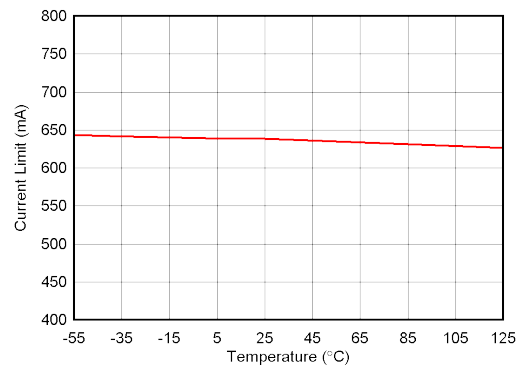
新しいシリコン

図 5-20. 電流制限と  $V_{IN}$  との関係



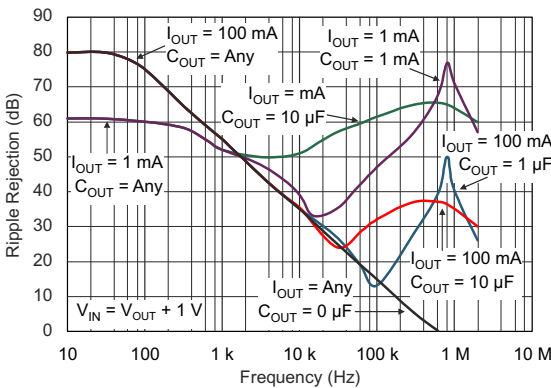
レガシー シリコン

図 5-21. 電流制限と温度との関係



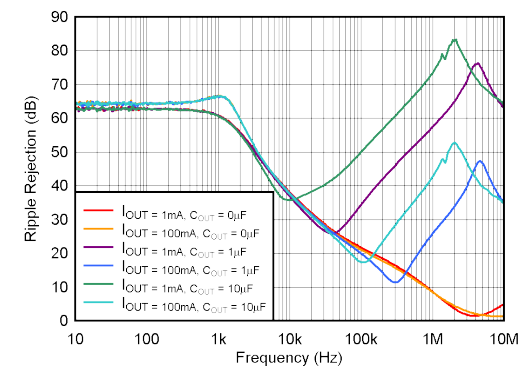
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR (リップル除去) と周波数との関係



新しいシリコン

図 5-24. PSRR (リップル除去) と周波数との関係

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

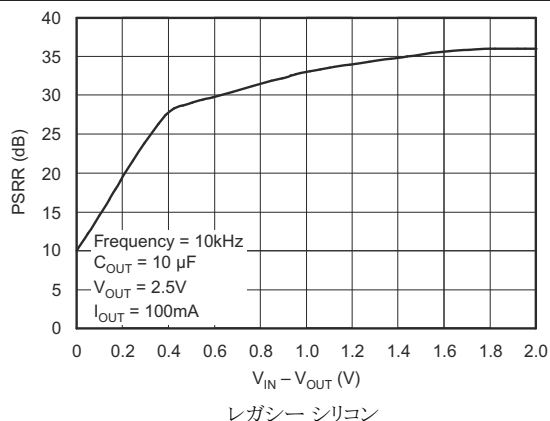


図 5-25. PSRR (リップル除去) と  $V_{IN} - V_{OUT}$  との関係

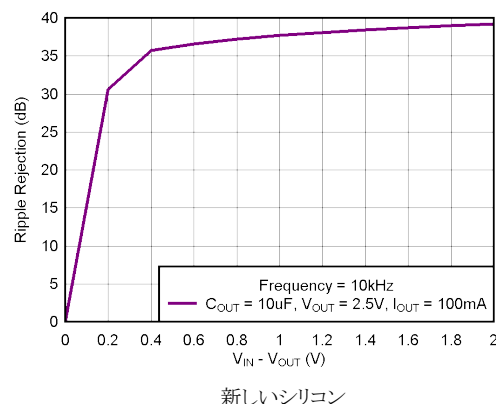


図 5-26. PSRR (リップル除去) と  $(V_{IN} - V_{OUT})$  との関係

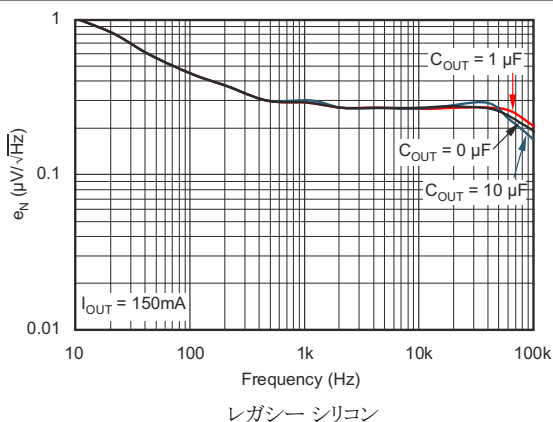


図 5-27. ノイズスペクトル密度  $C_{NR} = 0\mu\text{F}$

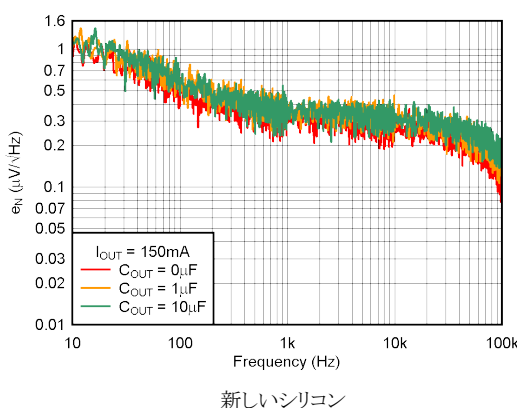


図 5-28. ノイズスペクトル密度  $C_{NR} = 0\mu\text{F}$

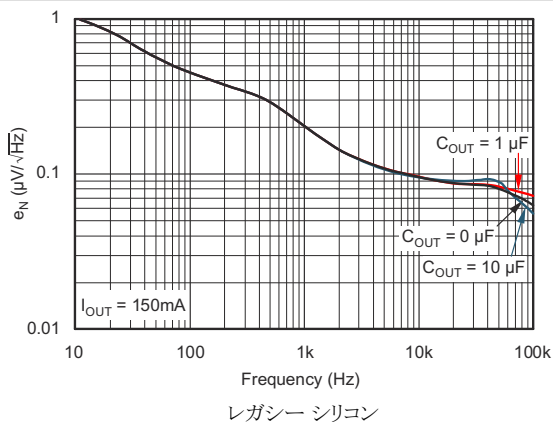


図 5-29. ノイズスペクトル密度  $C_{NR} = 0.01\mu\text{F}$

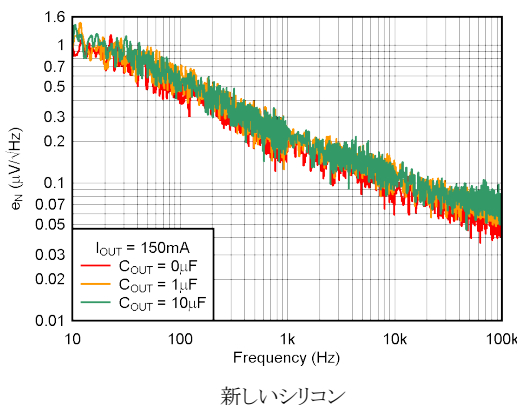


図 5-30. ノイズスペクトル密度  $C_{NR} = 0.01\mu\text{F}$

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

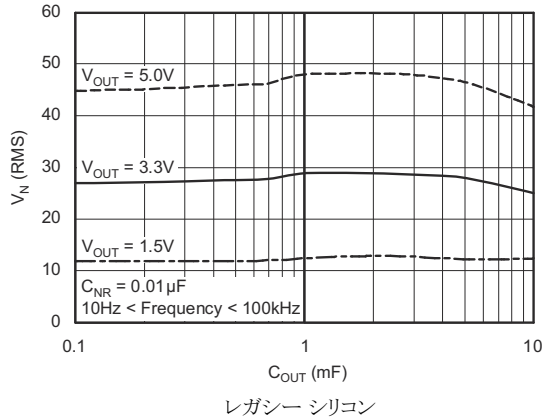


図 5-31. RMS ノイズ電圧と  $C_{OUT}$  との関係

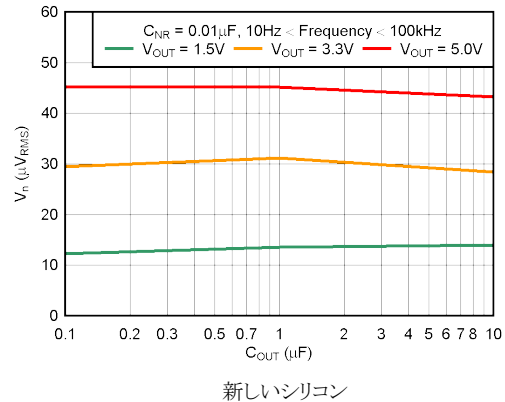


図 5-32. RMS ノイズ電圧と  $C_{OUT}$  との関係

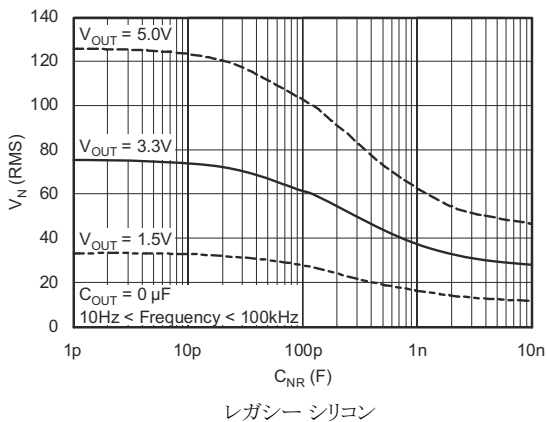


図 5-33. RMS ノイズ電圧と  $C_{NR}$  との関係

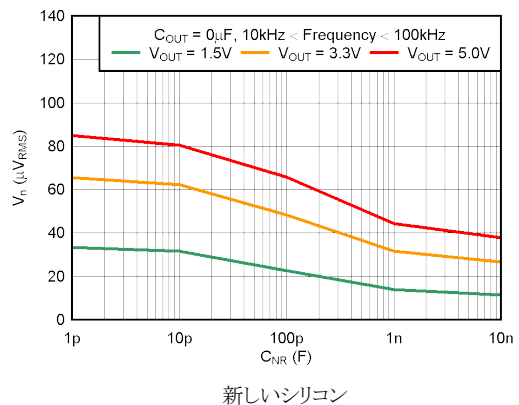


図 5-34. RMS ノイズ電圧と  $C_{NR}$  との関係

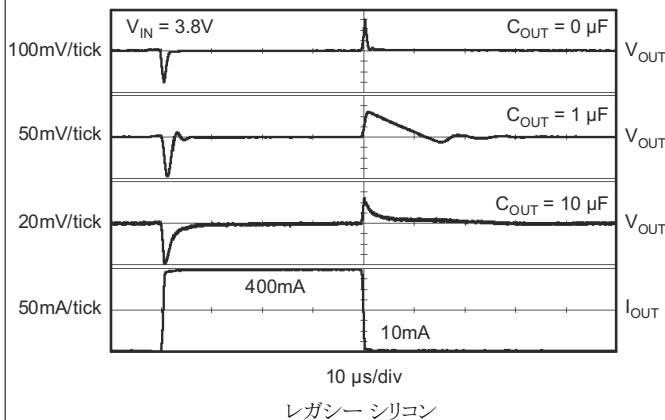


図 5-35. TPS73633 の負荷過渡応答

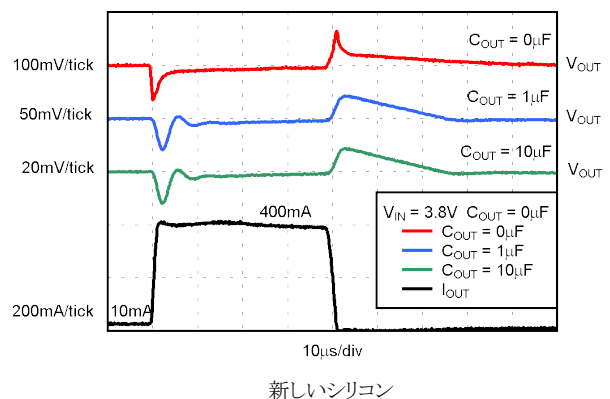


図 5-36. TPS73633 の負荷過渡応答

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

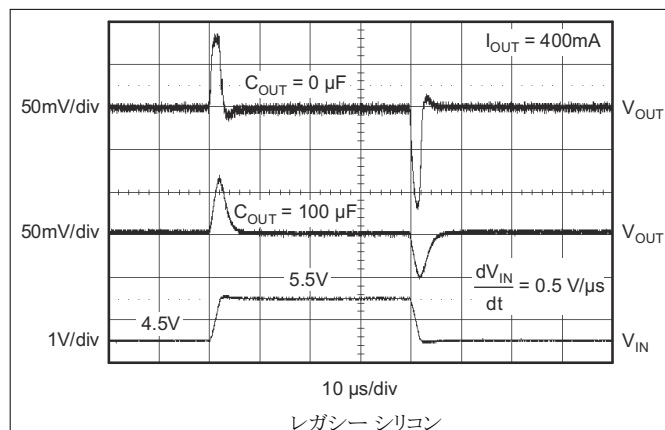


図 5-37. TPS73633 のライン過渡応答

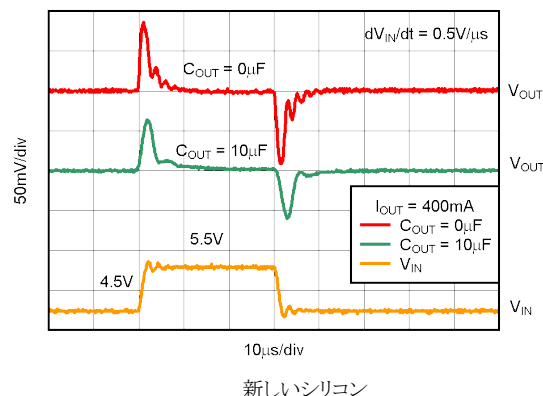


図 5-38. TPS73633 のライン過渡応答

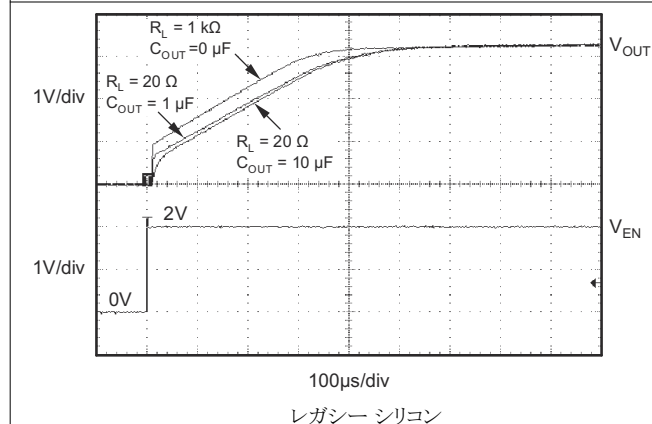


図 5-39. TPS73633 のターンオン応答

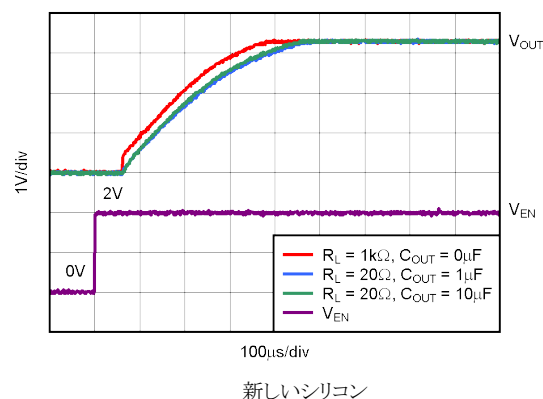


図 5-40. TPS73633 のターンオン応答

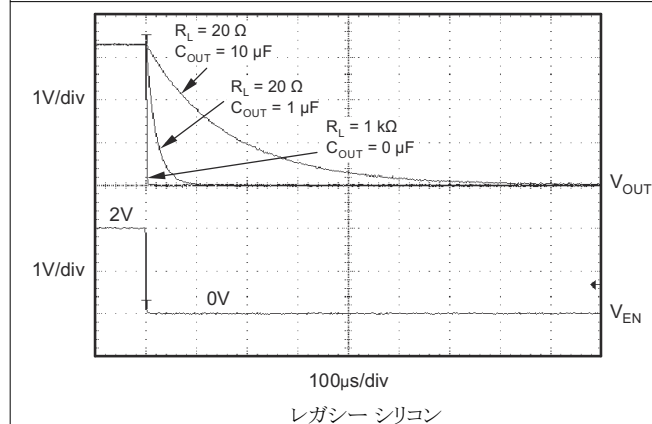


図 5-41. TPS73633 のターンオフ応答

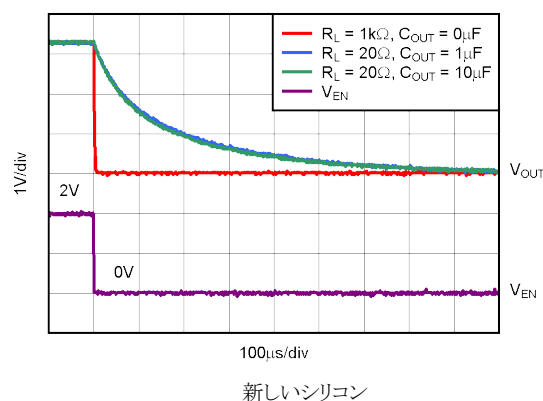


図 5-42. TPS73633 のターンオフ応答

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

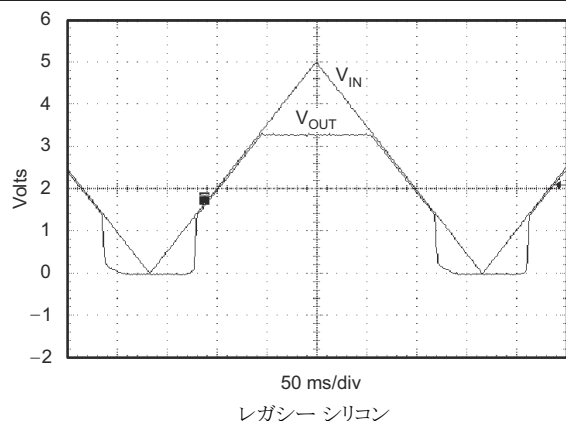


図 5-43. TPS73633 パワーアップ、パワーダウン

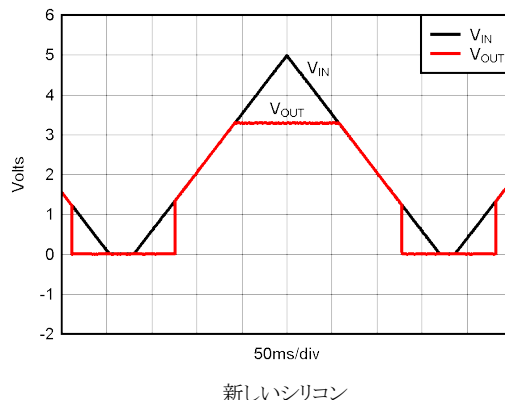


図 5-44. TPS73633 パワーアップ、パワーダウン

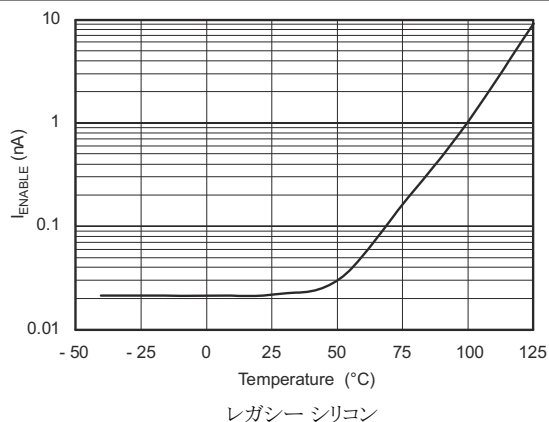


図 5-45.  $I_{\text{ENABLE}}$  VS 温度

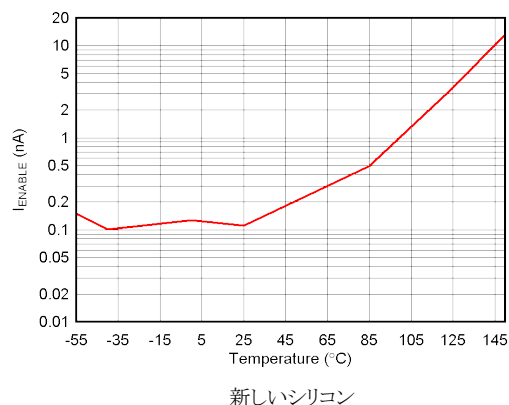


図 5-46.  $I_{\text{ENABLE}}$  VS 温度

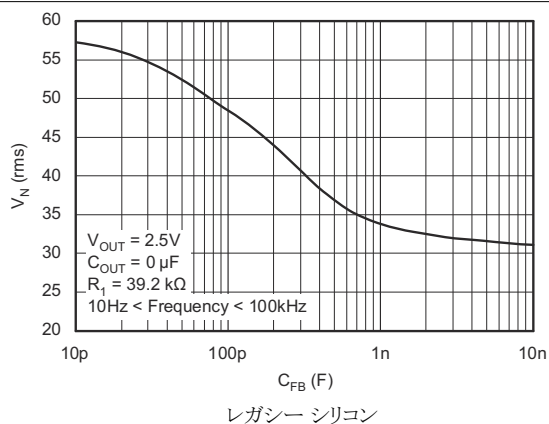


図 5-47. TPS73601 の RMS ノイズ電圧と  $C_{FB}$  との関係

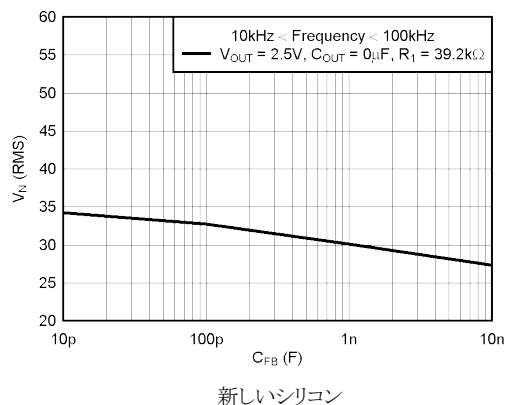


図 5-48. TPS73601 の RMS ノイズ電圧と  $C_{FB}$  との関係

## 5.6 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

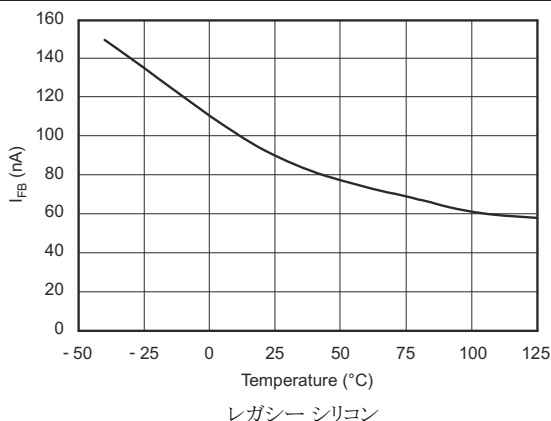


図 5-49. TPS73601  $I_{FB}$  と温度との関係

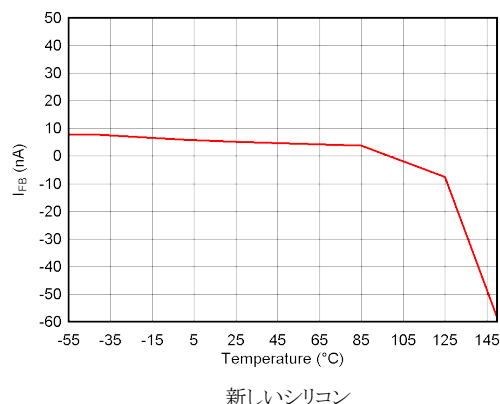


図 5-50. TPS73601  $I_{FB}$  と温度との関係

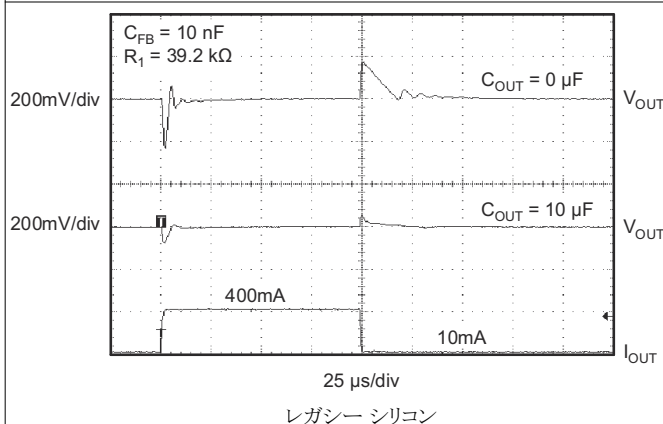


図 5-51. TPS73601 の負荷過渡応答、可変バージョン

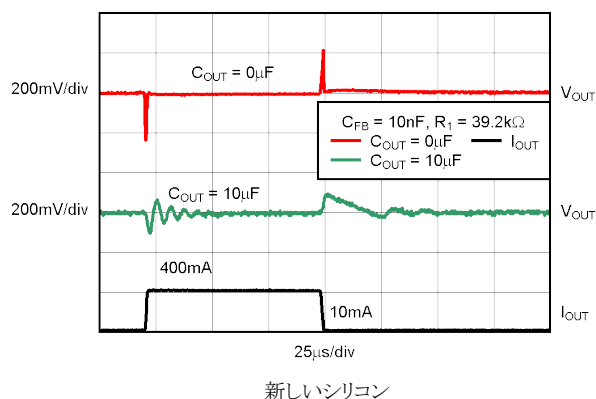


図 5-52. TPS73601 の負荷過渡応答、可変バージョン

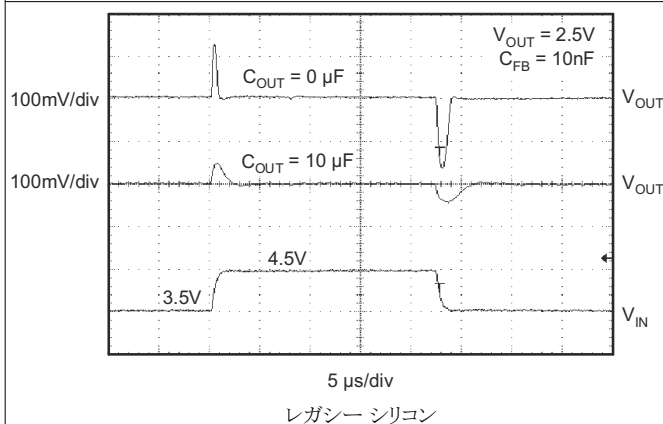


図 5-53. TPS73601 のライン過渡応答、可変バージョン

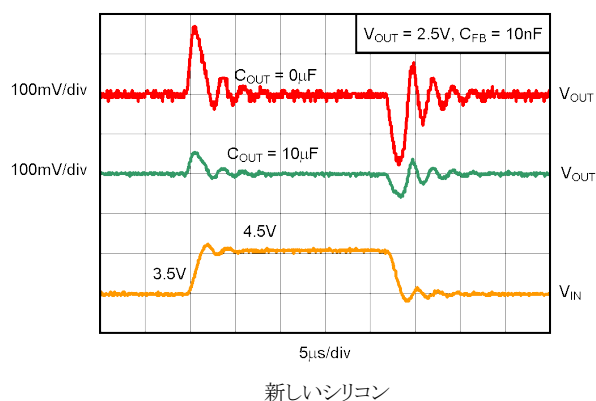


図 5-54. TPS73601 のライン過渡応答、可変バージョン

## 6 詳細説明

### 6.1 概要

TPS736xx-Q1 は 新世代 LDO レギュレータ ファミリの製品です。NMOS パストランジスタを使用して超低ドロップアウト性能および逆電流ブロックを実現し、さらに出力コンデンサの制約を受けません。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS736xx-Q1 は、携帯用途向けに設計されています。このレギュレータ ファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

### 6.2 機能ブロック図

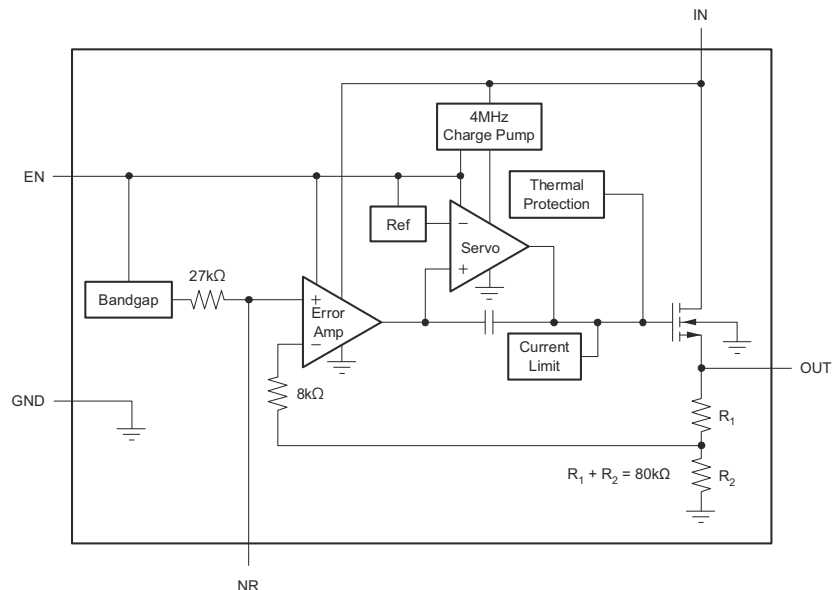
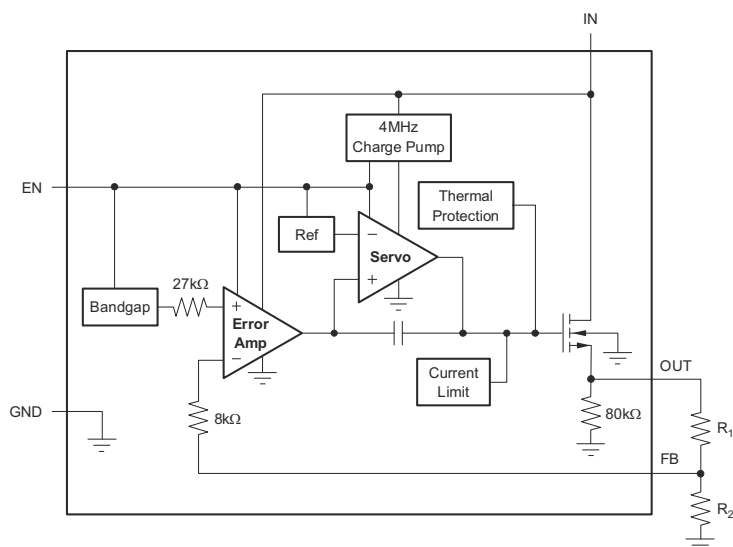


図 6-1. 固定電圧バージョン



標準的な抵抗値については、表 6-1 を参照してください。

図 6-2. 可変電圧バージョン

表 6-1. 一般的な出力電圧の標準 1% 精度の抵抗値

V <sub>OUT</sub> <sup>(1)</sup>	R <sub>1</sub>	R <sub>2</sub>
1.2V	短絡	オープン
1.5V	23.2kΩ	95.3kΩ
1.8V	28kΩ	56.2kΩ
2.5V	39.2kΩ	36.5kΩ
2.8V	44.2kΩ	33.2kΩ
3V	46.4kΩ	30.9kΩ
3.3V	52.3kΩ	30.1kΩ

- (1) より高い精度を実現する条件は、 $V_{OUT} = (R_1 + R_2) / R_2 \times 1.204$ 、 $R_1 \parallel R_2 \approx 19k\Omega$  です。

## 6.3 機能説明

### 6.3.1 内部電流制限

TPS736xx-Q1 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、V<sub>OUT</sub> が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます (図 5-17 を参照)。V<sub>OUT</sub> が約 -0.2V の時、電流制限は 0mA になります。したがって、EN が High になる前に OUT が強制的に -0.2V より低くなった場合、デバイスはスタート アップしないこともあります。正と負の両方の電源電圧で動作するアプリケーションでは、TPS736xx-Q1 を最初に有効にする必要があります。

### 6.3.2 過渡応答

電圧フォロウ構成の NMOS パス素子により低い開ループ出力インピーダンスが得られるため、多くのアプリケーションにおいて出力コンデンサ無しでの動作が可能です。他のレギュレータと同様に、OUT ピンとグラウンドの間にコンデンサ (公称値 1μF) を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、OUT ピンと FB ピンとの間にコンデンサ、すなわち C<sub>FB</sub> を追加することでも過渡応答を改善できます。

TPS736xx-Q1 には、出力が過電圧の際のアクティブ プルダウン機能はありません。この特長により、代替電源などの高い電圧源を出力に接続するアプリケーションが可能になります。この特長はまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ C<sub>OUT</sub> と内部および外部の負荷抵抗によって決まる速度で減衰します。減衰率は、バージョンに基づき 式 1 または 式 2 によって決まります。

Fixed voltage version

$$dV / dt = \frac{V_{OUT}}{C_{OUT} \times 80 k\Omega \parallel R_{LOAD}} \quad (1)$$

Adjustable voltage version

$$dV / dt = \frac{V_{OUT}}{C_{OUT} \times 80 k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (2)$$

### 6.3.3 逆電流

TPS736xx-Q1 の NMOS パス素子は、パス デバイスのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、固有安全性を高めます。パス素子のゲートから確実にすべての電荷を除去するため、入力電圧が解除される前に EN ピンを low に駆動する必要があります。この手順を実行しないと、ゲートに蓄積された電荷が原因でパス素子がオンのままになる可能性があります。

EN ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印加されることによって IN ピンから流れ出す電流を指します。80kΩ の内部抵抗分圧器がグラウンドに接続されているため、OUT ピンに追加の電流が流れます (図 6-1 および 図 6-2 を参照)。

TPS73601 の場合、V<sub>FB</sub> が V<sub>IN</sub> を 1V 以上上回ると、逆電流が発生する可能性があります。



### 6.3.4 過熱保護

過熱保護機能は、接合部温度が約  $160^{\circ}\text{C}$  に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約  $140^{\circ}\text{C}$  まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。過熱保護機能がレギュレータの消費電力を制限することで、レギュレータを過熱による損傷からデバイスを保護します。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を  $125^{\circ}\text{C}$  以下に制限する必要があります。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも  $35^{\circ}\text{C}$  上回った時に過熱保護をトリガするよう設定します。このアプリケーション条件は、想定最高周囲温度でのワーストケースの接合部温度  $125^{\circ}\text{C}$  と、ワーストケースの負荷を作り出します。

TPS736xx-Q1 の内部保護回路は、過負荷状態からの保護を目的に設計されています。過熱保護は適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS736xx-Q1 を使用し続けると、デバイスの信頼性が低下します。

## 6.4 デバイスの機能モード

### 6.4.1 イネーブルおよびシャットダウン

イネーブルピン (EN) はアクティブ High であり、標準の TTL-CMOS レベルと互換です。イネーブルピン (EN) はアクティブ High であ標準的な TTL-CMOS レベルと互換性があります。 $V_{\text{EN}}$  が  $0.5\text{V}$  (最大値) 未満になると、レギュレータはオフになり、GND ピンの電流は約  $10\text{nA}$  にまで低下します。EN ピンを使用してレギュレータをシャットダウンすると、すべての電荷がパストランジスタのゲートから除去されます。 $V_{\text{EN}}$  が  $1.7\text{V}$  (最小値) を超えるとレギュレータはオンになり、出力は制御された  $V_{\text{OUT}}$  に戻ります (詳細は [図 5-39](#) を参照)。

シャットダウン機能が不要な場合は、EN ピンを  $V_{\text{IN}}$  に接続します。ただし、この構成を使用するとパス ゲートを放電できず、 $V_{\text{IN}}$  が解除された後も、パストランジスタが相当の期間オン (拡張) のままになる可能性があります。この状況では、逆電流が流れ (IN ピンが低インピーダンスの場合)、パワーアップ時のランプ時間が短くなります。さらに、 $V_{\text{IN}}$  のランプ時間が数ミリ秒より遅い場合、パワーアップ時に出力がオーバーシュートを起こす可能性があります。

条件によっては、電流制限フォールドバックを用いてデバイスのスタートアップを防止できます。詳細については、[内部電流制限](#) セクションを参照してください。

### 6.4.2 ドロップアウト電圧

TPS736xx-Q1 は NMOS パストランジスタを使用して、非常に低いドロップアウトを実現しています。 $(V_{\text{IN}} - V_{\text{OUT}})$  がドロップアウト電圧 ( $v_{\text{DO}}$ ) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の  $R_{\text{DS(ON)}}$  となります。

TPS736xx-Q1 では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために  $V_{\text{IN}}$  から  $V_{\text{OUT}}$  への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、DC ドロップアウト電圧の約 2 倍です。 $V_{\text{IN}} - V_{\text{OUT}}$  の値がこの境界を超えている場合、通常の過渡応答が得られます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム ( $V_{\text{IN}}$  から  $V_{\text{OUT}}$  への電圧降下) の関数で求められます。ワーストケース条件 [ $(V_{\text{IN}} - V_{\text{OUT}})$  が DC ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、TPS736xx-Q1 は仕様どおりのレギュレーション精度に復帰するまでに数百マイクロ秒を要する場合があります。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

$R_1$  と  $R_2$  は、出力電圧に応じて 図 7-6 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 6-2 に図示します。

より高い精度を得るため、 $R_1$  と  $R_2$  の並列組み合わせを約  $19\text{k}\Omega$  に設定します。この  $19\text{k}\Omega$  に、内部の  $8\text{k}\Omega$  抵抗が加わることで、エラーアンプに対して  $27\text{k}\Omega$  のバンドギャップリファレンス出力と同じインピーダンスを提供します。このインピーダンスは、エラーアンプ端子へのリークを補償するのに役立ちます。

### 7.2 代表的なアプリケーション

#### 7.2.1 代表的なアプリケーション回路(固定電圧バージョン)

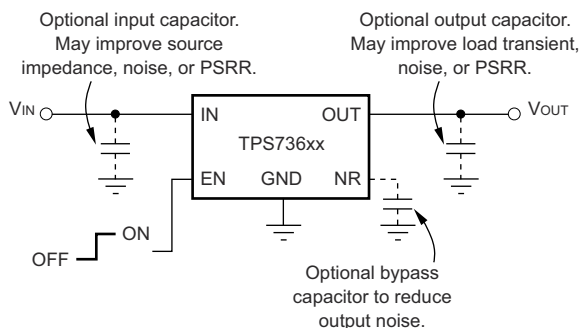


図 7-1. 代表的なアプリケーション回路(固定電圧バージョン)

##### 7.2.1.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを入力パラメータとして使用します。

表 7-1. 設計パラメータ (固定電圧バージョン)

パラメータ	数値の例
入力電圧	5 V、 $\pm 3\%$
出力電圧	3.3 V、 $\pm 1\%$
出力電流	400mA (最大値)、20mA (最小値)
RMS ノイズ、10Hz ~ 100kHz	30 $\mu\text{V}_{\text{RMS}}$ 未満
周囲温度	55°C (最大値)

##### 7.2.1.2 詳細な設計手順

###### 7.2.1.2.1 入出力コンデンサの必要性

安定性のために入力コンデンサは必須ではありませんが、レギュレータ付近の入力電源の両端に  $0.1\mu\text{F}$  ~  $1\mu\text{F}$  の低 ESR コンデンサを接続することが、アナログ設計では推奨されます。この入力コンデンサはリアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

TPS736xx-Q1 は、安定性のために出力コンデンサを必要とせず、コンデンサなしで最大の位相マージンを持ちます。このレギュレータは、利用可能なすべてのコンデンサのタイプと値で安定するように設計されています。複数の低 ESR コンデンサを並列接続する場合、 $C_{OUT}$  と合計 ESR の積が  $50\text{nF} \times \Omega$  を下回るとリンギングが発生する可能性があります。合計 ESR には、コンデンサの ESR に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

#### 7.2.1.2.2 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧  $V_{REF}$  を生成します。このリファレンスが TPS736xx-Q1 内の主要なノイズ源です。リファレンス出力 (NR) では、約  $32\mu\text{V}_{RMS}$  (10Hz ~ 100kHz) が生成されます。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は 式 3 で求められます。

$$V_N = 32\mu\text{V}_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu\text{V}_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (3)$$

$V_{REF}$  の値が 1.2V であるため、この関係は 式 4 に減少します。

$$V_N(\mu\text{V}_{RMS}) = 27 \left( \frac{\mu\text{V}_{RMS}}{V} \right) \times V_{OUT}(V) \quad (4)$$

$C_{NR}$  が無い場合。

外部ノイズ低減コンデンサ  $C_{NR}$  がノイズ低減ピン (NR) からグランドに接続されている時、 $27\text{k}\Omega$  の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。 $C_{NR} = 10\text{nF}$  の場合、10Hz ~ 100kHz の帯域幅での合計ノイズは約 3.2 倍に低減され、そのおおよその関係は次の 式 5 の通りです。

$$V_N(\mu\text{V}_{RMS}) = 8.5 \left( \frac{\mu\text{V}_{RMS}}{V} \right) \times V_{OUT}(V) \quad (5)$$

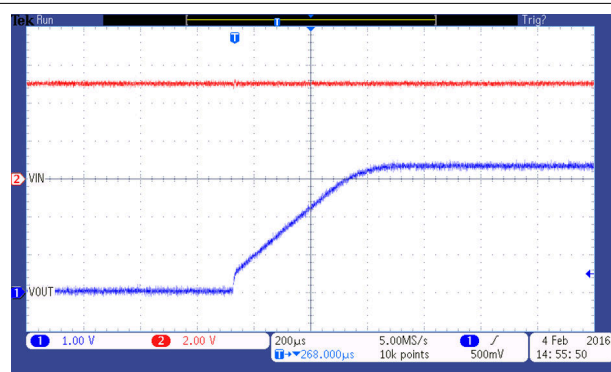
$C_{NR} = 10\text{nF}$  の場合。

このノイズ低減の効果は 代表的特性 表内の 図 5-33 に示しています。

可変バージョンの TPS73601 には、NR ピンがありません。しかし、帰還コンデンサ  $C_{FB}$  を出力から帰還ピン (FB) に接続することで、出力ノイズが減少し、負荷過渡性能が向上します。

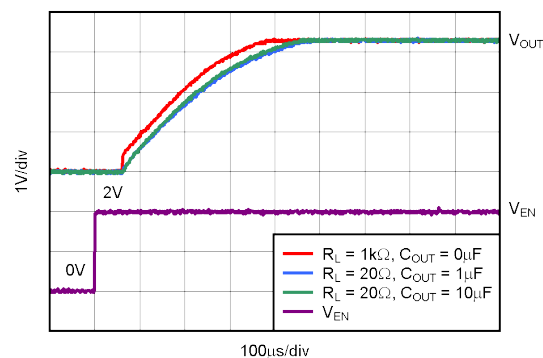
TPS736xx-Q1 は内部チャージ ポンプを用いて内部電源電圧を生成し、 $V_{OUT}$  を上回る電圧での NMOS パス素子のゲート駆動も可能にします。チャージ ポンプは約 4MHz で約  $250\mu\text{V}$  のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における  $I_{OUT}$  および  $C_{OUT}$  のほとんどの値で、無視できるほど小さくなります。

## 7.2.1.3 アプリケーション曲線



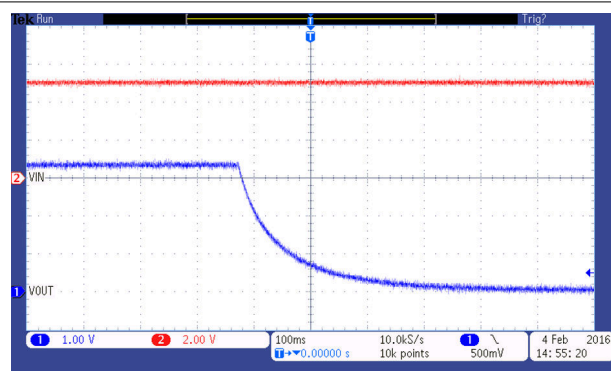
レガシー シリコン

図 7-2. TPS73601 のスタートアップ



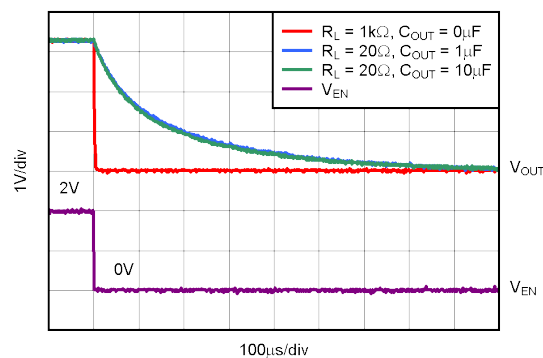
新しいシリコン

図 7-3. TPS73601 のスタートアップ



レガシー シリコン

図 7-4. TPS73601 シャットダウン



新しいシリコン

図 7-5. TPS73601 シャットダウン

## 7.2.2 可変電圧バージョン向けの標準的なアプリケーション回路

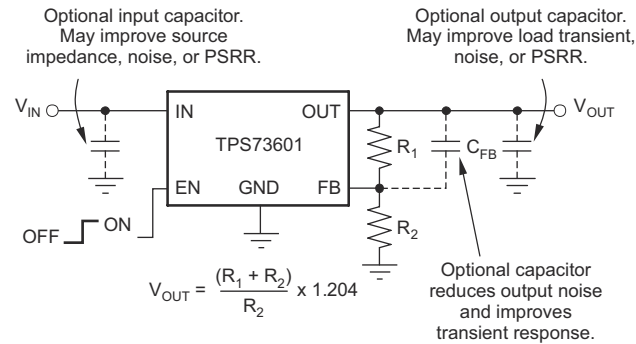


図 7-6. 可変電圧バージョン向けの標準的なアプリケーション回路

### 7.2.2.1 設計要件

この設計例では、表 7-2 に記載されているパラメータを入力パラメータとして使用します。

表 7-2. 設計パラメータ (可変電圧バージョン)

パラメータ	数値の例
入力電圧	5V、±3%、1MHz でスイッチングする DC/DC コンバータにより供給
出力電圧	2.5V、±1%
出力電流	0.4A (最大値)、10mA (最小値)
RMS ノイズ、10Hz ~ 100kHz	35µVRMS 未満
周囲温度	55°C (最大値)

## 7.3 電源に関する推奨事項

このデバイスは、1.7V ~ 5.5V の入力電源範囲で動作するように設計されています。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、基板設計では VIN と VOUT コンデンサへのグランド プレーン接続を設け、グランド プレーンをデバイスの GND ピンで接続してください。さらに、バイパス コンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

#### 7.4.1.1 熱に関する注意事項

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。JEDEC の Low-K ボードと High-K ボードの性能データを、セクション 5.4 の表に示します。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、めっきされたスルーホールを放熱層へ追加することで、ヒート シンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。消費電力 (PD) は、出力電流と出力パス素子間 (VIN から VOUT) の電圧降下の積に等しくなります。次の式 6 を参照してください。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

要求される出力電圧を提供できる最低限の入力電圧を使用することで、電力消費を最小限に抑えることが可能です。

## 7.4.2 レイアウト例

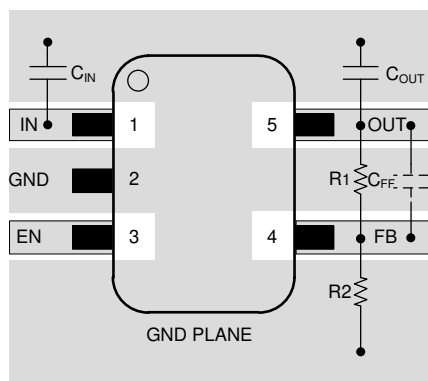


図 7-7. DBV パッケージ可変バージョンのレイアウト例

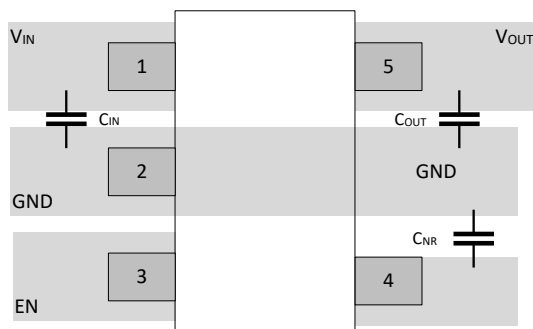


図 7-8. DBV パッケージ固定バージョンのレイアウト例

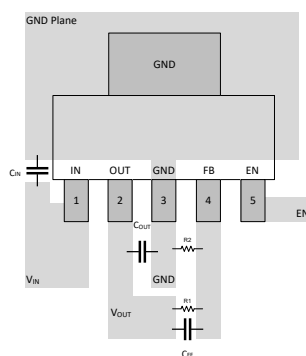


図 7-9. DCQ パッケージ可変バージョンのレイアウト例

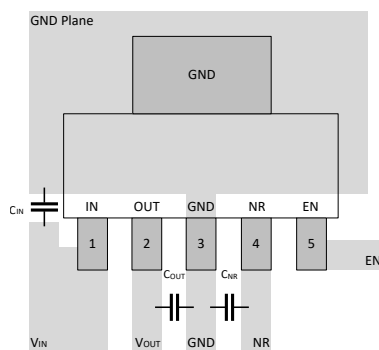


図 7-10. DCQ パッケージ固定バージョンのレイアウト例



## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 デバイスの命名規則

表 8-1. 注文情報 <sup>(1)</sup>

製品名	説明 <sup>(1)</sup>
TPS736xxQyyy(M3)Q1	<p><b>xx</b> は公称出力電圧です (例: 25 = 2.5V, 01 = 可変<sup>(2)</sup>)。</p> <p><b>Q</b> は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。</p> <p><b>yyy</b> はパッケージ指定子です。</p> <p><b>z</b> はパッケージ数量です。</p> <p><b>M3</b> は最新の製造フローのみを使用するデバイスの接尾辞です (CSO: RFB) を用いて出荷されます。この接尾辞がないデバイスは、レガシー シリコン (CSO: DLN) または新しいシリコン (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。</p> <p><b>Q1</b> は、デバイスが車載グレード (AEC-Q100) であることを示します。</p>

- (1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、[www.ti.com](http://www.ti.com) にあるデバイスの製品フォルダをご覧ください。
- (2) 1.20V 固定動作の場合は、FB を OUT に接続します。

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。



---

**Changes from Revision C (May 2025) to Revision D (May 2025) Page**

•	ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
•	新しいシリコンのグラウンド ピン電流仕様を追加.....	5

---

**Changes from Revision B (December 2024) to Revision C (May 2025) Page**

•	新しいシリコンを DBV の熱に関する情報に追加.....	4
---	-------------------------------	---

---

**Changes from Revision A (May 2016) to Revision B (December 2024) Page**

•	ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
•	現在のファミリのフォーマットに合わせてドキュメント全体を変更.....	1
•	ドキュメントに M3 デバイスを追加.....	1
•	VFB の標準値を変更.....	5
•	ドキュメントのサポート および 関連資料を削除.....	24

---

## 10 メカニカル、パッケージ、および注文可能な情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS73601QDBVRQ1</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PTWQ
TPS73601QDBVRQ1.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PTWQ
<a href="#">TPS73618QDCQRM3Q1</a>	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73618Q
TPS73618QDCQRM3Q1.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73618Q
<a href="#">TPS73618QDCQRQ1</a>	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73618Q
TPS73618QDCQRQ1.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73618Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS736-Q1 :**

- Catalog : [TPS736](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73601QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73618QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73601QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73618QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0



# EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



## EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

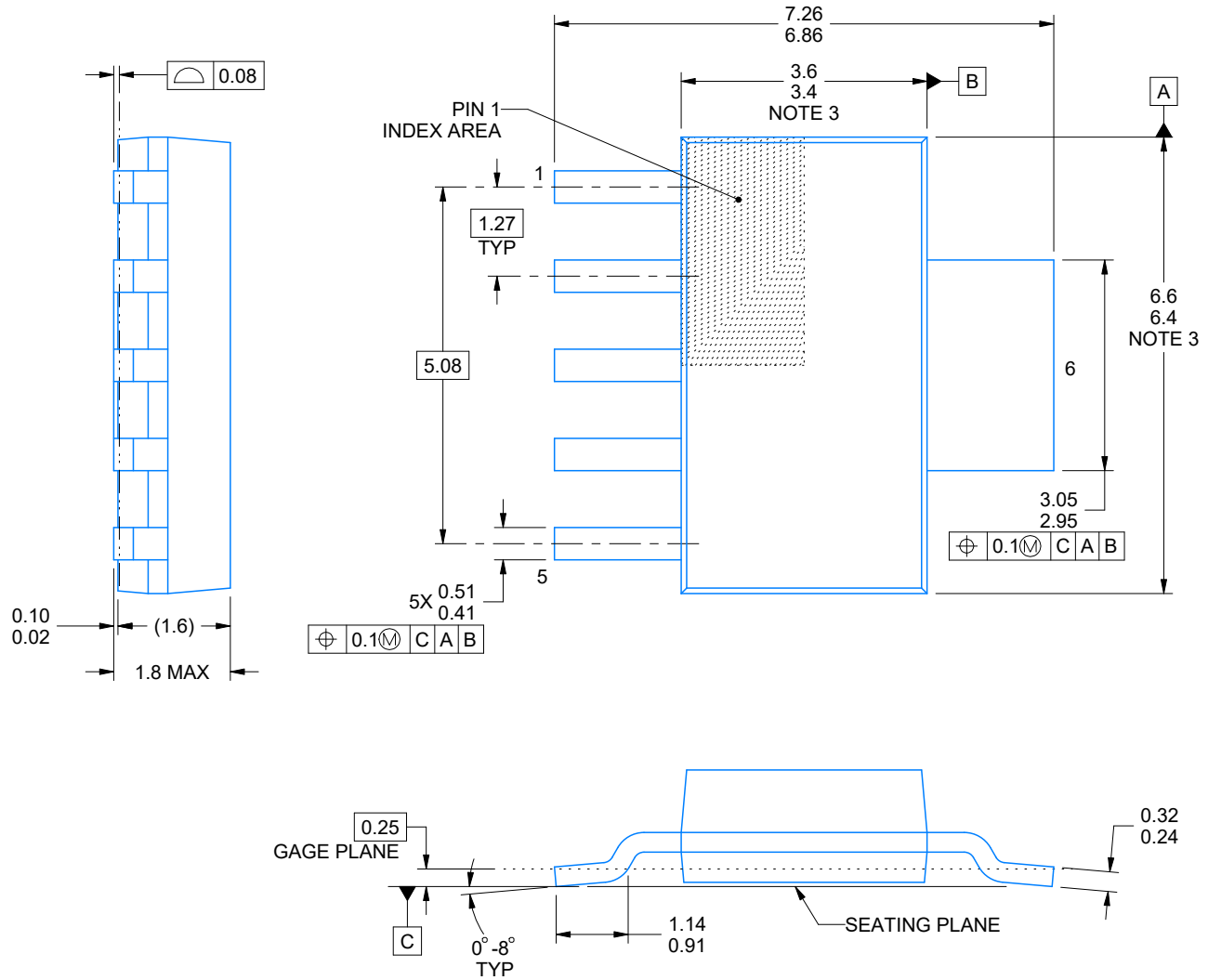
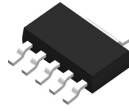


SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214845/C 11/2021

## NOTES:

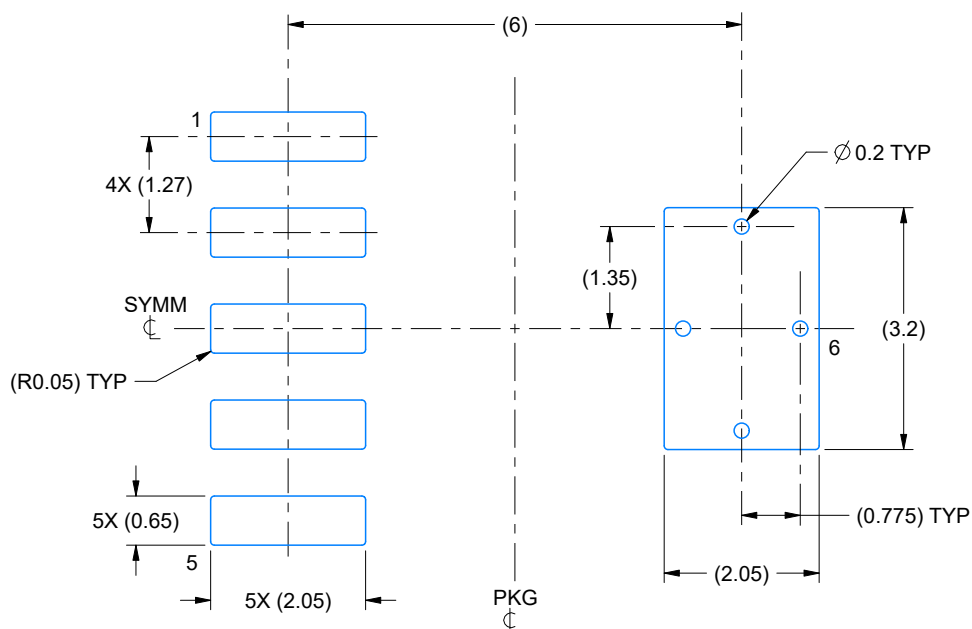
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

# EXAMPLE BOARD LAYOUT

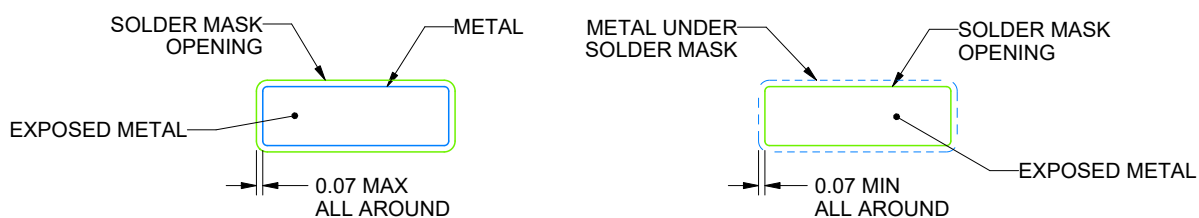
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

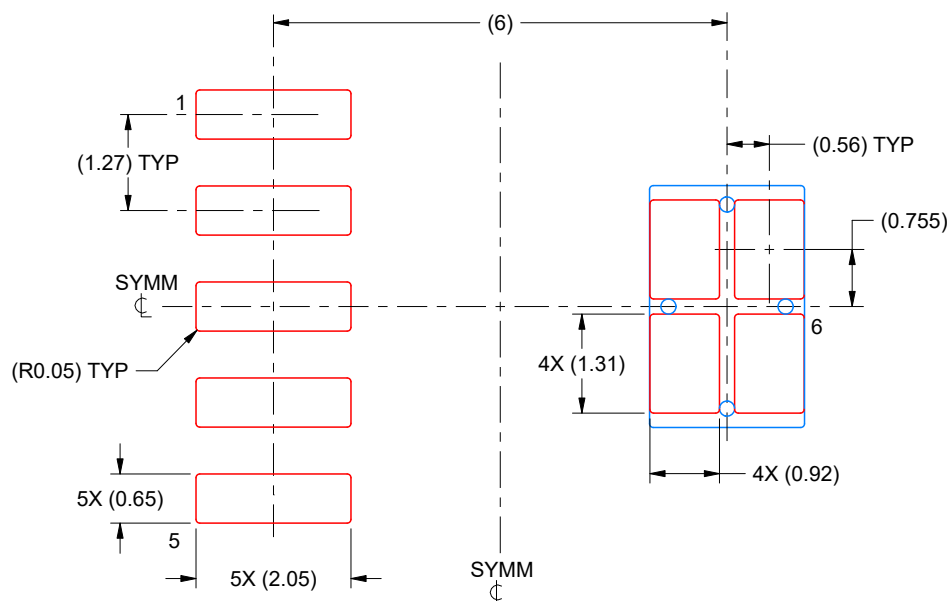
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月