

TPS796-Q1 車載用、超低ノイズ、高 PSRR、高速 RF、1A 低ドロップアウト リニア レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- イネーブル搭載、1A 低ドロップアウト レギュレータ
- 高 PSRR (53dB、10kHz)
- 低ノイズ:
 - $54\mu V_{RMS}$ (従来チップ)
 - $78\mu V_{RMS}$ (新チップ)
- $1\mu F$ のセラミック コンデンサで安定動作
- 非常に優れた負荷、ライン過渡応答
- 非常に低いドロップアウト電圧:
 - 220mV (標準値) TPS79633-Q1
- SOT-223-6 パッケージ

2 アプリケーション

- 中距離 / 短距離レーダー
- 車載ヘッド ユニット
- テレマティクス制御ユニット
- ハイブリッド インstrument クラスタ

3 説明

低ドロップアウト (LDO)、低消費電力リニア電圧レギュレータの TPS796-Q1 は、高い電源除去率 (PSRR)、超低ノイズ、高速起動、優れたラインおよび負荷の過渡応答特性を持ち、供給されます。このデバイスは、出力に小型の $1\mu F$ セラミック コンデンサを接続することで安定して動作します。

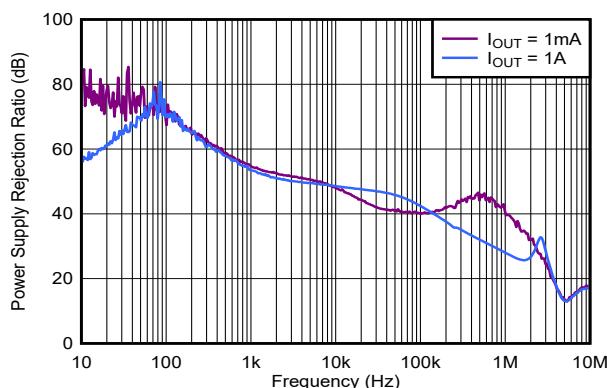
出力ノイズが小さく PSRR 特性が優れているため、このデバイスは電力の制約が厳しいアナログ負荷に設計されています。TPS796-Q1 は 2.7V ~ 5.5V の入力電圧範囲に対応しているため、柔軟なポスト レギュレーションに使用できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS796-Q1	DCQ (SOT-223, 6)	6.5mm × 7.06mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



PSRR と周波数との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SBVS154](#)

目次

1 特長.....	1	6.4 デバイスの機能モード.....	17
2 アプリケーション.....	1	7 アプリケーションと実装.....	18
3 説明.....	1	7.1 アプリケーション情報.....	18
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	22
5 仕様.....	4	7.3 電源に関する推奨事項.....	24
5.1 絶対最大定格.....	4	7.4 レイアウト.....	24
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	26
5.3 推奨動作条件.....	5	8.1 デバイスの命名規則.....	26
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	26
5.5 電気的特性.....	6	8.3 サポート・リソース.....	26
5.6 代表的特性.....	8	8.4 商標.....	26
6 詳細説明.....	14	8.5 静電気放電に関する注意事項.....	26
6.1 概要.....	14	8.6 用語集.....	26
6.2 機能ブロック図.....	14	9 改訂履歴.....	26
6.3 機能説明.....	15	10 メカニカル、パッケージ、および注文情報.....	27

4 ピン構成および機能

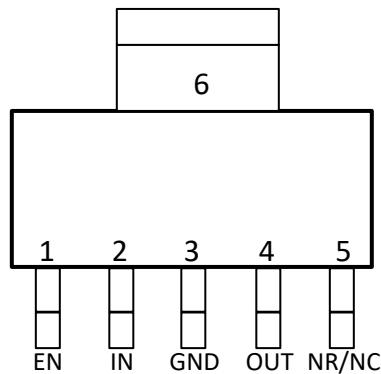


図 4-1. DCQ パッケージ、6 ピン SOT-223 (上面図)

表 4-1. ピンの機能

ピン			説明
名称	SOT223 (DCQ)	タイプ	
NR/NC	5	—	ノイズリダクションピン(従来のチップ)。このピンに外部コンデンサを接続すると、内部バンドギャップによって生成されるノイズがバイパスされ、電源除去が改善され、出力ノイズが低減されます。接続ピンなし(新しいチップ)。このピンは内部接続されていません。GNDに接続するか、フローティングのまま。
EN	1	入力	イネーブルピン。イネーブルピン(EN)をhighにすると、レギュレータが動作します。このピンをlowにすると、レギュレータはシャットダウンモードに移行します。ENを使用しない場合は、INに接続できます。
GND	3、タブ	—	デバイス GND。GND と TAB は、基板上の同じグランドに接続します。
IN	2	入力	入力ピン。最高の性能を得るには、公称推奨値または大きなセラミックコンデンサをINとGNDの間に配置します。「推奨動作条件」の表を参照してください。入力コンデンサは、デバイスの入力のできるだけ近くに配置します。
OUT	4	出力	レギュレーター出力。安定性を確保するには、OUTからグランドに1μF以上のコンデンサが必要です。出力コンデンサは、デバイスの出力に可能な限り近く配置します。「推奨動作条件」の表を参照してください。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	電源、 V_{IN} (新しいチップ)	-0.3	6.5	V
	電源、 V_{IN} (従来のチップ)	-0.3	6	
	イネーブル、 V_{EN}	-0.3	$V_{IN} + 0.3$	
	出力、 V_{OUT}	-0.3	6	
電流	出力、 I_{OUT}	内部的に制限		
温度	動作時の接合部温度、 T_J	-40	150	°C
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電源電圧 (従来のチップ)		2.7	5.5		V
	連続入力電圧 (新しいチップ)		2.7	6.0		
C_{IN}	入力コンデンサ		2.2			μF
C_{OUT}	出力コンデンサ		1 ⁽¹⁾	200		
I_{OUT}	出力電流		0	1	A	
V_{EN}	イネーブル電圧 (従来のチップ)		0	5.5		V
	ドロップアウト電圧 (新しいチップ)		0	6.0		
F_{EN}	トグル周波数をイネーブル (新しいチップ)			10	kHz	
T_j	接合部温度		-40	125	$^{\circ}C$	

(1) 最小実効容量は 0.47 μF です。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS796-Q1		単位	
		DCQ (SOT223-6)			
		6 PINS ⁽²⁾	6 PINS ⁽³⁾		
$R_{\theta JA}$	接合部から周囲への熱抵抗	70.4	71.1	$^{\circ}C/W$	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70	41.6	$^{\circ}C/W$	
$R_{\theta JB}$	接合部から基板への熱抵抗	該当なし	8.8	$^{\circ}C/W$	
Ψ_{JT}	接合部から上面への特性パラメータ	6.8	3.5	$^{\circ}C/W$	
Ψ_{JB}	接合部から基板への特性パラメータ	30.1	8.5	$^{\circ}C/W$	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.3	6	$^{\circ}C/W$	

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

(2) 従来型チップ。

(3) 新しいチップ。

5.5 電気的特性

動作温度範囲 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ ⁽¹⁾、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ (従来のチップのみ) です (特に記載がない限り)。標準値はすべて、 $T_J = 25^{\circ}\text{C}$ における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧	従来のチップ		2.7	5.5		V
		新しいチップ		2.7	6.0		
I_{OUT}	連続出力電流			0	1	A	
V_{OUT}	出力精度	固定 $V_{OUT} < 5\text{V}$	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$ 、 $V_{OUT(\text{nom})} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$ ⁽¹⁾	-2.0	2.0	%	
$\Delta V_{OUT}/\Delta V_{IN}$	ラインレギュレーション	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.05	0.12	%/V	
$\Delta V_{OUT}/\Delta I_{OUT}$	ロードレギュレーション	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$		5		mV	
V_{DO}	ドロップアップアウト電圧	$V_{IN} = V_{OUT} - 0.1\text{V}$ 、 $I_{OUT} = 1\text{A}$		220	325	mV	
I_{CL}	出力電流制限	$V_{OUT} = 0$ (従来のチップ)		2.4	4.2	A	
I_{CL}	出力電流制限	$V_{IN} = V_{OUT(\text{nom})} + 1.25\text{V}$ または 2.0V (いずれか大きい方)、 $V_{OUT} = 0.9 \times V_{OUT(\text{nom})}$ (新しいチップのみ)		1.04	1.65	A	
I_{SC}	回路短絡時の電流制限	$V_{OUT} = 0$ (新しいチップのみ)		550		mA	
I_{GND}	グランド電流	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$ (従来のチップ)		265	385	μA	
I_{GND}	グランド電流	$0\mu\text{A} \leq I_{OUT} \leq 1\text{A}$ (新しいチップ)		700	1100	μA	
I_{SHDN}	シャットダウン電流	$V_{EN} = 0\text{V}$ 、 $2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.07	1	μA	
PSRR	電源除去比	$f = 100\text{Hz}$ 、 $I_{OUT} = 10\text{mA}$ (従来のチップ)		59			dB
		$f = 100\text{Hz}$ 、 $I_{OUT} = 10\text{mA}$ (新しいチップ)		64			
		$f = 100\text{Hz}$ 、 $I_{OUT} = 1\text{A}$ (従来のチップ)		54			
		$f = 100\text{Hz}$ 、 $I_{OUT} = 1\text{A}$ (新しいチップ)		74			
		$f = 10\text{kHz}$ 、 $I_{OUT} = 1\text{A}$ (従来のチップ)		53			
		$f = 10\text{kHz}$ 、 $I_{OUT} = 1\text{A}$ (新しいチップ)		49			
		$f = 100\text{kHz}$ 、 $I_{OUT} = 1\text{A}$ (従来のチップ)		42			
		$f = 100\text{kHz}$ 、 $I_{OUT} = 1\text{A}$ (新しいチップ)		42			
V_n	出力ノイズ電圧	$BW = 100\text{Hz} \sim 100\text{kHz}$ 、 $I_{OUT} = 1\text{A}$	$C_{NR} = 0.001\mu\text{F}$	54			μV_{RMS}
			$C_{NR} = 0.0047\mu\text{F}$	46			
			$C_{NR} = 0.01\mu\text{F}$	41			
			$C_{NR} = 0.1\mu\text{F}$	40			
		$BW = 10\text{Hz} \sim 100\text{kHz}$ 、 $I_{OUT} = 1\text{A}$	新しいチップ (10	78			μV_{RMS}
t_{str}	時間、起動	$R_L = 3\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.001\mu\text{F}$	50			μs
		$R_L = 3\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.0047\mu\text{F}$	75			
		$R_L = 3\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.01\mu\text{F}$	110			
t_{str}	時間、起動	$R_L = 3\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	新しいチップ	550		μs	
I_{EN}	イネーブル ピンの電流	$V_{EN} = 0\text{V}$		-1	1	μA	
$R_{PULLDOWN}$	プルダウン抵抗	$V_{IN} = 3.3\text{V}$ (新しいチップ)		100		Ω	
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり (従来のチップ)		2.25	2.65	V	
		V_{IN} 立ち上がり (新しいチップ)		1.28	1.62		
$V_{UVLO(HYST)}$	UVLO ヒステリシス	V_{IN} ヒステリシス (従来のチップ)		100		mV	
		V_{IN} ヒステリシス (新しいチップ)		130			

5.5 電気的特性 (続き)

動作温度範囲 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ ⁽¹⁾、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ (従来のチップのみ)です(特に記載がない限り)。標準値はすべて、 $T_J = 25^{\circ}\text{C}$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{EN(HI)}$	High レベル イネーブル入力電圧	$2.7V^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (従来のチップ)	1.7	V_{IN}		V
		$2.7V^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)	0.85	V_{IN}		
$V_{EN(LOW)}$	Low レベル イネーブル入力電圧	$2.7V^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (従来のチップ)			0.7	V
		$2.7V^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)			0.425	

(1) 最小 $V_{IN} = V_{OUT} + 1\text{V}$ または 2.7V のいずれか大きい方。でテストされます

5.6 代表的特性

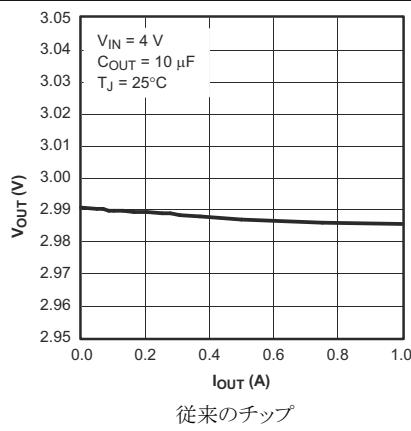


図 5-1. TPS79630-Q1 出力電圧と出力電流との関係

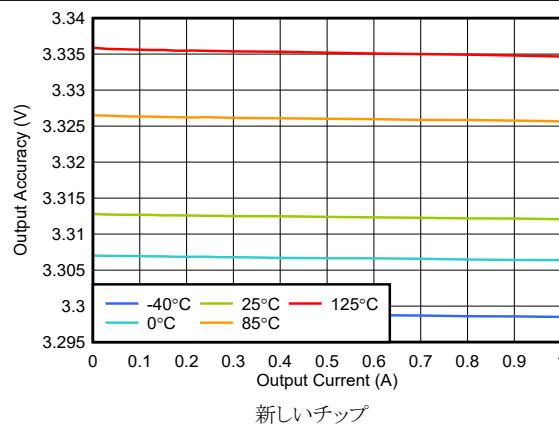


図 5-2. TPS79633-Q1 出力電圧と出力電流との関係

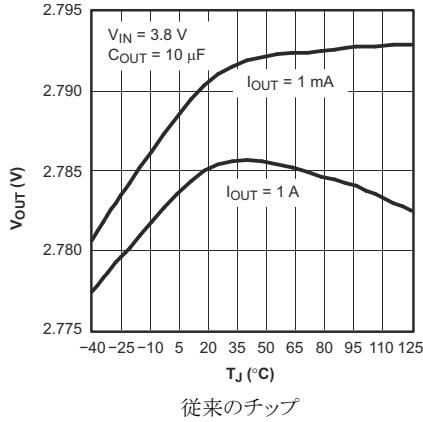


図 5-3. TPS79628-Q1 出力電圧と接合部温度との関係

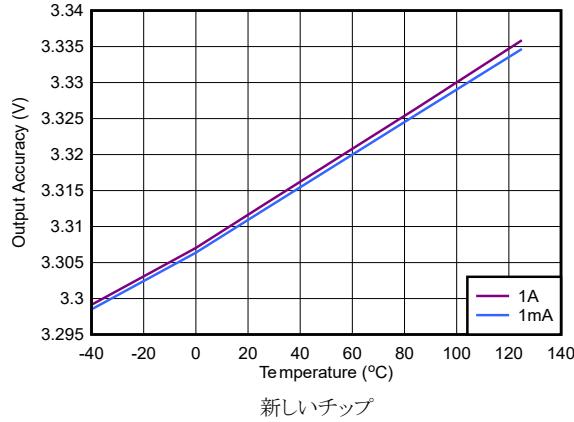


図 5-4. TPS79633-Q1 出力電圧と接合部温度との関係

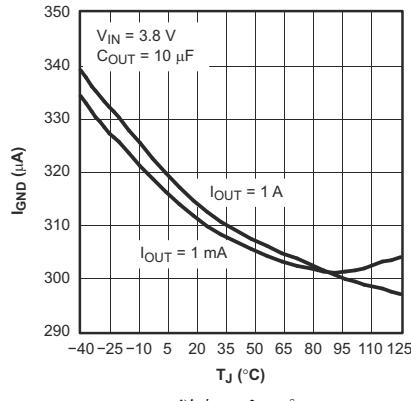


図 5-5. TPS79628-Q1 グラウンド電流と接合部温度との関係

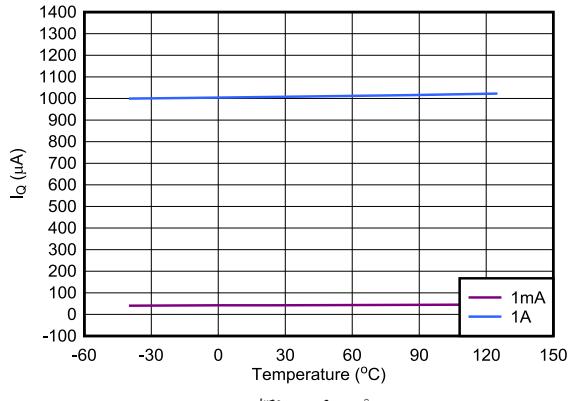


図 5-6. TPS79633-Q1 グラウンド電流と接合部温度との関係

5.6 代表的特性 (続き)

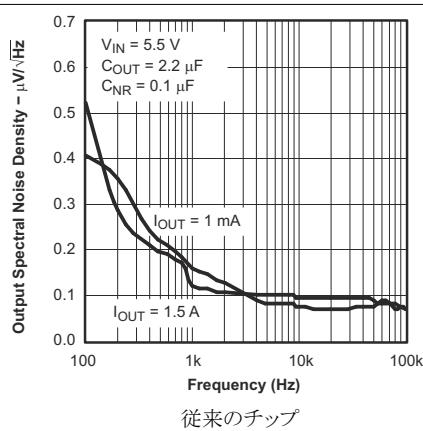


図 5-7. TPS79630-Q1 出力ノイズスペクトル密度と周波数との関係

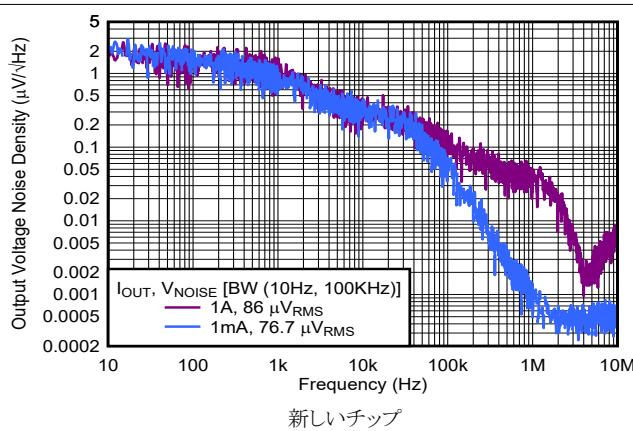


図 5-8. TPS79633-Q1 出力ノイズスペクトル密度と周波数との関係

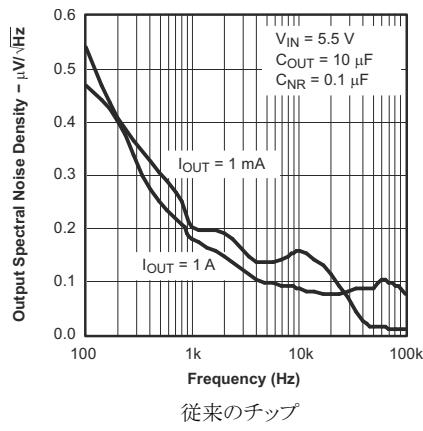


図 5-9. TPS79630-Q1 出力ノイズスペクトル密度と周波数との関係

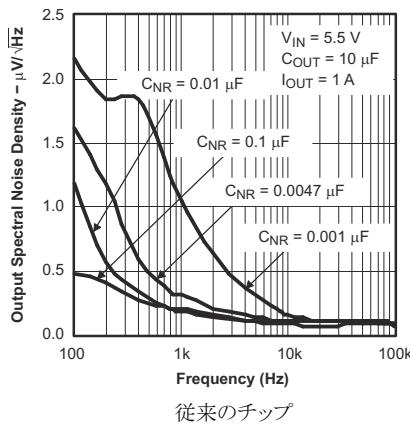


図 5-10. TPS79630-Q1 出力ノイズスペクトル密度と周波数との関係

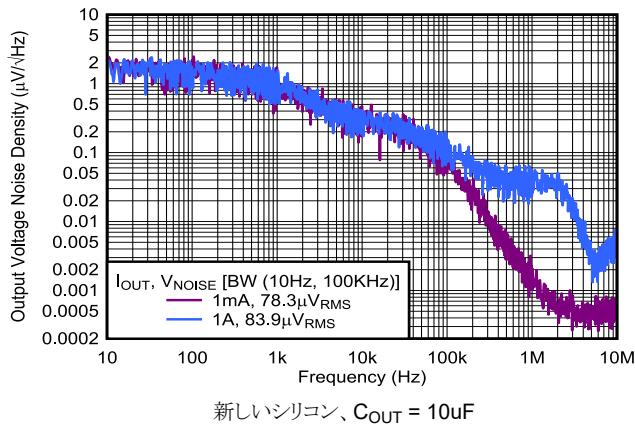


図 5-11. TPS79633-Q1 出力ノイズスペクトル密度と周波数との関係

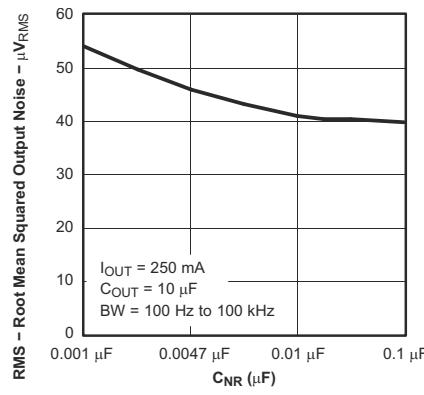
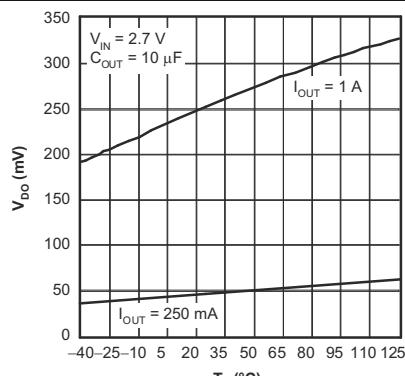
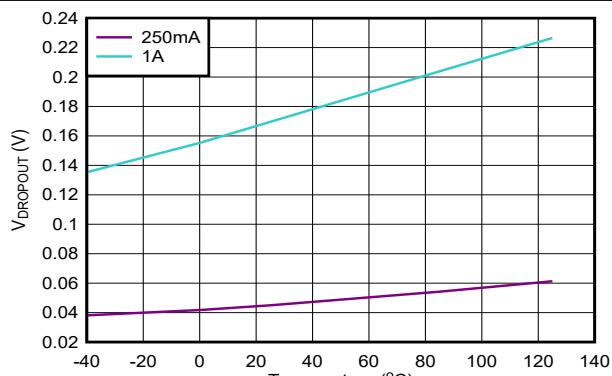


図 5-12. TPS79630-Q1 実効値出力ノイズとバイパスキャパシタンスとの関係

5.6 代表的特性 (続き)

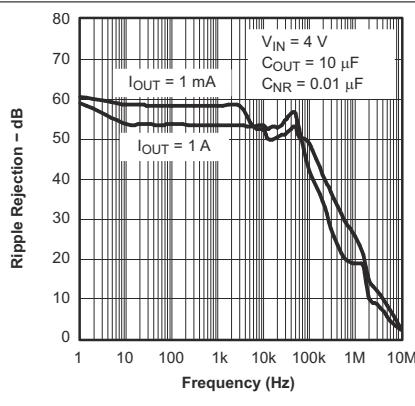


従来のチップ



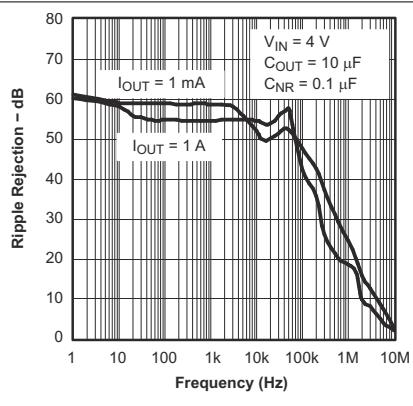
新しいチップ

図 5-13. TPS79628-Q1 ドロップアウト電圧と接合部温度との関係



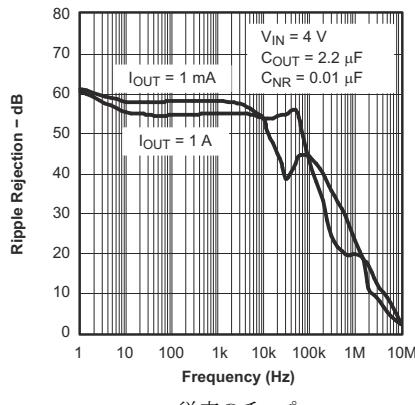
従来のチップ

図 5-15. TPS79630-Q1 のリップル除去と周波数との関係



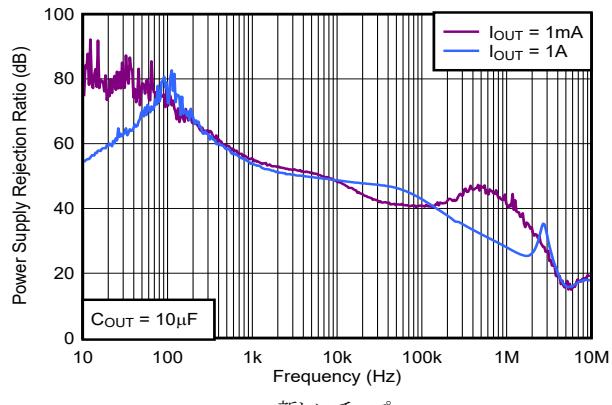
従来のチップ

図 5-16. TPS79630-Q1 のリップル除去と周波数との関係



従来のチップ

図 5-17. TPS79630-Q1 のリップル除去と周波数との関係



新しいチップ

図 5-18. TPS79633-Q1 のリップル除去と周波数との関係

5.6 代表的特性 (続き)

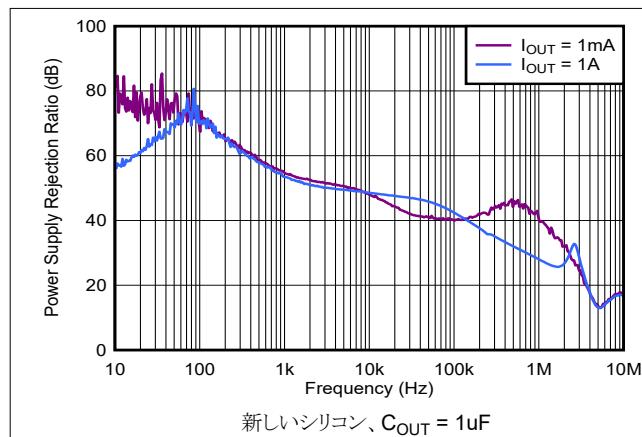


図 5-19. TPS79633-Q1 のリップル除去と周波数との関係

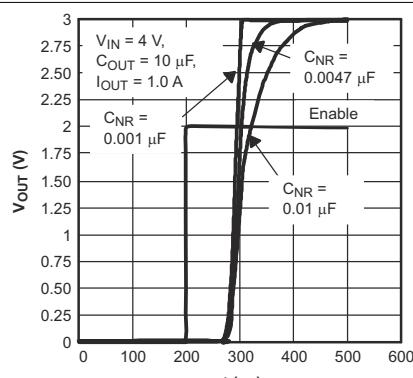


図 5-20. 起動時間

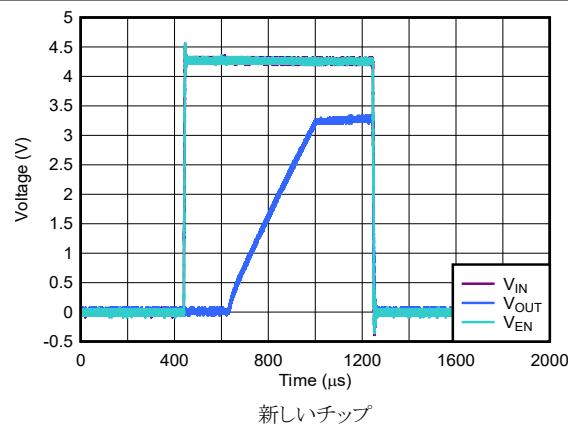


図 5-21. 起動時間

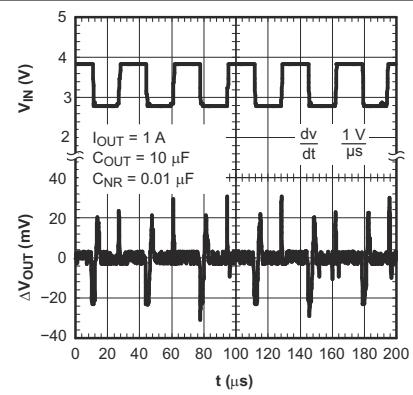


図 5-22. TPS79618-Q1 のライン過渡応答

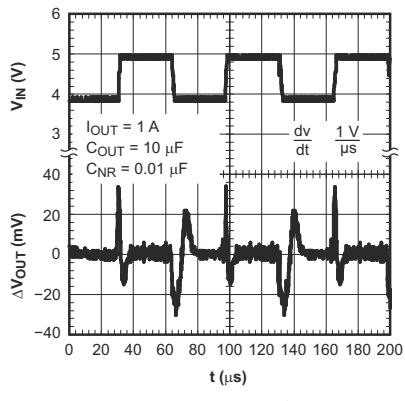


図 5-23. TPS79630-Q1 のライン過渡応答

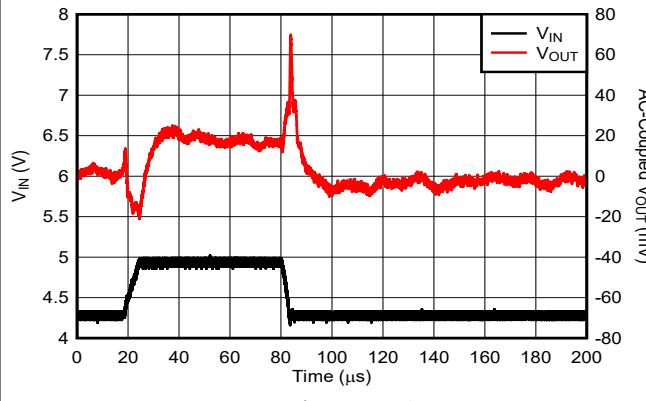
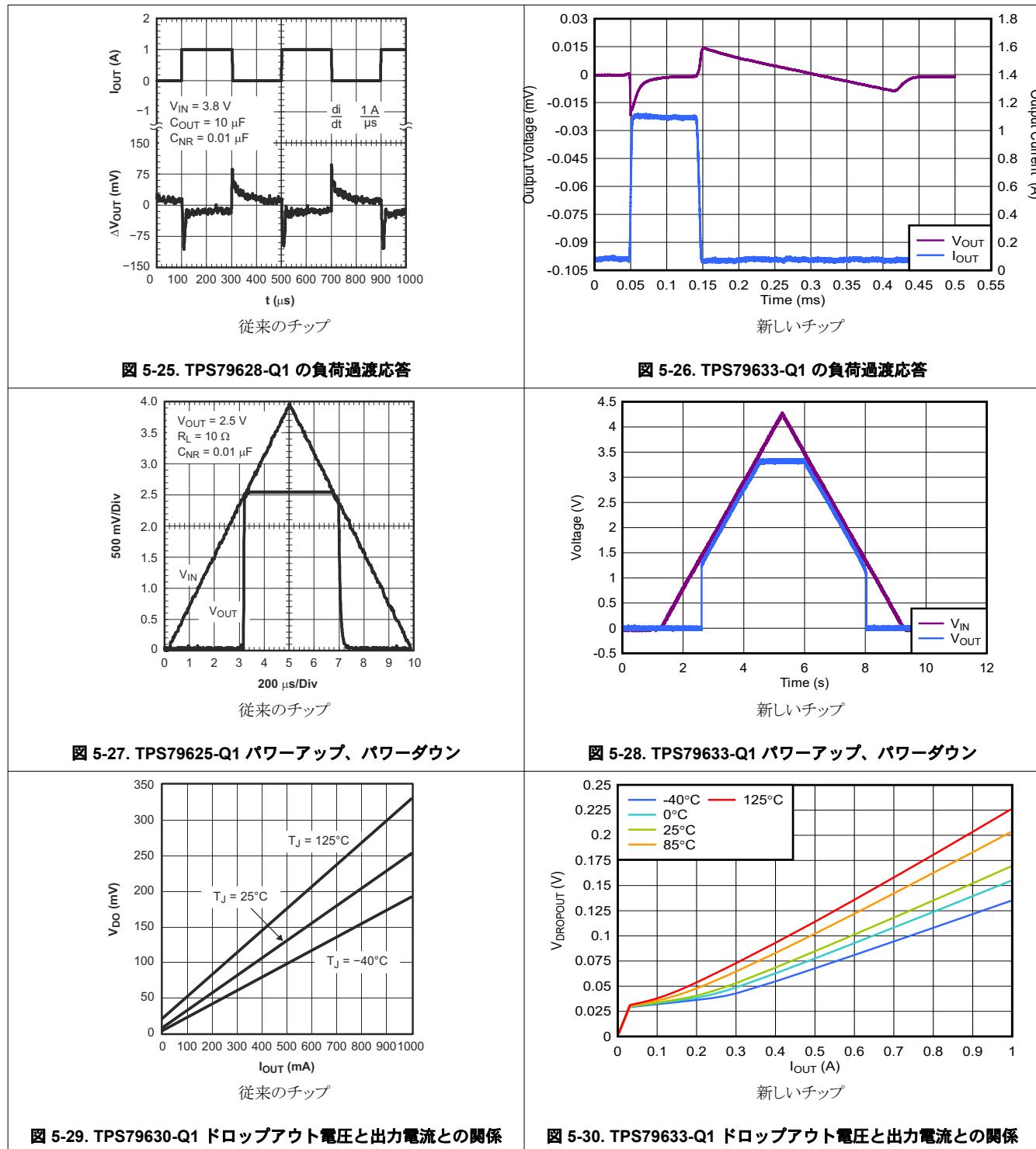
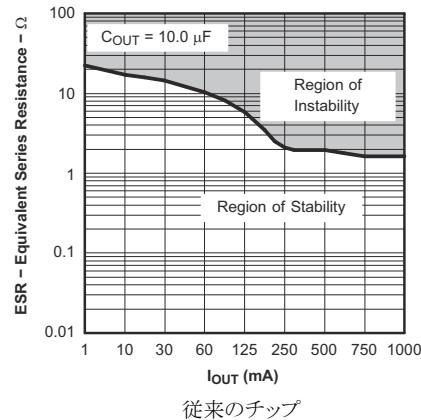
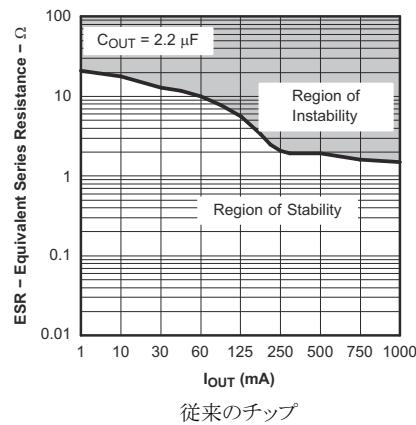
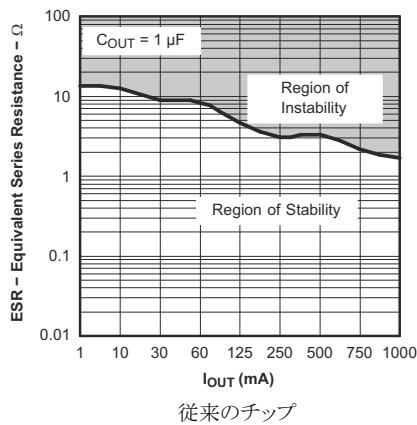


図 5-24. TPS79633-Q1 のライン過渡応答

5.6 代表的特性 (続き)



5.6 代表的特性 (続き)



6 詳細説明

6.1 概要

TPS796-Q1 は、非常に優れた過渡性能を実現するよう最適化された超低ドロップアウト、高 PSRR、高精度のリニア電圧レギュレータです。これらの特性により、このデバイスはほとんどの自動車用途向けに設計されています。このレギュレータにはフォールドバック電流制限、出力イネーブル、アクティブ放電、低電圧誤動作防止 (UVLO)、過熱保護機能があります。

6.2 機能ブロック図

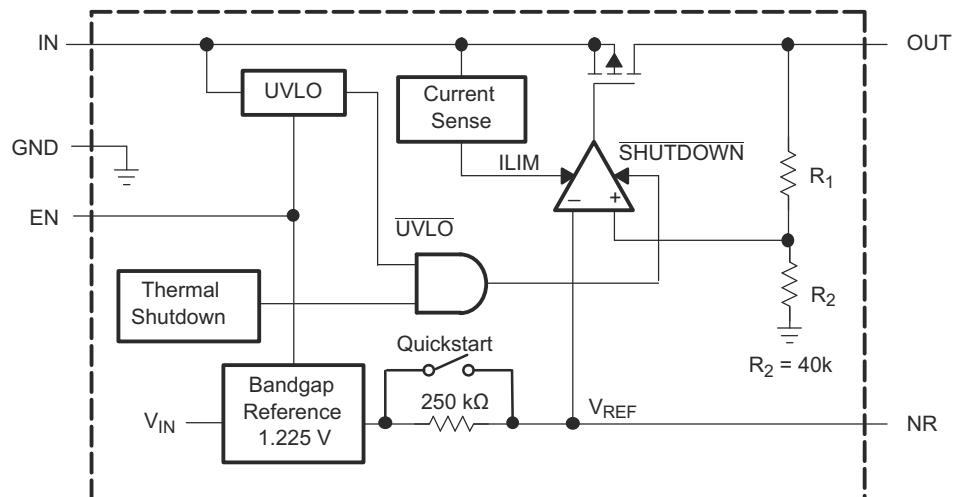


図 6-1. 機能ブロック図 (従来のチップ)

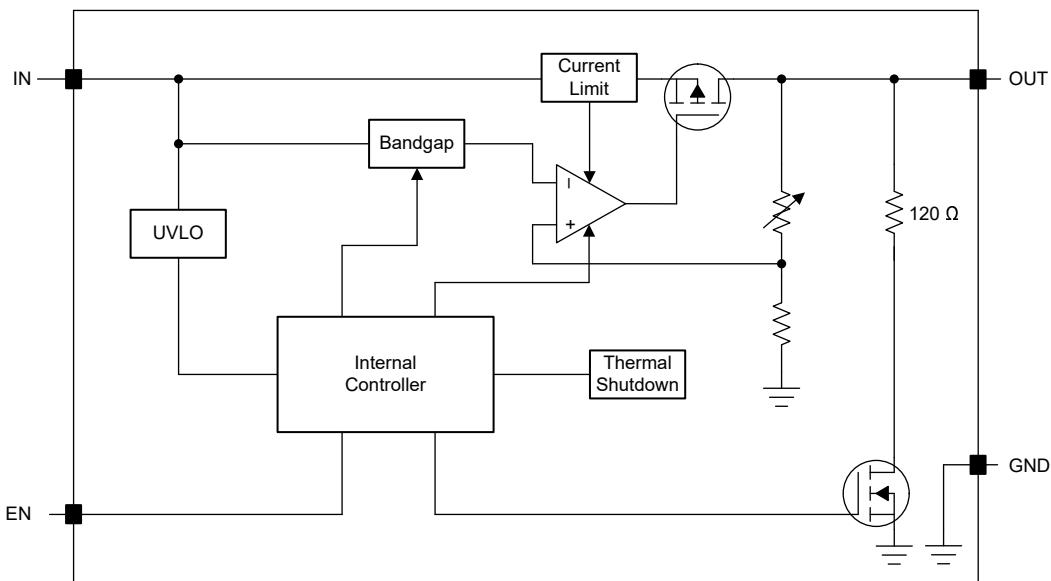


図 6-2. 機能ブロック図 (新しいチップ)

6.3 機能説明

6.3.1 低電圧誤動作防止 (UVLO)

TPS796-Q1 は、低電圧誤動作防止 (UVLO) 回路を使用して、入力電圧が立ち上がり UVLO 電圧より高くなるまで、出力をディセーブルにします。この回路は、電源電圧が内部回路の動作範囲 $V_{IN(min)}$ よりも低いときに、デバイスが予測不能な動作を発生しないことを検証します。

6.3.2 シャットダウン

イネーブル ピン (EN) はアクティブ high です。EN ピンが強制的に $V_{EN(High)}$ を上回るようにして、デバイスをイネーブルにします。EN ピンを強制的に最大 EN ピンの low レベル入力電圧より低くして、デバイスをオフにします（「電気的特性」表を参照）。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

6.3.3 アクティブ放電(新しいチップ)

デバイスには内部プルダウン MOSFET が搭載されており、デバイスが無効になっているときに $R_{PULLDOWN}$ 抵抗をグランドに接続して出力電圧をアクティブに放電します。アクティブ放電回路は、イネーブルピンによってアクティブになります。

入力電源が崩壊した後に出力電圧を放電するのにアクティブ放電回路を使用しないでください。これは、逆電流が出力から入力に流れる可能性があるためです。特に大きな出力コンデンサを使用する場合、この逆電流がデバイスを損傷させる可能性があります。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

6.3.4 過熱保護

過熱保護機能は、接合部温度が約 165°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。このサイクルによりレギュレータの消費電力が制限され、過熱によるデバイスの損傷から保護されます。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を 125°C 以下に制限する必要があります。設計全体（ヒートシンクを含む）の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。

TPS793 内部保護回路は、過負荷状態から保護するよう設計されています。この回路は、適切なヒートシンクの代替となるものではありません。TPS793 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

6.3.5 レギュレータ保護機能

TPS796-Q1 の PMOS パストランジスタにはバックダイオードが組み込まれており、入力電圧が出力電圧を下回ったとき(たとえばパワー ダウン時)に逆電流を伝導します。電流は出力から入力へ伝導され、内部では制限されません。長時間の逆電圧動作が予想される場合は、必要に応じて外部制限を使用してください。

従来のチップには、内部電流制限および過熱保護機能があります。通常動作中、TPS796-Q1 は出力電流を約 2.8A に制限します。電流制限が作動すると、過電流状態が終了するまで、出力電圧は直線的に戻ります。電流制限はデバイスの総故障を防ぐように設計されていますが、パッケージの消費電力定格を超えないように注意する必要があります。デバイスの温度が約 165°C を超えると、過熱保護回路によりデバイスがシャットダウンされます。デバイスの温度が約 140°C を下回ると、レギュレータ動作が再開されます。

この新しいチップには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリックウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。 I_{CL} と I_{SC} は、「電気的特性」表に記載されています。

このデバイスでは、 $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ です。

図 6-3 は、フォールドバック電流制限の図を示しています。

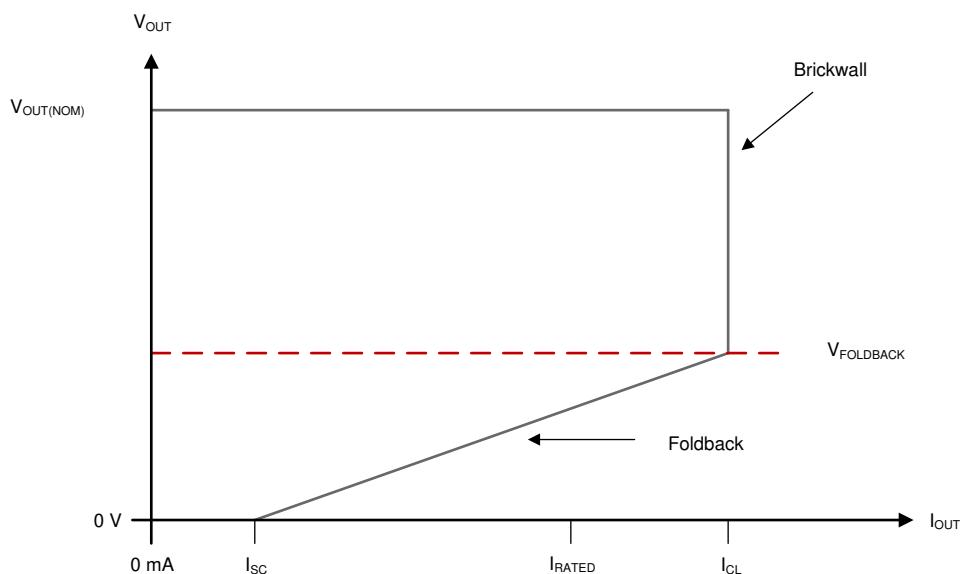


図 6-3. フォールドバック電流制限

6.4 デバイスの機能モード

6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧は、少なくとも $V_{IN(min)}$ と同じ高さです。
- 入力電圧は、ドロップアウト電圧に加算された公称出力電圧よりも大きくなります。
- イネーブル電圧が $V_{EN(min)}$ よりも高くなっています。
- 出力電流が、電流制限より小さいです。
- デバイスの接合部温度が、規定された最大接合部温度よりも低くなっています。

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。この動作モードでは、出力電圧は、入力電圧からドロップアウト電圧を引いた値と同じになります。パス デバイスがリニア領域内にあり、LDO によって電流の制御を行わないため、トランジスタの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

6.4.3 ディセーブル

このデバイスは次の条件で無効になります:

- イネーブル電圧はイネーブル下降しきい値電圧より低いか、またはイネーブル上昇しきい値をまだ超えていません。
- デバイスの接合部温度がサーマル シャットダウンの温度よりも高くなっている。
- 入力電圧が $UVLO_{falling}$ (立ち下がりエッジ) を下回っています。

表 6-1 に、各種の動作モードにつながる条件を示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常モード	$V_{IN} > V_{OUT(nom)} + V_{DO}$ and $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(high)}$	$I_{OUT} < I_{LIM}$	$T_J < 125^{\circ}\text{C}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125^{\circ}\text{C}$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165^{\circ}\text{C}$ ⁽¹⁾

(1) サーマル シャットダウンの近似値。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS796-Q1 低ドロップアウト (LDO) レギュレータは、ノイズに敏感な機器での使用に最適化されています。このデバイスは、ドロップアウト電圧が非常に低く、PSRR が高く、出力ノイズが低く、静止電流が低いこと、レギュレータがオフになっているときは電源電流を低減するため、イネーブル入力を特長としています。

図 7-1 と 図 7-2 に代表的なアプリケーション回路を示します。

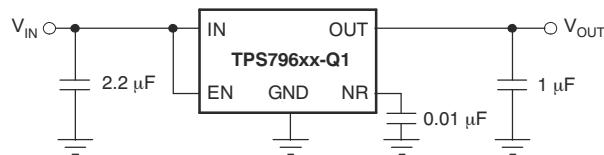


図 7-1. 代表的なアプリケーション回路 (従来のチップ)

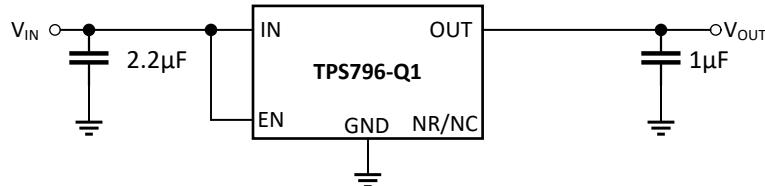


図 7-2. 代表的なアプリケーション (新しいチップ)

7.1.1 ドロップアウトの終了

一部のアプリケーションでは、起動時に V_{IN} の上昇が遅くなるなど、LDO をドロップアウトにする過渡現象が発生します。他の LDO と同様に、このような条件からの回復時に出力がオーバーシュートする可能性があります。スルーレートと電圧レベルが適切な範囲にある場合、図 7-3 に示すように、ランプ入力電源によって、起動時に LDO のオーバーシュートが発生します。この状態を回避するため、イネーブル信号を使用します。

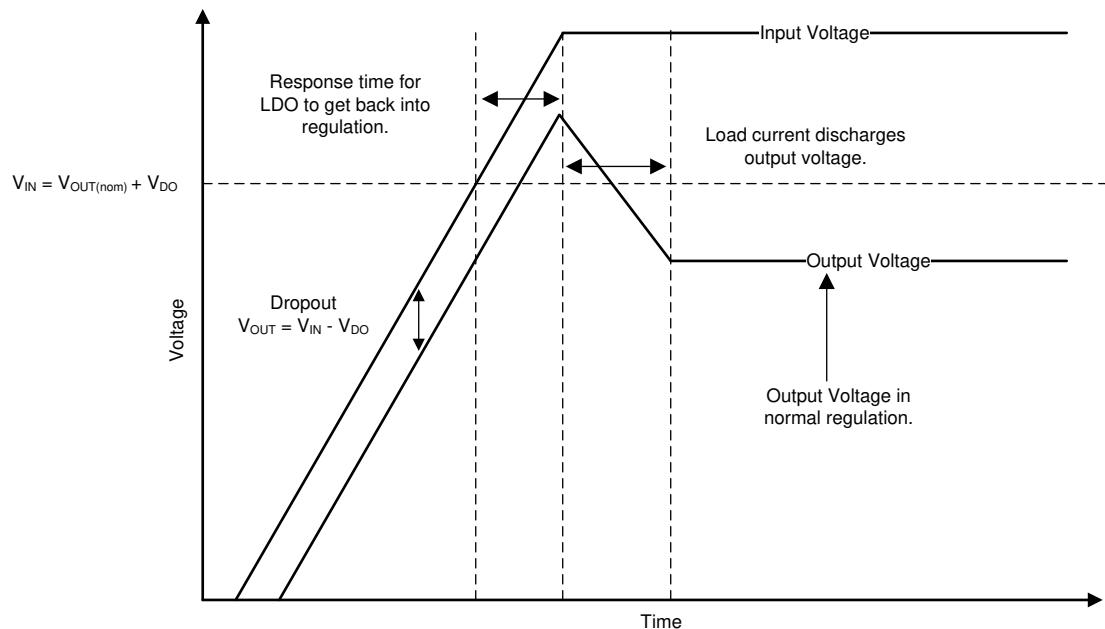


図 7-3. ドロップアウトへの起動

ドロップアウトのライン過渡事象も、レギュレータの出力のオーバーシュートの原因となる可能性があります。これらのオーバーシュートは、エラー アンプがパストランジスタのゲート容量を駆動し、適切なレギュレーションを確保するためにゲートを適切な電圧に戻す必要があることが原因で発生します。図 7-4 に、ゲート電圧の内部で何が発生するか、および動作中にオーバーシュートが発生する可能性があるかを示します。LDO をドロップアウト状態にすると、ゲート電圧 (V_{GS}) がグランドまでプルダウンされ、パストランジスタを可能な限り低いオン抵抗にします。ただし、デバイスがドロップアウト状態のときにライン過渡状態が発生した場合、ループは安定化されず、ループが応答して出力電流が出力電圧をレギュレーション状態に戻すまで出力のオーバーシュートが発生する可能性があります。これらの過渡電圧が許容できない場合は、過渡電流が十分遅くなり、オーバーシュートを低減するまで、システムに入力容量を追加し続けます。

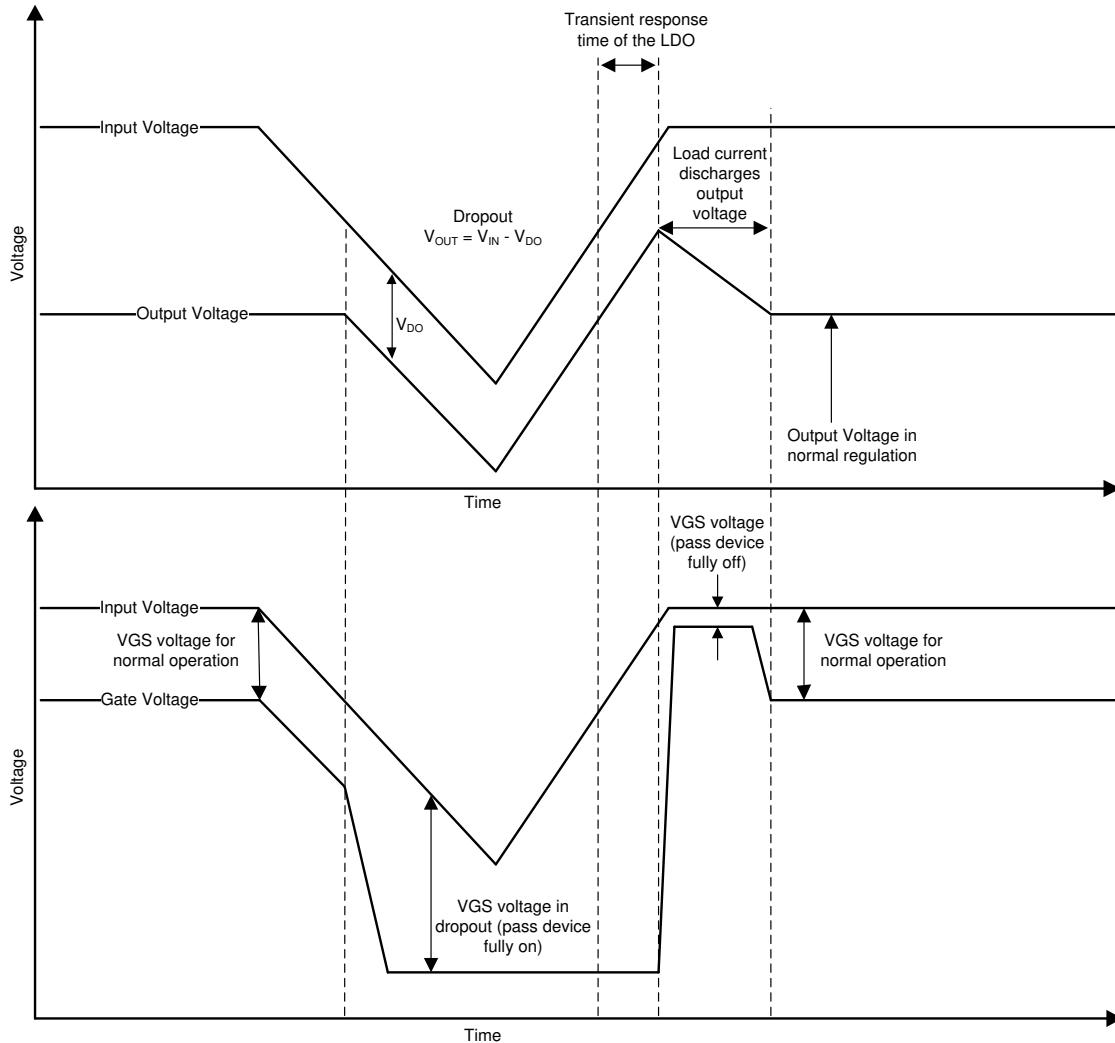


図 7-4. ドロップアウトからのライン過渡応答

7.1.2 外部コンデンサの要件

安定性と、過渡応答、ノイズ除去、リップル除去を改善するために、IN と GND の間に、TPS796-Q1 に近付けて接続された $1.0\mu F$ (新しいチップ) または $2.2\mu F$ (従来のチップ) またはそれより大きいセラミック入力コンデンサが必要です。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、より大容量の入力コンデンサが必要になる可能性があります。

ほとんどの LDO レギュレータと同様に、TPS796-Q1 では、内部制御ループを安定させるために、OUT と GND の間に、出力コンデンサを接続する必要があります。最小の推奨されるコンデンサは $1\mu F$ です。 $1\mu F$ 以上のセラミックコンデンサが適しています。

内部基準電圧は、LDO レギュレータにおける主要なノイズ源です。TPS796-Q1 (従来のチップ) には NR ピンがあり、 $250k\Omega$ 内部抵抗を介して電圧リファレンスに接続されています。 $250k\Omega$ の内部抵抗と、NR ピンに接続された外付けバイパスコンデンサによってローパスフィルタが形成され、電圧リファレンスのノイズが低減されます。これによって、レギュレータの出力でのノイズも低減されます。レギュレータが正常に動作するためには、NR ピンから流れ出る電流が最小になる必要があります。リーク電流の場合、内部抵抗の両端で IR 降下が発生し、出力誤差が生じます。したがって、バイパスコンデンサはリーク電流を最小限に抑える必要があります。[機能ブロック図](#) に示す内部スイッチにより提供されるクイックスタート時間中にコンデンサが完全に充電されることを確認するために、バイパスコンデンサは $0.1\mu F$ 以下にする必要があります。

たとえば、TPS796-Q1 は、 $0.1\mu\text{F}$ セラミック バイパス コンデンサと $10\mu\text{F}$ セラミック出力コンデンサを使用することで、 $40\mu\text{V}_{\text{RMS}}$ の出力電圧ノイズを示しています。バイパス容量が増加すると、出力は低速で起動します。これは、内部 $250\text{k}\Omega$ 抵抗と外付けコンデンサによって生じるバイパスピンの RC 時定数のためです。

7.1.3 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの ac 測定を向上させるために、基板設計では V_{IN} と V_{OUT} に別々のグランドプレーンを設け、各グランドプレーンをデバイスのグランドピンのみで接続することをお勧めします。さらに、バイパスコンデンサのグランド接続部はデバイスのグラウンドピンに直接接続する必要があります。

7.1.4 レギュレータの取り付け

SOT-223-6 パッケージのタブは、グランドに電気的に接続されています。最高の熱性能を得るために、表面実装バージョンのタブは、プリント基板 (PCB) の銅箔領域に直接半田付けします。銅面積を増やすと、放熱が改善されます。

デバイスのソルダー パッド フットプリントの推奨事項は、TI Web サイト (www.ti.com) からダウンロード可能な「[表面実装デバイスのソルダー パッド推奨事項](#)」アプリケーション ノートに記載されています。

7.1.5 热に関する情報

7.1.5.1 電力散逸

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。[式 1](#) は、 P_D を計算します：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (1)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

パッケージの主な放熱経路は、サーマル パッドを通じて基板 (PCB) へ伝わる経路です。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域にはめつきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。

デバイスを流れる消費電力によって、デバイスの接合部温度 (T_J) が決まります。[式 2](#) によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。[式 3](#) の式を並べ替えて、出力電流を示しています。

$$T_J = T_A = (R_{\theta JA} \times P_D) \quad (2)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (3)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。[熱情報](#) テーブルに記録されている $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$ は実際には、RTE パッケージのジャンクションからケース (底面) までの熱抵抗 ($R_{\theta JCbot}$) と PCB 銅による熱抵抗の寄与の合計になります。

7.1.5.2 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、 $\text{psi} (\Psi)$ の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 (Ψ_{JT} と Ψ_{JB}) は、[式 4](#) に従って使用されており、電気的特性表に示されています。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (4)$$

ここで

- P_D は、[電力散逸](#) セクションで説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.2 代表的なアプリケーション

代表的なアプリケーション回路を [図 7-5](#) に示します。

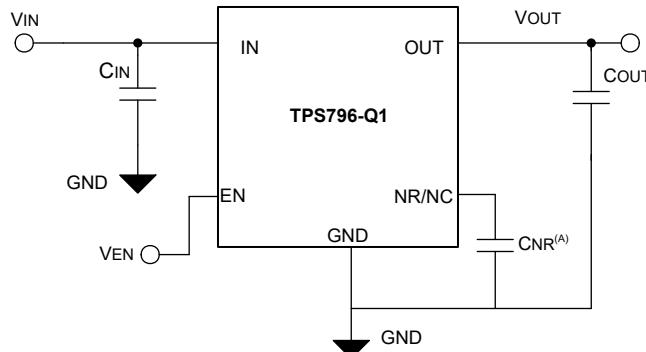


図 7-5. 代表的なアプリケーション回路

注

C_{NR} は必要ありません。代わりに、TPS796-Q1 (新しいチップ) には NC (未接続) ピンがあり、 C_{NR} を維持してもデバイス性能には影響を与えません。

7.2.1 設計要件

このアプリケーションの設計要件を、表 7-1 にまとめます。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧	4.05V
出力電圧	3.3V、± 2%
出力負荷	600mA
最大周囲温度	85°C

7.2.2 詳細な設計手順

この設計例では、3.3V の固定バージョンデバイスを選択します。デバイスは、バッテリーに接続された DC/DC コンバータで動作します。 V_{IN} と V_{OUT} の間に 750mV のヘッドルームを使用して、デバイスをドロップアウト電圧仕様内に維持し、この設計のあらゆる負荷および温度条件においてデバイスがレギュレーション状態を維持することを保証します。

7.2.3 アプリケーション曲線

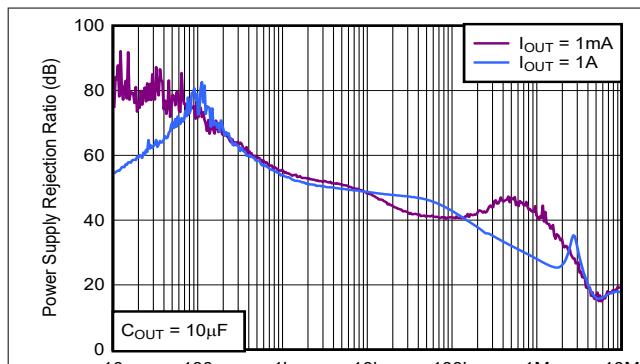


図 7-6. PSRR と周波数との関係

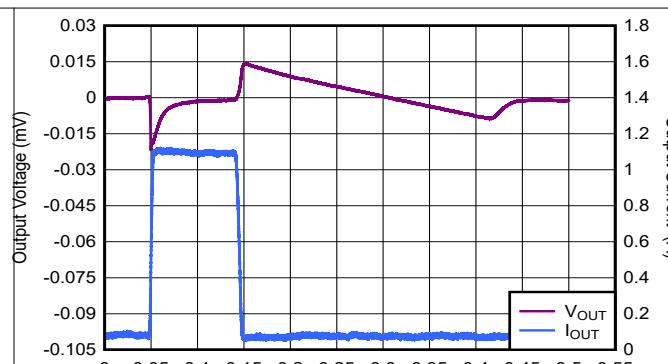


図 7-7. 負荷過渡

7.3 電源に関する推奨事項

TPS796-Q1 は 2.7V ~ 5.5V の入力電源電圧範囲で動作するよう設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を行うための十分なヘッドルームが得られます。この入力電源は適切に調整され、安定しています。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

総合的に最良の性能を達成するには、回路のすべてのコンポーネントを基板の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力コンデンサと出力コンデンサ、および LDO グラウンドピンへのグラウンドリターン接続を、コンポーネント側の広い銅表面で接続し、できるだけ近づけて配置します。システム性能の低下を防ぐため、入力および出力コンデンサへの接続にビアや長い配線は使用しないでください。

低 ESL コンデンサと低インダクタンスの配線を組み合わせることで、出力に存在する総インダクタンスを抑え、高周波における PSRR を最適化できます。性能を向上させるために、基板内に埋め込むか、部品面の反対側（基板の底面）に配置したグラウンド基準面を使用します。この基準プレーンは、出力電圧、シールド ノイズの精度を検証するのに役立ち、GND タブに接続するときに LDO デバイスから熱を拡散（またはシンク）するためのサーマル プレーンと同様の動作をします。ほとんどの用途では、熱要件を満たすためにこのグラウンド プレーンが必要です。

7.4.2 レイアウト例

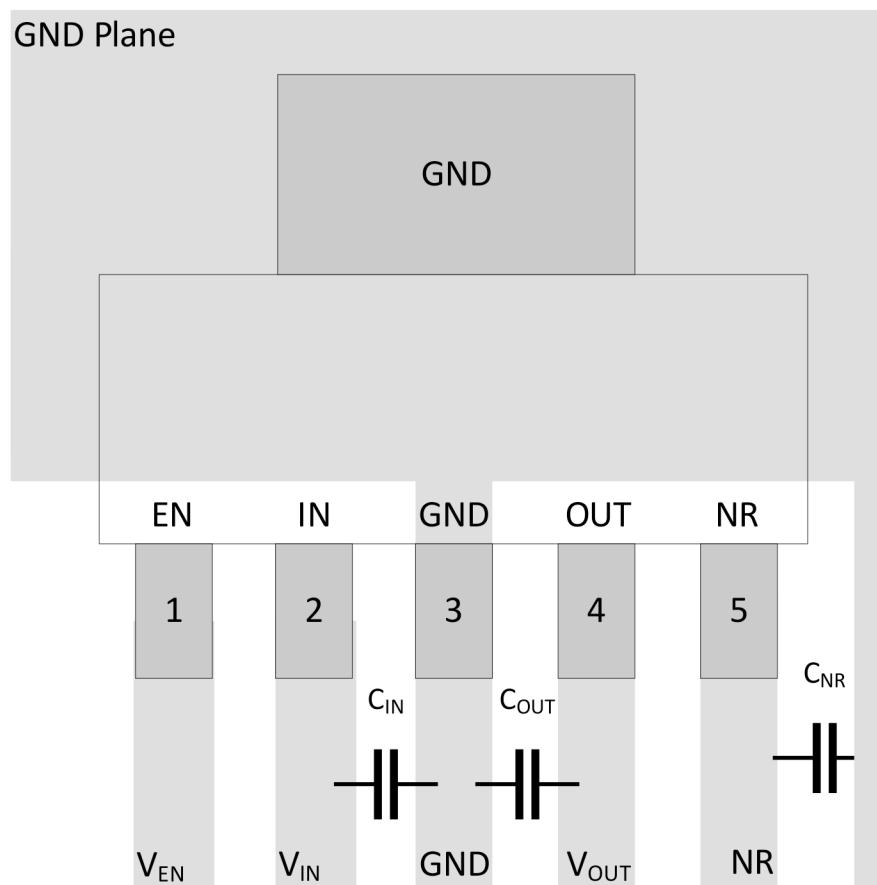


図 7-8. TPS796-Q1 のレイアウト例 (従来のチップ)

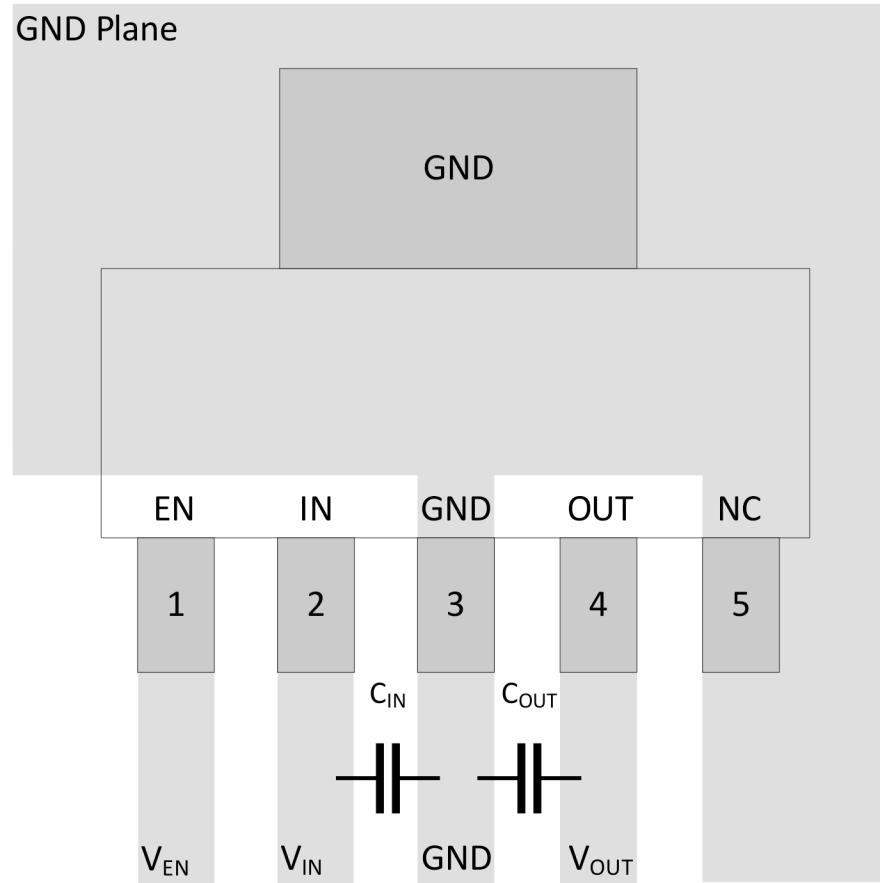


図 7-9. TPS796-Q1 のレイアウト例 (新しいチップ)

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 デバイスの命名規則

表 8-1. 利用可能なオプション

製品 ⁽¹⁾	説明
TPS79633Qyyy zM3 Q1	<p>Q は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。yyy はパッケージ指定子です。z はパッケージ数量です。</p> <p>M3 は最新の製造フローのみを使用するデバイスの接尾辞です (CSO:RFB)。この接尾辞がないデバイスは、従来のチップ (CSO:DLN) または新しいチップ (CSO:RFB) を用いて出荷されます。リールのパッケージングラベルは、どのチップが使用されているかを区別するための CSO 情報を提供します。Q1 は車載グレード (AEC-Q100) デバイスであることを表します。</p>

- (1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2012) to Revision A (June 2025)	Page
• デバイス名とドキュメントのタイトル 車載用 を追加.....	0
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

• デバイス情報、 <i>ESD</i> 定格、アプリケーションと実装、デバイスとドキュメントのサポート、および メカニカル、パッケージ、注文情報 のセクションを追加しました.....	1
• 現在のファミリのフォーマットに合わせて、従来のチップと新しいチップの機能と相違点を識別するためにドキュメント全体を変更.....	1
• ドキュメントに新しいシリコン (M3) デバイスを追加.....	1
• 文書全体で <i>TPS796xx-Q1</i> を <i>TPS796-Q1</i> に、端子を ピン に変更.....	1
• 「特長」の車載特有の箇条書き項目を変更.....	1
• 「アプリケーション」セクションを変更	1
• 端子機能のタイトルを ピン構成と機能 に変更し、ピン機能テーブルにタイプ列を追加しました.....	3
• 新しいチップのピン 5 に NC ピンの説明を追加.....	3
• 「代表的特性」セクションに新しいシリコン曲線を追加.....	8
• 機能ブロック図 セクションに新しいシリコンブロック図を追加.....	14
• DRB パッケージへの参照を削除.....	22
• 「デバイス命名規則」セクションを追加.....	26

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79633QDCQRM3Q1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S79633Q
TPS79633QDCQRQ1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	79633Q
TPS79633QDCQRQ1.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	79633Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

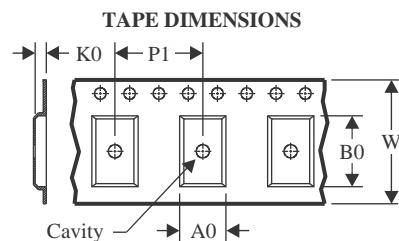
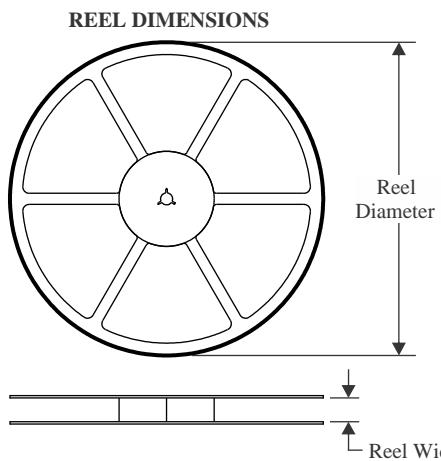
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

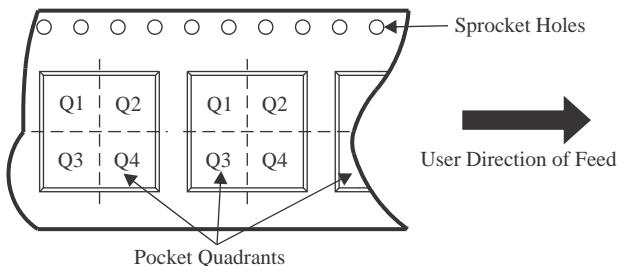
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



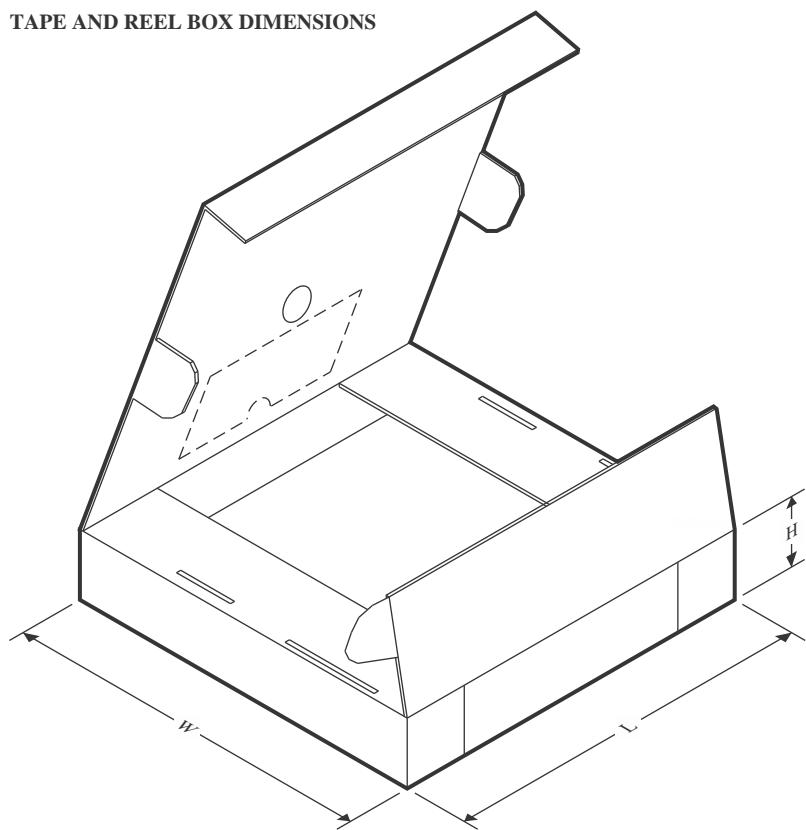
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79633QDCQRM3Q1	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79633QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	6.8	7.3	1.88	8.0	12.0	Q3

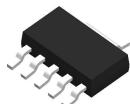
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79633QDCQRM3Q1	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79633QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0

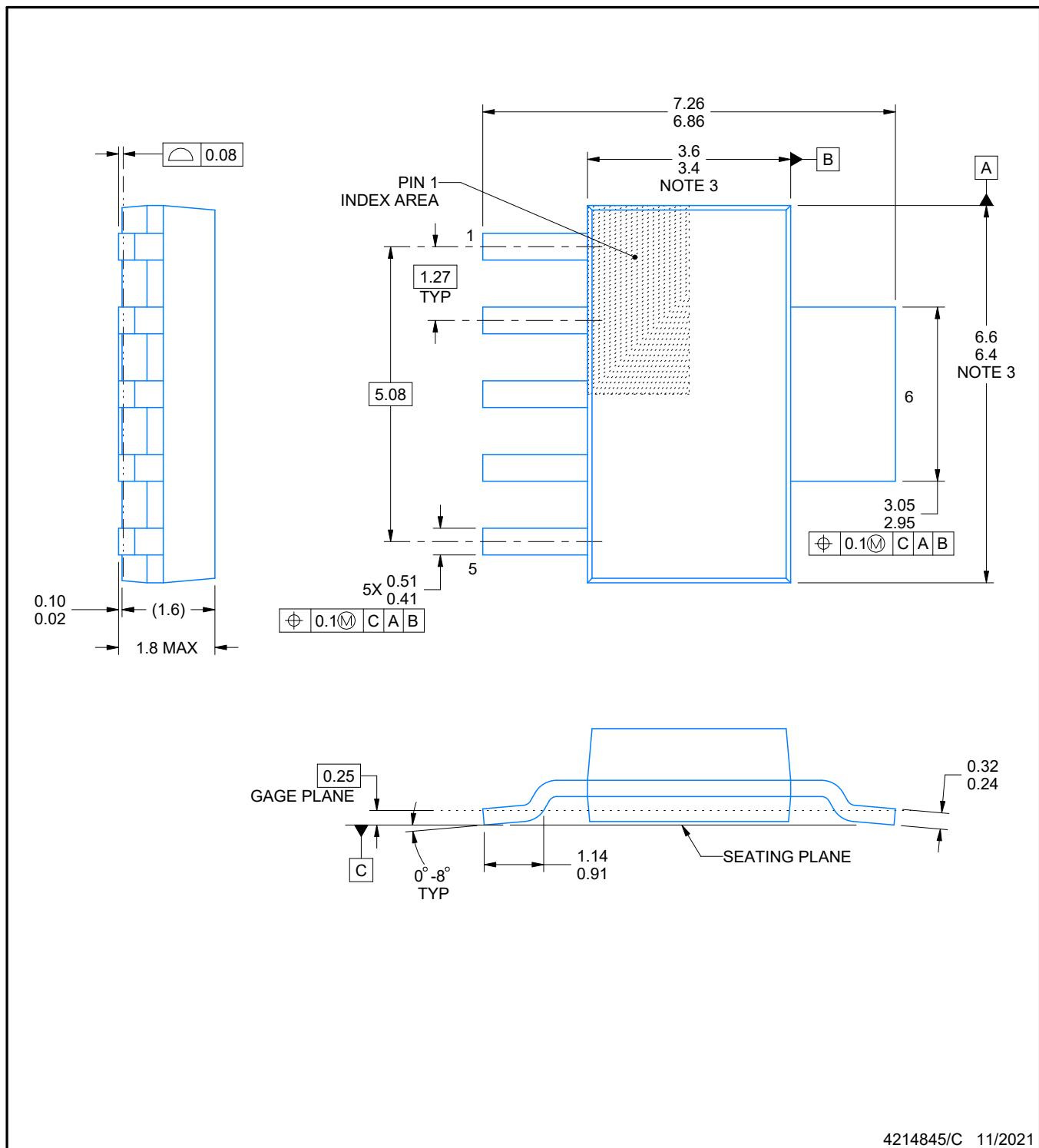
PACKAGE OUTLINE

DCQ0006A



SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



4214845/C 11/2021

NOTES:

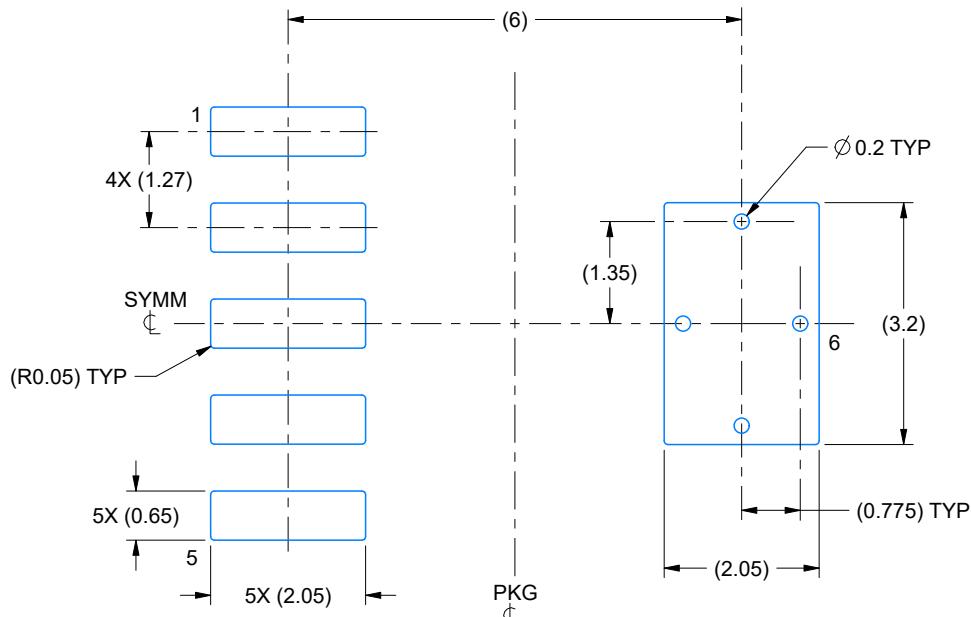
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

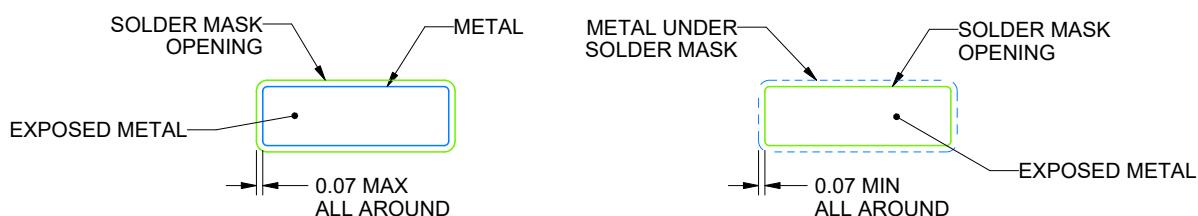
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

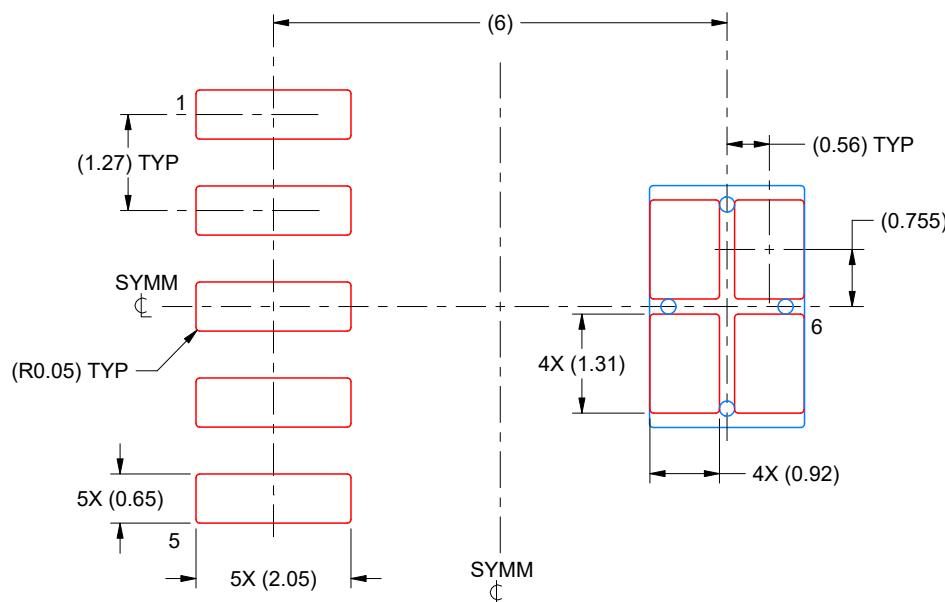
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月