TPS7C84-Q1 車載用、150mA、40V、可変低ドロップアウト レギュレータ、パワーグッド付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ +125℃、T_A
  - 接合部温度:–40℃～+150℃、T_J
- 幅広い入力電圧範囲:
  - V_{IN} 範囲:2.1V ～ 40V
- 広い出力電圧範囲 (V_{OUT}):
  - 固定オプション:3.3V、5.0V
  - 可変オプション:1.2V ～ 39V
- 出力電流:最大 150mA
- V_{OUT} 精度:
  - ±1% (ライン、負荷、温度の全範囲)
- 静止電流 (I_Q):45µA (標準値)
- 低いドロップアウト:350mV (標準値)
- オープン ドレインのパワー グッド出力
- 出力電流制限とサーマル シャットダウン
- 幅広いセラミック出力コンデンサの値全体で安定:
  - C_{OUT} 範囲:1µF～100µF
  - ESR 範囲:0Ω～2Ω
- パッケージ オプション:
  - D (8 ピン SOIC)
  - DRB (8 ピン VSON)

2 アプリケーション

- トラクション インバータ
- 車体制御モジュール (BCM)
- オンボード チャージャ
- テレマティクス制御

3 説明

TPS7C84-Q1 は入力範囲の広い低ドロップアウトのレギュレータ (LDO) で、2.1V～40V の入力電圧範囲と、最大 150mA の負荷電流に対応しています。TPS7C84-Q1 には、固定と可変の出力タイプがあります。固定出力オプションには、3.3V と 5V があります。可変デバイスを使用して、出力を 1.2V～39V の範囲で設定できます。

このデバイスは、フィードバック ピンの電圧を監視して出力電圧のステータスを表示するパワーグッド (PG) 出力を備えています。EN 入力および PG 出力で、システムの複数の電源をシーケンシングできます。

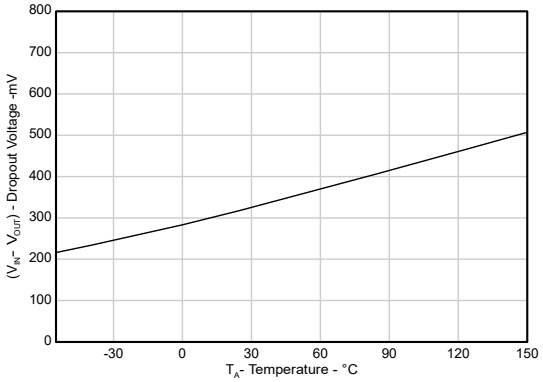
TPS7C84-Q1 は、最大 40V の V_{IN} バッテリ接続アプリケーション向けに設計されています。出力電圧範囲が広いため、MCU やプロセッサに電力を供給するだけでなく、シリコン カーバイド (SiC) ゲート ドライバやマイクのバイアス電圧を生成することもできます。

このデバイスは、SOIC パッケージとコンパクトな PCB (プリント基板) 設計に適したウェッタブル フランク付き小型 VSON パッケージの両方で供給されます。熱抵抗が低いため、デバイス全体で大きな発熱があっても持続して動作できます。

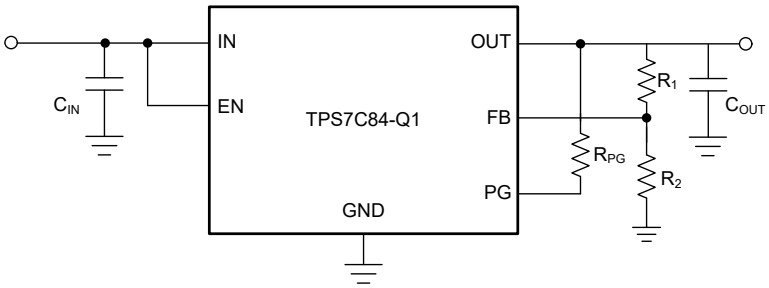
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7C84-Q1	D (SOIC、8)	4.9mm × 6mm
	DRB (VSON、8)(3)	3mm × 3mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) プレビュー版のみ。



ドロップアウト電圧と温度との関係 (V_{IN} = 4.9V、I_{OUT} = 150mA)



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 タイミング要件.....6
5.7 代表的特性.....7
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....12
6.3 機能説明.....14
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....16
7.1 アプリケーション情報.....16
7.2 代表的なアプリケーション.....18
7.3 電源に関する推奨事項.....21
7.4 レイアウト.....21
8 デバイスおよびドキュメントのサポート.....22
8.1 デバイス サポート.....22
8.2 ドキュメントのサポート.....22
8.3 ドキュメントの更新通知を受け取る方法.....22
8.4 サポート・リソース.....22
8.5 商標.....22
8.6 静電気放電に関する注意事項.....22
8.7 用語集.....22
9 改訂履歴.....23
10 メカニカル、パッケージ、および注文情報.....23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

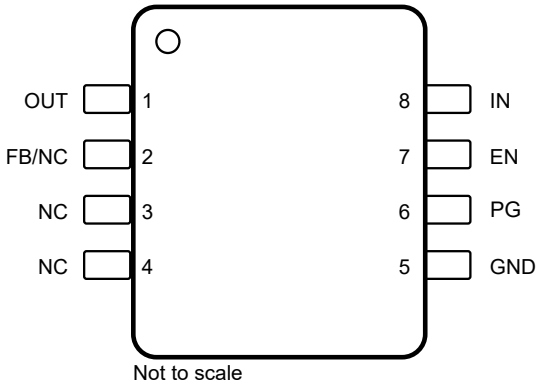


図 4-1. D パッケージ、 8 ピン SOIC (上面図)

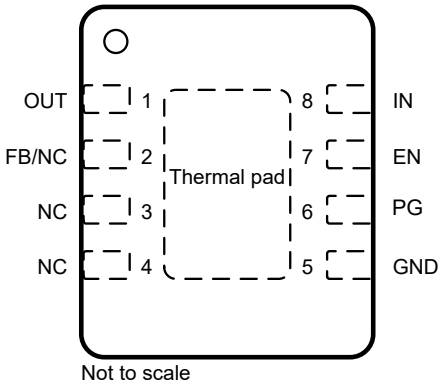


図 4-2. DRB パッケージ、 8 ピン VSON (上面図)

表 4-1. ピンの機能

ピン		タイプ[(1)]	説明
名称	番号		
EN	7	I	イネーブル ピン。イネーブル ピンがイネーブル ロジック入力 Low レベル (V_{IL}) よりも低いとき、デバイスはディスエーブルになります。デバイスがイネーブルになるように、EN ピンをロジック High レベル (V_{IH}) より高い電圧で駆動します。このピンは高インピーダンスなので、フローティングのままにしないでください。このピンがフローティングのままの場合、ピンの状態が未定義になり、デバイスがイネーブルまたはディスエーブルになる可能性があります。
FB/NC	2	I	このピンは、外付けの抵抗デバイダを使用する場合のフィードバック ピン、または固定出力電圧でデバイスを使用する場合の NC ピンです。可変デバイスを使用する場合は、このピンを抵抗デバイダを介して出力に接続して、デバイスを機能させます。詳細については、「*帰還抵抗の選択*」セクションを参照してください。固定出力を使用する場合、このピンをフローティングにするか、GND に接続します。
GND	5	—	グランド
IN	8	I	入力電源電圧ピン。最高の過渡応答を実現し、入力インピーダンスを最小化するには、推奨値またはそれ以上に大きい値のセラミック コンデンサを IN とグランドの間に接続します。「*推奨動作条件*」の表と「*入出力コンデンサの要件*」セクションを参照してください。入力コンデンサは、デバイスの入力のできるだけ近くに配置します。
NC	3、4	—	内部接続なしこのピンは、フローティングのままでも、あるいは熱特性改善のため GND へ接続してもかまいません。
OUT	1	O	レギュレートされた出力電圧ピン。安定性のために、OUT と GND の間にコンデンサが必要です。最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT と GND の間に接続します。出力コンデンサは、デバイスの出力のできるだけ近くに配置します。詳細については、「*入出力コンデンサの要件*」セクションを参照してください。
PG	6	O	アクティブ HIGH、オープン ドレイン パワー グッド出力。V_{OUT} が公称値の 6% 低下すると、このピンは Low になります。

(1) I = 入力、O = 出力。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
IN	連続入力電圧	-0.3	42	V
OUT	出力電圧	-0.3	VIN+0.3[3]	V
EN	EN 入力電圧	-0.3	42	V
PG	PG コンパレータの出力電圧[2]	-0.3	42	V
FB	帰還入力電圧	-0.3	5	V
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限りません。またその結果、本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります
(2) 入力電源電圧を超えることがあります。
(3) 絶対最大定格は VIN + 0.3V または 42V のどちらか小さい方です。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[1]		±2500	V
		デバイス帯電モデル (CDM)、AEC V Q100-011 準拠	すべてのピン	±1000	
			角のピン	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	2.1		40	V
V_{EN}	イネーブル電圧	0		40	V
V_{OUT}	出力電圧	1.2		39	V
I_{OUT}	出力電流	0		150	mA
C_{OUT}	出力コンデンサ(1)	1	2.2	100	µF
C_{OUT} ESR	出力コンデンサの ESR	0		2	Ω
C_{IN}	入力コンデンサ		1		µF
C_{FF}	フィードフォワード コンデンサ (オプション(2)、可変デバイスのみ)		10		pF
$I_{FB_DIVIDER}$	フィードバック分圧器の電流(2) (可変デバイスのみ)	12			µA
T_J	接合部温度	-40		150	°C

(1) 安定させるために、最低 0.5µF の実効出力キャパシタンスが必要です。
(2) フィードバック分圧器の電流が 12µA 未満の場合、安定性のために C_{FF} が必要です。フィードバック分圧器の電流 = V_{OUT} / (R_1 + R_2)。詳細については、「*フィードフォワード コンデンサ (C_{FF})*」を参照してください。

5.4 熱に関する情報

熱評価基準(1) (2)		DRB	D	単位
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	50.2	123	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.6	67.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	24.1	70.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.5	18.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	24.2	69.8	°C/W

(1) 熱データは、JEDEC 規格の High-K プロファイル (JESD 51-7) に基づいています。2 信号、2 プレーン、4 層基板、2 オンスの銅を使用しています。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順に従う必要があります。
(2) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

5.5 電気的特性

TJ = –40°C ～ 150°C で規定、V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、V_{EN} ≥ 2V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	出力電圧精度	V_{IN} = [$V_{OUT(NOM)}$ + 1V] ～ 40V、I_{OUT} = 100µA ～ 150mA	T_J = 25°C	-0.5		0.5	%
			T_J = –40°C ～ 150°C	-1		1	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション	V_{IN} = [$V_{OUT(NOM)}$ + 1V] ～ 40V	T_J = –40°C ～ 150°C		0.0004	0.01	%/V
$\Delta V_{OUT(\Delta IOUT)}$	負荷レギュレーション	I_{OUT} = 100µA ～ 150mA	T_J = –40°C ～ 150°C		0.02	0.2	%
V_{FB}	帰還電圧	FB の基準電圧	T_J = –40°C ～ 150°C	1.188	1.2	1.212	V
I_{FB}	帰還バイアス電流		T_J = 25°C		2	10	nA
			T_J = –40°C ～ 150°C			15	
V_{DO}	可変出力ドロップアウト電圧	V_{IN} = 3.5V、I_{OUT} = 150mA	T_J = –40°C ～ 150°C		350	660	mV
	ドロップアウト電圧は 3.3V 固定出力	V_{IN} = V_{OUT} (公称) = 3.3V、I_{OUT} = 150mA				670	
	ドロップアウト電圧は 5V 固定出力	V_{IN} = V_{OUT} (公称) = 5V、I_{OUT} = 150mA				580	

TJ = –40°C ～ 150°C で規定、V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、V_{EN} ≥ 2V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_Q	静止時電流	I_{OUT} = 0	T_J = –40℃ ～ 150℃			56	µA
		I_{OUT} = 100µA			45	68	
		I_{OUT} = 150mA				1.15	mA
UVLO	UVLO V_{IN} 立ち上がり	I_{OUT} = 100µA	T_J = –40℃ ～ 150℃	1.8	1.9	2.0	V
	UVLO V_{IN} 立ち下がり			1.7	1.8	1.9	
	ヒステリシス				100		mV
V_{IL}	イネーブル ロジック入力 Low レベル	Low (レギュレータが OFF)	T_J = –40℃ ～ 150℃			0.7	V
V_{IH}	イネーブル ロジック入力 High レベル	High (レギュレータが ON)		1.9			
I_{EN}	EN ピン電流	V_{EN} = 40 V	T_J = –40℃ ～ 150℃			0.8	µA
I_{CL}	電流制限	V_{IN} ≥ 3V、V_{OUT} = 0V	T_J = –40℃ ～ 150℃	165	235	280	mA
V_n	出力ノイズ (RMS)、10Hz ～ 100KHz	C_{OUT}= 1µF	T_J = 25℃		265		$µV_{rms}$
PSRR	電源リップル除去	V_{IN} - V_{OUT} = 1V、周波数 = 100Hz、I_{OUT} = 5mA	T_J = 25℃		80		dB
$V_{PG(OL)}$	PG ピンの Low レベル出力電圧	V_{IN} ≥ 2V、I_{OL} = 400µA	T_J = 25℃		180	230	mV
			T_J = –40℃ ～ 150℃			280	
$V_{PG(TH,RISING)}$	V_{OUT} 立ち上がり		T_J = –40℃ ～ 150℃			97	$\%V_{OUT}$
$V_{PG(TH,FALLING)}$	V_{OUT} 立ち下がり			92			
$V_{PG(HYST)}$	ヒステリシス		T_J = 25℃		2		
$I_{SHUTDOWN}$	シャットダウン時の電源電流 (I_{GND})	V_{EN} ≤ 0.7V、V_{IN} ≤ 40V、V_{OUT} = 0V	T_J = 25℃		3	4.5	µA
			T_J = –40℃ ～ 150℃			6	
$T_{SD(SHUTDOWN)}$	接合部のシャットダウン温度				177		°C
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス				15		°C

5.6 タイミング要件

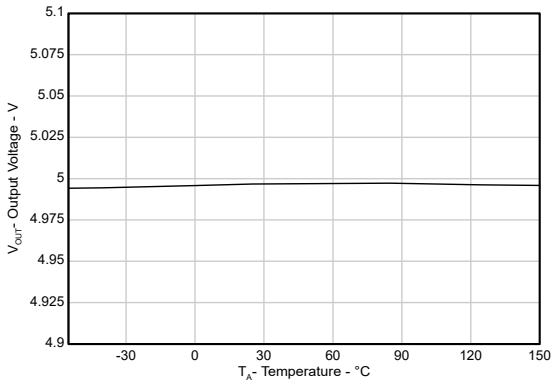
パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{PGDH}	PG 遅延時間の立ち上がり、92% V_{OUT} から PG の 20% までの時間 (1)	25	50	65	µs
t_{PGDL}	PG 遅延時間の立ち下がり、90% V_{OUT} から PG の 80% までの時間 (1)	6	13	18	µs

(1) 出力オーバードライブ= 10%

Copyright © 2025 Texas Instruments Incorporated

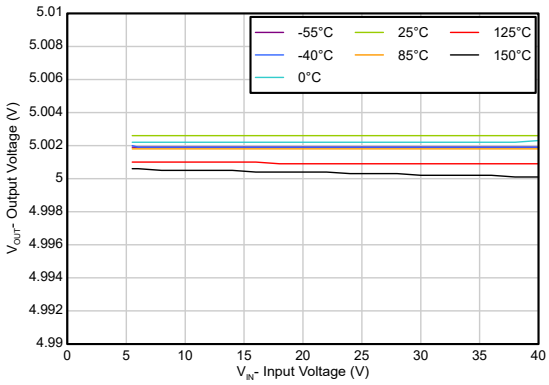
5.7 代表的特性

V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、V_{EN} ≥2V (特に記述のない限り)



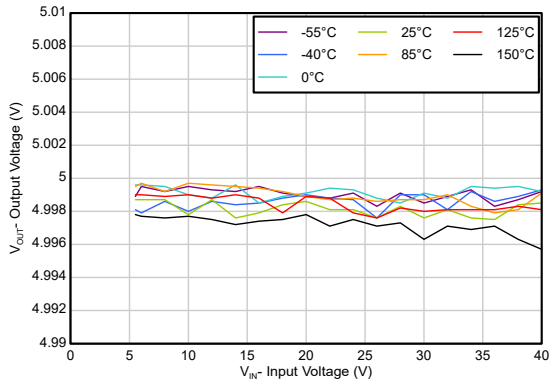
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 150mA

図 5-1. 出力電圧と温度との関係



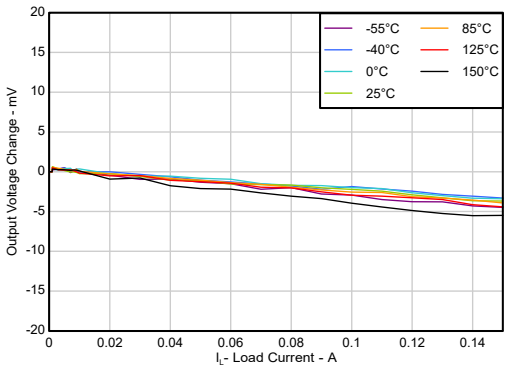
V_{OUT} = 5V、I_{OUT} = 100μA

図 5-2. ライン レギュレーションと入力電圧との関係



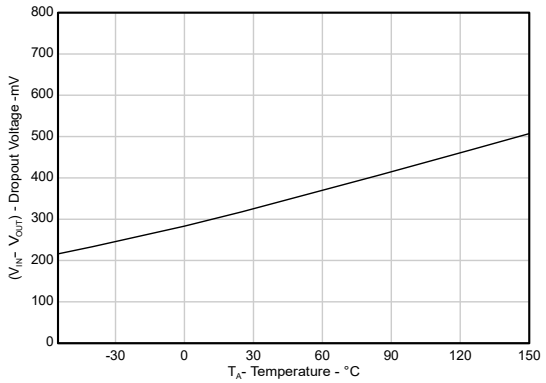
V_{OUT} = 5V、I_{OUT} = 150mA

図 5-3. ライン レギュレーションと入力電圧との関係



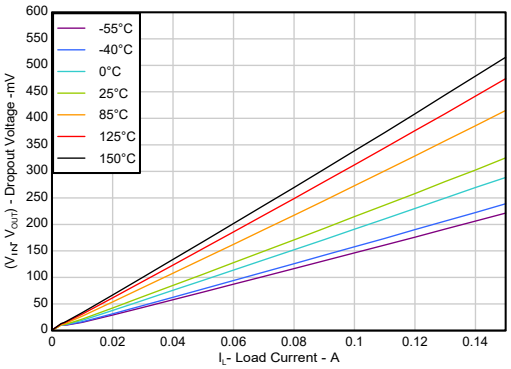
V_{IN} = 6 V、V_{OUT} = 5 V

図 5-4. 負荷レギュレーションと負荷電流との関係



V_{IN} = 4.9V、I_{OUT} = 150mA

図 5-5. ドロップアウト電圧 vs 温度

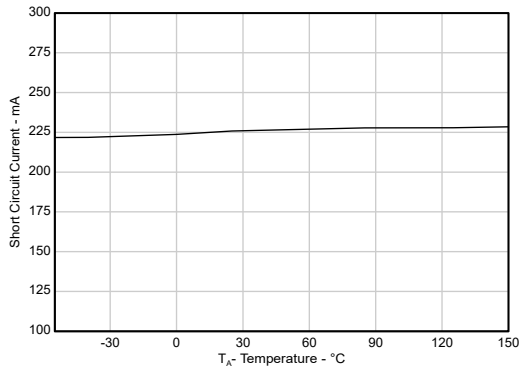


V_{IN} = 4.9V

図 5-6. ドロップアウト電圧と出力電流との関係

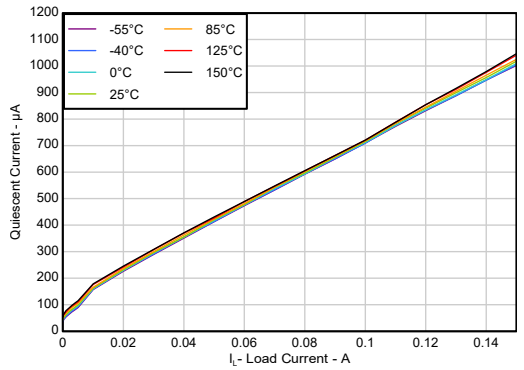
5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、V_{EN} ≥2V (特に記述のない限り)



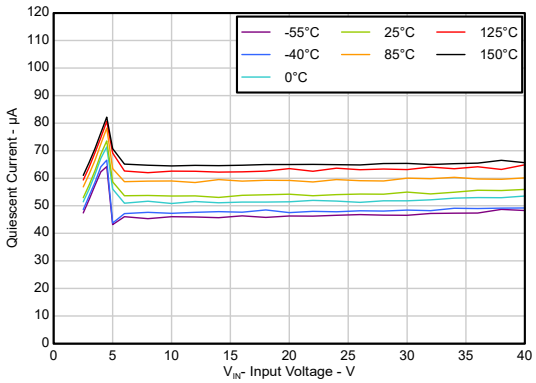
V_{IN} = 6 V、V_{OUT} = 0 V

図 5-7. 短絡電流と温度との関係



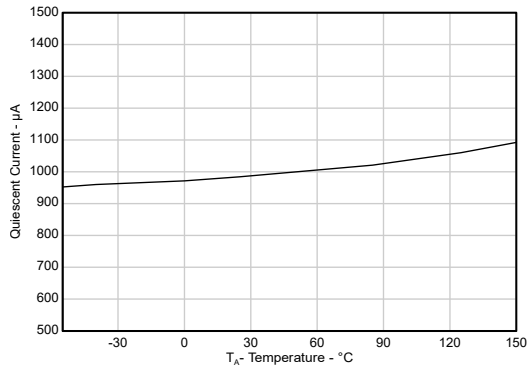
V_{IN} = 6 V、V_{OUT} = 5 V

図 5-8. 静止電流と負荷電流との関係



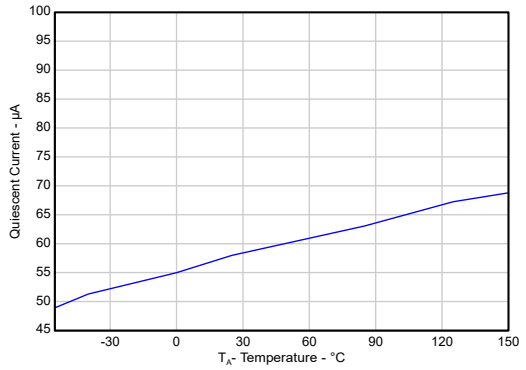
V_{OUT} = 5V

図 5-9. 静止電流と入力電圧との関係 (I_{OUT} = 0mA)



V_{IN} = 6 V、V_{OUT} = 5 V

図 5-10. 静止電流と温度との関係 (I_{OUT} = 150mA)



V_{IN} = 6 V、V_{OUT} = 5 V

図 5-11. 静止電流と温度との関係 (I_{OUT} = 100μA)

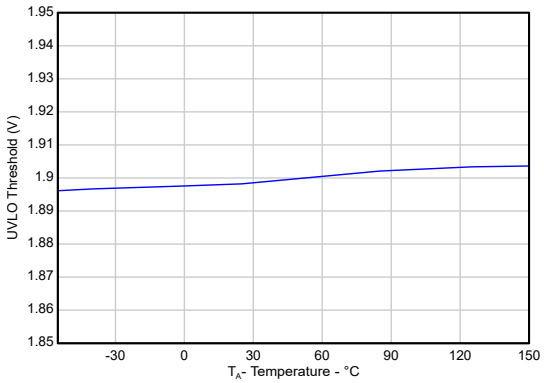


図 5-12. 低電圧誤動作防止 (UVLO) スレッショルドと温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、V_{EN} ≥2V (特に記述のない限り)

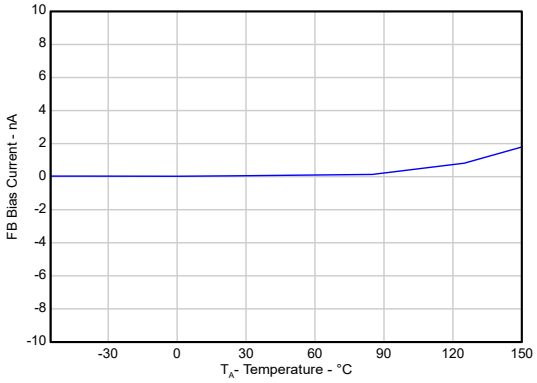


図 5-13. FB バイアス電流と温度との関係

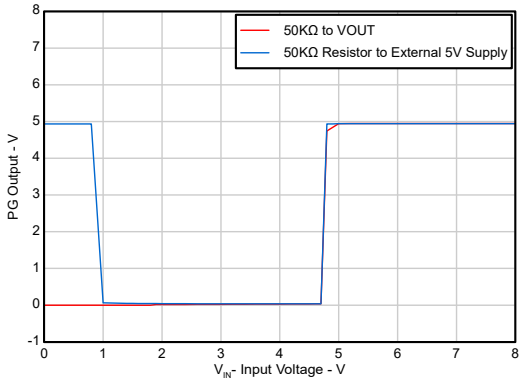


図 5-14. PG コンパレータ出力と入力電圧との関係

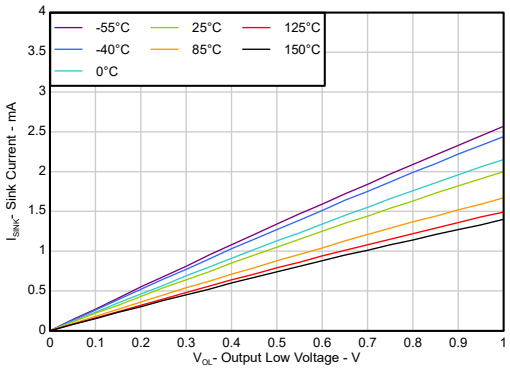


図 5-15. PG コンパレータ シンク電流と出力低電圧との関係

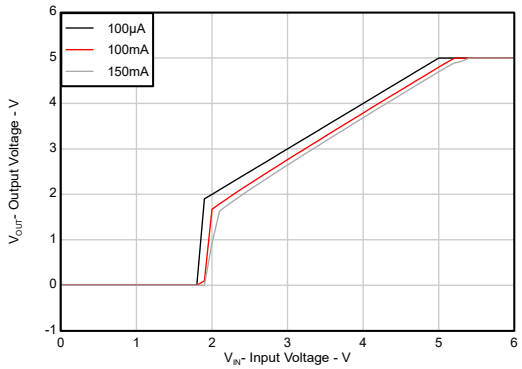
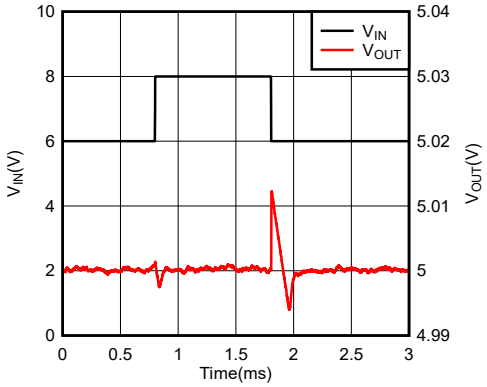
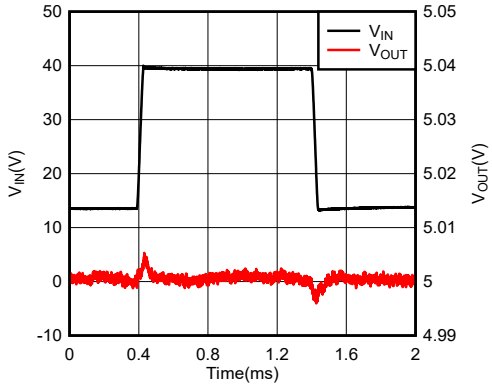


図 5-16. 出力電圧と入力電流との関係



V_{IN} = 6V ～ 8V、スルーレート = 1V/μs、V_{OUT} = 5V、C_{OUT} = 1μF、I_{OUT} = 100μA

図 5-17. ライン過渡応答と時間との関係

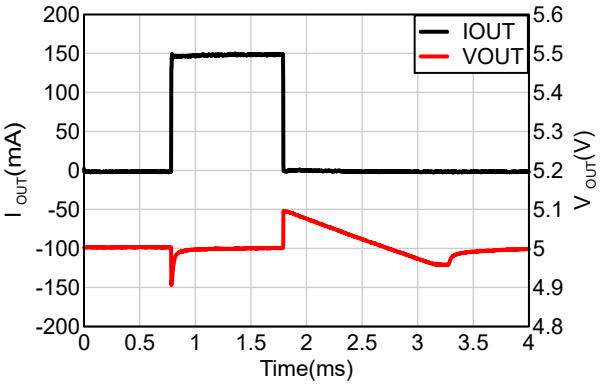


V_{IN} = 13.5V ～ 40V、スルーレート = 1V/μs、V_{OUT} = 5V、C_{OUT} = 1μF、I_{OUT} = 1mA

図 5-18. ライン過渡応答と時間との関係

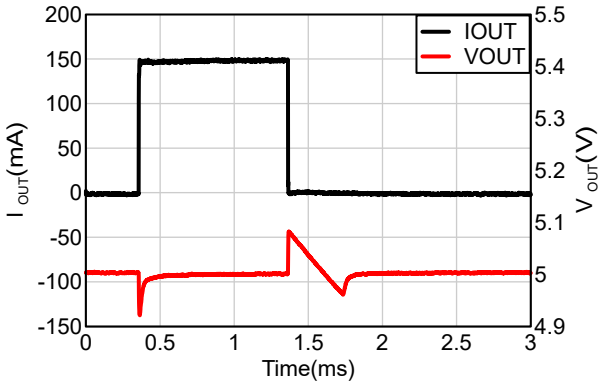
5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100μA、C_{OUT} = 2.2μF、V_{EN} ≥2V (特に記述のない限り)



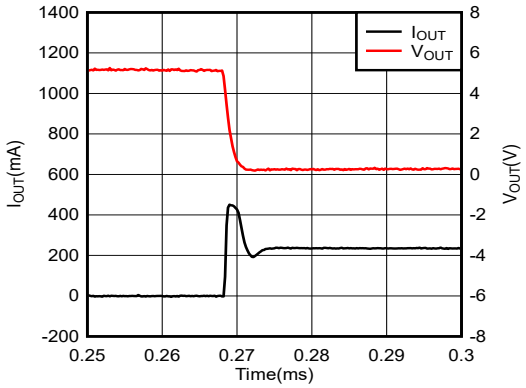
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルーレート = 1A/μs、C_{OUT} = 1μF

図 5-19. 負荷過渡応答と時間との関係



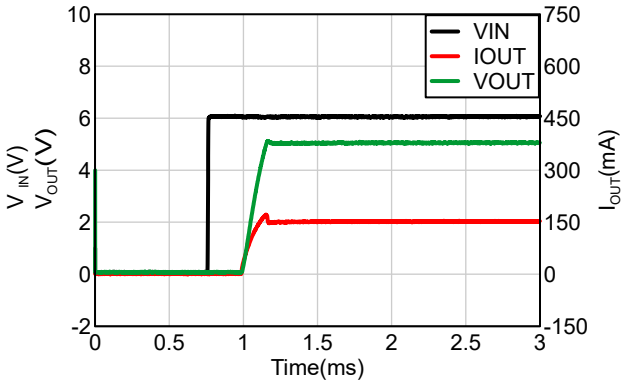
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルーレート = 1A/μs、C_{OUT} = 10μF

図 5-20. 負荷過渡応答と時間との関係



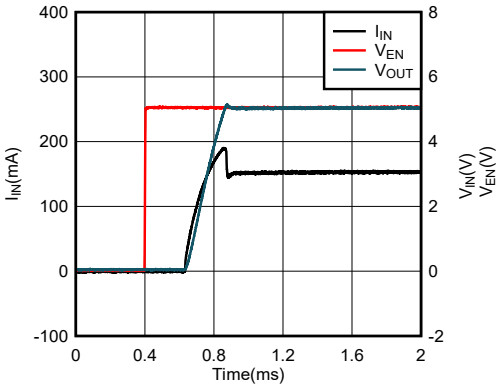
V_{IN} = 6V、C_{OUT} = 1μF

図 5-21. 短絡電流と時間との関係



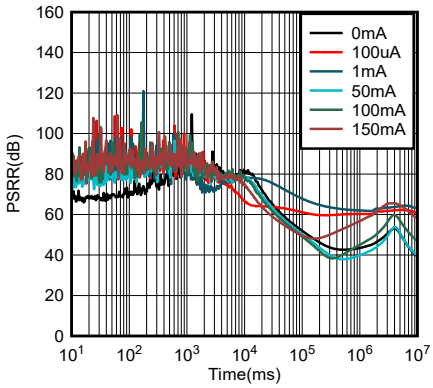
V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 1μF、R_L = 33.3Ω

図 5-22. パワーアップ波形



V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 1μF、R_L = 33.3Ω

図 5-23. EN 機能による起動プロット



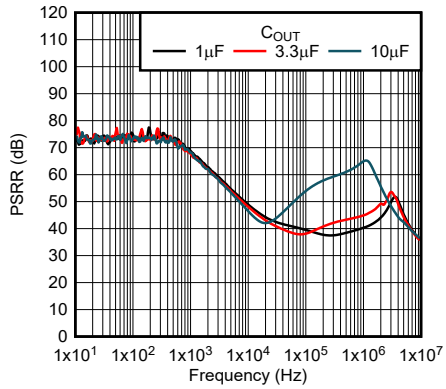
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 1μF

図 5-24. リップル除去と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

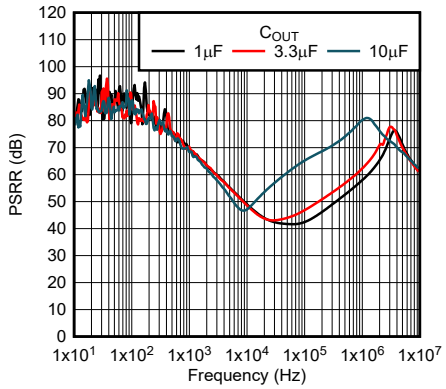
5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、V_{EN} ≥2V (特に記述のない限り)



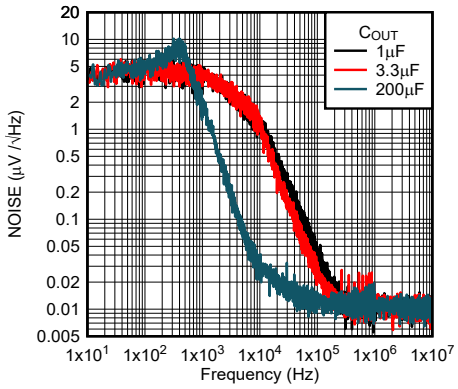
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 100mA

図 5-25. リップル除去と周波数との関係



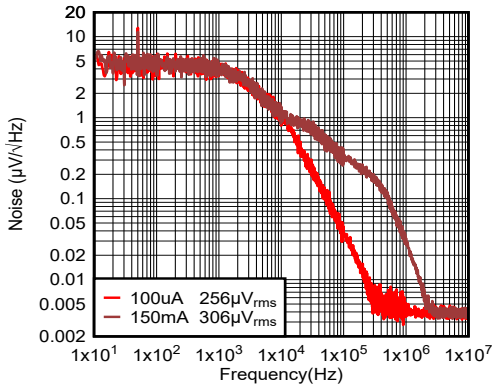
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 1mA

図 5-26. リップル除去と周波数との関係



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 100µA

図 5-27. 出力ノイズと周波数との関係



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 1µF

図 5-28. 出力ノイズと周波数との関係

6 詳細説明

6.1 概要

TPS7C84-Q1 は、車載用アプリケーションのバッテリに接続するように設計された低ドロップアウト リニア レギュレータ (LDO) です。このデバイスは、最大 40V の広い入力電源電圧範囲に対応します。TPS7C84-Q1 は、3.3V および 5V の固定出力電圧で供給されます。または、FB ピンを外部の分割抵抗に接続することで、出力を 1.2V ～ 39V の任意の値に設定できます。

TPS7C84-Q1 は、フィードバック ピンの電圧を監視して出力電圧のステータスを表示するパワー グッド出力 (PG) を備えています。EN 入力および PG 出力を使用して、システムの複数の電源をシーケンシングできます。TPS7C84-Q1 は小さなセラミック出力コンデンサでも安定に動作するため、ソリューション全体を小型化できます。このデバイスは、ライン、負荷、温度変動にわたって出力許容誤差が 1% であり、150mA の連続的な負荷電流を供給できます。このデバイスはサーマル シャットダウン、電流制限、低電圧誤動作防止 (UVLO) 機能を内蔵しています。このデバイスは、ラインおよび負荷過渡性能に優れています。デバイスの動作時接合部温度範囲は、–40°C ～ +150°C です。

6.2 機能ブロック図

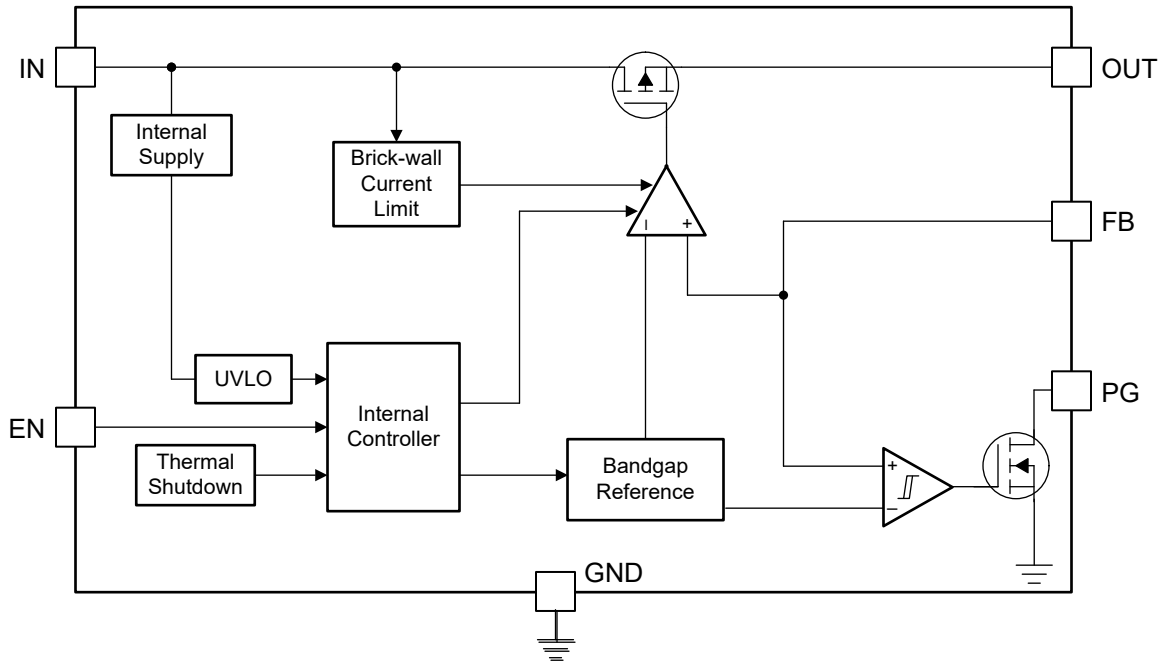


図 6-1. 可変出力のブロック図

Copyright © 2025 Texas Instruments Incorporated

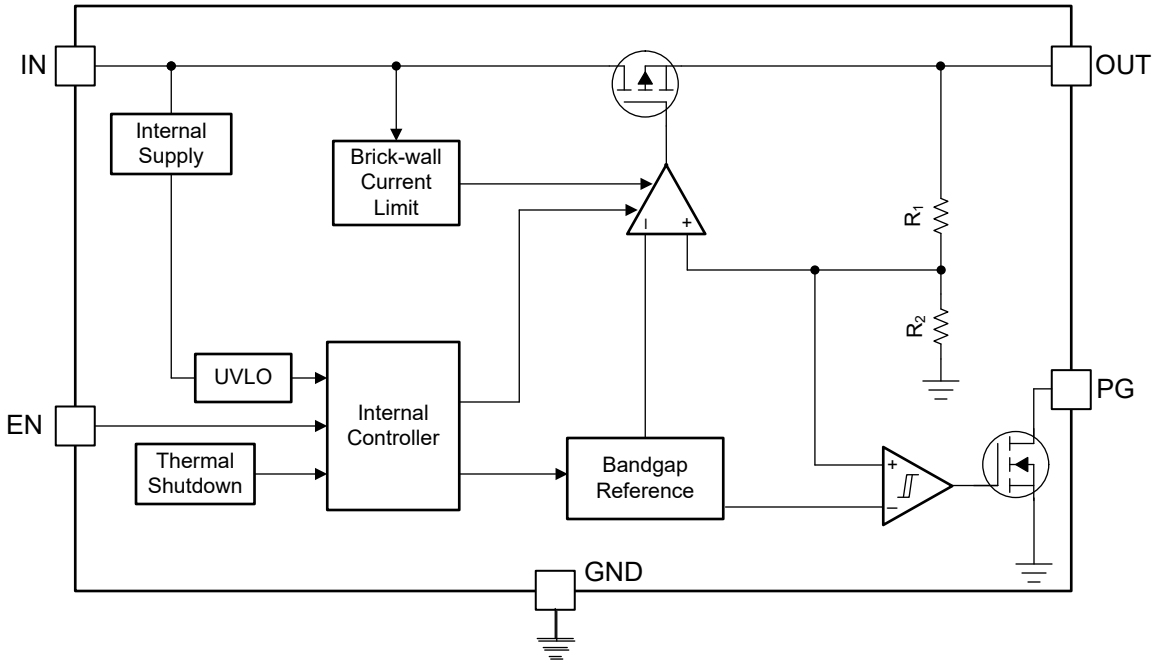


図 6-2. 固定出力のブロック図

6.3 機能説明

6.3.1 出力イネーブル

デバイスの EN ピンはアクティブ High ピンです。EN ピンの電圧が EN ピンの High レベル入力電圧より高いとき、出力電圧がイネーブルになります。逆に、EN ピンの電圧が EN ピンの Low レベル入力電圧より低いとき、出力電圧はディスエーブルになります。出力電圧を独立して制御する必要がない場合は、EN ピンをデバイスの入力電圧に接続します。

6.3.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧、I_{RATED} は *推奨動作条件* 表に記載されている最大 I_{OUT} です。この動作ポイントで、パス トランジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{1}$$

6.3.3 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。I_{CL} は、「 *電気的特性* 」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、『制限の把握』アプリケーション ノートを参照してください。

図 6-3 は、電流制限の図を示しています。

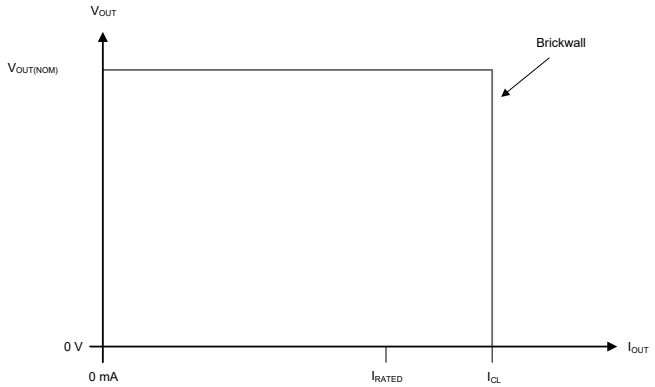


図 6-3. 電流制限

Copyright © 2025 Texas Instruments Incorporated

6.3.4 低電圧誤動作防止 (UVLO)

このデバイスには、入力電圧を監視する独立した低電圧誤動作防止 (UVLO) 回路が搭載されています。この回路は、出力電圧のオンとオフを安定的に制御できます。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、*電気的特性* 表に規定されているヒステリシスがあります。

6.3.5 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(RESET)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低下するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな V_{IN} - V_{OUT} 電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を *推奨動作条件* 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

6.4.1 シャットダウン・モード

このデバイスは、EN ピンをロジック Low にしてシャットダウン モードに移行させます。動作を復元するには、ロジック レベルを High に戻します。このモードを使用しない場合は、EN を V_{IN} に接続します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パス トランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

図 7-1 に、デバイスを保護するための 1 つのアプローチを示します。

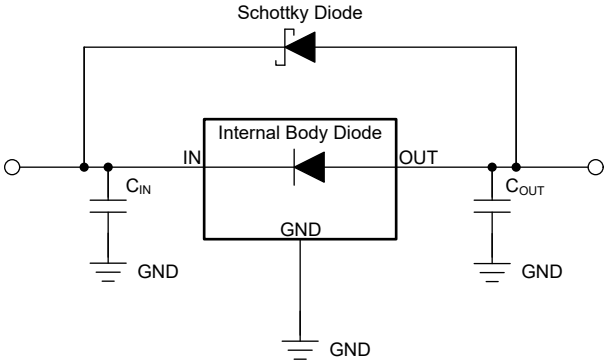


図 7-1. ショットキー ダイオードを使用した逆電流保護の回路例

7.1.2 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが 0.5Ω を超える場合は、入力コンデンサを使用します。大きくて高速な立ち上がり時間の負荷またはライン過渡が予想される場合は、より値の大きいコンデンサを使用してください。また、デバイスが入力電源から数インチ離れて配置される場合は、より値の大きいコンデンサを使用してください。

デバイスの動的性能は、出力コンデンサを使用することで向上します。安定性のために、「 *推奨動作条件* 」表に記載されている範囲内の出力コンデンサを使用します。

7.1.3 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく

Copyright © 2025 Texas Instruments Incorporated

依存しないことが判明しています。「 セクション 5.4 」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm のプリント基板 (PCB) 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \Psi_{JT} \times P_D \tag{2}$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \Psi_{JB} \times P_D \tag{3}$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『*半導体および IC パッケージの熱指標*』アプリケーション ノートを参照してください。

7.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、PCB 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスが、ほとんどまたはまったくないようにする必要があります。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{4}$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアの配列を設ける必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。消費電力と接合部温度は、ほとんどの場合、PCB とデバイスの組み合わせパッケージの $R_{\theta JA}$ と T_A に関連します。$R_{\theta JA}$ は接合部から周囲への熱抵抗、T_A は 周囲気温です。この関係を次の式に示します。

$$T_J = T_A = \left(R_{\theta JA} \times P_D\right) \tag{5}$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、この抵抗は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。 *セクション 5.4* 表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。$R_{\theta JA}$ は、パッケージの熱性能の相対的な測定値として使用されます。

7.2 代表的なアプリケーション

図 7-2 に、TPS7C84-Q1 の代表的なアプリケーション回路を示します。エンド アプリケーションによっては、値の異なる外付け部品を使用できます。必要に応じて、高速負荷ステップ時のリセット発生を防ぐために、大容量の出力コンデンサを使用してください。X5R または X7R の誘電体を使用した、低 ESR のセラミック コンデンサを使用してください。

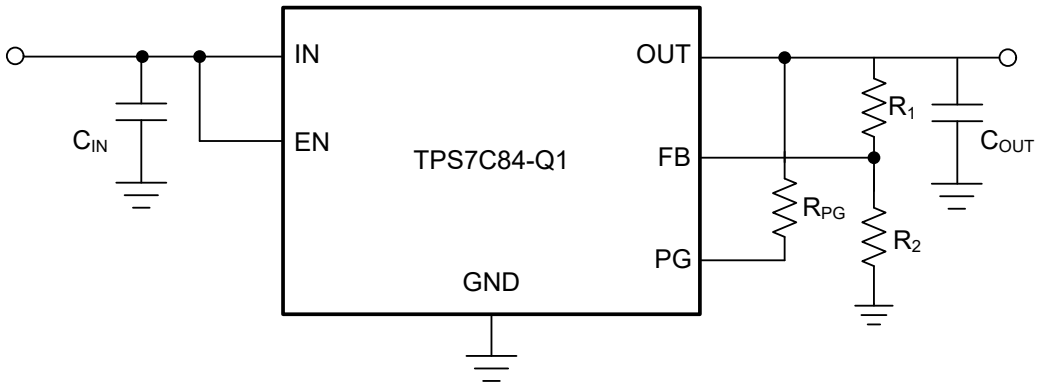


図 7-2. TPS7C84-Q1 の代表的なアプリケーション回路図

7.2.1 設計要件

表 7-1 は、図 7-2 の設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	6V ～ 40V
出力電圧	5V
出力電流	150mA
出力コンデンサ	1μF

7.2.1.1 推奨されるコンデンサの種類

7.2.1.1.1 推奨コンデンサ

TPS7C84-Q1 は、安定性のために 1μF 以上の出力コンデンサと、0Ω ～ 2Ω の等価直列抵抗 (ESR) を必要とします。出力コンデンサがないと、レギュレータは発振します。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力コンデンサは 100μF です。安定性のために、入力コンデンサは必要ありません。ただし、GND ピンと IN ピンの間にコンデンサ (500nF 以上) を接続するのが適切なアナログ手法です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広範囲の周波数にわたって ハイ インピーダンスの場合は、複数の入力コンデンサを並列に使用して、全周波数帯域のインピーダンスを低減します。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.2.2 詳細な設計手順

7.2.2.1 帰還抵抗の選択

V_{OUT} は、次の式に従って外部の帰還抵抗 R_1 および R_2 によって設定されます:

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_1}{R_2}\right) \tag{6}$$

Copyright © 2025 Texas Instruments Incorporated

V_{OUT} の式における FB ピン電流誤差を無視するためには、フィードバック分圧電流を「*電気的特性*」表内に示されている FB ピン電流 (I_{FB}) の 100 倍に設定してください。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます:

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \tag{7}$$

7.2.2.2 フィードフォワード コンデンサ

フィードフォワード コンデンサ (C_{FF}) を OUT ピンと FB ピンの間に接続します。C_{FF} により、過渡、ノイズ、PSRR に対する性能が向上します。より高い容量の C_{FF} を使用する場合、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『*低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所*』アプリケーション ノートを参照してください。

図 7-3 に示すように、不適切なレイアウト手法と FB ピンで長いパターンを使用すると、寄生コンデンサ (C_{FB}) が形成されます。

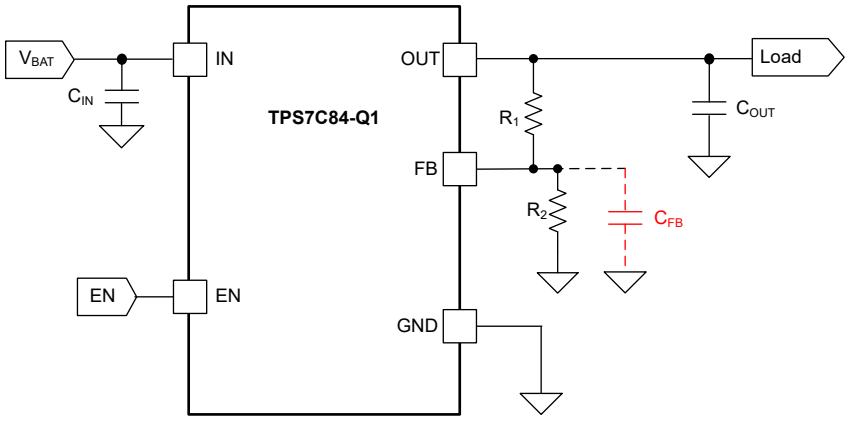


図 7-3. FB ピンにおける寄生コンデンサの形成

C_{FB} と帰還抵抗 R_1 および R_2 は、ループ ゲインの伝達関数に補償されないポールを形成する可能性があります。C_{FB} の値がわずか 6pF であると、式 8 で与えられる寄生ポール周波数が LDO の帯域幅内に収まり、不安定になる可能性があります。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \tag{8}$$

フィードフォワード コンデンサ (C_{FF}) を追加すると、C_{FB} により発生する寄生ポールを補償するループ ゲイン伝達関数にゼロが生じます。この補償を図 7-4 に示します。式 9 と式 10 は、ポール周波数とゼロ周波数を計算します。

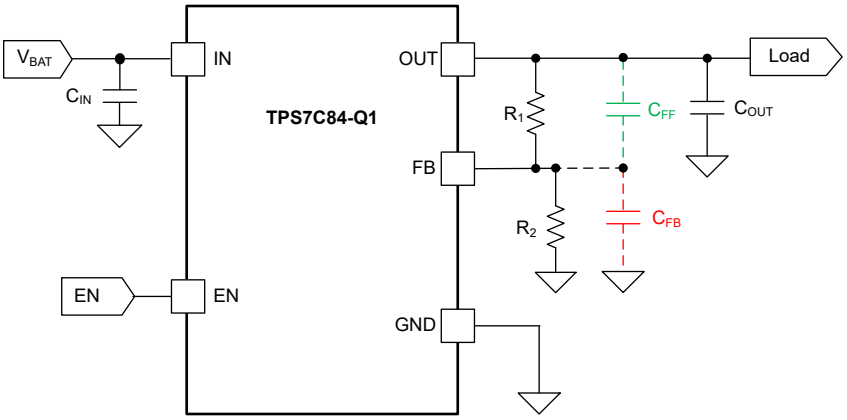


図 7-4. フィードフォワード コンデンサによって、寄生コンデンサの影響が補償されます

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \tag{9}$$

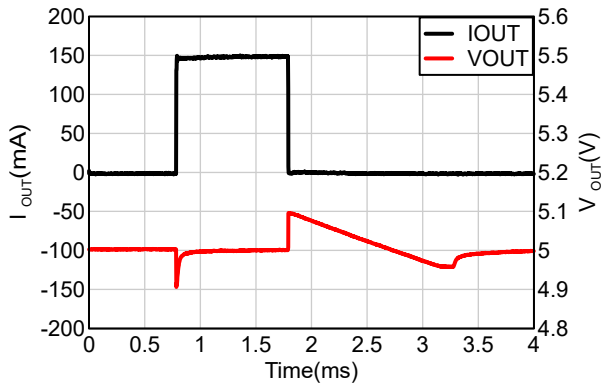
$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \tag{10}$$

f_P を f_Z と等しくする C_{FF} の値は、C_{FB} の値と、アプリケーションで使用される帰還抵抗に依存します。この C_{FF} 値でも、ポール ゼロ キャンセルになります。または、$C_{FF} \gg C_{FB}$ となるようフィードフォワード コンデンサを選択する場合、式 10 と式 9 からのポール周波数とゼロ周波数は次のように関係します:

$$\frac{f_p}{f_z} \cong \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{FB}} \tag{11}$$

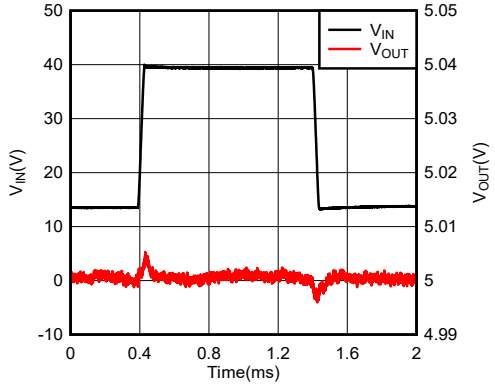
ほとんどのアプリケーションにおいて、特に 3.3V または 5V の V_{OUT} を生成する場合、この比はそれほど大きくありません。したがって、周波数が互いに近くに配置されているため、寄生ポールが補償されます。一般的に、C_{FF} の値が約 100pF ≤ C_{FF} ≤10nF であると、帰還ノードの寄生容量によって不安定になるのを防ぐことができます。この C_{FF} 範囲は、その比率が最大 20 となる可能性がある大きな V_{OUT} 値に対しても有効です。

7.2.3 アプリケーション曲線



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0mA ～ 150mA、スルーレート = 1A/µs、C_{OUT} = 1µF

図 7-5. 負荷過渡応答と時間との関係



V_{IN} = 13.5V ～ 40V、スルーレート = 1V/µs、V_{OUT} = 5V、C_{OUT} = 1µF、I_{OUT} = 1mA

図 7-6. ライン過渡応答と時間との関係

Copyright © 2025 Texas Instruments Incorporated

7.3 電源に関する推奨事項

適切な動作のために、最大入力電圧を 40V に制限します。高周波のノイズ フィルタリング特性を利用するため、入力および出力コンデンサをデバイスにできる限り近づけて配置します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- デバイスの入力および出力のパターンが、目的の電流に対応するのに十分な幅があることを確認します。このデバイスでは、より大きな電流に対応するために、より大き出力パターンを使用します。
- 高周波のノイズ フィルタリング特性を利用するため、入力および出力コンデンサをデバイスにできる限り近づけて配置します。

7.4.2 レイアウト例

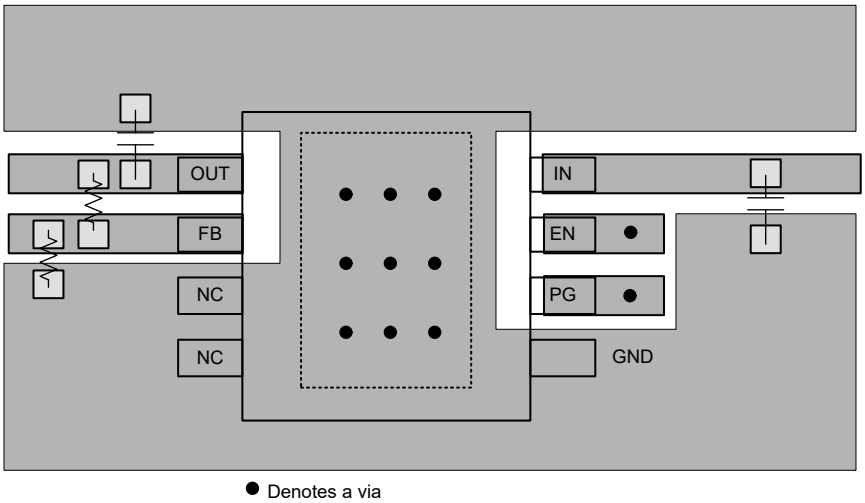


図 7-7. SOIC (D) パッケージ (可変出力)

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品[(1)]	V_{OUT}
TPS7C84**xx**Q ***(W)*** ***yyyz***Q1	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。 **W** はウェッタブル フランク パッケージであることを表します。 **yyy** はパッケージ指定子です。 **z** はリール数量です。 **Q1** は車載グレード (AEC-Q100) デバイスであることを表します。
TPS7C84**01**Q ***(W)*** ***yyyz***Q1	**01** はこのデバイスが可変オプションであることを示します。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。 **W** はウェッタブル フランク パッケージであることを表します。 **yyy** はパッケージ指定子です。 **z** はリール数量です。 **Q1** は車載グレード (AEC-Q100) デバイスであることを表します。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス・インスツルメンツ、*『TPS7C84-Q1 の機能安全性 — FIT 率、FMD、ピン FMA』*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2025) to Revision C (November 2025) **Page**

- 「*量産データ*」から「*量産混合*」に変更 1
- IN ピンの説明から「TEST」を削除 3
- 「*熱に関する情報*」の表にウェッタブル フランク付き DRB (VSON-8) のデータを追加。 4
- 明確化のため I_FB 誤差の対応方法に関する表現を更新。 18
- 「デバイスの命名規則」の表を更新し、ウェッタブル フランク付きのパッケージ バリアントに「W」を追加。 22
- 「*ドキュメントのサポート*」および「*関連資料*」セクションを追加 22

Changes from Revision A (December 2024) to Revision B (February 2025) **Page**

- 「絶対最大定格」表に T_J 値を追加 4
- EC 表の基準電圧の精度を変更 5

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7C8401QDRQ1	Active	Preproduction	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS7C8401QDRQ1.A	Active	Preproduction	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS7C8401QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8401D
TPS7C8401QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8401D
TPS7C8401QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8401
TPS7C8433QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8433D
TPS7C8433QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8433D
TPS7C8433QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8433
TPS7C8450QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8450D
TPS7C8450QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8450D
TPS7C8450QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8450

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

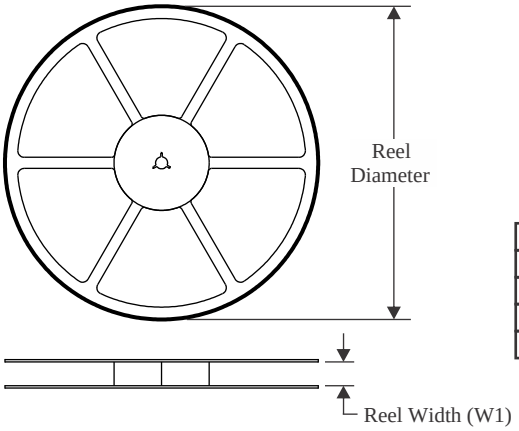
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

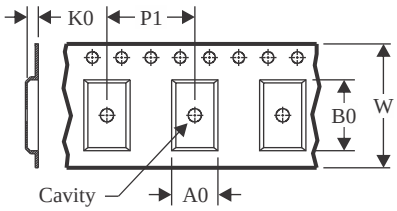
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

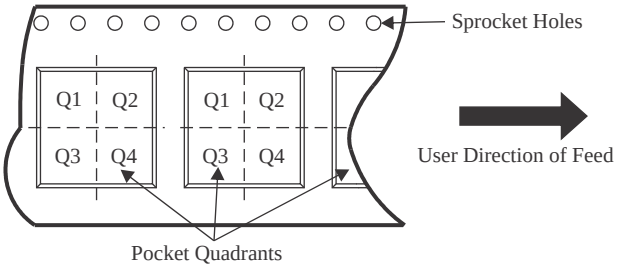


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

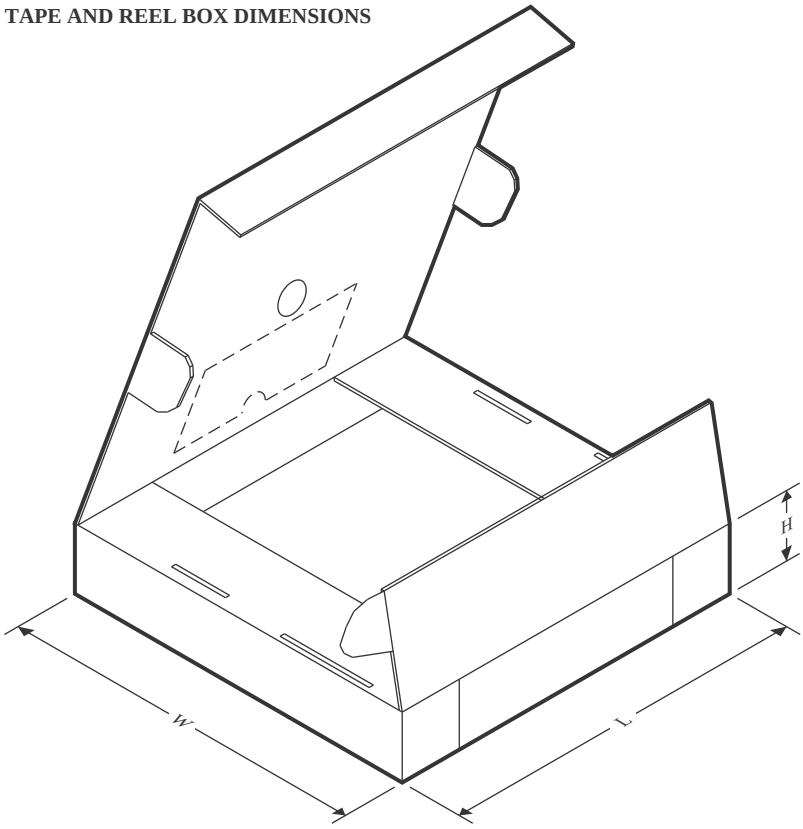
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7C8401QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS7C8433QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS7C8450QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7C8401QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TPS7C8433QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TPS7C8450QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6

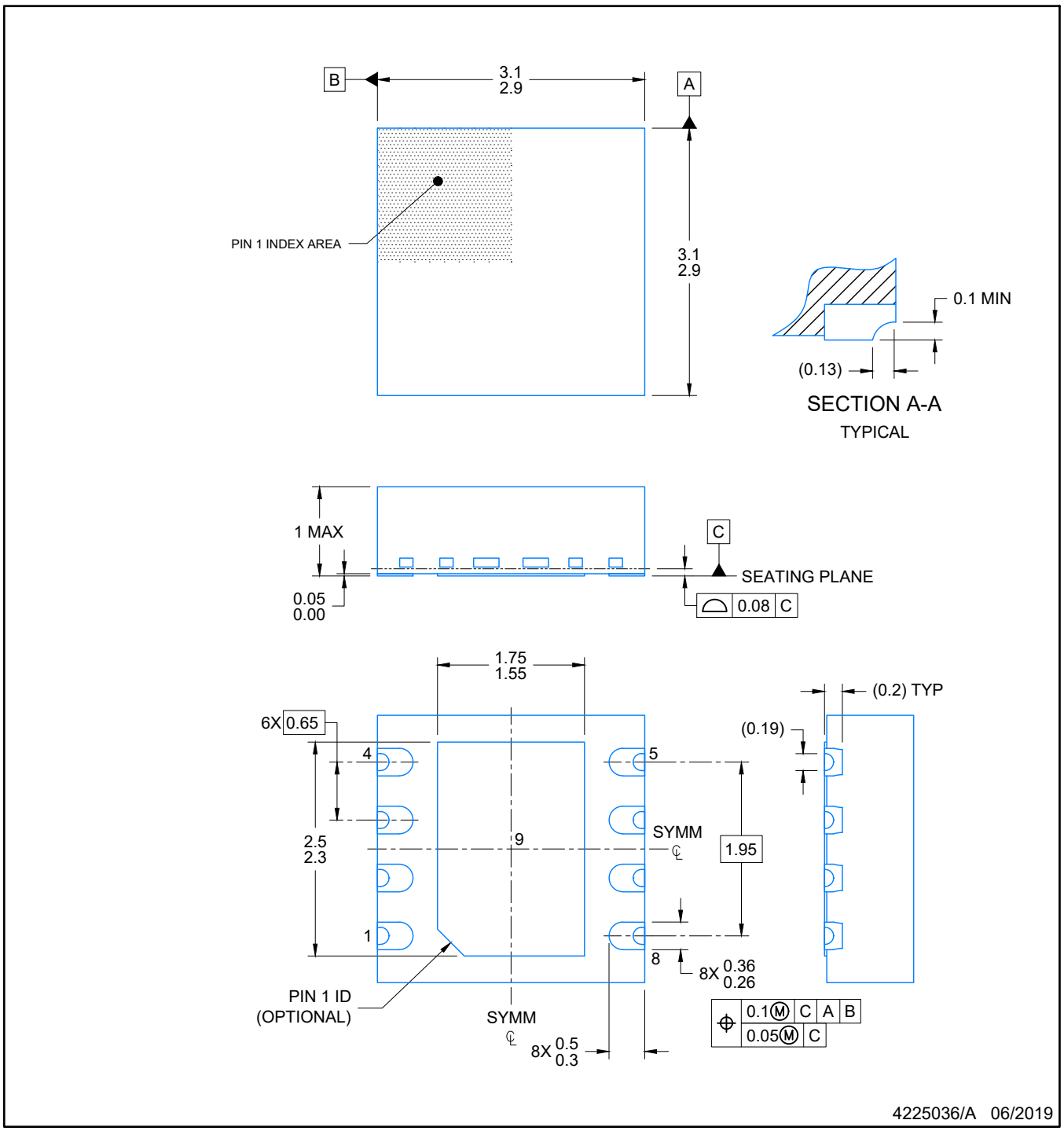
GENERIC PACKAGE VIEW

DRB 8 VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

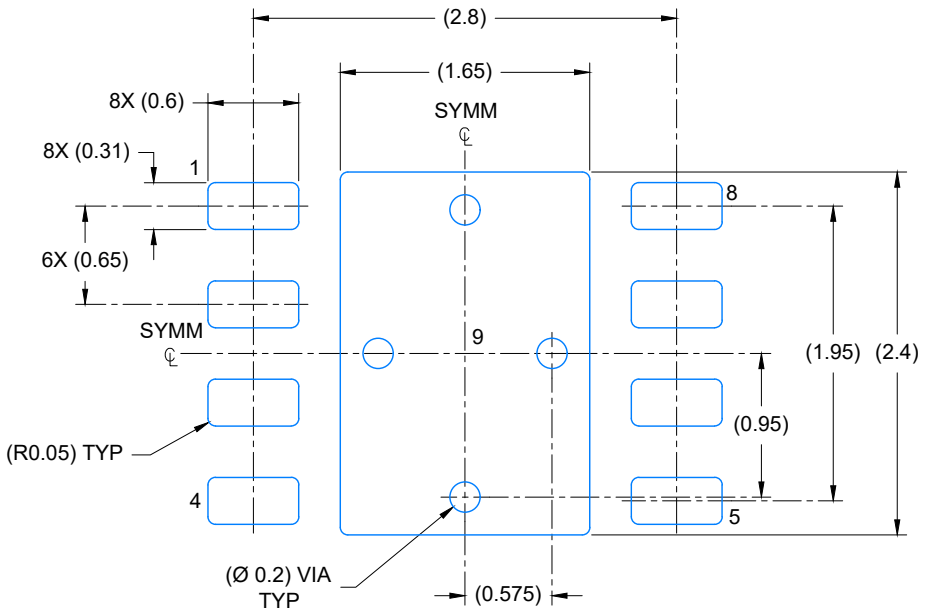
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

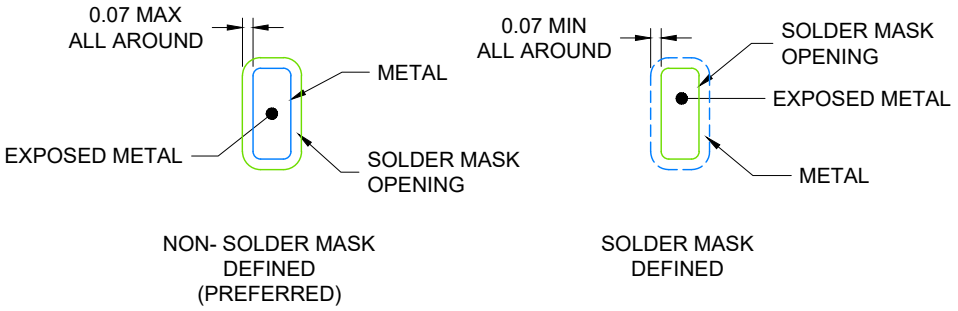


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

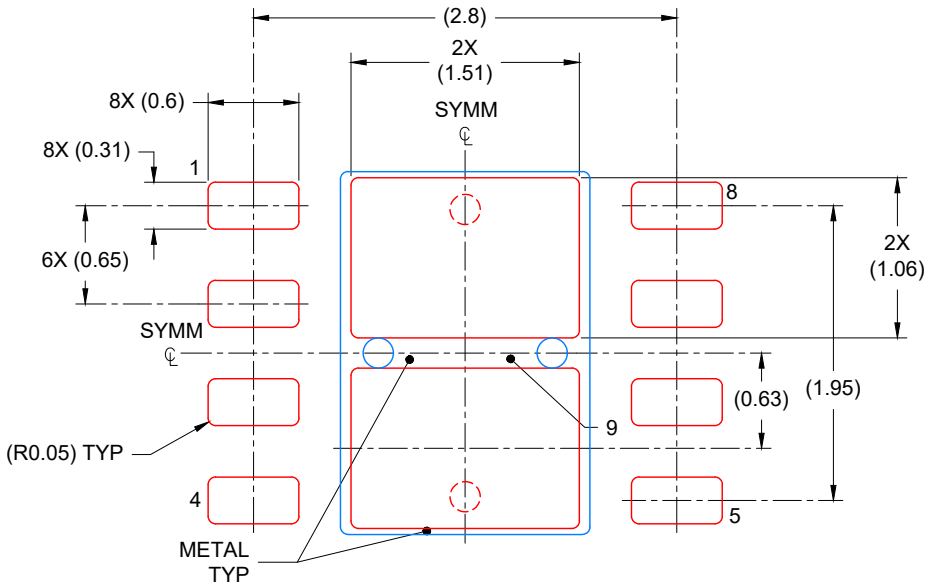


SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



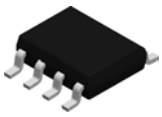
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

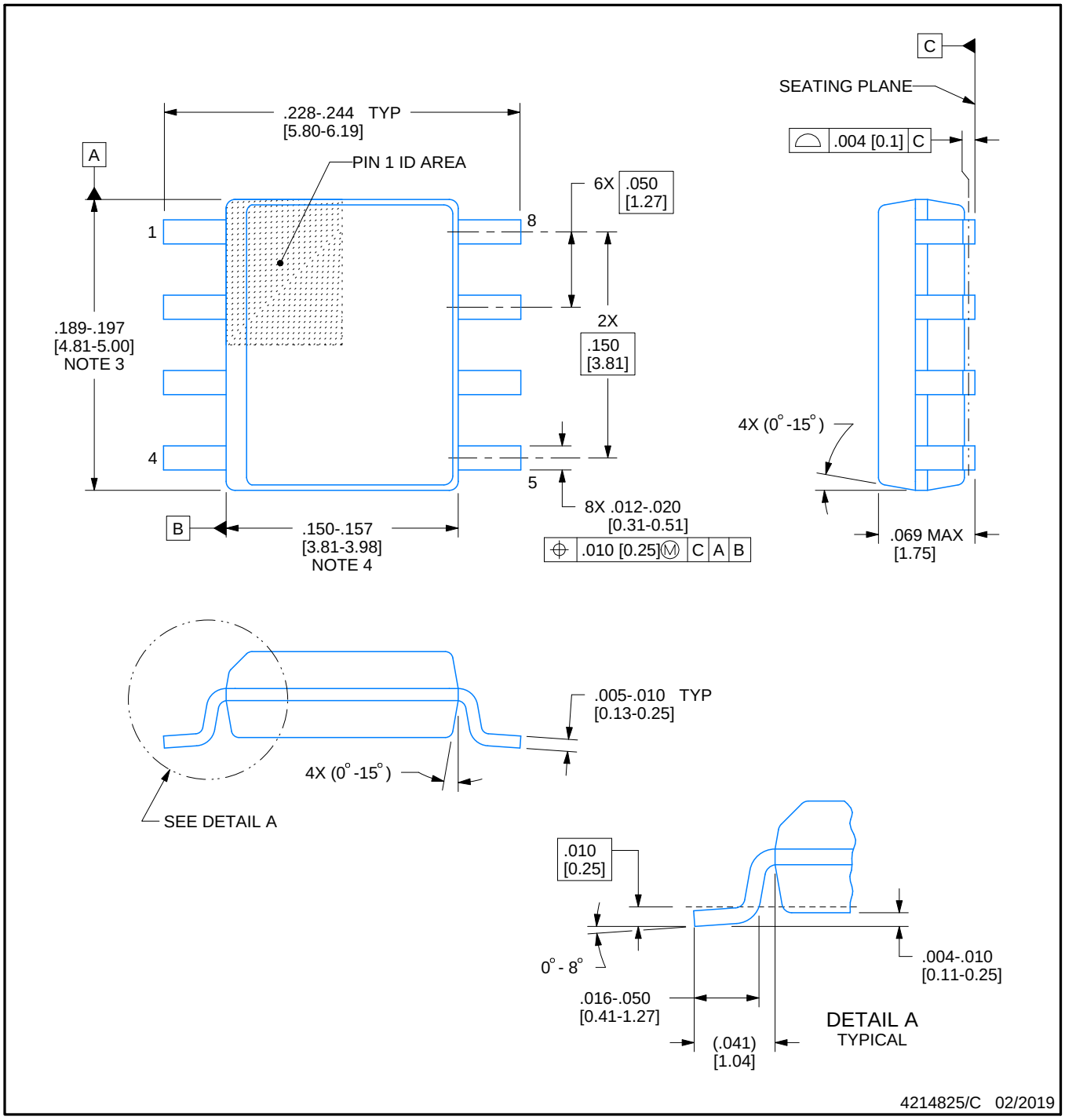


PACKAGE OUTLINE

D0008A

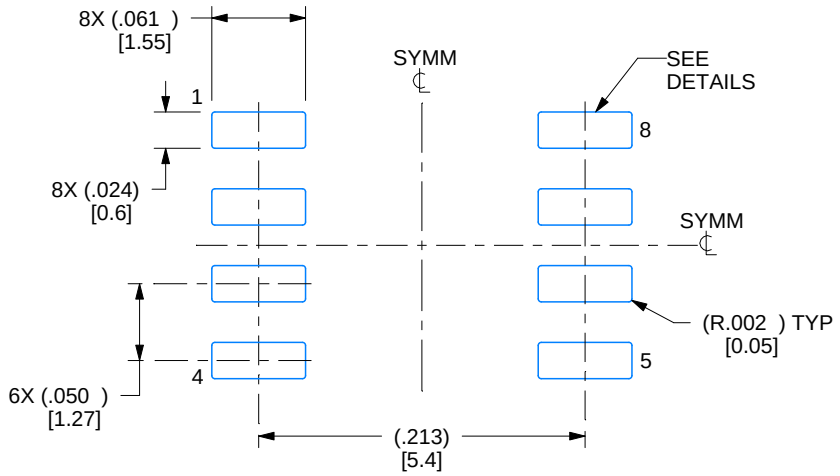
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

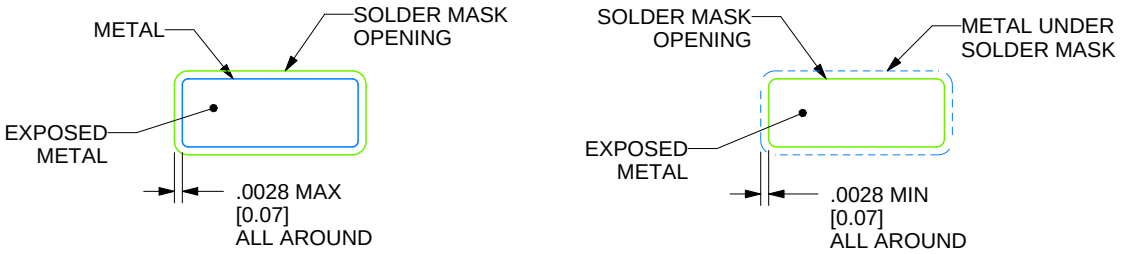


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

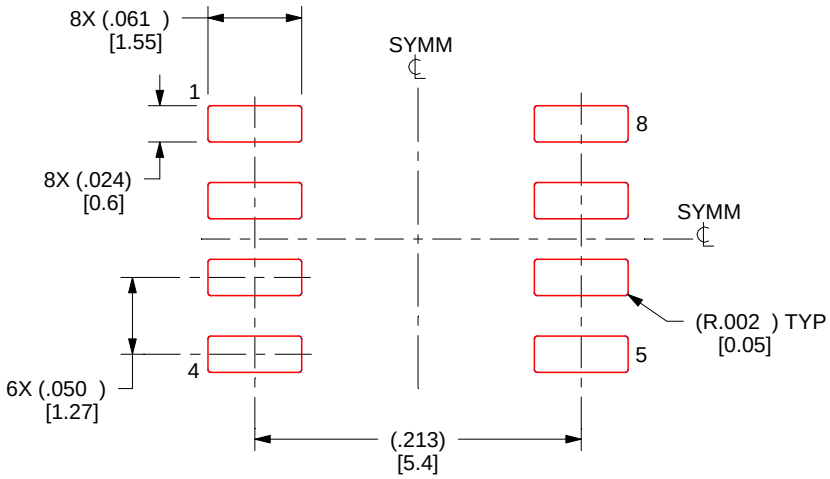


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月