

TPS7H401x-SP および TPS7H401x-SEP 4.5V ~ 14V 入力、 3A および 6A、放射線耐性強化、同期整流降圧コンバータ

1 特長

- 吸収線量 (TID) 特性評価済み
 - 放射線耐性保証 (RHA): 最大 100krad(Si)
- シングル イベント効果 (SEE) の特性
 - シングル イベント ラッチアップ (SEL)、シングル イベント パーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の最大線エネルギー付与 (LET) = 75MeV-cm²/mg に対する耐性
 - シングル イベント機能割り込み (SEFI) および シングル イベント過渡 (SET) の最大 LET = 75MeV-cm²/mg に対する耐性
- 4.5V ~ 14V の入力電圧範囲
- 6A (TPS7H4012) または 3A (TPS7H4013) の最大出力電流
- 高効率 (VIN = 12V、VOUT = 3.3V、f_{sw} = 500kHz 時の代表値)
 - 1A で 88%
 - 3A で 92%
 - 6A で 91%
- 33mΩ (HS) および 27mΩ (LS) MOSFET を内蔵 (12V 時の標準値)
- 柔軟なスイッチング周波数オプション:
 - 100kHz~1MHz、高精度 (±15% 以上)、調整可能な内部発振器
 - 100kHz~1MHz の外部同期機能
- ライン、温度、放射線の全範囲にわたる 0.6V ±0.83% の電圧リファレンス
- プリバイアス出力へのスタートアップをサポート
- 調整可能な勾配補償とソフトスタート
- 調整可能な入力イネーブルとパワーグッド出力による電源シーケンシング
- 低電圧および過電圧用パワーグッド出力モニター
- 反転昇降圧トポロジをサポート
- ASTM E595 に準拠したガス排出試験済みのプラスチックパッケージ
- 軍用温度範囲 (-55°C~125°C) を供給可能

2 アプリケーション

- 人工衛星のポイント オブ ロード電源
- 衛星用電源システム (EPS)
- 通信ペイロード
- レーダー画像処理ペイロード
- 放射線耐性強化電源

3 説明

TPS7H401x デバイスは、14V の同期整流降圧コンバータで、宇宙環境での使用に最適化されています。TPS7H4012 は 6A デバイスで、TPS7H4013 は 3A デバイスです。このピーク電流モード コンバータは、優れた過渡性能と部品点数の低減により、高効率を実現しています。

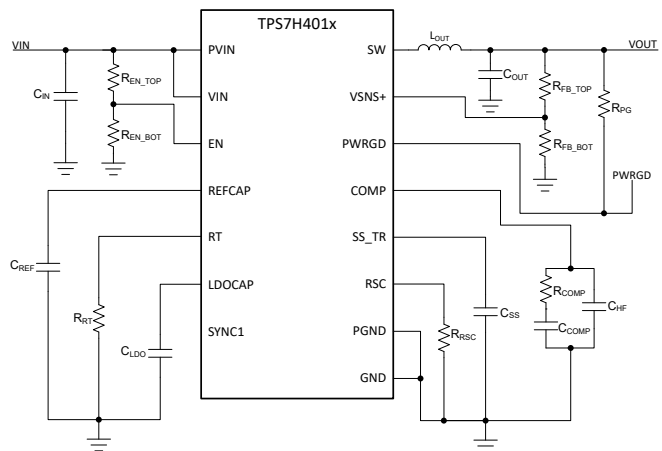
TPS7H401x は電圧範囲が広いいため、12V または 5V レールから直接変換するポイント オブ ロードレギュレータとして使用できます。起動時の出力電圧ランプは、SS_TR ピンによって制御されます。EN および PWRGD ピンにより電源シーケンスが可能です。

さらに、各デバイスに最適化された電流制限、柔軟なスイッチング周波数、構成可能な補償機能など、さまざまな機能が搭載されています。

製品情報

部品番号 (1)	グレード	パッケージ (2)
5962R2122105VZC ⁽³⁾	QMLV-RHA	20 ピン セラミック 7.84mm × 12.93mm 質量は未定
5962R2122106VZC ⁽³⁾		
TPS7H4012HLC/EM ⁽³⁾	エンジニアリング サンプル	
TPS7H4013HLC/EM ⁽³⁾		
5962R2122103PYE	QMLP-RHA	44 ピン プラスチック 6.10mm × 14.00mm 質量 = 218mg
5962R2122104PYE		
TPS7H4012MDDWTSEP	SEP	
TPS7H4013MDDWTSEP		

- (1) 詳細は、[デバイス オプション表](#)をご覧ください。
- (2) 寸法と質量の値は公称値です。
- (3) 製品プレビュー。



概略回路図



目次

1 特長.....	1	9.2 機能ブロック図.....	26
2 アプリケーション.....	1	9.3 機能説明.....	27
3 説明.....	1	9.4 デバイスの機能モード.....	42
4 デバイス比較表.....	3	10 アプリケーションと実装.....	43
5 デバイスのオプション表.....	3	10.1 使用上の注意.....	43
6 ピン構成および機能.....	4	10.2 代表的なアプリケーション.....	43
7 仕様.....	6	10.3 電源に関する推奨事項.....	51
7.1 絶対最大定格.....	6	10.4 レイアウト.....	51
7.2 ESD 定格.....	6	11 デバイスおよびドキュメントのサポート.....	53
7.3 推奨動作条件.....	7	11.1 ドキュメントのサポート.....	53
7.4 熱に関する情報.....	7	11.2 ドキュメントの更新通知を受け取る方法.....	53
7.5 電気的特性.....	8	11.3 サポート・リソース.....	53
7.6 品質適合検査.....	12	11.4 商標.....	53
7.7 代表的特性.....	13	11.5 静電気放電に関する注意事項.....	53
8 パラメータ測定情報.....	25	11.6 用語集.....	53
9 詳細説明.....	26	12 改訂履歴.....	54
9.1 概要.....	26	13 メカニカル、パッケージ、および注文情報.....	55

4 デバイス比較表

最大出力電流	デバイス	放射線	差動リモート センス	フレキシブルな同期	電流制限を選択可能	FAULT 入力ピン
12A	TPS7H4011-SP	耐放射線強化	あり	あり	あり	あり
	TPS7H4011-SEP	耐放射線				
6A	TPS7H4012-SP	耐放射線強化	なし	なし	なし	なし
	TPS7H4012-SEP	耐放射線				
3A	TPS7H4013-SP	耐放射線強化	なし	なし	なし	なし
	TPS7H4013-SEP	耐放射線				

5 デバイスのオプション表

ジェネリック型番	放射線定格 ⁽¹⁾	グレード ⁽²⁾	パッケージ	発注用製品型番
TPS7H4012-SP	TID: 100 krad(Si) RLAT、 DSEE: 75 MeV-cm ² /mg まで耐 性あり	QMLV-RHA	20 ピン CFP HLC	5962R2122105VZC ⁽⁴⁾
		QMLP-RHA	44 ピン HTSSOP DDW	5962R2122103PYE
	なし	エンジニアリングモデル ⁽³⁾	20 ピン CFP HLC	TPS7H4012HLC/EM ⁽⁴⁾
TPS7H4012-SEP	TID: 50 krad(Si) RLAT、 DSEE: 43 MeV-cm ² /mg まで耐 性あり	宇宙向けに強化されたブ ラスチック	44 ピン HTSSOP DDW	TPS7H4012MDDWTSEP
TPS7H4013-SP	TID: 100 krad(Si) RLAT、 DSEE: 75 MeV-cm ² /mg まで耐 性あり	QMLV-RHA	20 ピン CFP HLC	5962R2122106VZC ⁽⁴⁾
		QMLP-RHA	44 ピン HTSSOP DDW	5962R2122104PYE
	なし	エンジニアリングモデル ⁽³⁾	20 ピン CFP HLC	TPS7H4013HLC/EM ⁽⁴⁾
TPS7H4013-SEP	TID: 50 krad(Si) RLAT、 DSEE: 43 MeV-cm ² /mg まで耐 性あり	宇宙向けに強化されたブ ラスチック	44 ピン HTSSOP DDW	TPS7H4013MDDWTSEP
SN0020HLC	該当なし	メカニカル「ダミー」パッケ ージ (ダイなし)	20 ピン CFP HLC	SN0020HLC ⁽⁴⁾

- (1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
- (2) 部品のグレードについての詳細は、[部品のグレード](#)をご覧ください。
- (3) これらのユニットは、技術的な評価のみを目的としています。非標準のフローで処理されています (バーインがない、25°Cでのテストしか行わないなど)。これらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。
- (4) 製品プレビュー。

6 ピン構成および機能

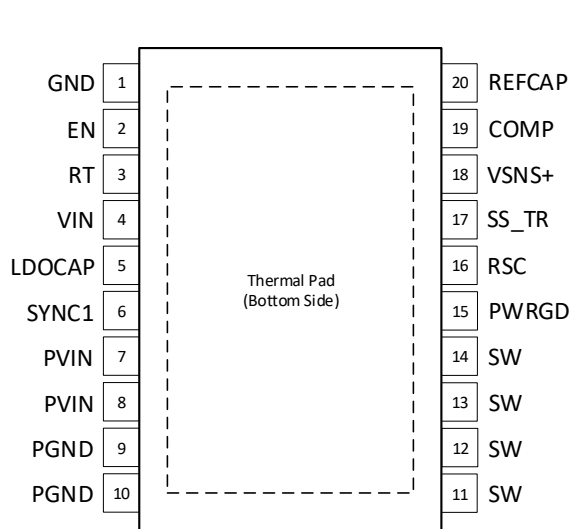


図 6-1. HLC パッケージ、20 ピン CFP
(上面図)

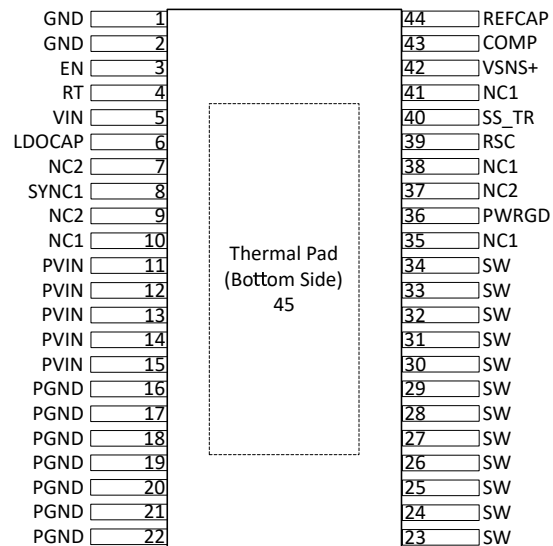


図 6-2. DDW パッケージ、44 ピン HTSSOP
(上面図)

表 6-1. ピンの機能

名称	ピン		I/O ⁽¹⁾	説明
	CFP (20)	HTSSOP (44)		
GND	1	1, 2	—	グラウンド。制御回路用のリターン。
EN	2	3	I	イネーブル。このピンを High に駆動するとデバイスがイネーブルになり、Low に駆動するとデバイスがディセーブルになります。VIN と GND の間の抵抗デバイダを使用して、本デバイスのターンオンレベルを設定できます。
RT	3	4	I/O	RT と GND との間に抵抗を接続することで、コンバータのスイッチング周波数が設定されます。スイッチング周波数範囲は 100kHz ~ 1MHz です。デバイスが外部クロックを使用するように構成されている場合、このピンはフローティングのままにするか、外部クロックが失われた際のバックアップ周波数を提供するために抵抗を使用することができます。
VIN	4	5	I	入力電圧。スイッチングレギュレータの制御回路用電源。VIN は PVIN と同じ電圧にする必要があるため、VIN と PVIN を外部で接続することを推奨します。
LDOCAP	5	6	O	リニアレギュレータの出力コンデンサピン。内部のリニアレギュレータ用に、このピンに 1μF コンデンサを配置する必要があります。出力電圧 AVDD は公称 5V です。このピンには、外部回路を追加して負荷を接続しないでください。
SYNC1	6	8		同期ピン 1。このピンは、外部クロックの入力として使用されます。SYNC1 では、SYNC1 と 180 度位相がずれるようにスイッチング周波数を設定します。外部クロックを使用しない場合、ピンへのノイズ結合を防止するため、SYNC1 を GND に接続することを TI では推奨しています。
PVIN	7 ~ 8	11 ~ 15	I	電力段の入力電圧。スイッチングレギュレータの出力段の電源。
PGND	9 ~ 10	16 ~ 22	—	電力段のグラウンド。ローサイドパワー MOSFET のリターン。PCB 上の GND に接続。
SW	11 ~ 14	23 ~ 34	O	スイッチングノードピン。スイッチノードの出力。SW から PGND にショットキー ダイオードを接続することで、内部デバイスのノイズと効率を改善できます。
PWRGD	15	36	O	パワーグッドピン。これはオープンドレインピンです。このピンは、VOUT (VOUT が 7V 未満であることを前提) または希望するロジックレベルにプルアップするために、プルアップ抵抗を使用してください。PWRGD は、出力電圧が設定値の ±5% (代表値) 以内にあるときにアサートされます。出力電圧が設定値の ±8% (代表値) を超えている場合、または故障状態 (サーマルシャットダウン、など) の際に、PWRGD はデアサートされます。

表 6-1. ピンの機能 (続き)

ピン			I/O ⁽¹⁾	説明
名称	CFP (20)	HTSSOP (44)		
RSC	16	39	I/O	スロープ補償ピン。RSC から GND に接続された抵抗によって、目的のスロープ補償が設定されます。
SS_TR	17	40	I/O	ソフトスタートおよびトラッキング。このピンと VSNS- の間に外付けコンデンサを接続することで、内部リファレンスの立ち上がり時間が遅くなります。SS_TR は、トラッキングおよびシーケンシングにも使用できます。
VSNS+	18	42	I	正電圧センス。これはフィードバックピンで、適切な抵抗デバイダを選択することで、公称 0.6V に設定されます。
COMP	19	43	I/O	補償ピン。これは、相互コンダクタンス (OTA) 誤差アンプの出力で、スイッチ電流コンパレータへの入力です。このピンに周波数補償を接続します。
REFCAP	20	44	O	リファレンスコンデンサのピン。内部バンドギャップレファレンスには、470nF の外付けコンデンサが必要です。電圧 V _{BG} は公称 1.2V です。このピンには外部回路を接続しないでください。
NC1	該当なし	10、35、38.41	—	接続なし 1。これらのピンは内部で電氣的に接続されていません。電荷の蓄積を防ぐため、TI ではこれらのピンを GND に接続することを推奨しています。ただし、これらのピンはオープンのままにすることも、GND と VIN の間の任意の電圧に接続することもできます。
NC2	該当なし	7、9、37	—	接続なし 2。これらのピンは内部で接続されています。これらのピンは外部に接続しないでください (電氣的にフローティングのままにする必要があります)。これらのピンは、内部で GND と LDOCAP の間の電圧にプルされます。
サーマルパッド	21	45	—	GND に内部で接続されたサーマルパッド。放熱のため、大きなグランドプレーンに接続します。TI では GND または PGND に電氣的に接続することを推奨していますが、このパッドは必要に応じて電氣的に未接続のままにすることもできます。
金属製ふた	ふた	該当なし	—	GND に内部接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

7 仕様

7.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN, PVIN	-0.3	16	V
	EN, PWRGD, SYNC1	-0.3	7.5	
	VSNS+	-0.3	3.6	
出力電圧	SW	-1	16	V
	SW (80ns 過渡応答)	-3	20	
	LDOCAP	-0.3	7.5	
	RSC, COMP, RT, SS_TR	-0.3	3.6	
	REFCAP	-0.3	1.9	
Vdiff	(GND から露出サーマルパッド)	-0.2	0.2	V
ソース電流	SW		電流制限	A
	PVIN		電流制限	
	PGND		電流制限	
	RT	-100	100	μA
シンク電流	SW		電流制限	A
	PGND		電流制限	
	COMP	-200	200	μA
	PWRGD	-0.1	5	mA
動作時接合部温度		-55	150	°C
保管温度、T _{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

7.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

7.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
入力電圧	VIN, PVIN ⁽¹⁾	4.5		14	V
	EN, PWRGD	0		7	
	SYNC1 ⁽²⁾	0		5.3	
		0		VIN	
	VSNS+	0	0.6	1	
出力電圧	SW	0		14	V
	RSC, COMP, RT	0		3.3	
	SS_TR	0	0.6	1	
出力電流	SW _(avg) , TPS7H4012	0		6	A
	SW _(avg) , TPS7H4013	0		3	A
	RT	-100		100	μA
入力電流	COMP	-200		200	μA
	PWRGD	0		2	mA
動作時接合部温度	T _J	-55		125	°C

- (1) Vin は、同時に PVIN とスタートアップと等しい必要があります。通常、これは、それらと同じ電圧レールに接続することで達成されます。
- (2) SYNC1 の最大入力電圧は、VIN と 5.3V の低い方に設定する必要があります。

7.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7H4012-SP TPS7H4013-SP	TPS7H4012-SP、-SEP TPS7H4013-SP、-SEP	単位
		CFP HLC	DDW (HTSSOP)	
		20 ピン	44 ピン	
R _{θJA}	接合部から周囲への熱抵抗	22.3	21.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	4.0	8.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	0.31	0.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	5.8	4.4	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.9	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	5.8	4.4	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』(SPRA953) を参照してください。

7.5 電気的特性

特に記述のない限り、 $4.5V \leq V_{in} \leq 14V$ 、 $PV_{in} = V_{in}$ 、開ループ構成、 $I_{OUT} = 0A$ 、動作温度範囲 ($T_A = -55^\circ C \sim 125^\circ C$) にわたる仕様。QML RHA および SEP デバイス⁽¹⁾ においてサブグループ番号がある場合は、 $T_A = 25^\circ C$ における RLAT も含まれます

パラメータ		テスト条件		サブグループ 番号 ⁽²⁾	最小値	標準値	最大値	単位
電源と電流								
V_{UVLOR_PVIN}	PVIN 内部 UVLO 立ち上がりスレッシュホールド			1, 2, 3	3.2	3.4	3.6	V
$V_{UVLOHYST_PVIN}$	PVIN 内部 UVLO ヒステリシス			1, 2, 3	425	450	500	mV
V_{UVLOR_VIN}	VIN 内部 UVLO 立ち上がりスレッシュホールド			1, 2, 3	3.4	3.6	3.8	V
$V_{UVLOHYST_VIN}$	VIN 内部 UVLO ヒステリシス			1, 2, 3	140	155	170	mV
I_{SHDN_VIN}	VIN のシャットダウン時消費電流	$V_{EN} = 0V$	VIN = 4.5V	1, 2, 3	2		2.9	mA
			VIN = 14V	1, 2, 3	2		3	
I_{SHDN_PVIN}	PVIN のシャットダウン時消費電流	$V_{EN} = 0V$	PVIN = 4.5V	1, 2, 3	2.6		3.5	mA
			PVIN = 14V	1, 2, 3	3.5		4.7	
I_{Q_VIN}	VIN 入力動作静止電流 (スイッチングなし)	$V_{EN} = 7V$, $VSNS+ = 1V$		1, 2, 3	2.6		5	mA
イネーブル								
$V_{EN(rising)}$	イネーブル立ち上がりスレッシュホールド (ターンオン)			1, 2, 3	0.555	0.61	0.655	V
$V_{EN(falling)}$	イネーブル立ち下がりスレッシュホールド (ターンオフ)			1, 2, 3	0.455	0.51	0.554	
$t_{EN(delay)}$	伝播遅延をイネーブルにします	EN High から SW High、SS ピンがオープン		1, 2, 3	52		100	μs
$I_{EN(LKG)}$	イネーブル入力リーク電流	$V_{EN} = 7V$		1, 2, 3	2		100	nA
電圧リファレンスおよびセンス								
V_{REF}	内部電圧リファレンス (エラーアンプ V_{IO} を含む)	⁽³⁾ 参照	$T_A = -55^\circ C$	3	0.594	0.598	0.603	V
			$T_A = 25^\circ C$	1	0.596	0.6	0.603	
			$T_A = 125^\circ C$	2	0.597	0.6	0.604	
$V_{REF(internal)}$	内部電圧リファレンス (エラーアンプを含まない)	$V_{REF(internal)} = V_{SS_TR}$		1, 2, 3	0.593	0.6	0.606	V
V_{BG}	バンドギャップ電圧 (REFCAP ピンでの電圧)	$C_{REFCAP} = 470nF$		1, 2, 3	1.184	1.2	1.222	V
$I_{VSNS+(LKG)}$	VSNS+ 入力リーク電流	$VSNS+ = 0.6V$		1, 2, 3	10		30	nA
エラーアンプ								
V_{IO}	エラーアンプ入力オフセット電圧	$VSNS+ = 0.6V$		1, 2, 3	-2.9		2.9	mV
g_{mEA}	エラーアンプの相互コンダクタンス	$-10\mu A < I_{COMP} < 10\mu A$, $V_{COMP} = 1V$	$T_A = -55^\circ C$	11	1400	2050	2700	μs
			$T_A = 25^\circ C$	9	1200	1650	2100	
			$T_A = 125^\circ C$	10	1000	1250	1500	
EA_{DC}	エラーアンプの DC ゲイン	$VSNS+ = 0.6V$			11500		V/V	
EA_{ISRC}	エラーアンプソース	$V_{COMP} = 1V$, 100mV 入力オーバードライブ		1, 2, 3	90	125	200	μA
EA_{ISNK}	エラーアンプのシンク				90	125	200	
EA_{Ro}	エラーアンプ出力抵抗				7		M Ω	
EA_{BW}	エラーアンプの帯域幅				9		MHz	
g_{mps}	出力段のトランスコンダクタンス	$V_{COMP} = 0.7V$	TPS7H4012、HTSSOP	1, 2, 3	8	11.2	14.5	S
		$V_{COMP} = 0.7V$	TPS7H4012、CFP		11			
		$V_{COMP} = 0.75V$	TPS7H4013、HTSSOP	1, 2, 3	3.5	6.2	9.2	
		$V_{COMP} = 0.75V$	TPS7H4013、CFP		7.2			
過電流保護								

7.5 電気的特性 (続き)

特に記述のない限り、 $4.5V \leq V_{in} \leq 14V$ 、 $V_{IN} = V_{IN}$ 、開ループ構成、 $I_{OUT} = 0A$ 、動作温度範囲 ($T_A = -55^\circ C \sim 125^\circ C$) にわたる仕様。QML RHA および SEP デバイス⁽¹⁾ においてサブグループ番号がある場合は、 $T_A = 25^\circ C$ における RLAT も含まれます

パラメータ		テスト条件		サブグループ ⁽²⁾	最小値	標準値	最大値	単位	
I_{OC_HS1}	ハイサイドスイッチの電流制限値スレッショルド 1 ⁽⁴⁾	$R_{SHORT} = 100m\Omega$	TPS7H4012, HTSSOP	1, 2, 3		9.7	12.2	A	
			TPS7H4012, CFP			9.5			
			TPS7H4013, HTSSOP	1, 2, 3		5.6	7.7		
			TPS7H4013, CFP			5.5			
I_{OC_HS2}	ハイサイドスイッチの電流制限値スレッショルド 2	$V_{IN} = 12V$, $R_{SHORT} \approx 4m\Omega$	TPS7H4012, HTSSOP	1, 2, 3		11.8		A	
			TPS7H4012, CFP			11.5			
			TPS7H4013, HTSSOP	1, 2, 3		6.8			
			TPS7H4013, CFP			6.6			
$I_{OC_LS(sink)}$	ローサイドスイッチの吸い込み過電流スレッショルド	$T_A = -55^\circ C$		3		2		A	
		$T_A = 25^\circ C$		1		1.9			
		$T_A = 125^\circ C$		2		1.7			
COMP _{SHDN}	COMP シャットダウン電圧			1, 2, 3	1.7	1.9	2.1	V	
t _{COMP(delay)}	COMP シャットダウン遅延					30		μs	
ソフトスタートおよびトラッキング									
t _{SS}	ソフトスタート時間	$V_{SS_TR} 10\% \sim 90\%$, $V_{OUT(set)} = 3.3V$	C _{SS} = 5.6nF	9, 10, 11		1.5		ms	
			C _{SS} = 22nF	9, 10, 11		4.7	5.8		7.3
			C _{SS} = 100nF	9, 10, 11		24.7			
R _{SS(discharge)}	ソフトスタート放電ブルダウン抵抗			1, 2, 3	200	442	700	Ω	
SS _{startup}	スタートアップ前の SS 上の最大電圧 ⁽⁵⁾					20		mV	
スロープ補償									
SC	スロープ補償, TPS74012	$f_{sw} = 100kHz$, $V_{IN} = 12V$	R _{SC} = 499k Ω			-0.8		A/ μs	
			R _{SC} = 1.5M Ω			-0.3			
			R _{SC} = 100k Ω			-4.2			
			R _{SC} = 499k Ω			-1.4			
			R _{SC} = 1.5M Ω			-1			
			R _{SC} = 100k Ω			-5.5			
		$f_{sw} = 500kHz$, $V_{IN} = 12V$	R _{SC} = 499k Ω			-2.4			
			R _{SC} = 1.5M Ω			-2.3			
			R _{SC} = 100k Ω			-0.5			
SC	スロープ補償, TPS74013	$f_{sw} = 100kHz$, $V_{IN} = 12V$	R _{SC} = 499k Ω			-0.2		A/ μs	
			R _{SC} = 1.5M Ω			-2.8			
			R _{SC} = 100k Ω			-1.2			
		$f_{sw} = 500kHz$, $V_{IN} = 12V$	R _{SC} = 499k Ω			-0.8			
			R _{SC} = 1.5M Ω			-4			
			R _{SC} = 100k Ω			-2			
		$f_{sw} = 1000kHz$, $V_{IN} = 12V$	R _{SC} = 499k Ω			-1.5			
			R _{SC} = 1.5M Ω						
			R _{SC} = 100k Ω						
最小オン時間とデッドタイム									
t _{on(min)}	最小オン時間	V_{IN} の 50%~50%、 $I_{sw} = 2A$	V _{IN} = 4.5V	9, 10, 11		210	235	ns	
			V _{IN} = 5V	9, 10, 11		213	250		
			V _{IN} = 12V	9, 10, 11		199	250		
			V _{IN} = 14V	9, 10, 11		199	250		
t _{off(min)}	最小オフ時間	$I_{sw} = 2A$				306		ns	
t _{dead}	デッドタイム					70		ns	

7.5 電気的特性 (続き)

特に記述のない限り、 $4.5V \leq V_{in} \leq 14V$ 、 $PV_{in} = V_{in}$ 、開ループ構成、 $I_{OUT} = 0A$ 、動作温度範囲 ($T_A = -55^\circ C \sim 125^\circ C$) にわたる仕様。QML RHA および SEP デバイス⁽¹⁾ においてサブグループ番号がある場合は、 $T_A = 25^\circ C$ における RLAT も含まれます

パラメータ		テスト条件		サブグループ ⁽²⁾	最小値	標準値	最大値	単位
スイッチング周波数および同期								
f_{SW}	RT にプログラムされたスイッチング周波数	$R_{RT} = 511k\Omega$		4, 5, 6	90	100	120	kHz
		$R_{RT} = 90.9k\Omega$		4, 5, 6	450	500	550	
		$R_{RT} = 40.2k\Omega$	$V_{in} = 4.5V$	4, 5, 6	850	1000	1150	
$5 \leq V_{in} \leq 14$	4, 5, 6		870	1000	1170			
t_{SYNC_D}	SYNC1 から SW への遅延	SYNC1 入力、 図 8-2 を参照	$V_{in} = 4.5V$	9, 10, 11	150	256	390	ns
			$5V \leq V_{in} \leq 14V$	9, 10, 11	160	240	310	
			$V_{in} = 12V$ 、 $I_{OUT} = 3A$			246		
$V_{SYNC1(H)}$	SYNC1 入力 High スレッショルド			1, 2, 3			1.7	V
$V_{SYNC1(L)}$	SYNC1 入力 Low スレッショルド			1, 2, 3	0.7			
f_{SYNC}	SYNC1 入力周波数範囲			4, 5, 6	100		1000	kHz
D_{SYNC}	SYNC1 入力デューティサイクル範囲	外部クロック デューティ サイクル		4, 5, 6	40%		60%	
$t_{CLK_E_I}$	外部クロックから内部クロックまでの検出時間	RT が実装済み		9, 10, 11	2		5	$(1/f_{sw})$ s
$t_{CLK_I_E}$	内部クロックから外部クロックへの検出時間	RT が実装済み		9, 10, 11	1		2	$(1/f_{sw})$ s
パワーグッドとサーマルシャットダウン								
$PWRGD_{LOW_F\%}$	PWRGD 立ち下がリスレッショルド (フォルト)、Low	PWRGD のスレッショルド (V_{REF} の割合として $VSNS+$)	$VSNS+$ 立ち下がリ	1, 2, 3	89%	92%	95%	
$PWRGD_{LOW_R\%}$	PWRGD 立ち上がりスレッショルド (良好)、Low		$VSNS+$ 立ち上がり	1, 2, 3	92%	95%	98%	
$PWRGD_{HIGH_R\%}$	PWRGD 立ち上がりスレッショルド (フォルト)、High		$VSNS+$ 立ち上がり	1, 2, 3	105%	108%	112%	
$PWRGD_{HIGH_F\%}$	PWRGD 立ち下がリスレッショルド (良好)、High		$VSNS+$ 立ち下がリ	1, 2, 3	102%	105%	109%	
$I_{PWRGD(LKG)}$	出力 High リーク	$VSNS+ = V_{REF}$ 、 $V_{PWRGD} = 7V$		1, 2, 3	50		500	nA
$V_{PWRGD(OL)}$	パワーグッド出力 Low	$I_{PWRGD(SINK)} = 0mA \sim 2mA$		1, 2, 3	250		300	mV
$V_{IN_MIN_PWRGD}$	有効な PWRGD 出力の最小 V_{in}	V_{PWRGD} が $100\mu A$ で $0.5V$ 以下のときに測定		1, 2, 3	1		2	V
$T_{SD(enter)}$	サーマルシャットダウン入口温度				175			°C
$T_{SD(exit)}$	サーマルシャットダウン出口温度				140			
$T_{SD(HYS)}$	サーマルシャットダウンヒステリシス				35			
MOSFET								
$R_{DS_ON_HS}$	TPS7H4012, HTSSOP の $I_{HS} = 6A$ 時のハイサイドスイッチ抵抗	$PV_{in} = 4.5V$	$T_A = -55^\circ C$	3	29		42	mΩ
			$T_A = 25^\circ C$	1	37		48	
			$T_A = 125^\circ C$	2	47		63	
		$5V \leq PV_{in} \leq 14V$	$T_A = -55^\circ C$	3	26		38	
			$T_A = 25^\circ C$	1	33		46	
			$T_A = 125^\circ C$	2	41		56	
$R_{DS_ON_LS}$	TPS7H4012, HTSSOP の $I_{LS} = 6A$ 時のローサイドスイッチ抵抗	$PV_{in} = 4.5V$	$T_A = -55^\circ C$	3	20		31	mΩ
			$T_A = 25^\circ C$	1	28		39	
			$T_A = 125^\circ C$	2	41		50	
		$5V \leq PV_{in} \leq 14V$	$T_A = -55^\circ C$	3	20		29	
			$T_A = 25^\circ C$	1	27		37	
			$T_A = 125^\circ C$	2	39		48	

7.5 電気的特性 (続き)

特に記述のない限り、 $4.5V \leq V_{in} \leq 14V$ 、 $PV_{IN} = V_{IN}$ 、開ループ構成、 $I_{OUT} = 0A$ 、動作温度範囲 ($T_A = -55^\circ C \sim 125^\circ C$) にわたる仕様。QML RHA および SEP デバイス⁽¹⁾ においてサブグループ番号がある場合は、 $T_A = 25^\circ C$ における RLAT も含まれます

パラメータ		テスト条件		サブグループ ⁽²⁾	最小値	標準値	最大値	単位
$R_{DS_ON_HS}$	TPS7H4012, CFP の $I_{HS} = 6A^{(6)}$ 時のハイサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		43	58	mΩ
			$T_A = 25^\circ C$	1		55	66	
			$T_A = 125^\circ C$	2		69	84	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		41	55	
			$T_A = 25^\circ C$	1		53	65	
			$T_A = 125^\circ C$	2		67	78	
$R_{DS_ON_LS}$	TPS7H4012, CFP の $I_{LS} = 6A^{(6)}$ 時のローサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		30	45	mΩ
			$T_A = 25^\circ C$	1		40	56	
			$T_A = 125^\circ C$	2		56	66	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		28	40	
			$T_A = 25^\circ C$	1		38	50	
			$T_A = 125^\circ C$	2		53	61	
$R_{DS_ON_HS}$	TPS7H4013, HTSSOP の $I_{HS} = 3A$ 時のハイサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		28	41	mΩ
			$T_A = 25^\circ C$	1		36	47	
			$T_A = 125^\circ C$	2		46	62	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		26	38	
			$T_A = 25^\circ C$	1		33	46	
			$T_A = 125^\circ C$	2		41	56	
$R_{DS_ON_LS}$	TPS7H4013, HTSSOP の $I_{LS} = 3A$ 時のローサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		20	31	mΩ
			$T_A = 25^\circ C$	1		28	39	
			$T_A = 125^\circ C$	2		41	50	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		20	29	
			$T_A = 25^\circ C$	1		27	37	
			$T_A = 125^\circ C$	2		39	48	
$R_{DS_ON_HS}$	TPS7H4013, CFP の $I_{HS} = 3A^{(6)}$ 時のハイサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		42	57	mΩ
			$T_A = 25^\circ C$	1		54	65	
			$T_A = 125^\circ C$	2		68	83	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		40	54	
			$T_A = 25^\circ C$	1		52	64	
			$T_A = 125^\circ C$	2		66	77	
$R_{DS_ON_LS}$	TPS7H4013, CFP の $I_{LS} = 3A^{(6)}$ 時のローサイド スイッチ抵抗	$PV_{IN} = 4.5V$	$T_A = -55^\circ C$	3		29	44	mΩ
			$T_A = 25^\circ C$	1		39	55	
			$T_A = 125^\circ C$	2		55	65	
		$5V \leq PV_{IN} \leq 14V$	$T_A = -55^\circ C$	3		27	39	
			$T_A = 25^\circ C$	1		37	49	
			$T_A = 125^\circ C$	2		52	60	

- (1) QML RHA デバイスの詳細については 5962R21221 SMD を、SEP デバイスの詳細については VID を参照してください。
- (2) サブグループは QML 部品に適用されます。サブグループの定義については、「品質適合性検査」表を参照してください。
- (3) 出力電圧を設定するには、この V_{REF} の値を使用します。図 8-1 に示すように、非スイッチング構成で測定。
- (4) 詳細については、セクション 9.3.8.1.1 を参照してください。
- (5) 適切なソフトスタート機能を確認するため、SS の電圧が $S_{startup}$ を下回るまで、本デバイスはスタートアップを開始しません。
- (6) リード長が約 3mm のボンで測定。

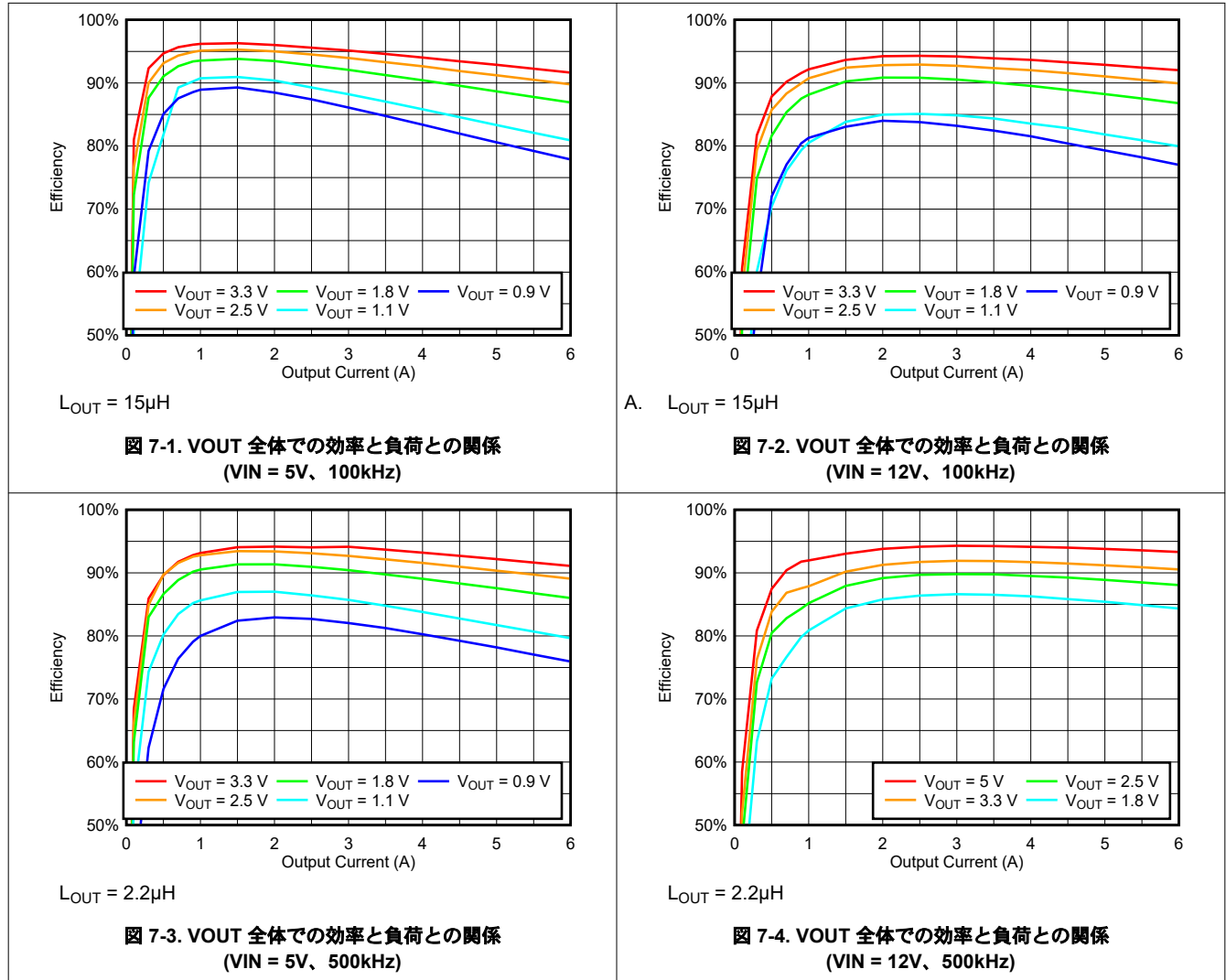
7.6 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

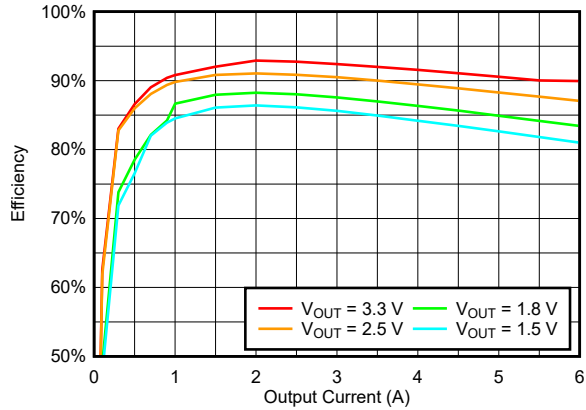
7.7 代表的特性

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。



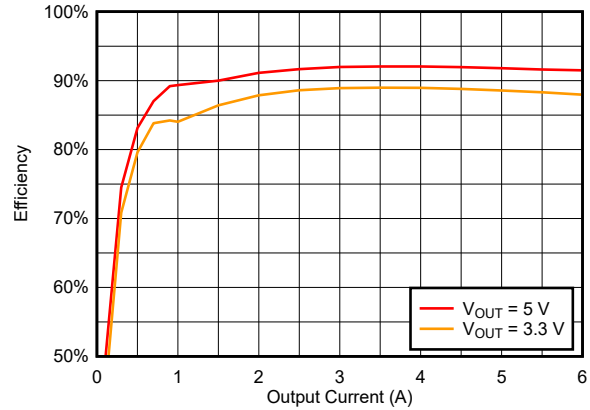
7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、C_{SS} = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。T_A = 25°C (特に記述のない限り)。



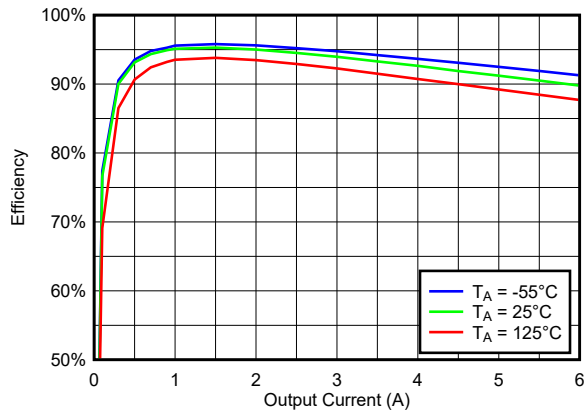
L_{OUT} = 1µH

図 7-5. V_{OUT} 全体での効率と負荷との関係
(VIN = 5V、1MHz)



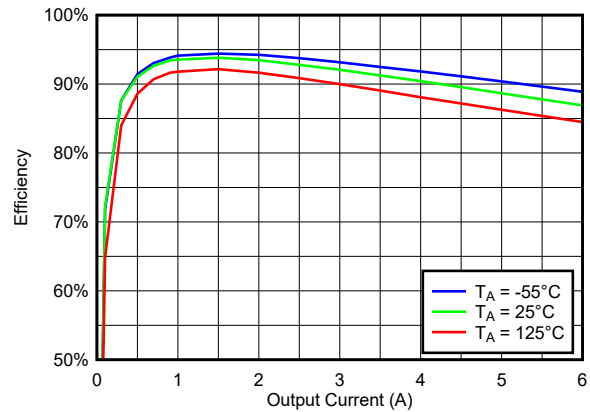
L_{OUT} = 1µH

図 7-6. V_{OUT} 全体での効率と負荷との関係
(VIN = 12V、1MHz)



L_{OUT} = 15µH

図 7-7. 温度全体に対する効率と負荷との関係
(100kHz、VIN = 5V、V_{OUT} = 2.5V)

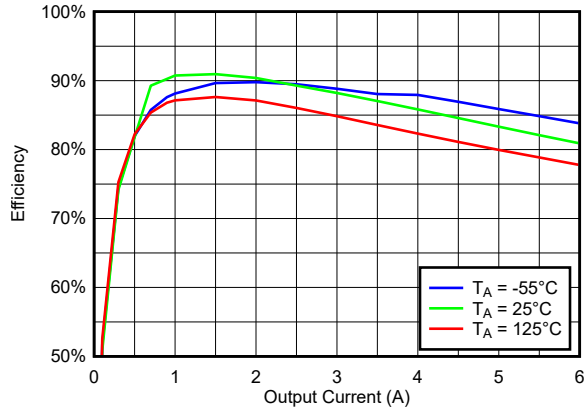


L_{OUT} = 15µH

図 7-8. 温度全体に対する効率と負荷との関係
(100kHz、VIN = 5V、V_{OUT} = 1.8V)

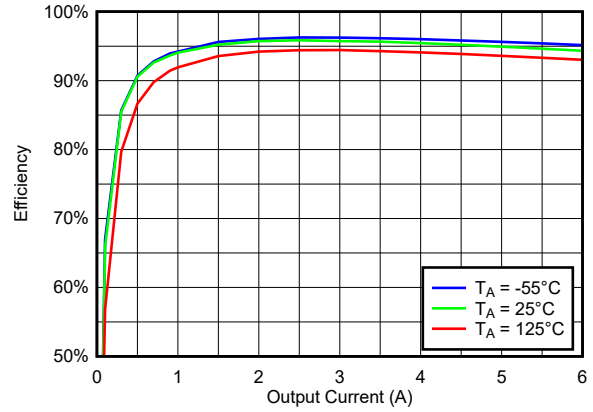
7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。



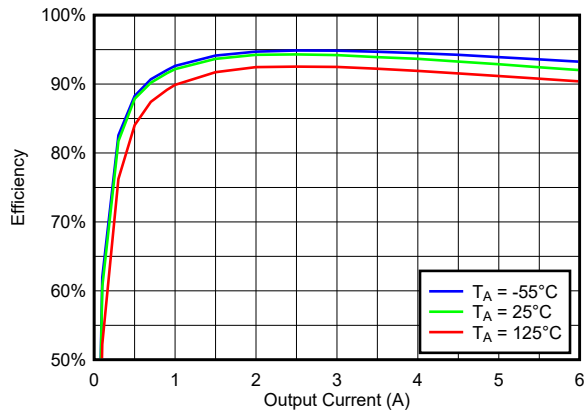
L_{OUT} = 15μH

図 7-9. 温度全体に対する効率と負荷との関係 (100kHz、VIN = 5V、VOUT = 1.1V)



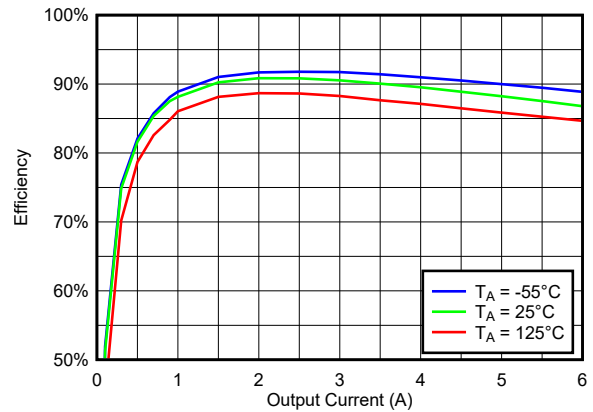
L_{OUT} = 15μH

図 7-10. 温度全体に対する効率と負荷との関係 (100kHz、VIN = 12V、VOUT = 5V)



L_{OUT} = 15μH

図 7-11. 温度全体に対する効率と負荷との関係 (100kHz、VIN = 12V、VOUT = 3.3V)



L_{OUT} = 15μH

図 7-12. 温度全体に対する効率と負荷との関係 (100kHz、VIN = 12V、VOUT = 1.8V)

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、C_{SS} = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。T_A = 25°C (特に記述のない限り)。

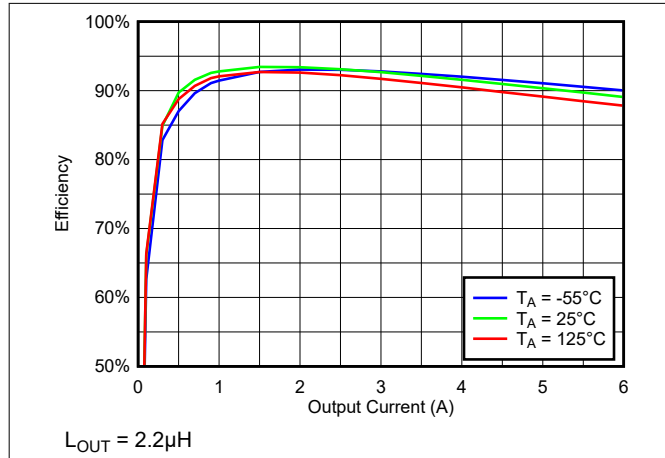


図 7-13. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 5V、VOUT = 2.5V)

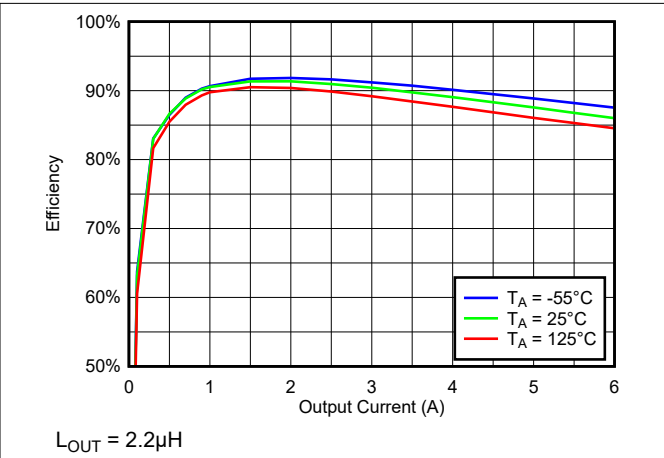


図 7-14. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 5V、VOUT = 1.8V)

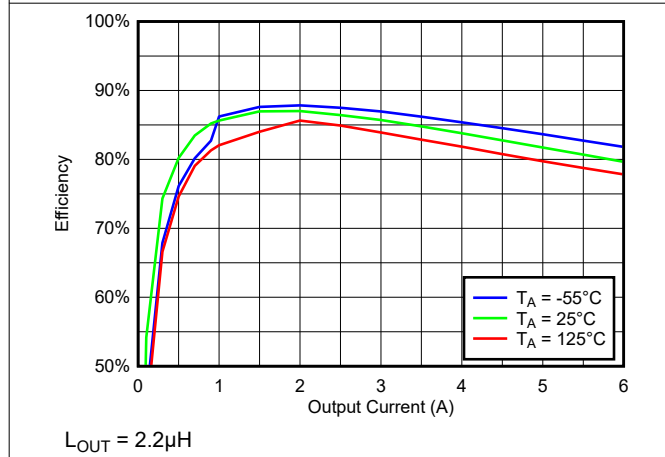


図 7-15. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 5V、VOUT = 1.1V)

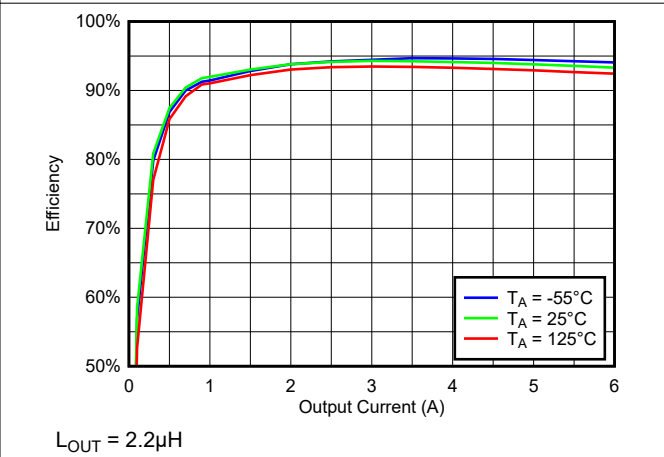
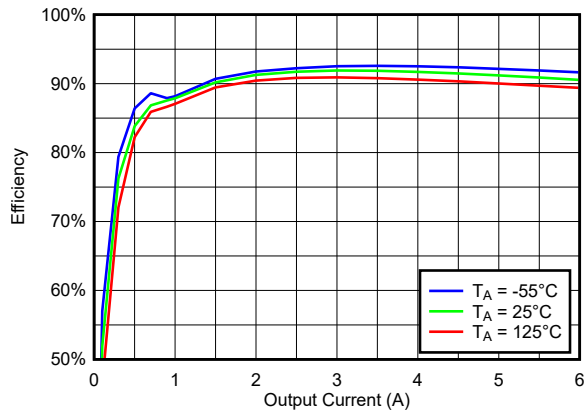


図 7-16. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 12V、VOUT = 5V)

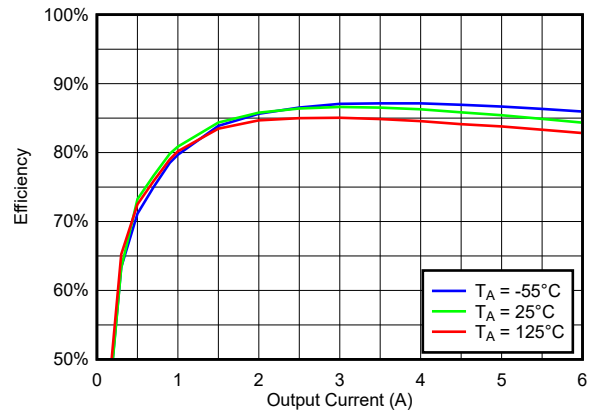
7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。



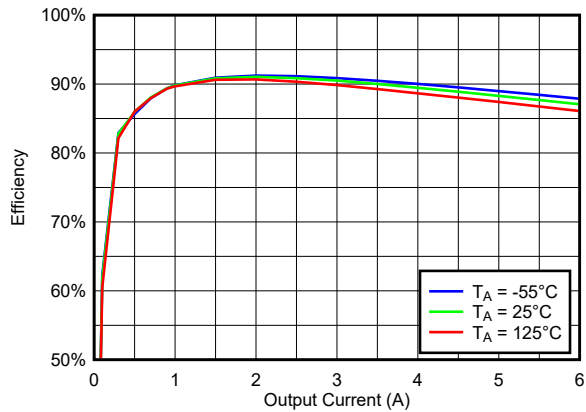
L_{OUT} = 2.2µH

図 7-17. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 12V、VOUT = 3.3V)



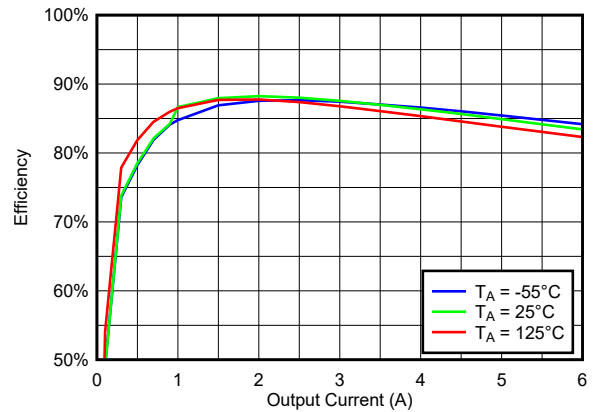
L_{OUT} = 2.2µH

図 7-18. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 12V、VOUT = 1.8V)



L_{OUT} = 1µH

図 7-19. 温度全体に対する効率と負荷との関係 (1MHz、VIN = 5V、VOUT = 2.5V)



L_{OUT} = 1µH

図 7-20. 温度全体に対する効率と負荷との関係 (1MHz、VIN = 5V、VOUT = 1.8V)

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。

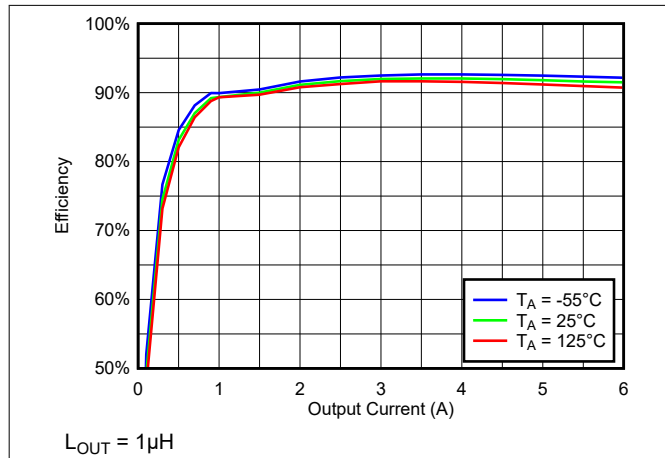


図 7-21. 温度全体に対する効率と負荷との関係 (1MHz、VIN = 12V、VOUT = 5V)

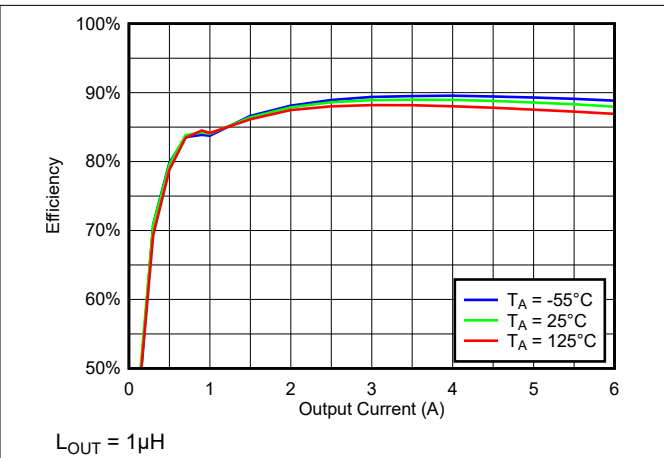


図 7-22. 温度全体に対する効率と負荷との関係 (1MHz、VIN = 12V、VOUT = 3.3V)

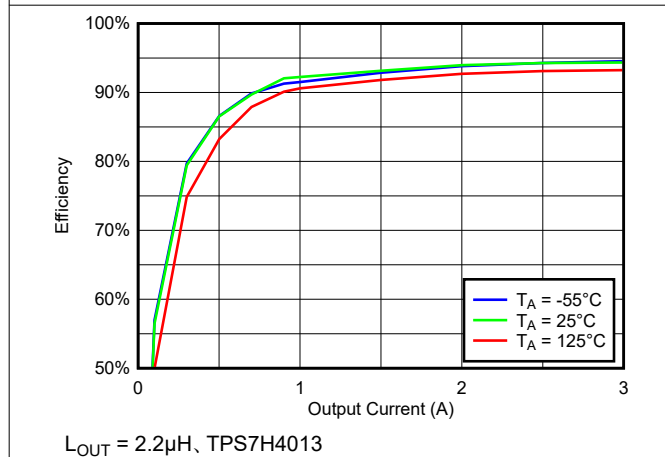


図 7-23. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 12V、VOUT = 5V、TPS7H4013)

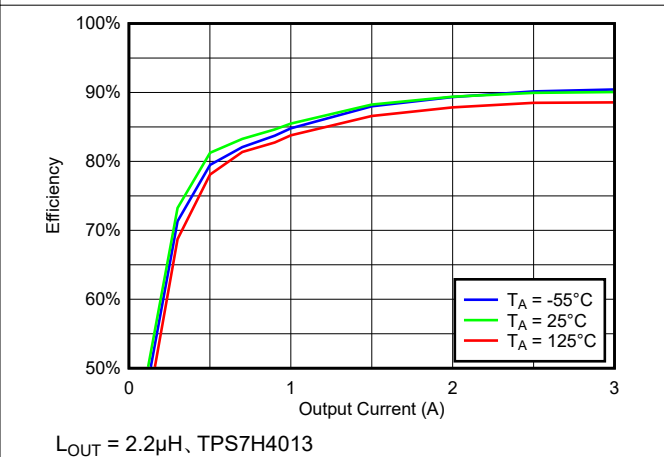


図 7-24. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 12V、VOUT = 2.5V、TPS7H4013)

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。

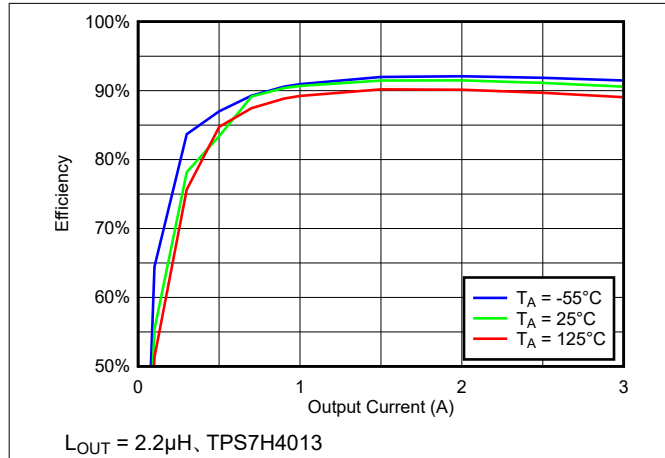


図 7-25. 温度全体に対する効率と負荷との関係 (500kHz、VIN = 5V、VOUT = 1.8V、TPS7H4013)

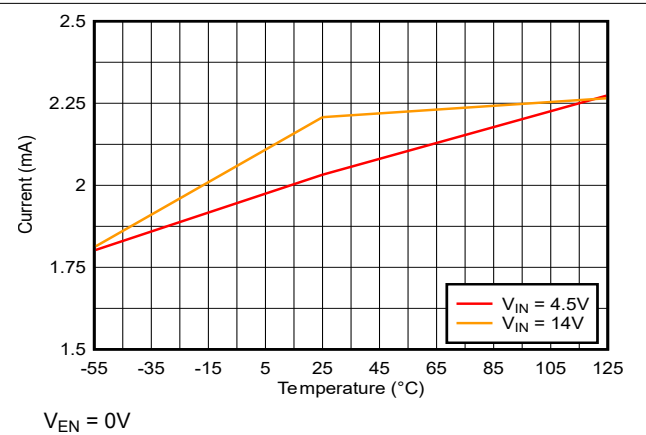


図 7-26. VIN シャットダウン電流と温度との関係

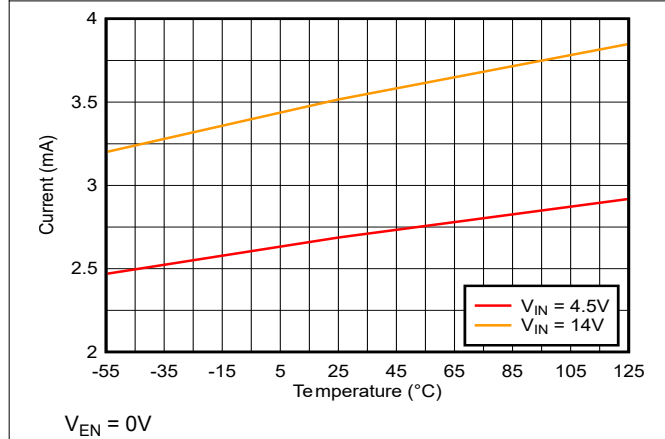


図 7-27. PVIN シャットダウン電流と温度との関係

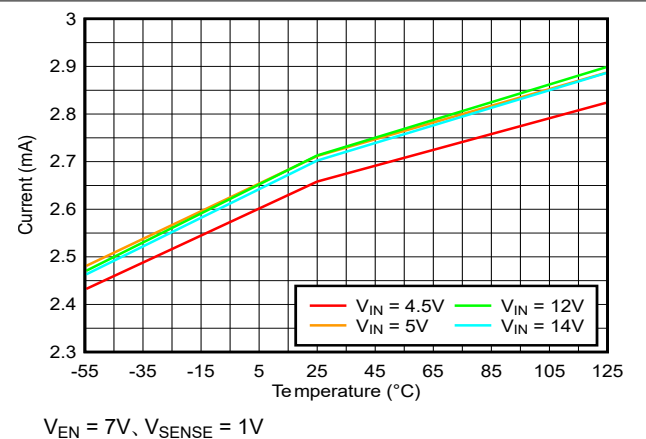


図 7-28. VIN 静止電流 (非スイッチング時) と温度との関係

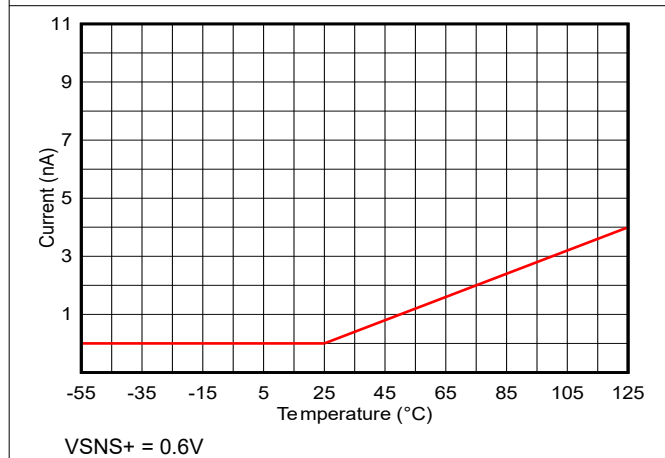


図 7-29. VSNS+ リーク電流と温度との関係

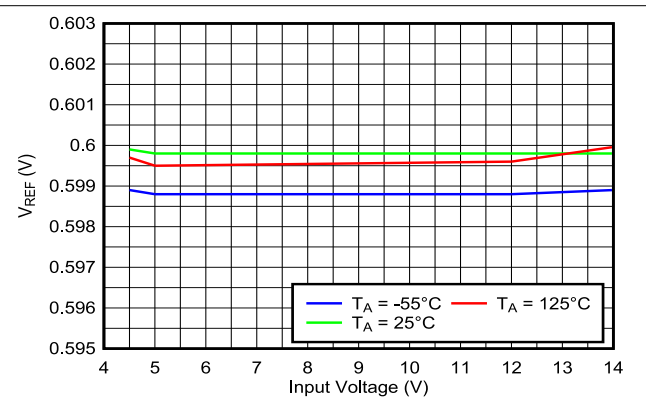


図 7-30. VREF と入力電圧との関係

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、 $V_{IN} = P_{VIN}$ 、 $V_{IN} = 12V$ 、 $C_{SS} = 22nF$ 、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。 $T_A = 25^\circ C$ (特に記述のない限り)。

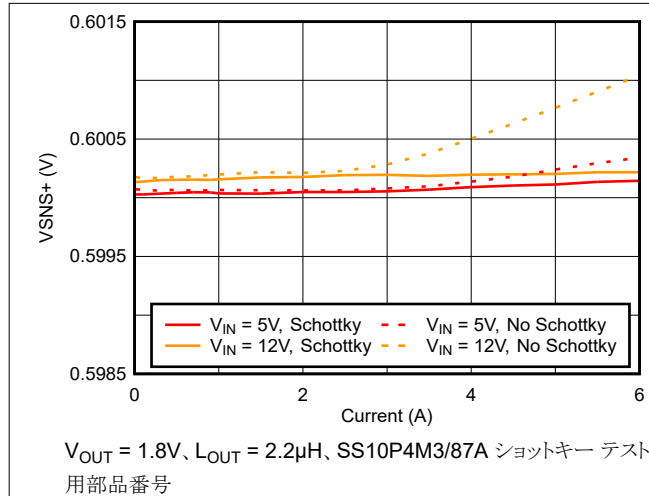


図 7-31. 500kHz での VSNS+ と出力電流の関係

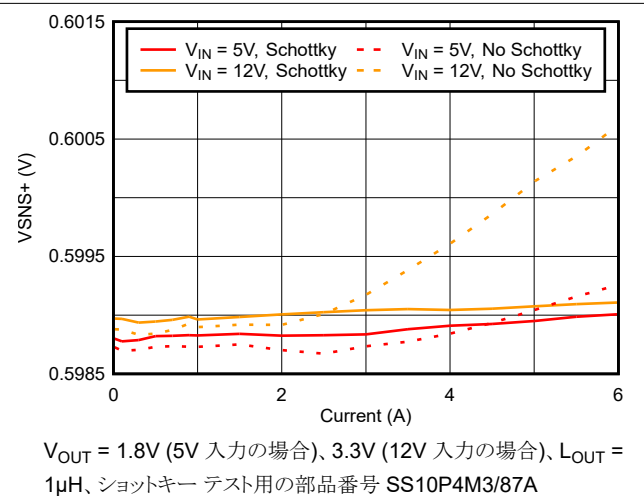


図 7-32. 1MHz での VSNS+ と出力電流の関係

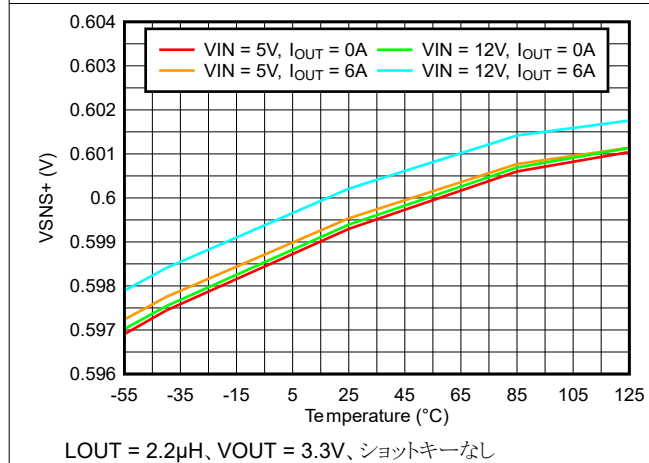


図 7-33. 500kHz での VSNS+ と温度との関係

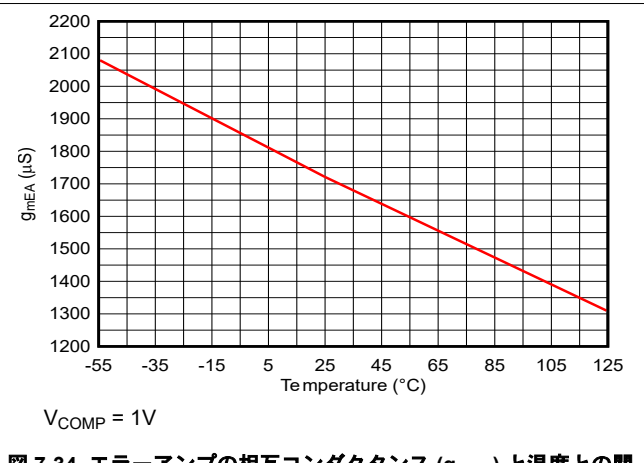


図 7-34. エラーアンプの相互コンダクタンス (g_{mEA}) と温度との関係

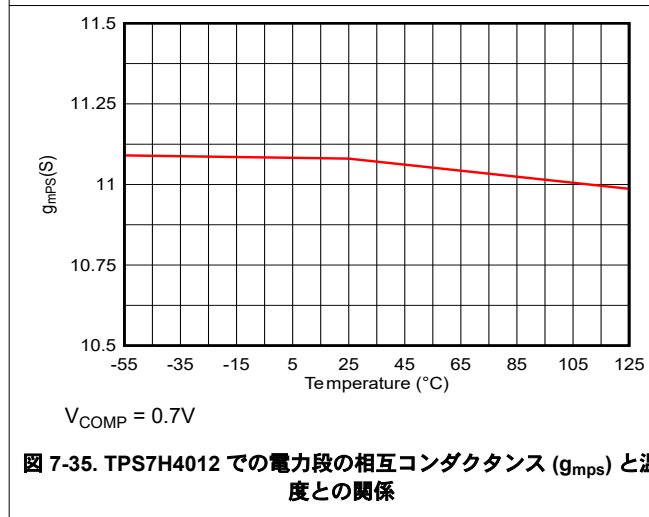


図 7-35. TPS7H4012 での電力段の相互コンダクタンス (g_{mps}) と温度との関係

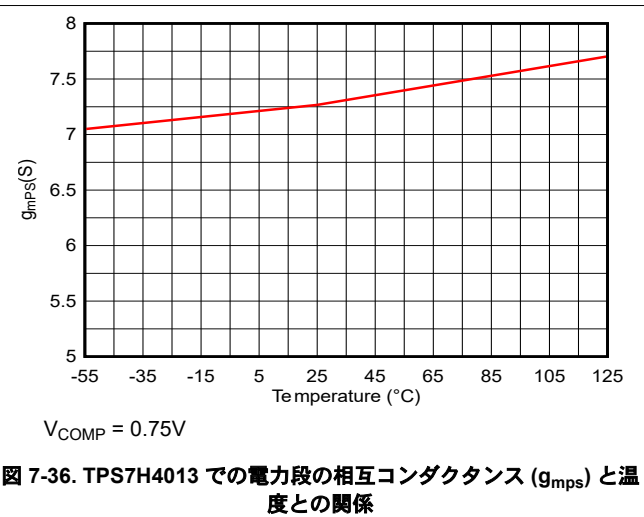


図 7-36. TPS7H4013 での電力段の相互コンダクタンス (g_{mps}) と温度との関係

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。

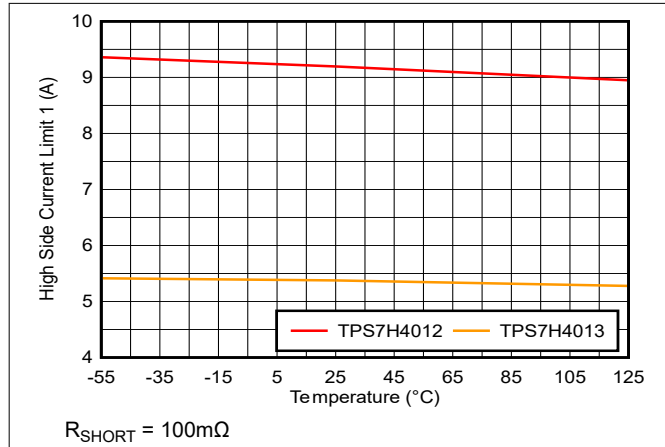


図 7-37. ハイサイド電流制限スレッシュヨルド 1 (I_{OC_HS1}) と温度との関係

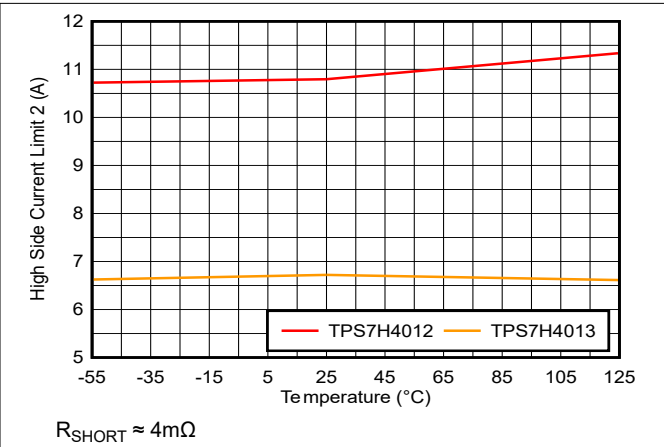


図 7-38. ハイサイド電流制限スレッシュヨルド 2 (I_{OC_HS2}) と温度との関係

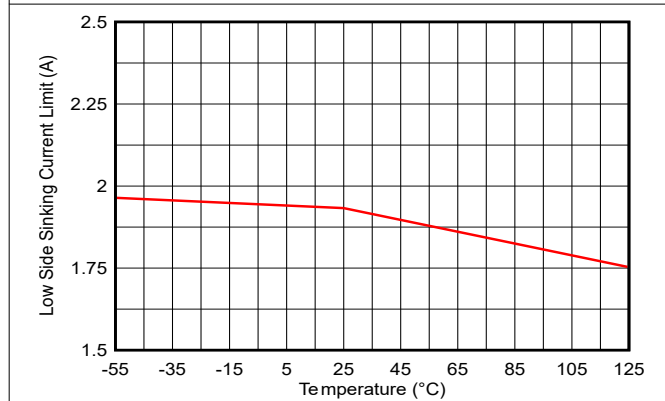


図 7-39. ローサイドシンク電流制限スレッシュヨルド ($I_{OC_LS(sink)}$) と温度との関係

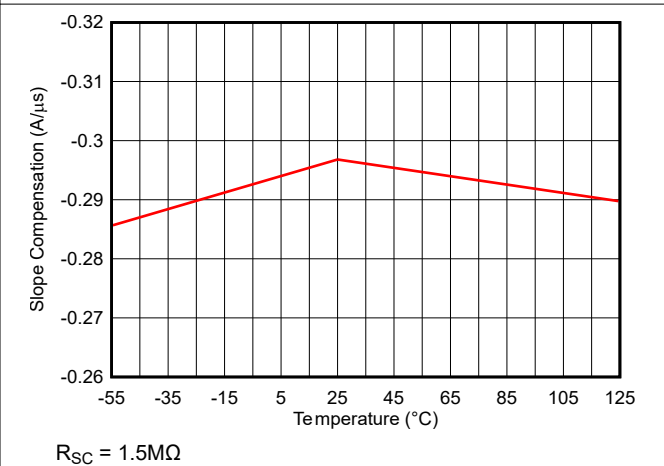


図 7-40. スロープ補償と温度との関係 (100kHz 時)

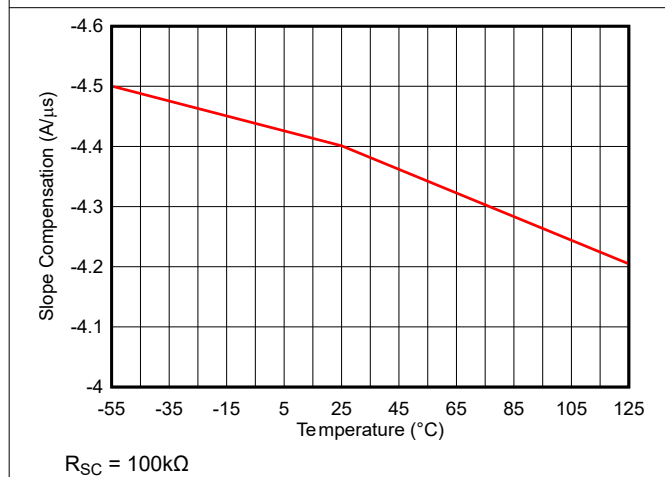


図 7-41. スロープ補償と温度との関係 (500kHz 時)

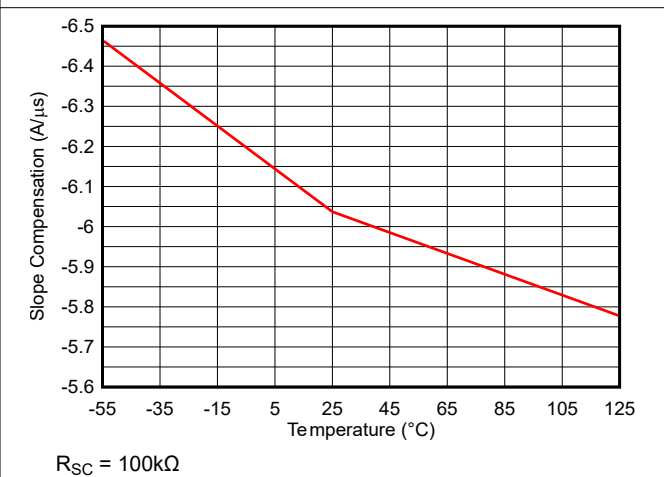
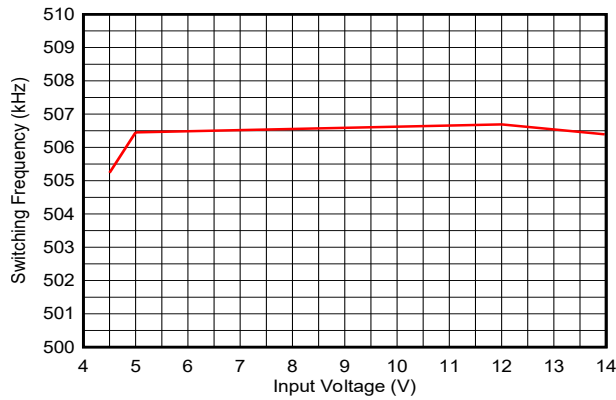


図 7-42. スロープ補償と温度との関係 (1MHz 時)

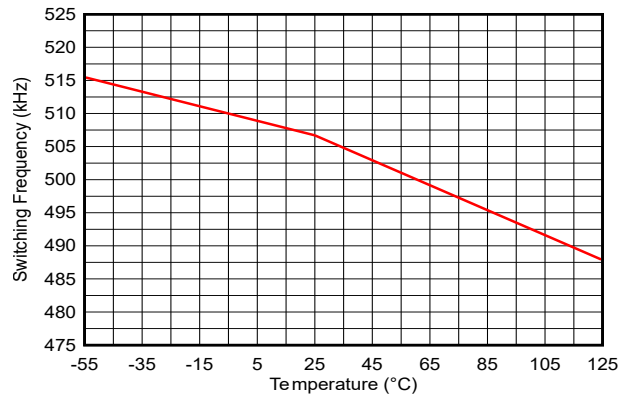
7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。



R_{RT} = 511kΩ

図 7-43. スイッチング周波数と入力電圧との関係



R_{RT} = 511kΩ

図 7-44. スイッチング周波数と温度との関係

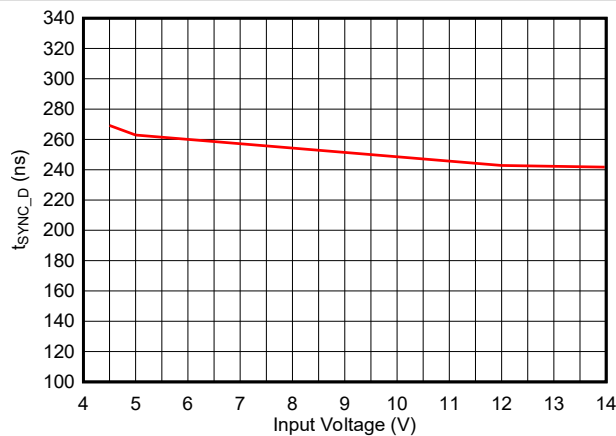


図 7-45. SYNC1 から SW への遅延と入力電圧との関係

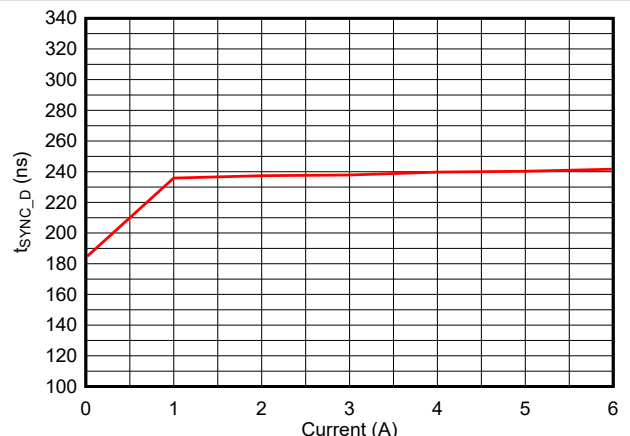
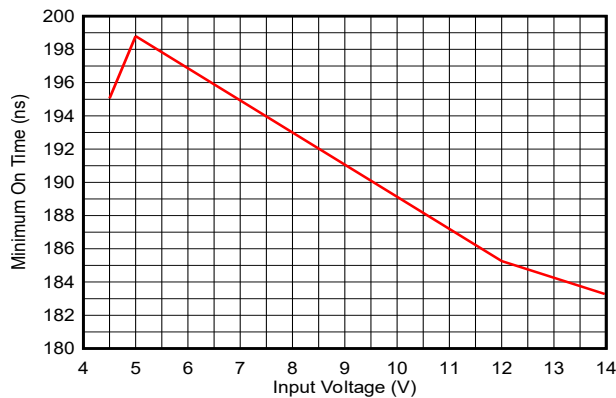
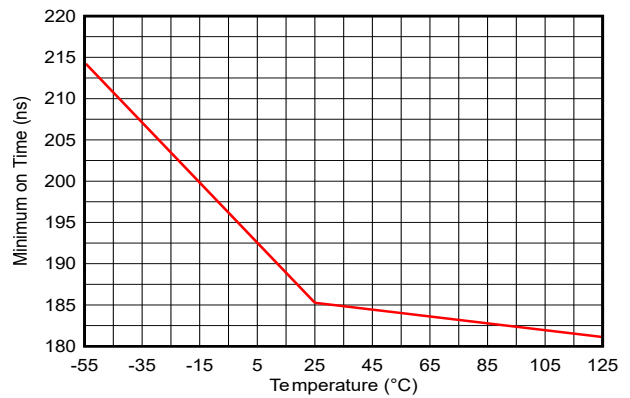


図 7-46. SYNC1 から SW への遅延と出力電流との関係



VIN の 50%~50%、ISW = 2A

図 7-47. 最小オン時間と入力電圧との関係



VIN の 50%~50%、ISW = 2A

図 7-48. 最小オン時間と温度との関係

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、CSS = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。TA = 25°C (特に記述のない限り)。

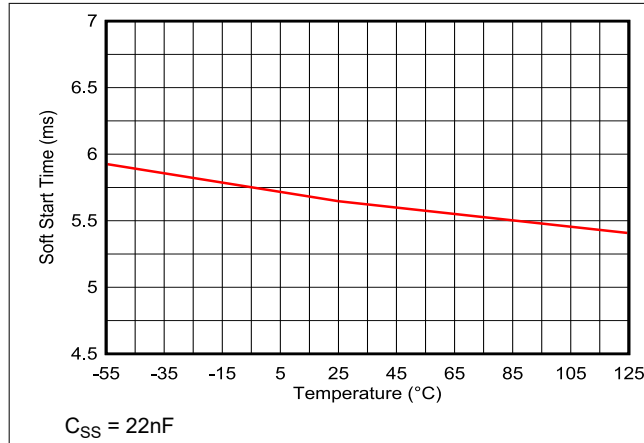


図 7-49. ソフトスタート時間と温度との関係

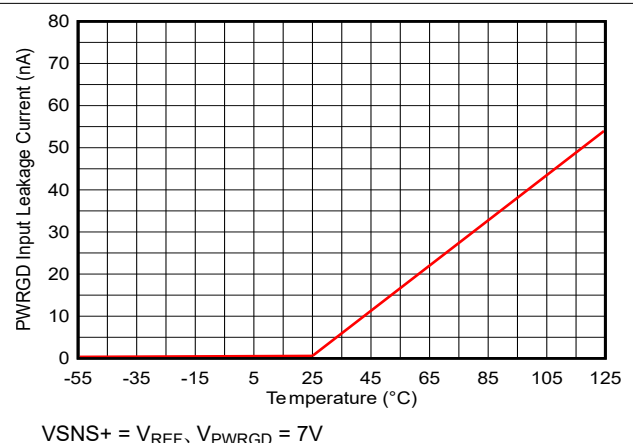


図 7-50. パワーグッドリーク電流と温度との関係

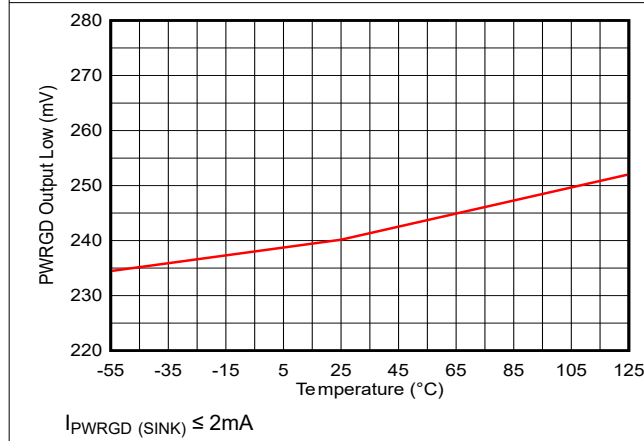


図 7-51. パワーグッド出力 Low と温度との関係

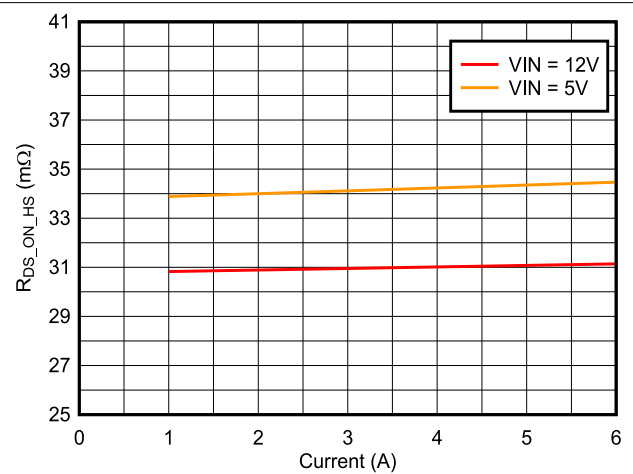


図 7-52. ハイサイド FET 抵抗と電流との関係

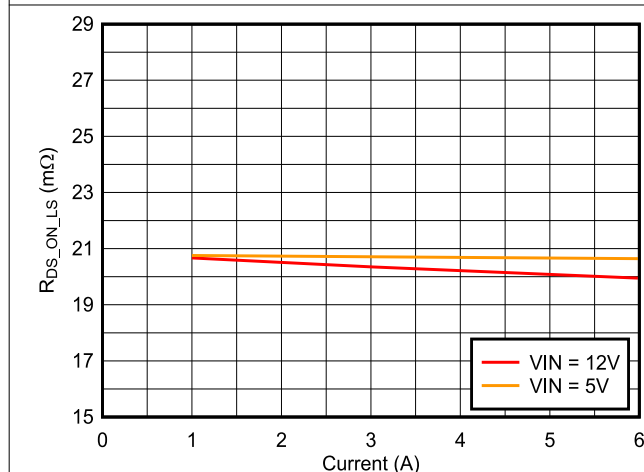


図 7-53. ローサイド FET 抵抗と電流との関係

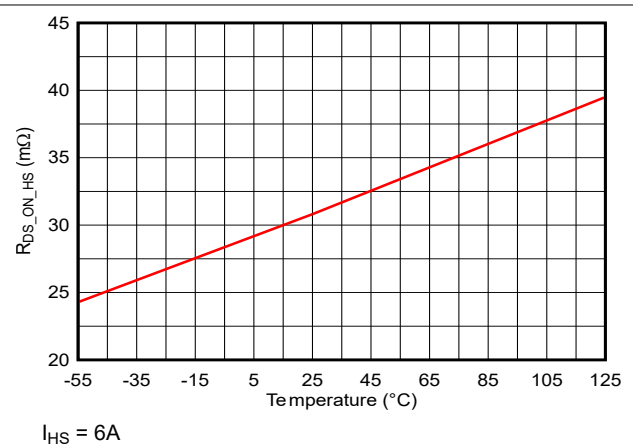
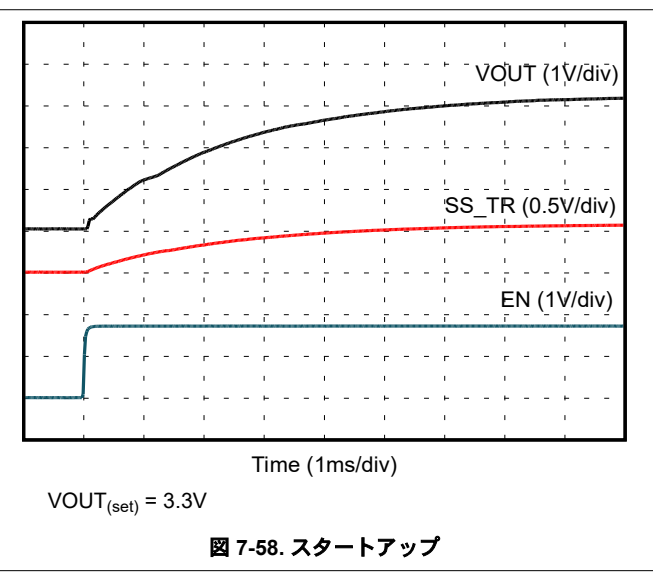
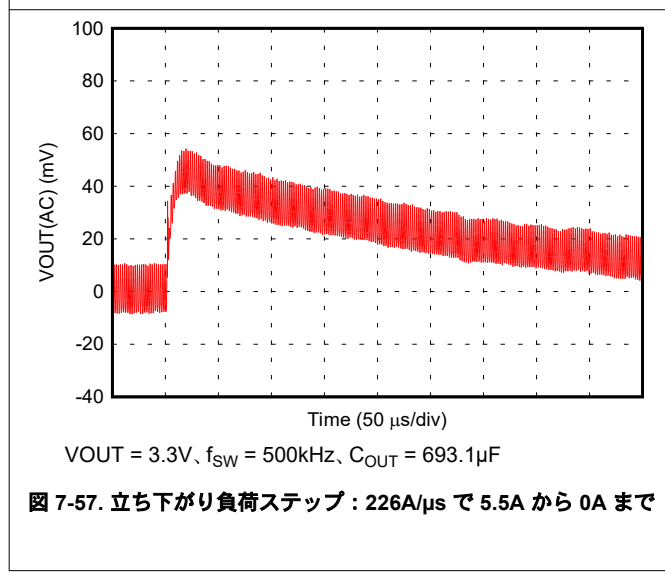
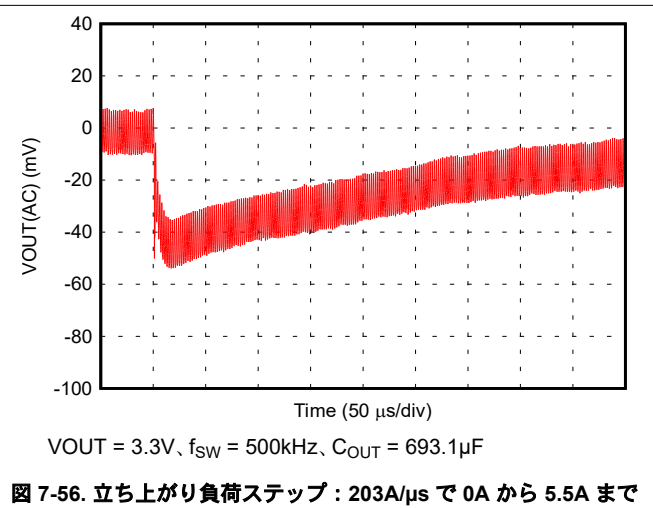
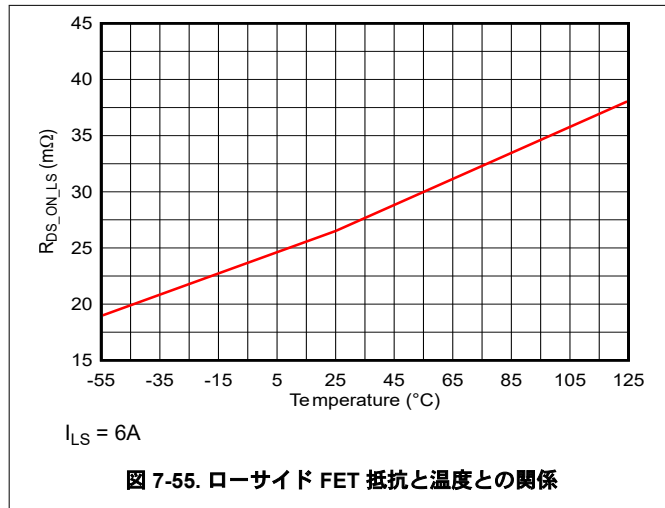


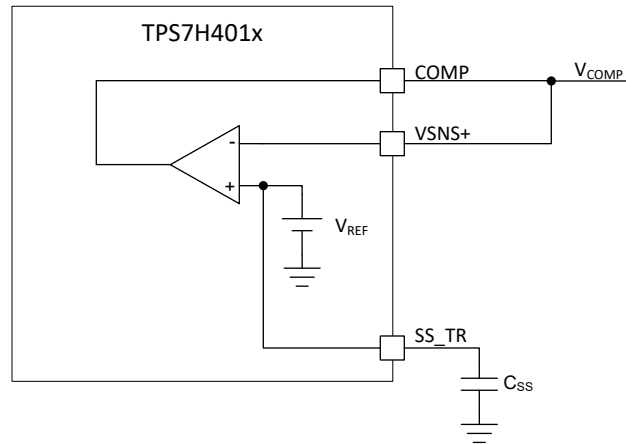
図 7-54. ハイサイド FET 抵抗と温度との関係

7.7 代表的特性 (続き)

TPS7H4012 44 ピン HTSSOP (DDW) パッケージ、VIN = PVIN、VIN = 12V、C_{SS} = 22nF、Kemet MPXV1D2213L シリーズ インダクタおよび SS10P4M3/87A ショットキー ダイオードを効率テストに使用。T_A = 25°C (特に記述のない限り)。



8 パラメータ測定情報



A. $V_{REF} = V_{COMP}$. この正確なリファレンス電圧の値には、エラーアンプのオフセット V_{IO} が含まれます。この値を使用して出力電圧を設定します。

図 8-1. 基準電圧測定

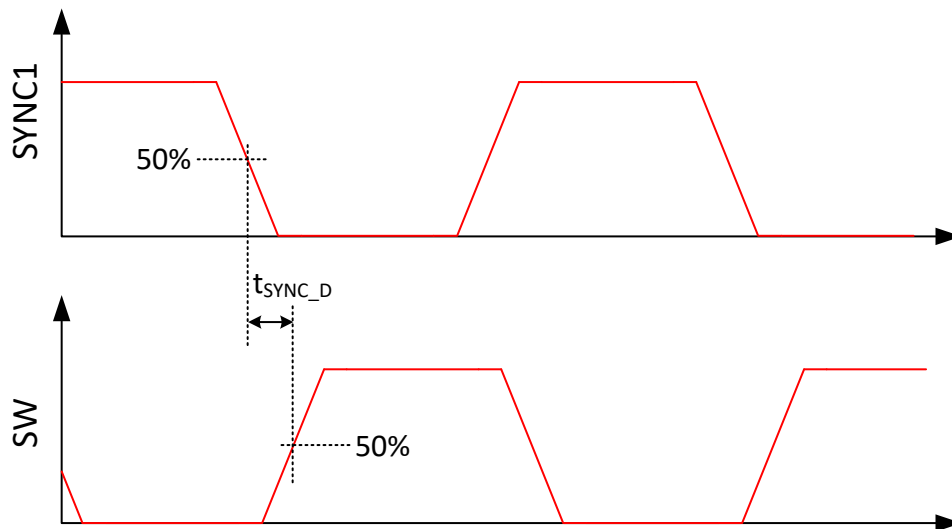


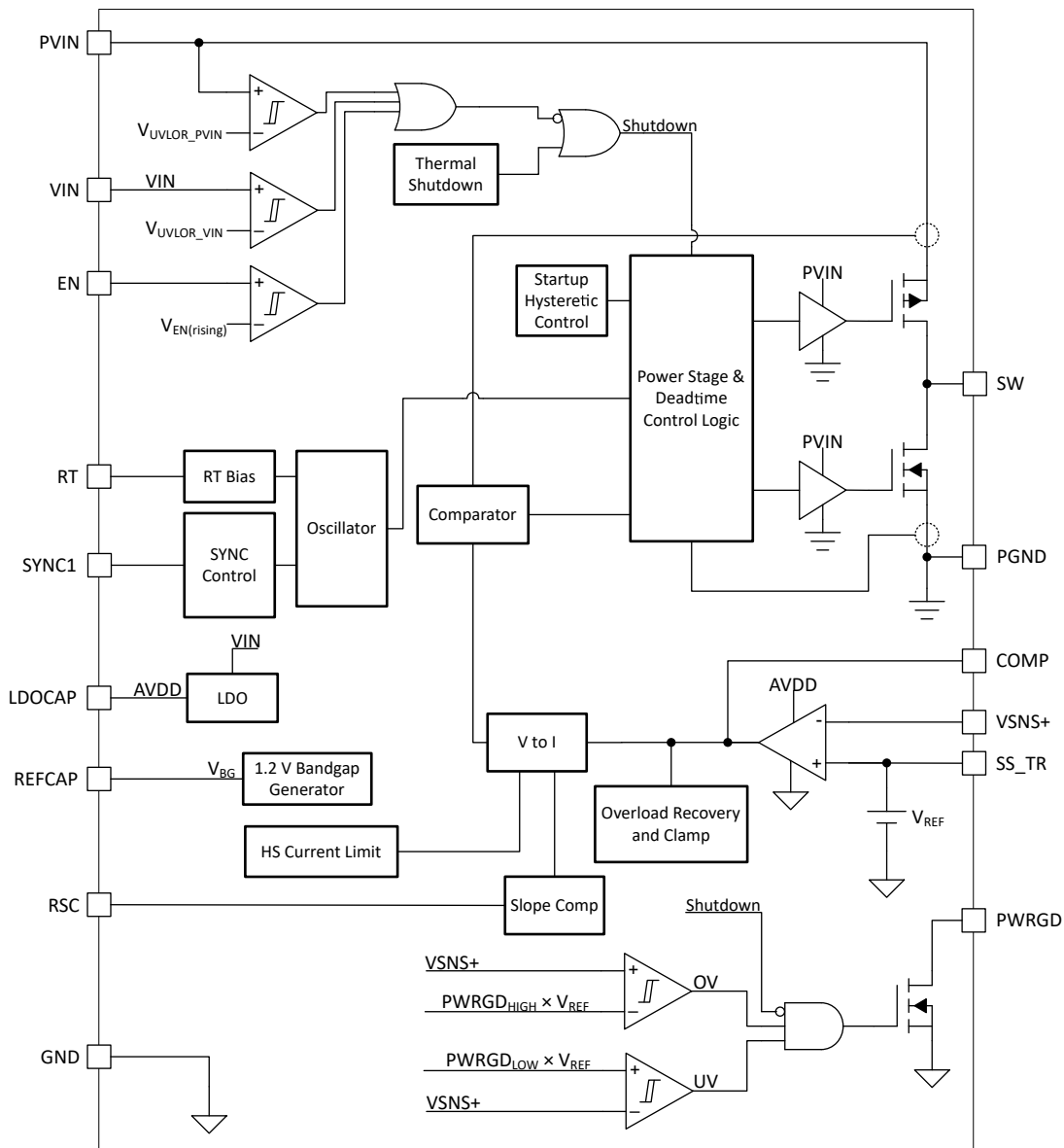
図 8-2. SYNC1 から SW への遅延：反転同期

9 詳細説明

9.1 概要

TPS7H4012 と TPS7H4013 は、14V、6A、3A の同期整流降圧 (バック) コンバータで、ハイサイド用の PMOS とローサイド用の NMOS の 2 つの MOSFET が内蔵されています。ライン過渡および負荷過渡時に性能を向上させるには、外部周波数補償機能も簡素化できる一定周波数のピーク電流モード制御をデバイスに実装します。スイッチング周波数の範囲が広い (100kHz~1MHz) ため、出力フィルタ部品の選択時に、効率とサイズを最適化できます。MOSFET を内蔵しており、最大 6A の連続出力電流で高効率の電源を設計できます。MOSFET は、デューティサイクルが低いアプリケーションに対して効率を最適化するようにサイズが設定されています。

9.2 機能ブロック図



9.3 機能説明

9.3.1 VIN および電源 VIN ピン (VIN および PVIN)

VIN ピンは、内部制御回路に電力を供給します。PVIN ピンと PVIN パッドは、内部のハイサイド FET に入力電圧を供給します。両者のピンは、4.5V ~ 14V の入力電圧範囲で動作します。これらのピンは同じ公称電圧である必要があり、同時にパワーアップとパワーダウンが必要です。一般に、これは同じ電圧源から供給することで達成されます。

VIN と PVIN の両方に、個別の UVLO (低電圧誤動作防止) の立ち上がりスレッショルドである V_{UVLOR_VIN} と V_{UVLOR_PVIN} があります。これにより、最小電圧に達するまで、本デバイスの内部回路が既知のオフ状態を維持することができます。さらに、VIN と PVIN にはそれぞれ個別の UVLO 立ち下がりスレッショルドである V_{UVLOF_VIN} と V_{UVLOF_PVIN} があります。電圧が低下してこれらの値に達すると、デバイスはオフになります。

セクション 9.3.4 で説明したように、EN ピンに接続された分圧器を使用して、実効デバイス UVLO を構成できます。

9.3.2 電圧リファレンス

デバイスは、内部の公称 1.2V バンドギャップリファレンス電圧 V_{BG} を生成します。これは、定常状態動作時に REFCAP ピンに印加される電圧です。適切な電氣的動作のために、またデバイスの堅牢なセット性能を確保するために、REFCAP ピンでグラウンドとの間に 470nF のコンデンサが必要です。このバンドギャップ電圧を使用して、エラーアンプの公称 0.6V のリファレンス電圧 $V_{REF(internal)}$ を生成します。

誤差増幅器に供給される基準電圧を使用して、出力電圧を設定します。ただし、エラーアンプには固有のオフセット V_{IO} が存在し、全体的な精度誤差に寄与します。したがって、出力電圧の設定に実際に使用される電圧は $V_{REF(internal)} + V_{IO}$ です。この合成値は V_{REF} と定義され、出力電圧を設定するための正確な値として設計されています。 V_{REF} は、「電氣的特性」で、ライン、温度、TID の全範囲にわたって規定されています。 V_{REF} は開ループ構成で測定されるため、スイッチング周波数や負荷が V_{REF} に与える影響は仕様に含まれていません。電流とスイッチング周波数が出力検知電圧に及ぼす影響が最小限であることを示す代表的なグラフ図 7-31 および 7-32 を参照してください。出力電圧の精度の計算の詳細については、セクション 10.2.2.8 を参照してください。

9.3.3 電圧センシングと VOUT の設定

TPS7H401x は VSNS+ ピンを備えており、リモート センシングが可能です。定常状態の動作では、VSNS+ はリファレンス電圧 V_{REF} (0.6V 標準値) と等しくなります。VSNS+ の抵抗デバイダを適切に設定し、図 9-1 に示すように、負荷の両端の出力電圧値 V_{LOAD} を設定できます。VSNS+ を負荷に接続することで、 $R_{parasitic1}$ が考慮され、リモート センシングが実現されます。負荷と TPS7H401x のグラウンドの差によるオフセットを回避するため、適切なグラウンド接続を推奨します。

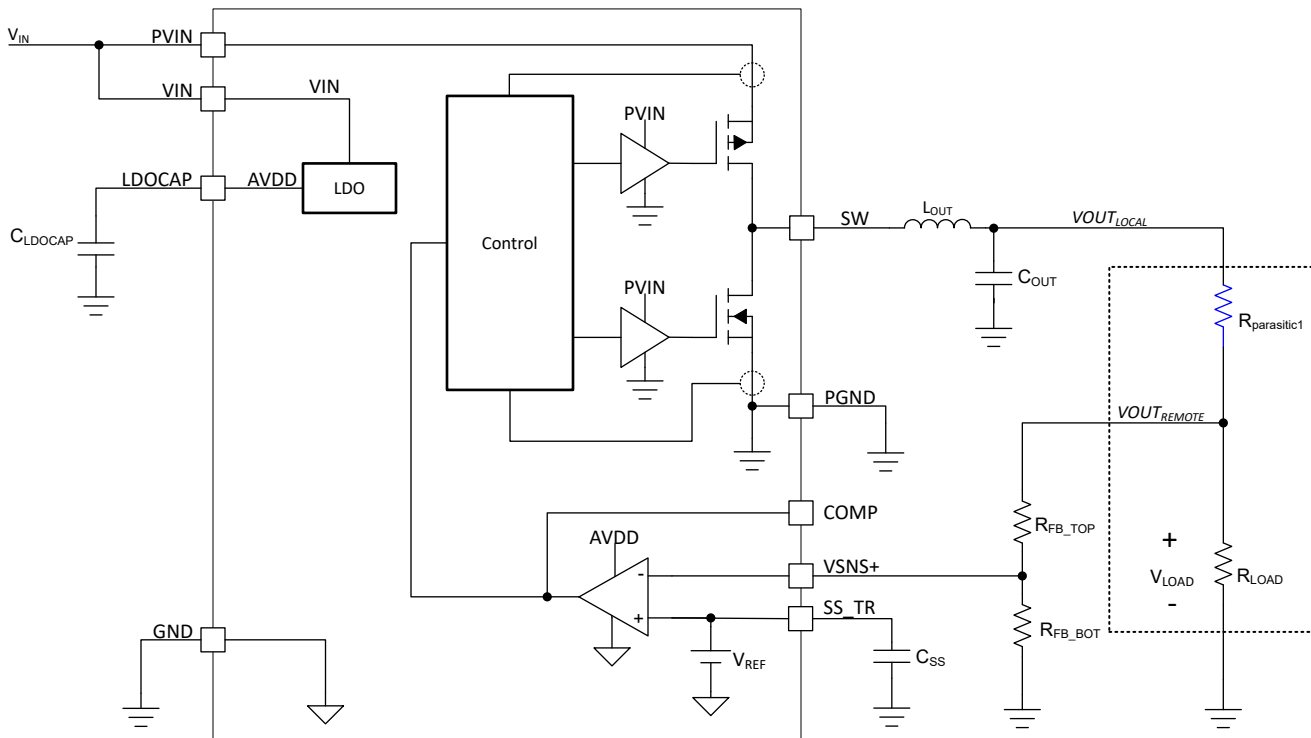


図 9-1. 電圧センスの図

1% 以下の公差の抵抗器を推奨します。最初は R_{FB_TOP} に 10kΩ を設定し、式 1 を使用して R_{FB_BOT} を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、レギュレータがノイズや電圧誤差の影響を受けやすくなります。

$$R_{FB_BOT} = \frac{V_{REF}}{V_{OUT(set)} - V_{REF}} \times R_{FB_TOP} \quad (1)$$

ここで、

- $V_{REF} = 0.6V$ (代表値)
- $V_{OUT(set)}$ = 電圧設定ポイント。これは負荷の両端にレギュレートされた電圧です

9.3.3.1 最小出力電圧

すべての電流モード制御降圧コンバータと同様に、設定可能な最小出力電圧も存在します。まず、出力電圧を内部電圧リファレンスである 0.6V (代表値) よりも低くできません。また、最小オン時間 $t_{on(min)}$ によって最小出力電圧が制限されます。 $t_{on(min)}$ は 250ns (最大値) と規定されています。詳細については、「電氣的特性」をご覧ください。最小出力電圧は、式 2 で概算できます。

$$V_{OUT(min)} \approx V_{IN} \times t_{ON(min)} \times f_{SW} \quad (2)$$

この式では、

- $V_{OUT(min)}$ は可能な最小出力電圧です
- V_{IN} はアプリケーションの入力電圧
- $t_{on(min)}$ は最小オン時間であり、最悪の場合の計算には、 $t_{on(min)}$ の最大値を使用してください
- f_{SW} はスイッチング周波数であり、最悪の場合の計算には可能な限り最大の f_{SW} を使用してください

表 9-1 に、 $t_{on(min)} = 250\text{ns}$ と仮定した f_{SW} および V_{IN} の値について計算された最小出力電圧を示します。

表 9-1. 計算された最小出力電圧

f_{SW}	V_{IN}	$V_{OUT(min)}$
100kHz	5V	0.6V ⁽¹⁾
	12V	0.6V ⁽¹⁾
	14V	0.6V ⁽¹⁾
500kHz	5V	0.625V
	12V	1.5V
	14V	1.75V
1MHz	5V	1.25V
	12V	3V
	14V	3.5V

(1) 計算値はより小さくなりますが、最小値は V_{REF} 自体に制限されており、通常は 0.6V です。

9.3.3.2 最大出力電圧

TPS7H401x には、最小オフ時間 $t_{off(min)}$ により、最大出力電圧があります。この最小オフ時間は、一部の降圧レギュレータのような内部チャージポンプによるものではありません。むしろ、この最小オフ時間は、スイッチング ノイズを抑え、内部回路の動作によって過度のデューティ サイクル ジッタが引き起こされないようにするためのものです。最大出力電圧は、式 2 で概算できます。

$$V_{OUT(max)} \approx V_{IN} \times (1 - t_{OFF(min)} \times f_{SW}) \quad (3)$$

この式では、

- $V_{OUT(max)}$ は実現可能な出力電圧の最大値
- V_{IN} はアプリケーションの入力電圧
- $t_{off(min)}$ は最小オフ時間
- f_{SW} はスイッチング周波数

表 9-2 は、 $t_{off(min)} = 306\text{ns}$ とした場合の f_{SW} および V_{IN} の選択値に対する最大出力電圧の計算値を示しています。

表 9-2. 計算された最大出力電圧

f _{sw}	V _{IN}	V _{OUT} (max)
100kHz	5V	4.85V
	12V	11.63V
	14V	13.57V
500kHz	5V	4.24V
	12V	10.16V
	14V	11.86V
1MHz	5V	3.47V
	12V	8.33V
	14V	9.72V

9.3.4 イネーブル

イネーブルピンが Low になると、デバイスはシャットダウンモードに移行し、出力電圧のレギュレーションは行われません。通常、V_{IN} と GND の間に外付け分圧抵抗を使用して EN を供給します。式 4 に示すように、目的のプリセット入力電圧に達したときにデバイスをオンにするよう、抵抗のサイズを適切に設定できます。これを使用して、V_{IN} ピンおよび PVIN ピンに印加されるデフォルトの内部 UVLO 電圧を補完する、調整可能な UVLO を作成できます。

$$R_{EN_BOT} = \frac{V_{EN(rising)}}{V_{IN(rising)} - V_{EN(rising)}} \times R_{EN_TOP} \quad (4)$$

ここで、

- V_{IN(rising)} = EN が High になる V_{IN} 値
- V_{EN(rising)} = 0.61V (typ)
- R_{EN_TOP} = V_{IN} から EN への帰還抵抗
- R_{EN_BOT} = EN から GND への帰還抵抗

EN ピンには 100mV (typ) のヒステリシスがあります。したがって、式 5 を使用して V_{IN(falling)} 電圧を計算できます。

$$V_{IN(falling)} = V_{EN(falling)} \times \frac{R_{EN_TOP} + R_{EN_BOT}}{R_{EN_BOT}} \quad (5)$$

ここで、

- V_{IN(falling)} = EN が Low になり、TPS7H401x がオフになる V_{IN} 値
- V_{EN(falling)} = 0.51V (typ)

または、EN ピンをマイクロコントローラまたは FPGA から直接駆動することもできます。イネーブルピンの電圧スレッシュホールドは低いので、1.1、1.8、2.5、3.3V のロジックレベルに対応できます。

9.3.5 パワーグッド (PWRGD)

PWRGD ピンはオープンドレイン出力であり、出力電圧が適切な範囲に達するとアサートされます。PWRGD ピンは、抵抗を介して V_{OUT}、またはデバイスの推奨動作条件内で別の電圧レベルにプルアップできます。PWRGD が吸い込む最大電流が、推奨動作条件の最大値である 2mA を下回るように、抵抗値を選定してください。通常は、10kΩ のプルアップ抵抗で十分です。より大きな抵抗値を使用することで電力損失を最小限に抑えることができますが、プルアップが弱くなるため、スイッチングノイズが PWRGD 信号に結合する可能性があります。

V_{OUT} がプログラムされた値の一定の割合内にあると、PWRGD がアサートまたはデアサートされます。これは、VSNS+ の電圧を V_{REF} と比較することで達成できます。たとえば、VSNS が最終値の PWRGD_{LOW_R%} (通常 95%) に達すると、PWRGD がアサートされます。VSNS+ が PWRGD_{LOW_F%} (通常 92%) を下回ると、PWRGD がデアサートされます。各波形については、図 9-2 を参照してください。

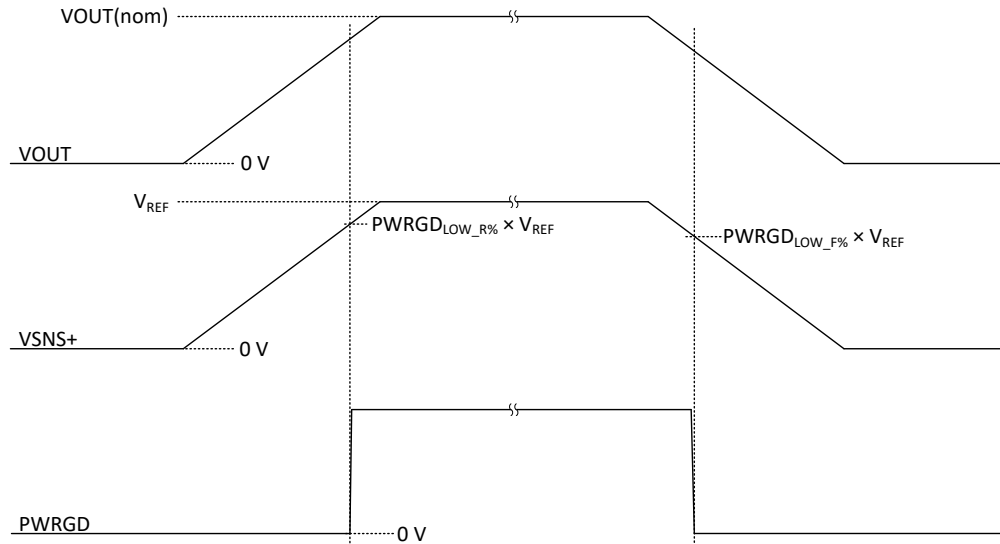


図 9-2. パワーグッドの LOW スレッシュホールド

VOUT で過電圧事象が発生すると、パワーグッドにもスレッシュホールドがあります。たとえば、VSNS+ が最終値の PWRGD_{HIGH_R%} (通常 108%) に達すると、PWRGD がデアサートされます。VSNS+ が PWRGD_{HIGH_F%} (通常 105%) を下回ると、PWRGD がアサートされます。各波形については、図 9-3 を参照してください。

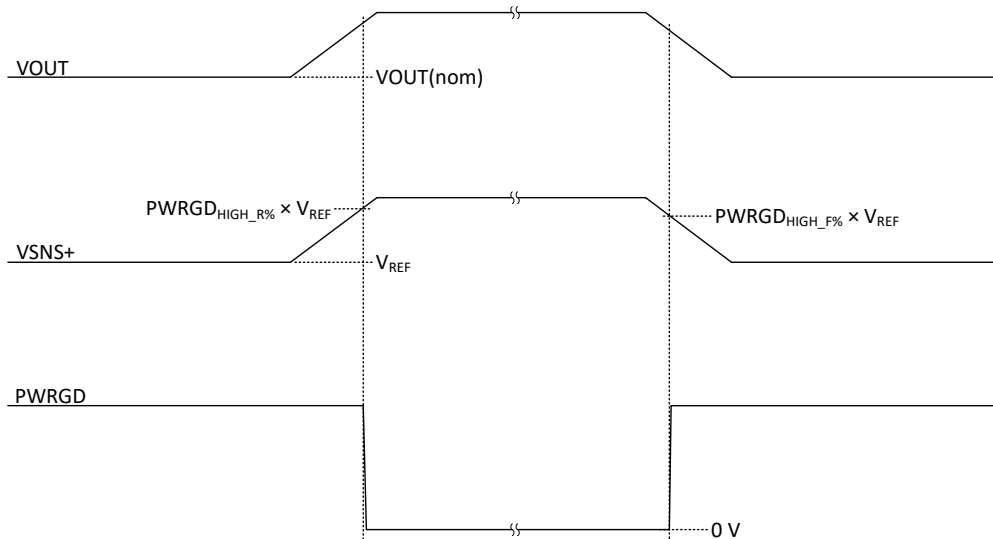


図 9-3. パワーグッドの HIGH スレッシュホールド

PWRGD は、VIN 入力電圧が 2V を上回っているが、電流シンク能力が低い場合に定義された状態になります。VIN が 4.5V に達すると、PWRGD は最大の電流シンク能力になります。「電気的特性」の VIN_{MIN_PWRGD} を参照してください。

上記の PWRGD の説明に加えて、次のようにレギュレーションが停止するその他の条件では、PWRGD はデアサートされます。

- VIN または PVIN が UVLO 状態
- デバイスがサーマルシャットダウン中
- デバイスの EN ピンがデアサート状態
- COMPx ピンが COMP_{SHDN} スレッシュホールド (1.9V 代表値) に到達

9.3.6 可変スイッチング周波数と同期

プログラマブル内部クロックと外部同期クロックの両方を使用できるように、複数のクロックモードオプションがあります。これにより、デバイスを柔軟にシステムクロックに同期できます。これらのモードは表 9-3 に一覧表示しています。

表 9-3. クロック モード

モード	RT	SYNC1 INPUT
内部クロック	RT と GND の間に抵抗	なし
外部クロック: デフォルト f_{SW}	RT と GND の間に抵抗	入力 f_{SW} 180 度 位相差
外部クロック: デフォルト f_{SW} なし	浮動	入力 f_{SW} 180 度 位相差

9.3.6.1 内部クロック モード

TPS7H401x は、RT ピンが実装され、SYNC1 に外部クロックが入力されていない場合、内部クロック モードに構成されます。内部クロックモード (内部発振器モードとも呼ばれます) では、RT ピンと GND の間に抵抗を接続することで、デバイスのスイッチング周波数 f_{SW} を設定します。公称スイッチング周波数は、RT 抵抗値に応じて 100kHz~1MHz の範囲で調整できます。この値は、式 6 を使用して計算できます。図 9-4 に、RT 抵抗の値と、設定可能なスイッチング周波数範囲との関係曲線を示します。

$$RT = 86,090 \times f_{SW}^{-1.104} \quad (6)$$

ここで、

- RT (kΩ)
- f_{SW} in kHz

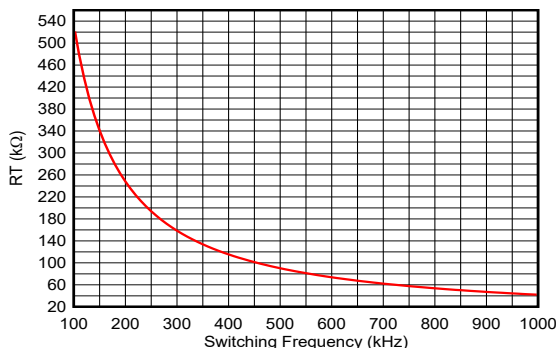


図 9-4. 公称 RT 対スイッチング周波数

9.3.6.2 外部クロックモード

TPS7H401x は、SYN1 にクロック信号が入力される場合、外部クロック モード用に構成されます。このモードでは、SYNC1 にクロックが入力され、TPS7H401x は SYNC1 と 180 度の位相差でスイッチングを行います。

外部クロックモードでは、スイッチング周波数を RT と GND の間の抵抗でプログラムする必要がないため、RT はフローティングのままにできます。ただし、入力クロックが利用できない場合 (TPS7H401x デバイスにクロックが供給される前やクロック障害時など)、デフォルトのスイッチング周波数にフォールバックする必要がある場合、RT と GND の間に抵抗を設定する必要があります (セクション 9.3.6.1 を参照)。このモードに RT が挿入され、 $t_{CLK_E_I}$ (通常 2 クロックサイクル) の間に外部クロック信号が検出されない場合、TPS7H401x は内部クロックに遷移します。これは、図 9-5 に示すとおりです。外部クロックが再度供給されると、本クロックは $t_{CLK_I_E}$ (通常 1 クロックサイクル) で外部クロックに戻ります。これは、図 9-6 に示すとおりです。この設定を使用する場合、内部クロック周波数を外部クロック周波数と同じ公称値にプログラムします。

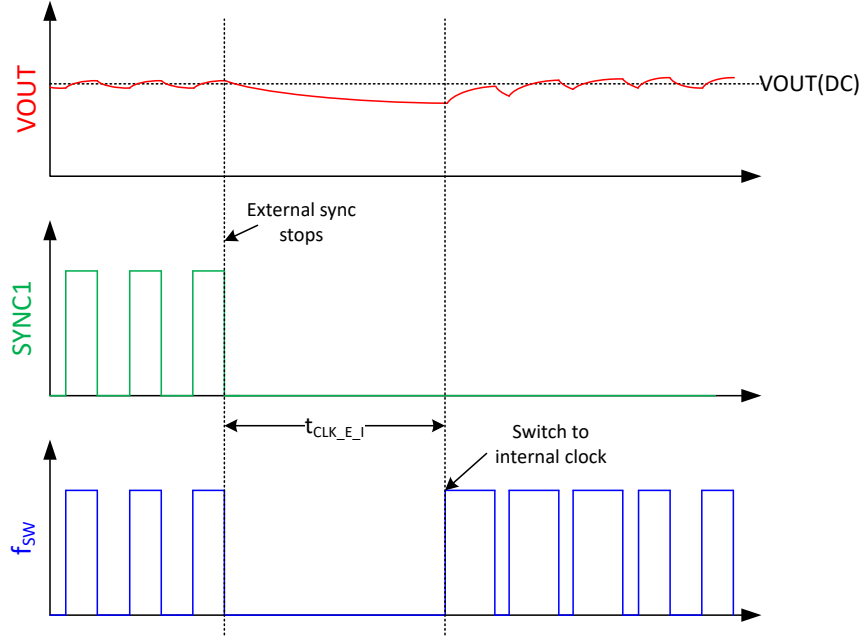


図 9-5. 外部から内部へのクロック遷移

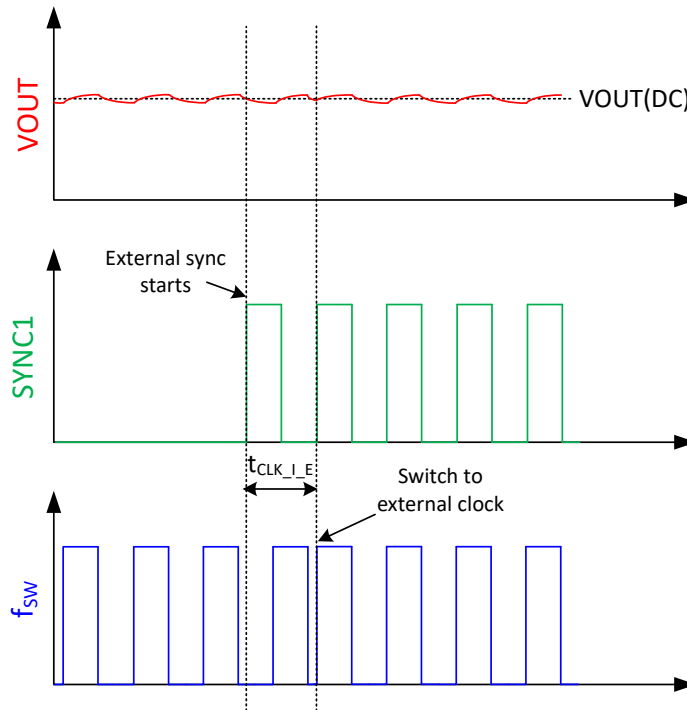


図 9-6. 内部クロックから外部クロックへの遷移

外部クロックは、発振器、FPGA、または他の適切なデバイスから供給することができます。または、内部発振器モードに構成された **TPS7H4011** デバイスによって外部クロックを供給することもできます。

9.3.7 電源オン動作

VSNS+ が SS_TR ピンの電圧よりも高い場合、デバイスはスタートアップ中にパルススキップモード (ヒステリシスモード) に入ります。この期間中、VSNS+ が SS_TR の電圧を再度下回るまで、ハイサイドスイッチはオフのままであり、ローサイドスイッチはオンのままです。これは、最小オン時間でサポートされる電圧よりも低い出力電圧が必要なためです。

したがって、瞬間的な出力パルスは目的の電圧よりも高いまたは低いことがあります。この動作は、高い帯域幅の高周波や、VIN と VOUT の比が高い場合に明らかです。最小オンパルスが最小制御可能オン時間よりも大きい場合、パルススキップ動作は通常、起動時に観察されません。

9.3.7.1 ソフトスタート (SS_TR)

SS_TR ピンのコンデンサは、内部リファレンス電圧 $V_{REF(internal)}$ の立ち上がりを遅くするために使用されます。スタートアップ時にリファレンス電圧の立ち上がりを遅くすることで、出力電圧のスルーレートが制御されます。これは、過剰な突入電流を防止するために役立ちます。

SS_TR 電圧が最終値の 10% から 90% まで上昇するまでのソフトスタート時間の測定値については、「電気的特性」に記載されています。一般に、22nF 以上のセラミック C_{SS} コンデンサを推奨しますが、より高速のスタートアップが必要な場合は、5.6nF までの値も使用可能です。さらに、式 7 は任意のコンデンサ値に対するスタートアップ式の近似値を得るために使用できます。

$$t_{SS} = 0.25 \times C_{SS} \quad (7)$$

ここで、

- t_{SS} (ms 単位)
- C_{SS} (nF 単位)

SS_TR ピンは、RC 充電回路曲線の値に従うことに注意してください。したがって、出力電圧は同様の曲線に従います。

以下の状況のいずれかが発生すると、SS_TR ピンが内部 $R_{SS_TR(discharge)}$ プルダウン抵抗 (通常 442Ω) を経由して放電されます。

- 入力 UVLO がトリガされる
- EN ピンが $V_{EN(falling)}$ (代表値 0.51V) を下回る
- COMPx ピンが $COMP_{SHDN}$ スレッシュホールド (1.9V 代表値) に到達
- サーマルシャットダウンイベントが発生する

SS_TR ピンが放電されると、適切なソフトスタート動作を維持するために、電圧が $SS_{startup}$ (通常 20mV) 未満になるまでデバイスは再起動できません。

9.3.7.2 プリバイアス出力への安全なスタートアップ

このデバイスは、ローサイド MOSFET がプリバイアス出力を連続的に放電するのを防止します。

9.3.7.3 トラッキングおよびシーケンシング

SS_TR、EN、PWRGD ピンを使用して、多くの一般的な電源シーケンス方法を実装できます。

図 9-7 に示されてシーケンシャル方式は、2 つの TPS7H401x デバイスを使用しています。最初のデバイスの PWRGD ピンが 2 番目のデバイスの EN ピンに結合され、1 次電源がレギュレーションに達した後に 2 次電源がイネーブルになります。最初のデバイスと 2 番目のデバイスのシーケンシングとの間にさらに遅延が必要な場合は、オプションの C_{PWRGD} コンデンサを PWRGD に追加することもできます。これにより、使用されるパワー グッド プルアップ抵抗とコンデンサの値に基づいた RC 遅延が発生します。

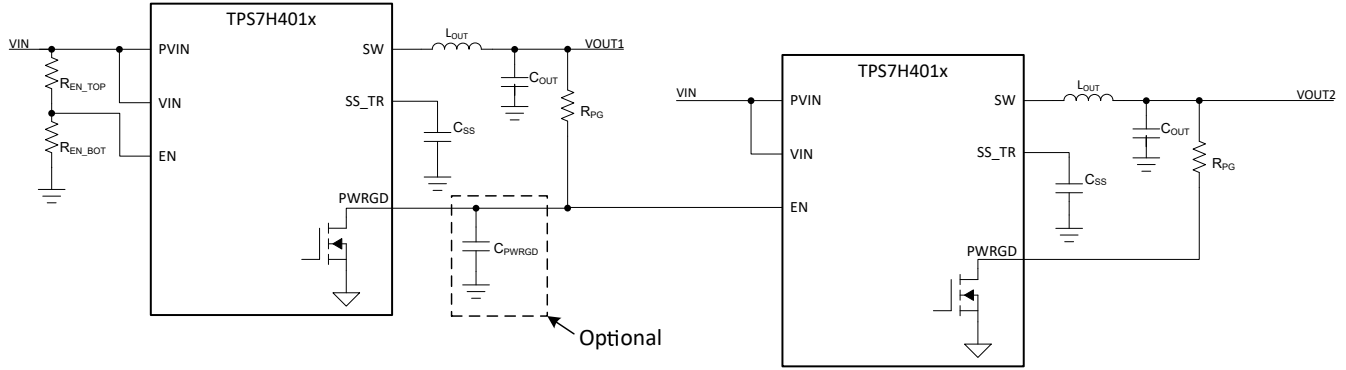


図 9-7. シーケンシャル起動シーケンス

2 つのデバイスの SS_TR ピンを互いに接続することでレシオメトリックシーケンシングを実装する方法を、図 9-8 に示します。レギュレータの出力が上昇し、同時にレギュレーションに達します。SS_TR は本デバイスの内部電圧リファレンスであるため、この構成では SS_TR 電圧が 2 つの部分の平均値に近づく傾向があることに注意してください。これにより、各デバイスの出力にいくらかの電圧誤差が追加で発生します。これは、制御ループに使用される高精度の V_{REF} では、SS_TR で動作している場合にのみ、各デバイスのエラー アンプのオフセットが考慮されるためです。

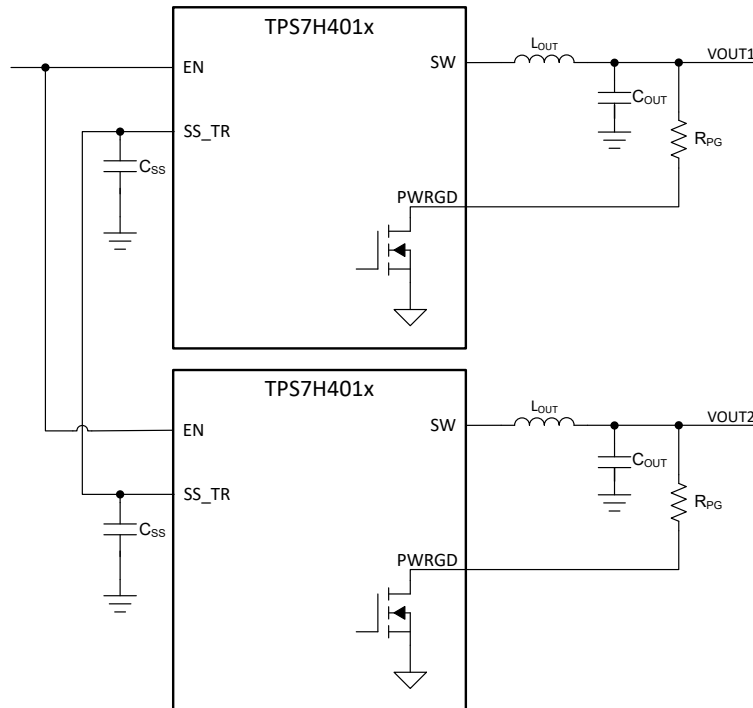


図 9-8. レシオメトリック起動シーケンス

9.3.8 保護モード

以下のセクションでは、保護モードについて詳しく説明します。

- 過電流保護: [セクション 9.3.8.1](#)
 - ハイサイド 1 過電流保護 (HS1): [セクション 9.3.8.1.1](#)
 - ハイサイド 2 過電流保護 (HS2): [セクション 9.3.8.1.2](#)
 - COMP シャットダウン: [セクション 9.3.8.1.3](#)
 - ローサイド過電流シンク保護: [セクション 9.3.8.1.4](#)
- 出力過電圧保護 (OVP): [セクション 9.3.8.2](#)
- サーマル シャットダウン: [セクション 9.3.8.3](#)

9.3.8.1 過電流保護

TPS7H401x デバイスは、複数の過電流保護メカニズムを採用しています。このデバイスは、主にハイサイド MOSFET でサイクル毎に電流を制限することで、過電流状態から保護されます。この電流制限はハイサイド 1 過電流保護 (HS1) と呼ばれ、ILIM ピンを使用して 4 つの異なる電流制限間でその値を選択できます。ハイサイド 2 過電流保護 (HS2) により、さらに 2 次保護が提供されます。最後に、COMP シャットダウンにより、3 次保護が提供されます。各種のハイサイド電流制限保護に加えて、TPS7H401x はローサイドのシンク過電流保護メカニズムも備えています。これらの電流保護メカニズムについては、以降のセクションで詳しく説明します。

9.3.8.1.1 ハイサイド 1 過電流保護 (HS1)

本デバイスに実装された電流モードコントロールは、COMP ピン電圧を用いることでハイサイド MOSFET のオフとローサイド MOSFET のオンをサイクル毎に制御します。各サイクルでは、スイッチ電流と COMP ピン電圧による電流リファレンスが比較されます。ピーク スイッチ電流が設定済みハイサイド電流 I_{OC_HS1} と交差すると、ハイサイド スイッチには直ちにオフのコマンドが出されます (ただし、ハイサイドは少なくとも最小オン時間 t_{ON} の間はオンに維持されます)。

HS1 は COMP 電圧を利用して実装されています。デバイスが I_{OC_HS1} に近づくと、COMP が増加し、デバイスの g_{mps} はゼロに近づきます。したがって、COMP の値が十分大きい場合、出力電流は基本的に選択した値にクランプされます。この機能は、[図 9-9](#) の概略波形で示されています。

I_{OC_HS1} スレッシュホールド仕様は、実際の短絡イベントは動的で閉ループである間、テスト安定性の制限により、開ループ構成で測定されることに注意します。ほとんどの場合、結果として得られる電流制限値は同程度になりますが、短絡状態の場合によっては、指定されたスレッシュホールドを超える場合があります。これは、入力電圧の値が低い場合 (5V 未満など)、スイッチング周波数が高い場合、温度が低い場合において顕著となります。

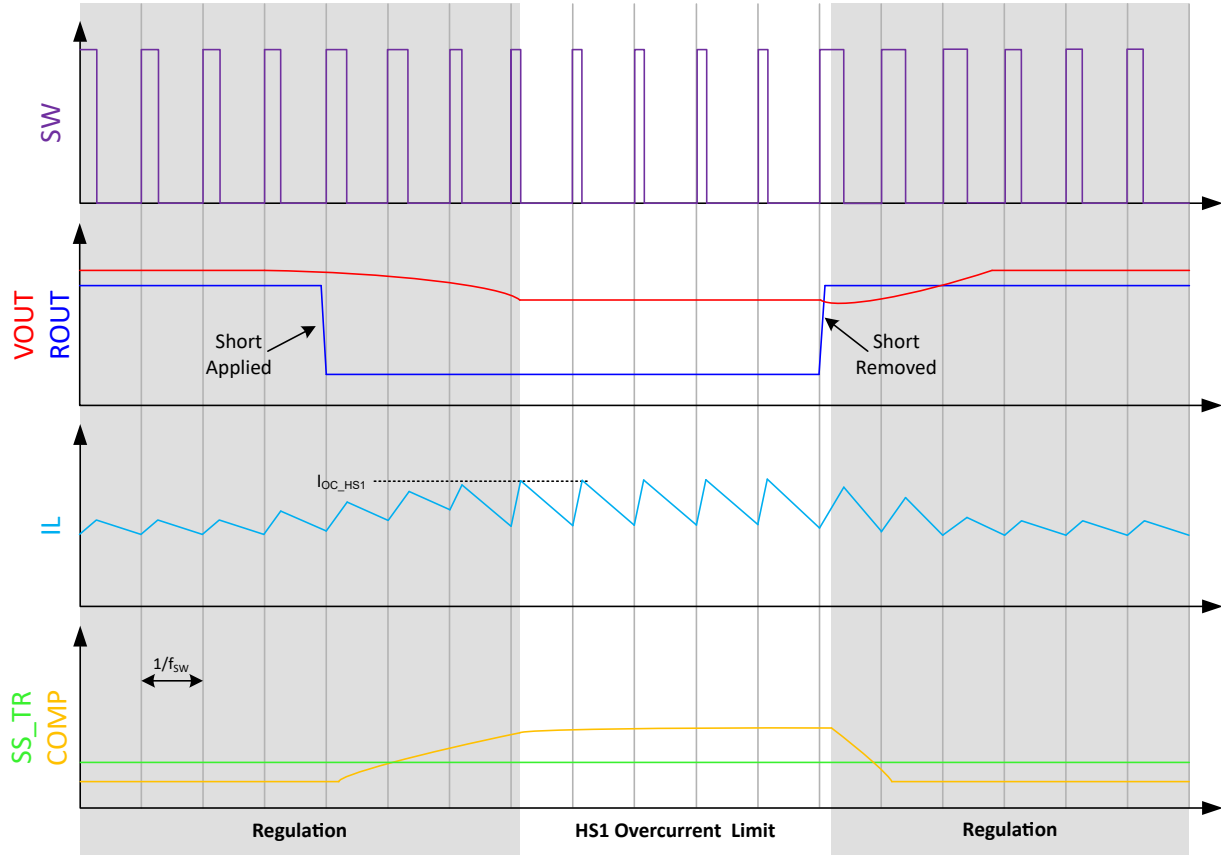


図 9-9. ハイサイド 1 過電流保護

ハイサイド 1 過電流保護 (HS1) スレッシュホールド値は通常、TPS7H4012 では 9.7A、TPS7H4013 では 5.6A です。電流を特定の値に制限することで、最大電流に対応できるようにインダクタを適切に調整できます。推奨される DC 最大出力電流は、TPS7H4012 では 6A、TPS7H4013 では 3A です。

9.3.8.1.2 ハイサイド 2 過電流保護 (HS2)

場合によっては、HS1 の電流制限だけではデバイスを保護できない場合があります。たとえば、短絡が非常に激しい場合、ハイサイドが最小オン時間 t_{ON} の間のみオンしているだけでも、電流が上昇し続ける場合があります。このリスクを低減するため、TPS7H401x はハイサイド過電流保護 2 (HS2) という形で 2 次側の過電流保護を実装しています。

ローサイド MOSFET を流れる電流が I_{OC_HS2} を満たすか上回ると、HS2 の電流制限に達します。持続的な電流の増加を防ぐため、次の 4 つのハイサイド サイクルをスキップし、その間ローサイド MOSFET をオンのままにしてインダクタを放電します。この動作の概略波形を図 9-10 に示します。

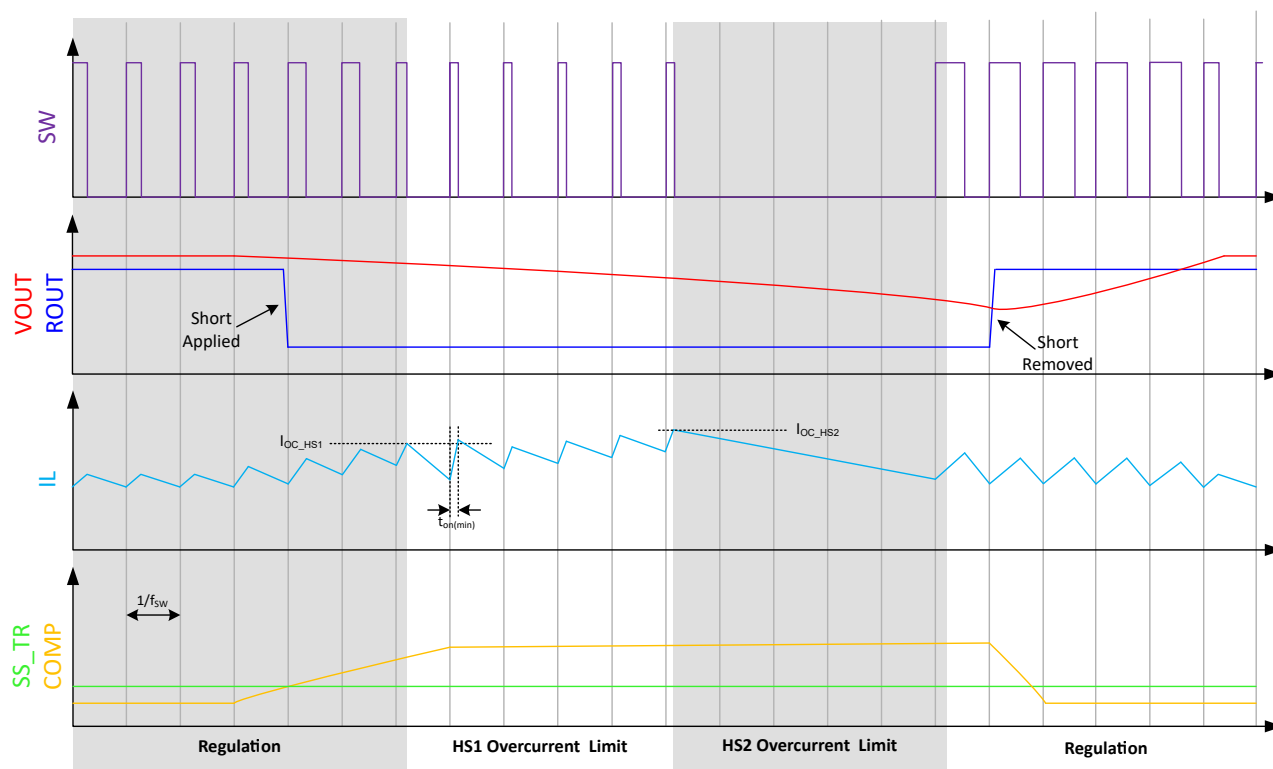


図 9-10. ハイサイド 2 過電流保護

ハイサイド 2 過電流保護 (HS2) スレッシュホルド値は通常、TPS7H4012 では 11.8A、TPS7H4013 では 6.8A です。

I_{OC_HS1} の電流制限値と同様に、 I_{OC_HS2} の制限スレッシュホルド値は、テスト安定性の制限により開ループ構成で測定されます。一方、実際の短絡イベントは動的で閉ループで発生します。

9.3.8.1.3 COMP シャットダウン

COMP ピンの電圧はデバイスの出力電流に比例するため、COMP 電圧をクランプすることで、過電流イベントからデバイスを保護する別の方法が実現されます。特に、COMP が COMP_{SHDN} (通常 1.9V) を上回る場合、本デバイスは短い遅延時間 $t_{COMP(delay)}$ の後にシャットダウンします。

この機能は、HS1 および HS2 の電流制限を補完するものです。COMP のスルーレートはループ全体の帯域幅と、エラーアンプの駆動強度によって制限されるため、障害発生中に COMP が COMP_{SHDN} に達するまでに要する時間は、ループ補償および特定のタイプによって異なります。ほとんどのフォルトの間、COMP が COMP_{SHDN} に達する前に HS1 に達します。HS2 は多くの場合、COMP が COMP_{SHDN} に達する前に達することがあります。ただし、フォルトの種類によっては、COMP は COMP_{SHDN} に達して、HS2 に達する前に部品を無効にすることがあります。そのため、COMP_{SHDN} はフェイルセーフのタイプと考えることができます。

COMP は COMP_{SHDN} に達し、 $t_{COMP(delay)}$ が経過すると、デバイスはスイッチングを停止し、プルダウン抵抗 $R_{SS(discharge)}$ (通常 442Ω) を経由して SS_TR ピンの放電を開始します。SS_TR が SS_{startup} (通常 20mV) まで放電されるまで、部品は再起動を試みません。これにより、TPS7H401x の冷却期間が短くなります。この放電時間は、ソフトスタートコンデンサ C_{SS} の値に直接依存することに注意します。COMP シャットダウン機能の例を、図 9-9 の概略波形で示します。

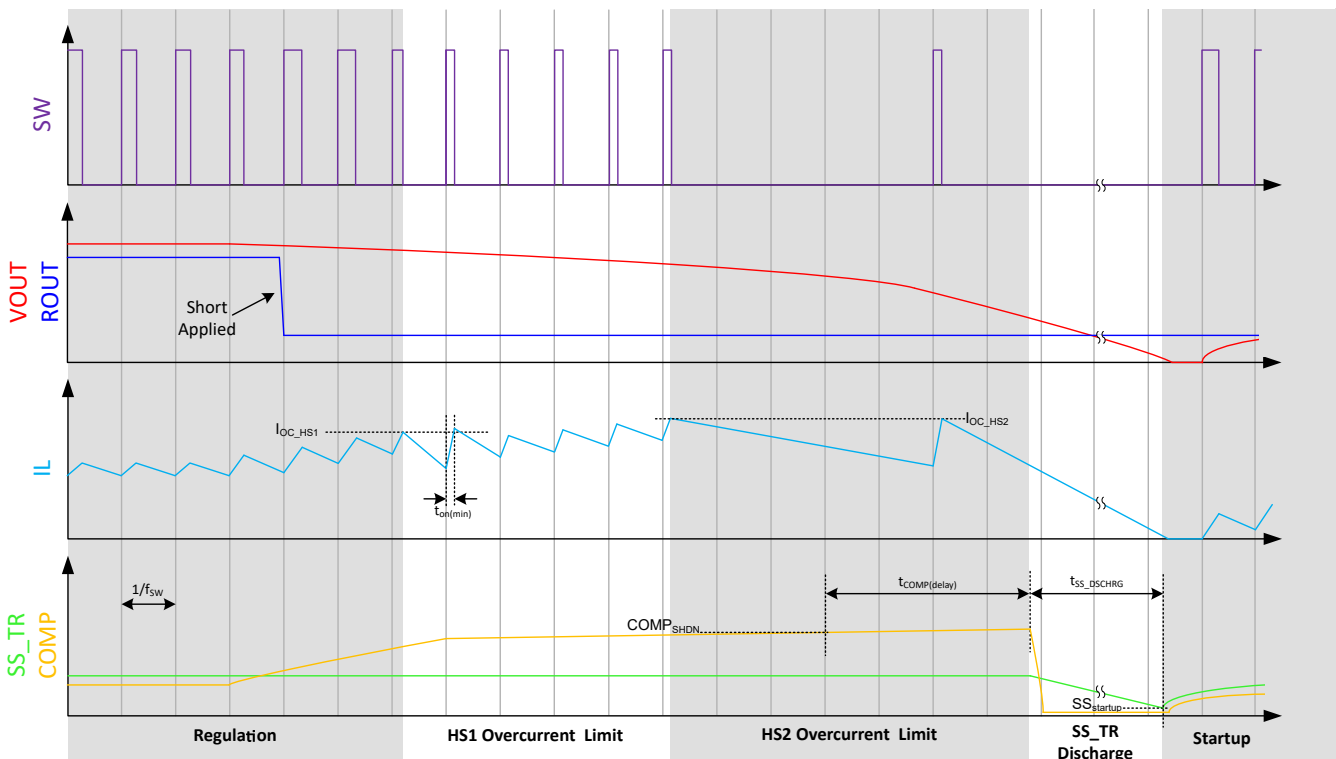


図 9-11. COMP シャットダウン保護

さらに、出力負荷に積極的な負荷ステップが印加され、高ループ帯域幅が利用されている場合、COMP は COMP_{SHDN} に達することがあります。これは、この状況では、COMP のスルーレートが負荷応答可能なよりも速くなるためです。これは、ワーストケースの負荷ステップに対して適切に設計された補償回路により、回避できます。

9.3.8.1.4 ローサイド過電流シンク保護

ローサイド MOSFET が、負荷からの電流をシンクすることが可能です (軽負荷動作時など)。特定の状況 (高電流負荷が突然解消されるか、VOUT が設定点より高くなったなど) では、ローサイドのシンク電流が過剰になる可能性があります。そのため、ローサイドの過電流シンク保護が提供されます。

ローサイド シンク電流が制限を超えた場合、ローサイド MOSFET は直ちにオフとなり、そのクロック サイクルの終わりまでオフに保持されます。このシナリオでは、次のサイクルの開始まで両方の MOSFET がオフとなります。ローサイド MOSFET がオフになると、スイッチノード電圧が上昇し、ハイサイド MOSFET の並列ボディダイオードを順方向バイアスします (この段ではハイサイド MOSFET はまだオフのままです)。

9.3.8.2 出力過電圧保護 (OVP)

このデバイスは、出力電圧のオーバーシュートを最小限に抑えるための出力過電圧保護 (OVP) 回路を備えています。VSNS+ ≥ PWRGD_{HIGH_LR%} × V_{REF} になると、OVP 回路が作動します。これは通常、VOUT が公称値の 108% を上回ると OVP 回路が作動することを意味します。OVP がアクティブのとき、ハイサイド FET はオフのまま維持され、ローサイド FET はオンにとどまって VOUT を迅速に放電します。

過電圧状態を引き起こす可能性のある例として、電源出力が長時間にわたって過負荷になった場合があります。したがって、誤差増幅器は実際の出力電圧をリファレンス電圧と比較します。VSNS+ ピンの電圧がリファレンス電圧よりも一定時間にわたって低くなった場合、誤差アンプの出力では最大出力電流が必要となります。この状態が解消されると、レギュレータの出力が上昇し、エラー アンプの出力は定常状態の電圧に遷移します。出力容量の小さい一部のアプリケーションでは、電源出力電圧が誤差増幅器よりも高速で応答する場合があります。その場合、出力にオーバーシュートが生じる可能性があります。OVP 機能は、このオーバーシュートを最小限に抑えます。

VSNS+ ピンの電圧が OVP スレッシュホールドを超えると、ハイサイド MOSFET がオフになり、出力に電流が流れるのを防ぎ、出力のオーバーシュートを最小限に抑えます。VSNS+ 電圧が OVP スレッシュホールドを下回ると、次のクロック サイクルでハイサイド MOSFET がオンになります。

9.3.8.3 サーマル シャットダウン

接合部温度が標準 170°C を超えると内部のサーマル シャットダウン回路がデバイスのスイッチングを強制停止します。接合部温度が標準 135°C を下回ると、デバイスはパワーアップシーケンスを再び開始します。サーマル シャットダウン保護は、過熱状況が発生してもデバイスの温度ができる限り低くなるようにすることを目的としています。

9.3.9 誤差アンプとループ応答

デバイス制御ループの簡略化モデルを、[図 9-12](#) に示します。このデバイス制御ループは、降圧レギュレータシステムの周波数応答および過渡応答の判定に役立ちます。簡略化モデルは、トランスコンダクタンス誤差増幅器 (OTA)、電力段、外部フィードバック、外部補償で構成されています。勾配補償の影響は、このモデルには示されていません。エラーアンプと電力段の詳細については、後続のセクション (それぞれ[セクション 9.3.9.1](#) と [セクション 9.3.9.2](#)) を参照してください。

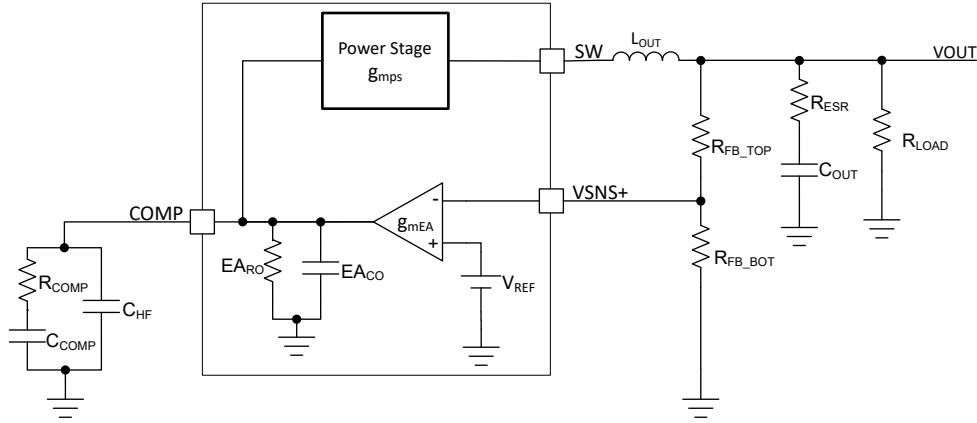


図 9-12. ループ応答の小信号モデル

9.3.9.1 エラー アンプ

TPS7H401x デバイスは、エラー アンプとして相互コンダクタンス アンプを内蔵しています。誤差増幅器は、VSNS+ の電圧を内部の V_{REF} 基準電圧と比較します。

エラーアンプの相互コンダクタンスは、通常 $1,650\mu\text{S}$ ($\mu\text{A/V}$) です。周波数補償ネットワークは、COMP ピンと GND の間に接続されます。誤差増幅器の DC ゲインは通常 $11,500\text{V/V}$ です。エラーアンプの出力抵抗は $7\text{M}\Omega$ (代表値) です。

9.3.9.2 電力段の相互コンダクタンス

さまざまな電流レベルでデバイス全体の動作を最適化するため、TPS7H4012 および TPS7H4013 では、電力段の相互コンダクタンス g_{mPS} が異なります。TPS7H4012 の標準 g_{mPS} は 11.2S ($V_{COMP} = 0.7\text{V}$ で測定)、TPS7H4013 の標準 g_{mPS} はそれより低い 6.2S ($V_{COMP} = 0.75\text{V}$ で測定) です。

9.3.9.3 スローブ補償

目的のスローブ補償 SC は、RSC ピンと GND の間に接続する抵抗を使用して構成できます。TPS7H401x デバイスは、すべてのデューティサイクルについて、スイッチ電流信号に補償ランプを追加します。RSC のさまざまな値と、その結果として得られるスローブ補償については、「[電気的特性](#)」を参照してください。[式 8](#) は、目的のスローブ補償を達成するために必要な RSC の値を概算するために提供されます。

$$R_{SC} = 0.208 \times g_{mPS} \times SC^{-1.5} \times f_{SW} \quad (8)$$

ここで、

- R_{SC} は、目的のスローブ補償を達成するために推奨される抵抗値 ($\text{k}\Omega$) です。
- g_{mPS} は、S 単位の電力段のゲインです
- SC は、スローブ補償の正の目的値 ($\text{A}/\mu\text{s}$) です (「[電気的特性](#)」では、この値は負の単位で示されている点に注意してください)
- f_{SW} はスイッチング周波数 (kHz) です。

スローブ補償値の選択に関する詳細なガイダンスは、アプリケーションセクションの[セクション 10.2.2.9](#)を参照してください。

9.3.9.4 周波数補償

TPS7H401x には外部周波数補償が必要です。DC/DC レギュレータを補償するために使用される、業界内ではいくつかの技法があります。TPS7H401x の場合、タイプ 2A 補償が最も多く推奨されますが、他の方法もあります。具体的な例については、「アプリケーション」セクションの [セクション 10.2.2.10](#) を参照してください。

9.4 デバイスの機能モード

本デバイスは、固定周波数のピーク電流モード制御を使用します。同期整流降圧コンバータとして、このデバイスは通常、あらゆる負荷状況下で連続電流モードで動作します。出力電圧は外部抵抗によって分割され、VSNS+ はエラーアンプによって内部電圧リファレンスと比較され、COMP ピンを駆動します。内部発振器により、ハイサイド パワー スイッチのオン動作が開始されます。エラーアンプの出力は電流リファレンスに変換され、ハイサイドパワースイッチ電流と比較されます。パワースイッチ電流が COMP 電圧レベルによって生成された電流リファレンスに達すると、ハイサイドパワースイッチがオフになり、ローサイドパワースイッチがオンになります。

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 使用上の注意

TPS7H4012 は放射線耐性を持った同期整流降圧コンバータです。このデバイスは、最大 **6A** で、より高い DC 入力電圧をより低い DC 出力電圧に変換するために使用されています。デバイスは、**4.5V ~ 14V** の入力電圧範囲で使用できます。

10.2 代表的なアプリケーション

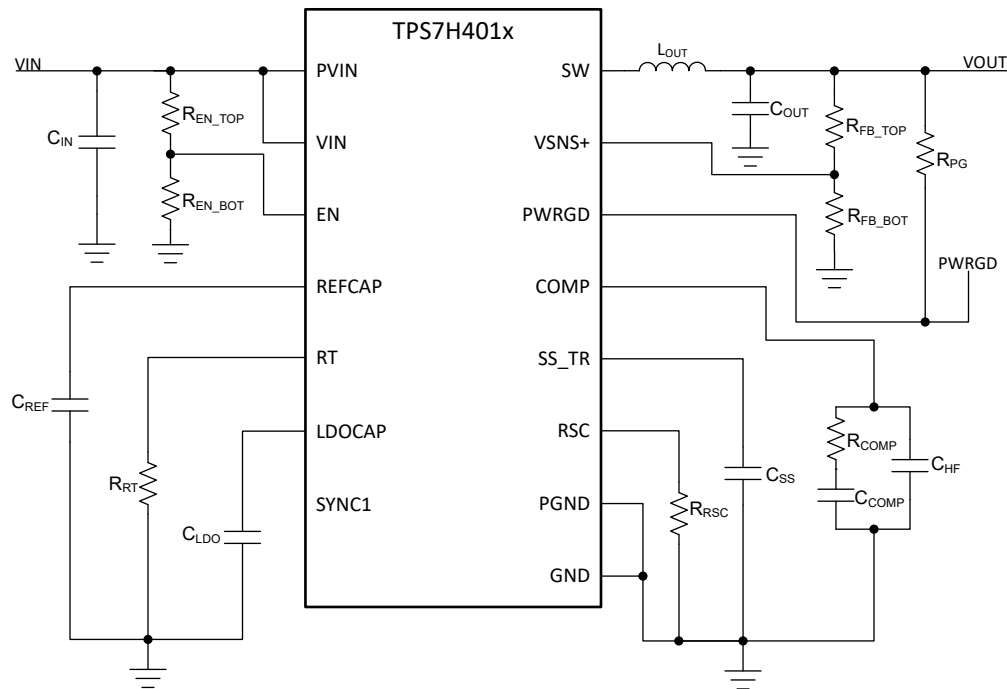


図 10-1. 代表的なアプリケーション回路図

10.2.1 設計要件

表 10-1. 設計パラメータ

設計パラメータ	設計値
入力電圧	12V ± 5%
出力電圧	3.3V ± 1.5%
最大出力電流	6A
過渡応答、5A の負荷ステップ	ΔVOUT = 2.5%
出力電圧リップル	20mVpp
開始入力電圧 (VIN が上昇時)	10V
スイッチング周波数	500kHz

10.2.2 詳細な設計手順

10.2.2.1 動作周波数

最初のステップは、レギュレータのスイッチング周波数を決定することです。スイッチング周波数の高速化と低速化の間ではトレードオフが存在します。高いスイッチング周波数は、低いスイッチング周波数の電源と比べて、小さなインダクタ値や出力コンデンサを使用できるため、設計サイズを小型化できる可能性があります。ただし、スイッチング周波数が高いほどスイッチング損失が増加し、コンバータの効率と放熱性能が悪化します。このデザインでは、500kHz のスイッチング周波数を選択します。式 6 を使用して、90.9kΩ の RT 抵抗を計算します。

10.2.2.2 出力インダクタの選択

出力インダクタを計算するには、式 10 を使用します。KL は、最大出力電流に対するインダクタのリップル電流の量を示す係数で、IOUT は式 9 に示すとおりです。出力コンデンサのリップル電流定格はインダクタのリップル電流以上である必要があるため、大きなインダクタのリップル電流を選択すると、出力コンデンサの選択に影響を与えます。一般に、インダクタリップル値は、特定のシステムニーズにより、設計者の裁量で決定します。KL の代表値は 10%～50% の範囲です。出力電流が低い場合、KL の値を大きくして、出力インダクタの値を小さくします。

$$K_L = \frac{I_{\text{ripple}}}{I_{\text{OUT}}} \quad (9)$$

$$L = \frac{V_{\text{IN(max)}} - V_{\text{OUT}}}{I_{\text{OUT}} \times K_L} \times \frac{V_{\text{OUT}}}{V_{\text{IN(max)}} \times f_{\text{SW}}} \quad (10)$$

この設計例では、KL = 35% かつ VIN(max) = 12.6V (12V + 5%) を使用します。計算されたインダクタの値は 2.32μH であるため、利用可能な最も近い 2.2μH インダクタを選択します。結果として得られるリップル電流は、式 11 を使って計算できます。この設計の場合、リップル電流は結果として 2.2A となります。

$$\Delta I_L = \frac{V_{\text{IN(max)}} - V_{\text{OUT}}}{L} \times \frac{V_{\text{OUT}}}{V_{\text{IN(max)}} \times f_{\text{SW}}} \quad (11)$$

出力フィルタ インダクタの場合、RMS 電流定格および飽和電流定格を超えないようにすることが重要です。RMS 電流は式 12 から求められ、ピークインダクタ電流は式 13 から求められます。

$$I_{L(\text{rms})} = \sqrt{I_{\text{OUT}}^2 + \frac{1}{12} \times \left(\frac{V_{\text{OUT}} \times (V_{\text{IN(max)}} - V_{\text{OUT}})}{V_{\text{IN(max)}} \times L \times f_{\text{SW}}} \right)^2} \quad (12)$$

$$I_{L(\text{peak})} = I_{\text{OUT}} + \frac{I_{L(\text{ripple})}}{2} \quad (13)$$

この設計の場合、RMS インダクタ電流は 6A、ピークインダクタ電流は 7.11A です。この要件を満たすために、Würth 74439346022 インダクタを選択します。このインダクタの飽和電流定格は 19.5A、RMS 電流定格は 10.6A です。

インダクタを流れる電流は、インダクタリップル電流 + 出力電流です。パワーアップ時、障害発生時、または負荷過渡状態中は、インダクタ電流が前に計算されたピークインダクタ電流レベルを超えて増加する場合があります。過渡状態では、インダクタ電流がデバイスのスイッチ電流制限まで増加する場合があります。この理由により、最も保守的なアプローチは、ピークインダクタ電流ではなく、最大スイッチ電流制限以上の飽和電流定格を持つインダクタを指定することです。

電流制限を開始する前に十分なマージンを確保するため、電流制限値 (代表値) をピークインダクタ電流より少なくとも 25% 高く維持することを TI では推奨しています。標準的な電流制限である 9.7A は、これらの要件を満たしています。

10.2.2.3 出力コンデンサの選択

出力コンデンサの値の決定には、いくつかの考慮事項があります。出力コンデンサの選択は、目的の出力電圧リップルと、負荷電流の大きな急激な変化 (負荷ステップ) による許容電圧偏差の両方によって決まります。宇宙用途の場合、容量値はシングルイベント効果の緩和 (SEE) を考慮する必要があります。出力容量は、これら 3 つの条件のうち最も厳しいものに基づいて選択する必要があります。コンデンサを選択するには、十分な電圧定格、温度定格を持つコンデンサを選択するよう注意し、DC バイアス効果による実効容量の変化も考慮してください。また、[セクション 10.2.2.10](#) で説明されているように、出力コンデンサの値がコンバータの周波数応答の変調器の極に直接影響を及ぼす点に注意することも重要です。

最初に考慮する基準は、負荷ステップに対する望ましい応答です。これは一般に、負荷の電流需要を大きく高速に変化させたとき、レギュレータが一時的に十分な出力電流を供給できない場合に発生します。これは、無負荷から全負荷への遷移時や、大きな電流変動を伴う FPGA への電源供給時に発生する可能性があります。出力コンデンサのサイズは、制御ループが負荷の変化に応答するまでの間、負荷に追加の電流を供給できるように決定する必要があります。[式 14](#) に、これを実現するために必要な最小出力容量を電氣的な観点から見たときに示します。

$$C_{OUT} \geq \frac{2 \times \Delta I_{OUT}}{f_{SW} \times \Delta V_{OUT}} \quad (14)$$

ここで、 ΔI_{OUT} は出力電流の変化、 f_{SW} はレギュレータのスイッチング周波数、 ΔV_{OUT} は出力電圧の許容される変化です。この例では、負荷過渡応答は、5A の負荷ステップに対する V_{OUT} の 2.5% の変化として指定されています。この結果、最小容量は 242 μ F になります。この値は、出力電圧の変化について出力コンデンサの ESR を考慮していません。セラミックコンデンサの場合、ESR は通常十分に小さいため、この計算では無視できます。ただし、宇宙アプリケーションや大きな容量値の場合は、通常はタンタルコンデンサが使用されますが、ある程度の ESR 値を考慮する必要があります。

次の条件は、[式 15](#) を使用して、出力電圧リップル要件を満たすために必要容量を計算することです。ここで、 $V_{OUT_{ripple(desired)}}$ は最大許容出力電圧リップル、 ΔI_L はインダクタのリップル電流です。この場合、目標とする最大出力電圧リップルは 20mV、インダクタのリップル電流は 2.2A です。これらの条件では、28 μ F の最小容量値を計算します。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \times f_{SW} \times V_{OUT_{ripple(desired)}}} \quad (15)$$

最後に、[式 16](#) を使用して出力電圧リップルを満たすときは、コンデンサの ESR を考慮する必要があります。ESR 値は、9m Ω 以下である必要があると判断されました。

$$ESR \leq \frac{V_{OUT_{ripple(desired)}}}{\Delta I_L} \quad (16)$$

エージング、温度、および DC バイアスに対する追加の容量ディレーティングが考慮されており、必要な出力キャパシタンスの最小値は増加します。さらに、コンデンサでは一般的に、故障や過熱を発生させずにコンデンサが処理できるリップル電流の大きさに制限があります。出力コンデンサのバンクを選択すると、[式 11](#) で計算されたリップル電流を処理する必要があります。

この具体的な設計では、上記の要件すべてを考慮した上で、2x330 μ F T530 タンタルコンデンサを選定すると、500kHz のスイッチング周波数での合計 ESR は 2.45m Ω となります。さらに、高周波フィルタリングのために、22 μ F、10 μ F、1 μ F、100nF のセラミックコンデンサを並列に追加しています。この結果、合計容量は 693.1 μ F になります。

式 17 は、容量と ESR の両方を考慮した場合に得られる出力電圧リップルを概算するために使用できます。本設計における出力リップルの推定値は 6.2mV となります。

$$V_{OUT\text{ripple}} \approx \frac{\Delta I_L}{8 \times f_{SW} \times C_{OUT}} + ESR \times \Delta I_L \quad (17)$$

10.2.2.4 入力コンデンサの選択

TPS7H4012 への入力電源には、適切な電気的性能のため、十分なコンデンサバイパスを使用して適切にレギュレートする必要があります。PVIN および VIN 入力の近くに、少なくとも 4.7μF の実効容量を持つセラミックコンデンサが必要ですが、一般に、高い入力電流を処理するためには追加のバルク容量が必要となります。出力コンデンサの選択と同様に、入力コンデンサを選択する際には、十分な電圧定格、温度定格を持つコンデンサを選択するよう注意し、DC バイアス効果による実効容量の変化も考慮する必要があります。式 18 を用いた計算のように、コンデンサのリップル電流定格を最大入力電流リップルよりも大きくする必要があります。この設計では、 I_{CINrms} は 2.7A と計算されます。

$$I_{CINrms} = I_{OUT} \times \sqrt{\frac{V_{OUT} \times (V_{IN(min)} - V_{OUT})}{V_{IN(min)}^2}} \quad (18)$$

次に、式 19 を使用して、目標とする最大入力リップル電圧 $\Delta V_{IN\text{desired}}$ を選択し、最小入力容量を計算できます。この設計では、20mV 以下の入力電圧リップルを使用して、150μF の最小入力容量を実現します。

$$C_{IN} \geq \frac{I_{OUT} \times 0.25}{\Delta V_{IN\text{desired}} \times f_{SW}} \quad (19)$$

ただし、式 19 には入力リップル電圧に対する ESR の影響は含まれていません。そのため、追加の容量が利用されます。具体的には、5x100μF タンタルコンデンサと 2x22μF、2x10μF、2x4.7μF および 1x0.1μF セラミックコンデンサが選択されます。合計入力容量は 573.5μF となります。

10.2.2.5 ソフトスタート コンデンサの選択

ソフトスタートコンデンサ C_{SS} は、パワーアップ中に出力電圧がその公称設定値に達するまでにかかる時間を決定します。これは、負荷に対して制御された電圧スルーレートが必要である場合に有用です。これは、出力容量が大きい (宇宙グレードの降圧コンバータの一般的なように) 場合にも使用され、コンデンサを出力電圧レベルまですばやく充電するために大きな電流が必要になります。コンデンサの充電に必要な大きな電流によって、TPS7H401x が電流制限に達し、入力電源から過剰な電流が流れたり、入力電圧レールが降下したりする場合があります。出力電圧のスルーレートを制限することで、これらの問題を解決できます。このソフトスタートコンデンサの値は、式 7 を使って計算できます。

多くの宇宙グレードの降圧レギュレータでは妥当なソフトスタート時間は 5.8ms であり、その場合 C_{SS} コンデンサの値は 22nF となります。

10.2.2.6 立ち上がり VIN 設定点 (構成可能な UVLO)

VIN と GND の間の外付け分圧抵抗を使用して、目的のプリセット入力電圧に達したとき TPS7H4012 をイネーブルにします。これは事実上、調整可能な UVLO として機能します。まず、目的のターンオン電圧 ($V_{IN(rising)}$) として 10V を選択します。次に、消費電力を最小化するのに十分な大きな抵抗と、高インピーダンスノードとの過度なノイズ結合を防止するのに十分低い抵抗との間の妥当なトレードオフとして、54.2kΩ の R_{EN_TOP} を選択します。式 4 を使用して 3.52kΩ の R_{EN_BOT} を計算します。

イネーブルピンにはヒステリシスがあるため、結果として得られるターンオフ電圧は、式 5 を使って計算できます。 $V_{IN(falling)}$ は 8.36V であることがわかります。つまり、10V ($V_{IN(rising)}$) を上回った後にレギュレータがスイッチングを開始した時点で、8.36V 以下に低下するまでスイッチングを継続できます。

10.2.2.7 出力電圧帰還抵抗の選択

分圧抵抗回路 R_{FB_TOP} と R_{FB_BOT} を使用して出力電圧を設定します。この設計では、 R_{TOP} に $10k\Omega$ を選択しています。また、制御ループの測定に役立つよう、 R_{FB_TOP} と直列に 50Ω の抵抗を配置しています。 $10.05k\Omega$ との合計値を使用して式 1、 R_{BOTTOM} は $2.233k\Omega$ として計算されます。最も近い標準値 0.1% 抵抗である $2.23k\Omega$ が選択されました。

10.2.2.8 出力電圧精度

出力電圧の DC 精度を決定するには、以下の誤差発生源を考慮します。

- 電气的特性表に記載されている V_{REF} は、主な誤差発生源です。これは、基準電圧と誤差アンプのオフセットによる誤差を含みます。最小動作温度範囲全体で $0.594V$ 、最大値 $0.604V$ 、標準値 $0.6V$ の精度から、 -1.00% および $+0.67\%$ の精度が得られます。代わりに、この誤差が $0.599V$ の平均リファレンス電圧を中心とする場合、精度は $\pm 0.83\%$ と計算されます。
- V_{REF} 仕様は、スイッチング閉ループ構成では測定されていません。図 7-31 を使用することで、出力電流 (ロードレギュレーション) およびスイッチングの影響を確認できます。 $6A$ 負荷全体にわたって、約 $800\mu V$ の小さな偏差しかありません。これは $+0.13\%$ の誤差に相当します。
- R_{FB_TOP} および R_{FB_BOT} 抵抗の抵抗許容誤差による外部誤差を追加する必要があります。誤差は無相関であると想定されるため、誤差を 2 乗和として加算することにします。選択した公差が 0.1% である R_{FB_TOP} および R_{FB_BOT} 抵抗では、総誤差は $R(\text{error}) = \text{sqrt}(0.1\%^2 + 0.1\%^2) = \pm 0.14\%$ となります。

出力電圧精度のシステム誤差を計算するには、式 20 を使用します。

$$\text{System}_{(\text{error})} = V_{REF(\text{error})} + R_{FB(\text{error})} + V_{LOAD(\text{error})} \quad (20)$$

負のシステム誤差の計算は $\text{System}_{(\text{error})} = -1.00\% - 0.14\% = -1.14\%$ であり、正のシステム誤差は $\text{System}_{(\text{error})} = 0.67\% + 0.14\% + 0.13\% = 0.94\%$ です。したがって、総システム誤差は $-1.14\%/+0.94\%$ と計算されます。総システム誤差を中心にするると、 $\pm 1.04\%$ となります。これらはそれぞれ、 1.5% のターゲットを満たしています。

寿命ドリフト データも同様に追加できます。グループ C のデータを、この計算に使用できます。この例では、寿命ドリフトは他の誤差発生源にくらべて小さいと仮定しているため、加算しません。

10.2.2.9 スロープ補償の要件

アプリケーションによって異なる勾配補償の値を選択できますが、一般的に推奨される理想的な値は、式 21 に示すように、出力電圧をインダクタサイズで割ったものとして定義されます。

$$SC_{\text{suggested}} = \frac{di}{dt} = \frac{\Delta I_L}{\Delta t_{OFF}} = \frac{V_{OUT}}{L} \quad (21)$$

この設計の場合、推奨値は $1.5A/\mu s$ です。式 8 を使って計算すると、 R_{SC} の推奨値は $634k\Omega$ となります。ただし、この具体的なアプリケーション例では、推奨される値よりも大きなスロープ補償を使用することにより、追加のマージンが確保され、さまざまな構成のテストにも適したものとなりました。したがって、 $200k\Omega$ の値を使用しており、その結果、 $3.2A/\mu s$ になります。

10.2.2.10 補償部品の選択

セクション 9.3.9 に、TPS7H4012 の制御ループを示します。このデバイスを補償するための部品選択は、次のようになります。ピーク電流モード制御の降圧レギュレータを補償するための、業界標準に準拠した他のアプローチも許容されません。

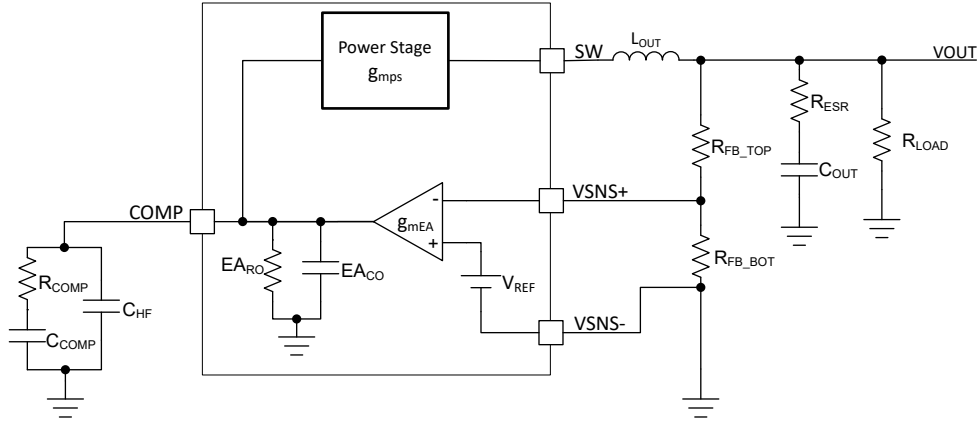


図 10-2. 簡略ループでタイプ II 補償を入力します

1. 目的のクロスオーバー周波数 $f_{CO(desired)}$ を決定します。目安として適切な基本原則は、クロスオーバー周波数をスイッチング周波数の $1/10$ に設定することです。これにより、一般的に良好な過渡応答が得られ、変調器の極によって位相マージンが低下しないように保たれます。この設計では、より保守的なクロスオーバー周波数のターゲットとして 33kHz が選択されています。
2. 式 22 を使って、補償された誤差アンプから必要なゲインを決定します。

$$A_{VM} = \frac{2\pi \times f_{CO(desired)} \times C_{OUT}}{g_{mps}} \quad (22)$$

ここで、 g_{mps} は、選択した電流制限に対する電力段の相互コンダクタンスです。この設計では、 $f_{CO(desired)} = 33\text{kHz}$ 、 $C_{OUT} = 693.1\mu\text{F}$ 、 $g_{mps} = 11.2\text{S}$ の場合、 A_{VM} の値として 12.8V/V が得られます。

3. R_{COMP} は式 23 で求められます。

$$R_{COMP} = \frac{A_{VM}}{g_{mEA}} \times \frac{V_{OUT}}{V_{REF}} \quad (23)$$

ここで、 g_{mEA} はエラーアンプの相互コンダクタンス ($1650\mu\text{S}$ 代表値)、 V_{REF} は基準電圧 (0.6V 代表値) です。 $42.77\text{k}\Omega$ の値が計算され、近い標準抵抗である $42.7\text{k}\Omega$ が選定されました。

4. 式 24 で求められる電力段の支配極を計算します。

$$f_{P,PS} = \frac{I_{OUT}}{2\pi \times C_{OUT} \times V_{OUT}} \quad (24)$$

この設計では、支配極は 0.42kHz と計算されます。

5. C_{COMP} を式 25 に基づいて選定することで、補償用ゼロ点を支配極に配置します。

$$C_{COMP} = \frac{1}{2\pi \times f_{P,PS} \times R_{COMP}} \quad (25)$$

この設計では、 C_{COMP} は 8.93nF と計算され、近い標準コンデンサ値 8.2nF を選択しました。

6. 出力コンデンサバンクからの ESR ゼロは、式 24 次で計算します。

$$f_{1,ESR} = \frac{1}{2\pi \times ESR \times C_{OUT}} \quad (26)$$

この設計では、ESR ゼロは 93.73kHz と計算されます。

7. C_{HF} は、出力コンデンサ C_{OUT} の等価直列抵抗 (ESR) からゼロをキャンセルするために使用します。これは、式 27 を使って計算されます。

$$C_{HF} = \frac{1}{R_{COMP} \times 2\pi \times f_{Z,ESR}} \quad (27)$$

ESR ゼロがスイッチング周波数の半分より大きい場合、式 27 の ESR ゼロではなくスイッチング周波数の半分を使用することに注意してください。この設計では、 C_{HF} は 39.77pF と計算され、近い標準コンデンサ値 22pF を選択しました。

注

これらの式を使用して選択した部品は、設計での開始値に過ぎないことが多いです。ラボテスト後に最適化を行うことで、周波数応答をさらに改善し、目的のクロスオーバー周波数により近づけることができます。

注

デバイス モデルについては、[TPS7H4012-SEP 設計ツールとシミュレーション](#)、[TPS7H4012-SP 設計ツールとシミュレーション](#)、[TPS7H4013-SEP 設計ツールとシミュレーション](#)、[TPS7H4013-SP 設計ツールとシミュレーション](#)、の Web ページを参照してください。

10.2.2.11 ショットキーダイオード

SW から PGND にショットキー ダイオードを接続できます。これにより、デッドタイム中のインダクタ電流のための低インピーダンスパスが得られます。特に高電流および高いスイッチング周波数で動作している場合に、ショットキー ダイオードによって、リファレンス電圧のドリフトを軽減できます。また、ショットキー ダイオードは効率の向上にも役立ちます。最適な効率と性能を得るために、逆回復時間が短い、または逆回復時間がないダイオードを選択してください。真のショットキーダイオードには、逆回復時間はありません。

ショットキー ダイオードは設計上適切な対策ですが、TPS7H4012 および TPS7H4013 では不要です。ただし、結果として生じる電圧リファレンスの変動を、対象のアプリケーションにとって許容範囲内であるか確認することが推奨されます。[図 7-31](#) および [図 7-32](#) も参照してください。

10.2.3 アプリケーション曲線

代表的なプロットを以下に示します。

- VIN = PVIN = 12V
- VOUT = 3.3V
- IOOUT = 6A
- スwitchング周波数 = 500kHz

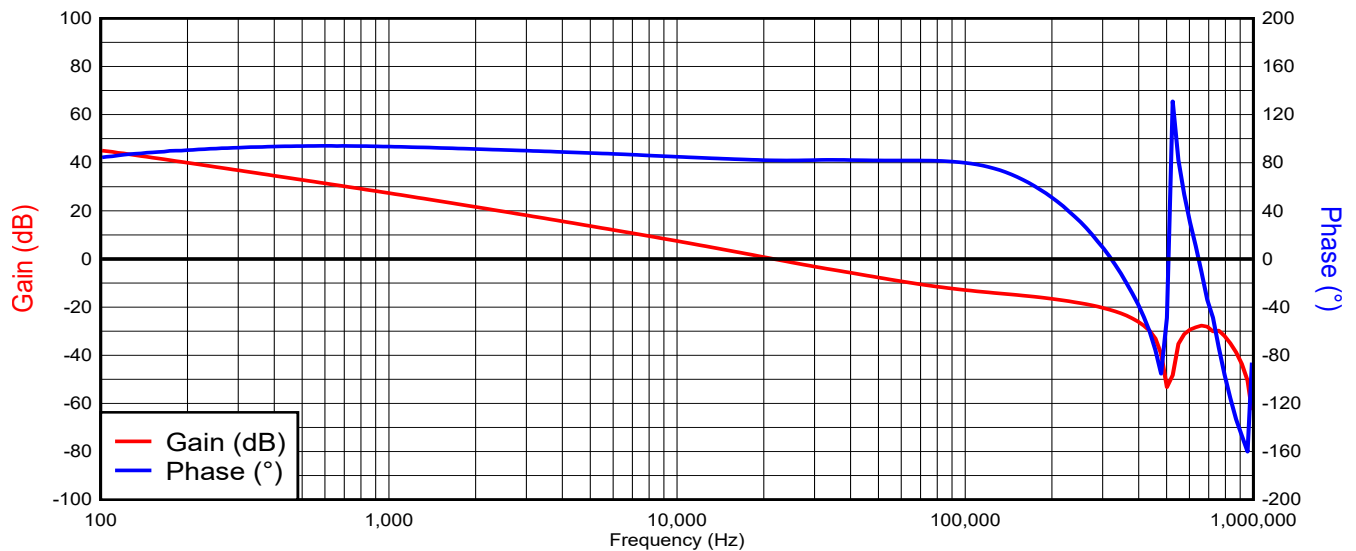


図 10-3. ボード線図

10.2.4 反転昇降圧

TPS7H401x は、[図 10-4](#) に示すように、負の出力電圧を生成する反転昇降圧として構成することができます。

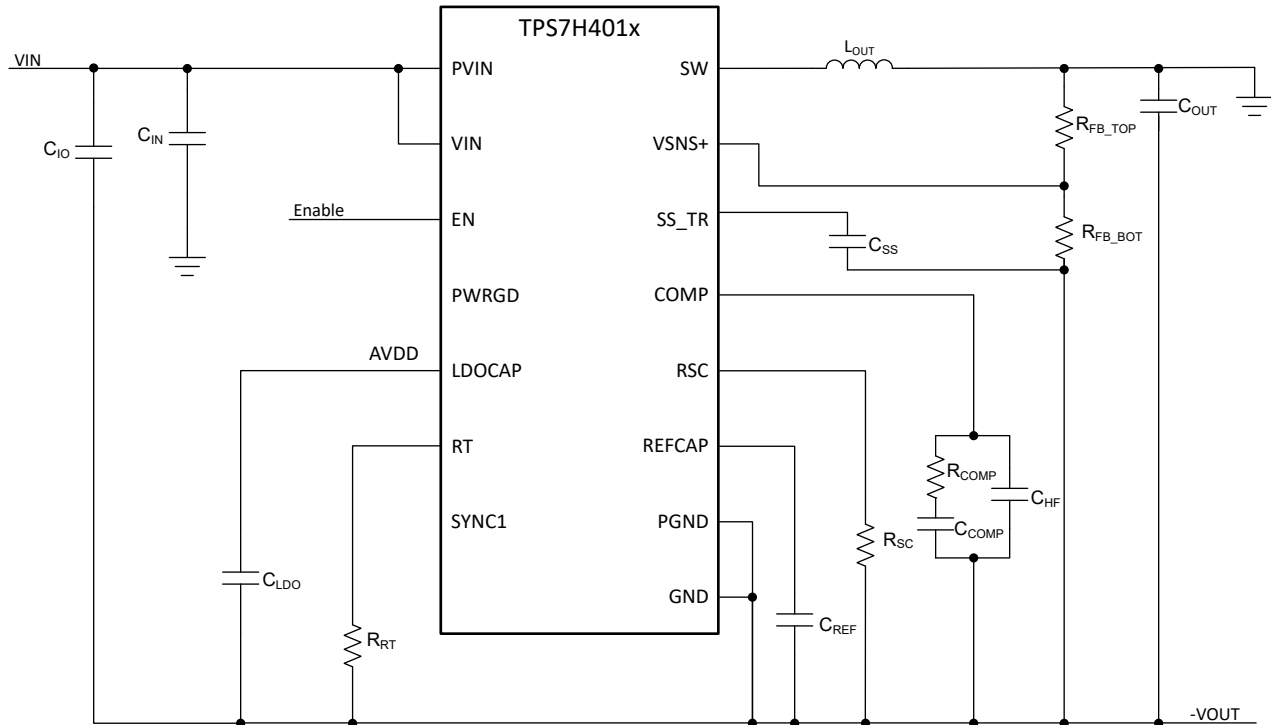


図 10-4. 反転昇降圧の概略回路図

反転昇降圧を設計する際の追加の検討事項については、アプリケーションノート「[反転昇降圧コンバータの使用](#)」に記載されています。このアプリケーションノートには多くの詳細と式が記載されていますが、TPS7H401x に関するいくつかの考慮事項を以下に示します。

- 推奨最大入力電圧 **14V** を遵守してください。つまり、 $V_{IN} + |V_{OUT}| \leq 14V$ です。たとえば、 $5V \sim -5V$ に構成した反転昇降圧は許容されますが (**10V** 差動)、 $12V \sim -12V$ は許容されません (**24V** 差動)。
- 電流制限がアプリケーションをサポートしていることを確認してください。反転昇降圧の平均インダクタ電流は、負荷電流よりも大きくなります。そのため、降圧コンバータと比較してピーク電流が予想よりも大きくなる可能性があります。さらに、これは、平均インダクタ電流を TPS7H4012 の推奨最大値である **6A** 未満、および TPS7H4013 の推奨最大値である **3A** 未満に維持する必要があることを意味します。
- [図 10-4](#) の C_{IO} は、降圧コンバータで使用される標準の入力コンデンサです。 C_{IN} は、システムグランドを基準とした入力コンデンサで、レギュレータの入力に低インピーダンスパスを提供します。
- EN などのデバイスのロジック入力ピンが推奨最大定格の **7V** を超えないようにしてください。たとえば、外部ソースから EN が **5V** に駆動され、反転昇降圧が $-5V$ の出力に構成されている場合、EN に (デバイスの GND ピンに対して) **10V** が印加され、定格を超えます。この状況を回避するため、入力電圧信号を選択するよう注意してください。または、-VOUT (デバイスの GND ピン) を基準にするように信号をロジックシフトすることもできます。

10.3 電源に関する推奨事項

TPS7H401x は、4.5V～14V の入力電源電圧範囲で動作するように設計されています。この電源電圧には適切なレギュレーションが行われる必要があります。適切な電気的性能を得るには、電源を適切にバイパスする必要があります。これには、PVIN から GND および VIN から GND に、(デラティング後) 4.7 μ F のセラミックコンデンサ (X7R タイプ以上) を最低 1 個含める必要があります。PVIN および VIN は同じ電圧である必要があり、PVIN および VIN を外部に接続することを推奨します。入力リップル仕様の小さいシステムではローカルセラミックバイパス容量の追加が必要となる場合があります。また、TPS7H401x デバイスが入力電源から数インチ以上離れている場合は追加のバルク容量が必要になる場合があります。バイパスコンデンサは入力ピンにできる限り近づけて配置し、GND への低インピーダンスパスを使用します。

出力のバイパス容量の値が大きいと、放射線によって発生する過渡に対する応答が向上します。

10.4 レイアウト

10.4.1 レイアウトのガイドライン

- レイアウトは、優れた電源設計のために重要な要素です。PCB レイアウトについては、「[レイアウト例](#)」を参照してください。
- TI では、大きな上面をグランド領域で充填することを推奨しています。最上層のグランド領域は、入力バイパス コンデンサ、出力フィルタ コンデンサ、および TPS7H401x デバイスの直下に配置したビアを介して内部のグランドに接続されます。これにより、露出したサーマルパッドからグランドまでの熱経路を提供します。上面のグランド領域と内部グランドプレーンは、十分な熱放散面積を備えていなければなりません。
- TI では、TPS7H401x の下のサーマルパッドを、ビアを用いて内部グランド層の GND に接続することを推奨しています。サーマルパッドグランドと、ノイズの多い PGND の上面との間でノイズを分離するため、サーマルパッドは最上層のグランドに直接接続する必要はありません。
- 高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、PVIN ピンは、X7R 誘電体を使用した低 ESR のセラミック バイパス コンデンサを使用してグランドにバイパスする必要があります。
- バイパス コンデンサ接続、PVIN ピン、およびグランド接続によって形成されるループ面積を、最小限に抑えるよう注意してください。
- また、VIN ピンも、X7R 誘電体を使用した低 ESR のセラミック コンデンサを使用してグランドにバイパスする必要があります。このコンデンサは、PVIN バイパスコンデンサのパワーグランドトレースではなく、ノイズの小さいアナロググランドパターン (利用されている場合) に必ず接続してください。
- SW 接続はスイッチング ノードであるため、出力インダクタは SW ピンの近くに配置します。また、過度の容量性カップリングを避けるために PCB 導体の面積はできるだけ小さくしてください。
- 出力フィルタ コンデンサのグランドには、PVIN 入力バイパス コンデンサと同じパワー グランドを使用します。このパターンは、十分な幅を保ちながらできるだけ短くしてください。
- 帰還パターンをインダクタの EMI や他のノイズ源から遠ざけることが重要です。フィードバック配線は、インダクタ、スイッチ (SW) ノード、ノイズの多い電源の配線とできるだけ離すようにします。可能なら、このパターンは出力インダクタの直下に配線しないでください。可能でない場合は、パターンを別の層に配線し、グランド層がパターンとインダクタを分離するようにします。
- ノイズのピックアップを低減するため、VSNS+ 電圧を生成するための抵抗分圧回路は、デバイス ピンにできる限り近づけて配置します。
- RT および COMP ピンはノイズの影響を受けやすいため、これらのピンの周囲の部品は IC にできるだけ近づけて配置し、最短のパターン長で配線します。
- すべての電源 (大電流) 配線はできるだけ短く、直線的で、太くします。
- 別の PCB レイアウト方式でも、許容できる性能を得ることは可能です。

10.4.2 レイアウト例

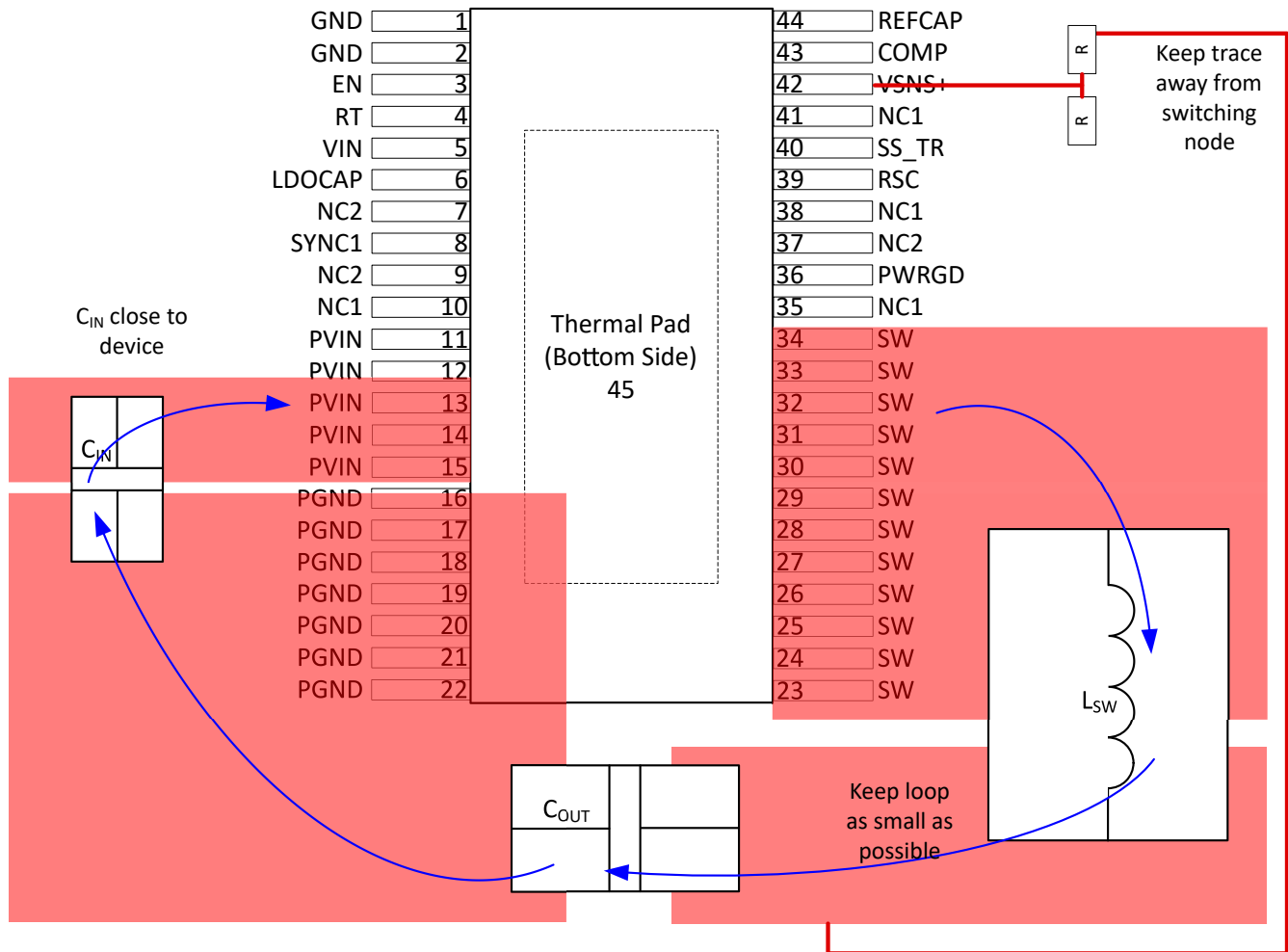


図 10-5. 簡略化されたレイアウト例

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

11.1 ドキュメントのサポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

11.1.2 関連資料

- [TPS7H4012-SP 総電離線量 \(TID\) 放射線レポート](#)
- [TPS7H4013-SP 総電離線量 \(TID\) 放射線レポート](#)
- [TPS7H4012-SEP 総電離線量 \(TID\) 放射線レポート](#)
- [TPS7H4013-SEP 総電離線量 \(TID\) 放射線レポート](#)
- [TPS7H4012-SP および TPS7H4013-SP シングルイベント効果 \(SEE\) 放射線レポート](#)
- [TPS7H4012-SEP および TPS7H4013-SEP シングルイベント効果 \(SEE\) 放射線レポート](#)
- [TPS7H4012-SP および TPS7H4012-SEP 中性子変位損傷 \(NDD\) 放射線レポート](#)
- [TPS7H4013-SP および TPS7H4013-SEP 中性子変位損傷 \(NDD\) 放射線レポート](#)
- [TPS7H4012EVM 評価基板ユーザー ガイド \(プラスチック パッケージ\)](#)
- [TPS7H4013EVM 評価基板ユーザー ガイド \(プラスチック パッケージ\)](#)
- [標準マイクロ回路の図、5962R21221](#)
- [ベンダ アイテム図、V62/25640](#)

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

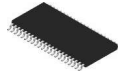
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2025) to Revision B (April 2026)	Page
• TPS7H4012-SP および TPS7H4013-SP を「製品プレビュー」から「量産データ」に変更	1
• SN0020HLC の「ダミー」パッケージに、欠落していた「製品プレビュー」のマーキングを追加	3
• FET の抵抗と電流との関係の代表的特性グラフを追加.....	13

Changes from Revision * (May 2025) to Revision A (November 2025)	Page
• TPS7H4012-SEP および TPS7H4013-SEP を「事前情報」から「量産データ」に変更.....	1
• ローサイド スイッチ シンク過電流スレッシュホールドを標準値に変更.....	8
• 勾配補償の標準値を変更.....	8
• SYNC1 から SW への遅延の仕様を変更.....	8
• PWRGD スレッシュホールドの仕様を変更.....	8
• 追加の「代表的特性」のグラフを追加.....	13
• 「アプリケーション」セクションの I_{CINrms} 式を更新.....	46
• 「アプリケーション」セクションで使用される値を、出力電圧の精度の計算に更新.....	47

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

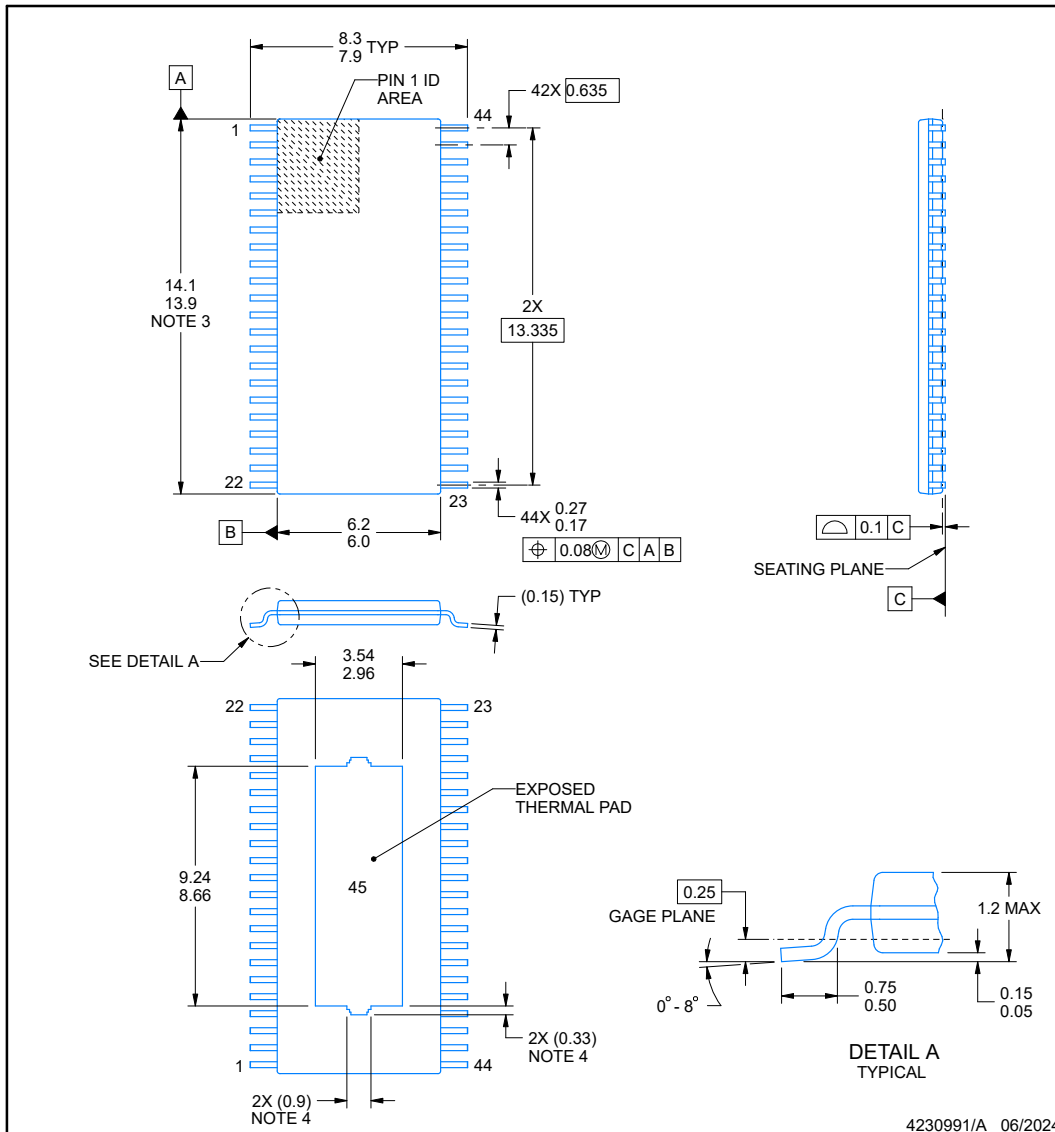


PACKAGE OUTLINE

DDW0044G

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4230991/A 06/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

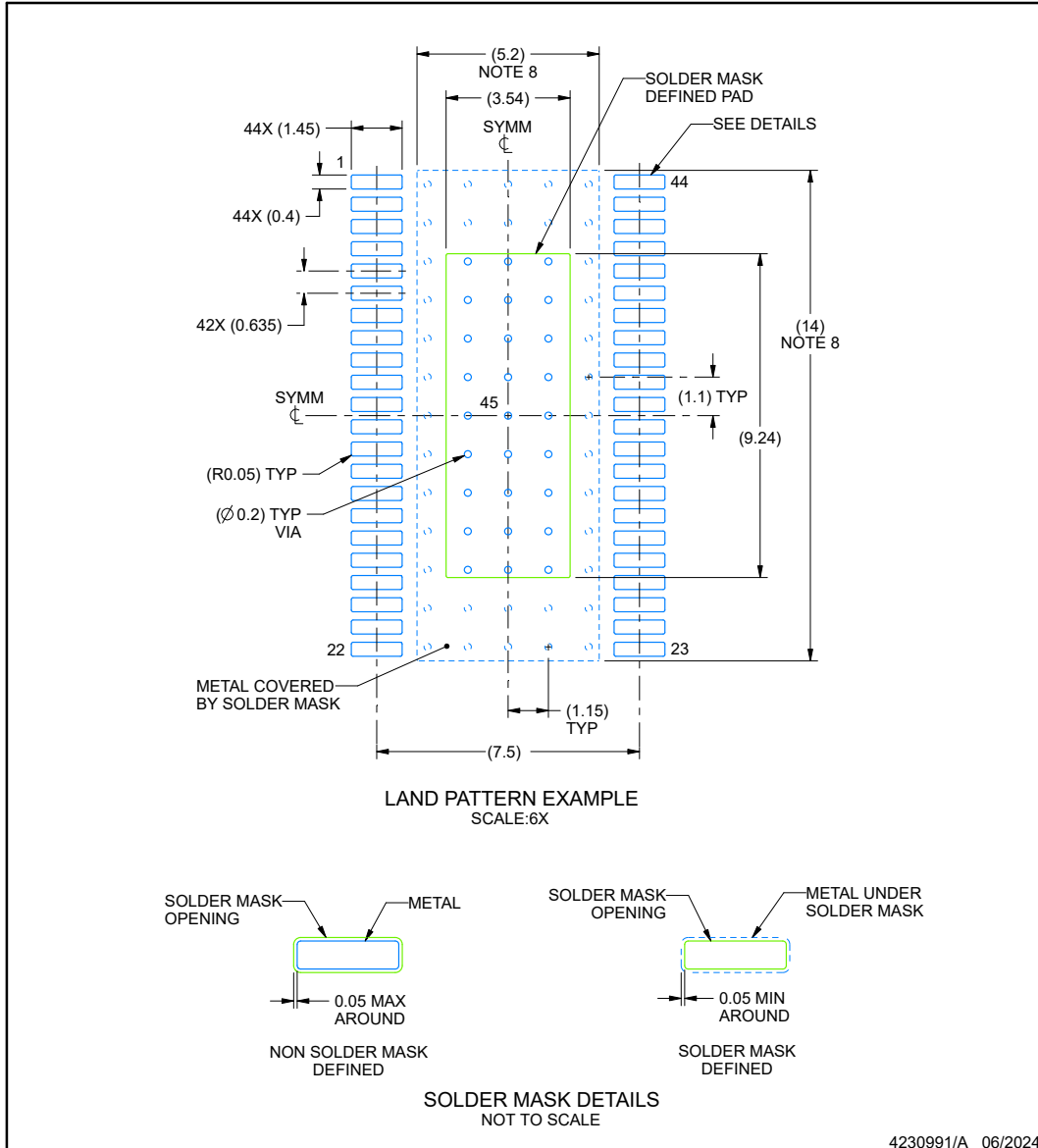
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DDW0044G

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

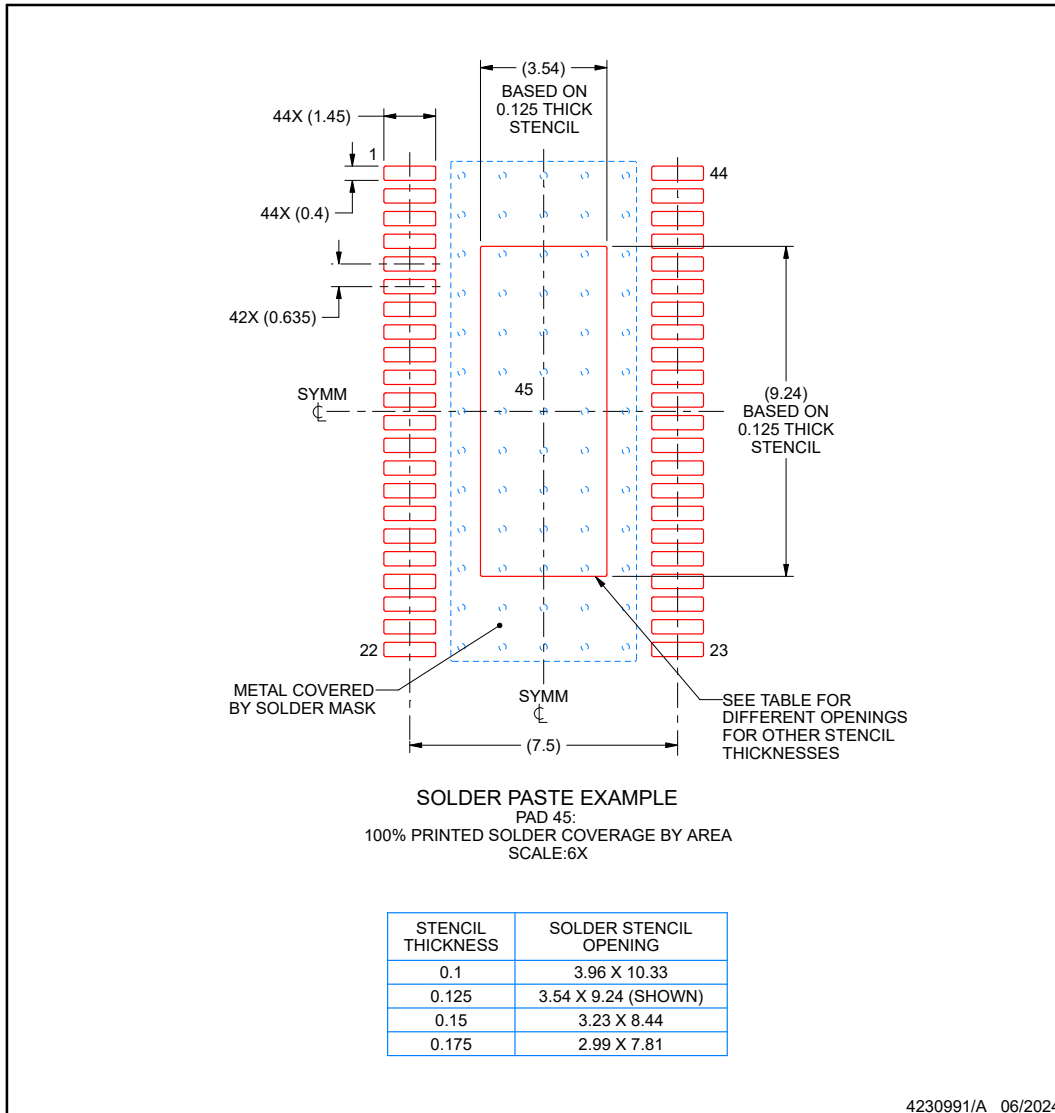
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDW0044G

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2122104PYE	Active	Production	HTSSOP (DDW) 44	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2122104PYE
PTPS7H4012MDDWSEP	Active	Preproduction	HTSSOP (DDW) 44	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	
PTPS7H4013MDDWSEP	Active	Preproduction	HTSSOP (DDW) 44	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	
TPS7H4012MDDWTSEP	Active	Production	HTSSOP (DDW) 44	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4012SEP
TPS7H4013MDDWTSEP	Active	Production	HTSSOP (DDW) 44	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4013SEP

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

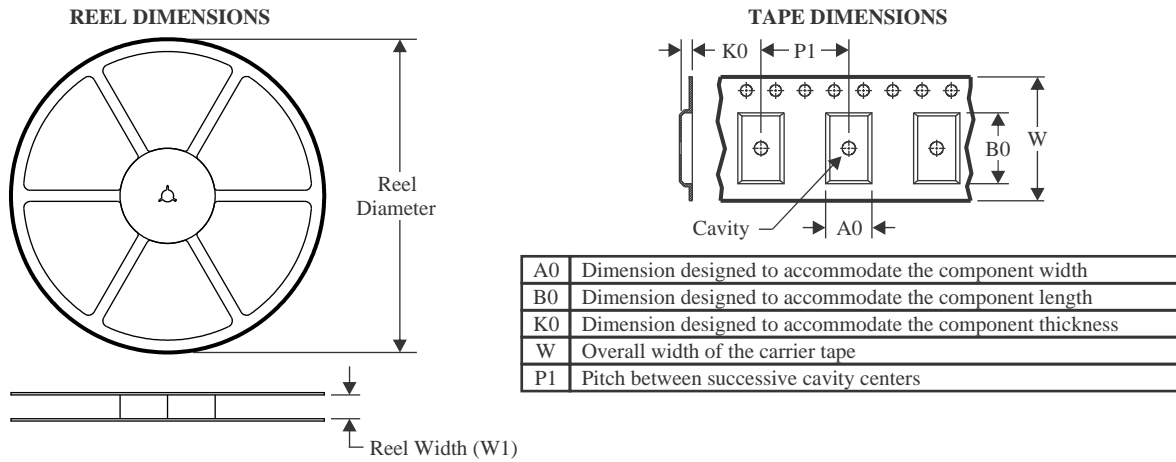
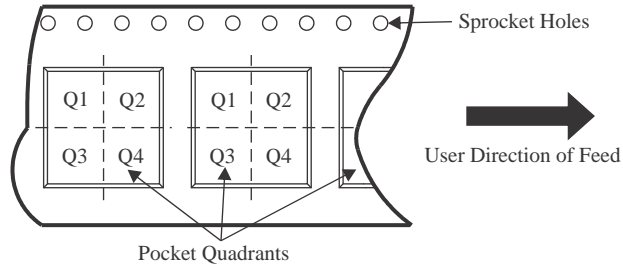
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H4013-SEP, TPS7H4013-SP :

- Catalog : [TPS7H4013-SEP](#)
- Space : [TPS7H4013-SP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2122104PYE	HTSSOP	DDW	44	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
TPS7H4013MDDWTSEP	HTSSOP	DDW	44	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2122104PYE	HTSSOP	DDW	44	250	223.0	191.0	55.0
TPS7H4013MDDWTSEP	HTSSOP	DDW	44	250	223.0	191.0	55.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月