

TPS7H410x-SP および TPS7H410x-SEP 放射線耐性強化、3V ~ 7V 入力、チャネルごとに 3A、マルチチャネル、同期整流降圧コンバータ

1 特長

- 吸収線量 (TID) 特性評価済み
 - 放射線耐性保証 (RHA): 最大 100krad(Si)
- シングルイベント効果 (SEE) の特性評価
 - シングル イベント ラッチアップ (SEL)、シングル イベント バーンアウト (SEB)、シングル イベント ゲート ラプチャー (SEGR) の最大線エネルギー付与 (LET) = 75MeV-cm²/mg* に対する耐性
 - シングル イベント機能割り込み (SEFI) およびシングル イベント過渡 (SET) の最大 LET = 75MeV-cm²/mg* に対する耐性
- 3V ~ 7V の入力電圧範囲
- チャネルごとに最大 3A の出力電流、またはチャネルを並列に使用する場合により多くの出力電流を供給できます
- V_{IN} = 5V、V_{OUT} = 1.8V、I_{OUT} = 1A で 91.1% (標準値) の標準効率。f_{sw} = 500kHz
- 62mΩ (HS) および 55mΩ (LS) MOSFETs を内蔵 (V_{IN} = 5V 時の標準値)
- 柔軟なスイッチング周波数:
 - 100kHz ~ 1MHz、内部発振器
 - 外付け同期対応
- ライン、温度、および TID の全範囲で 599.48mV ± 1% の高精度電圧リファレンス
- プリバイアスされた出力への単調なスタートアップ
- チャネルあたり (CHx)
 - 調整可能なスロープ補償 (RSCx)
 - 可変ソフト スタート (SS_TRx)
 - 低電圧および過電圧用パワー グッド出力モニター (PWRGDx)
 - 入力イネーブル (ENx)
- EN_SEQ を使用する場合のシーケンスアップ/逆方向シーケンスダウン (TPS7H4104 でのみ有効)
- ASTM E595 に準拠したガス排出試験済みのプラスチック パッケージ
- 軍用温度範囲 (-55°C ~ 125°C) に対応

* テスト条件と情報すべてについては、[TPS7H4104 SEE](#) と [TPS7H4102 SEE](#) の放射線レポートを参照してください

2 アプリケーション

- 人工衛星のポイント オブ ロード電源
- 衛星用電源システム (EPS)
- 放射線耐性強化電源

3 説明

TPS7H4104 と TPS7H4102 は、7V、チャネルあたり 3A、マルチチャネル、ピーク電流モードの同期整流降圧コンバータで、面積の制約が厳しいスペース環境アプリケーションで使用するよう最適化されています。このデバイスには、4 つ (TPS7H4104) または 2 つ (TPS7H4102) の同一チャネルが搭載されており、電源入力電圧を位相ごとに 3A まで独立した電圧に降圧したり、インターリーブして最大 12A (TPS7H4104) または 6A (TPS7H4102) の出力電流をインクリメントできます。

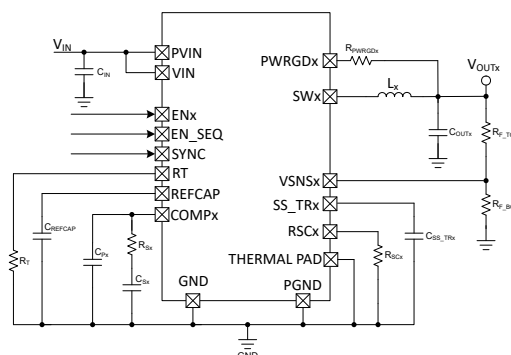
各チャネルにはハイサイドおよびローサイドのパワー MOSFET が組み込まれており、ソフトスタートおよびスロープ補償をプログラム可能です。さらに、チャネルごとのパワーグッドフラグとイネーブル信号も搭載しています。TPS7H4104 には、逐次的な電源投入と逆順での電源遮断を可能にする EN_SEQ 入力も備わっています。

各種の電流制限メカニズムが搭載されているため、障害発生時に堅牢な電流制限を実現できます。ダイの温度が温度限界値を超えると、サーマル シャットダウンによりデバイスがデイスエーブルになります。

製品情報

部品番号 (1)	グレード	パッケージ (2)
5962R2320801PYE (3)	QMLP-RHA	64 ピン プラスチック
TPS7H4104MPAPTSEP	SEP	10mm × 10mm
TPS7H4102MPAPTSEP		質量 = 283mg

- 詳細は、[デバイス比較表](#)をご覧ください
- 質量は公称値であり、本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。
- 製品プレビュー。



注記: EN_SEQ は TPS7H4104 でのみ使用できます

概略回路図



目次

1 特長	1	8.4 デバイスの機能モード	56
2 アプリケーション	1	9 アプリケーションと実装	57
3 説明	1	9.1 アプリケーション情報.....	57
4 デバイス比較表	3	9.2 代表的なアプリケーション.....	57
5 ピン構成および機能	4	9.3 並列動作.....	68
6 仕様	7	9.4 未使用チャネルの終端ガイドライン.....	72
6.1 絶対最大定格.....	7	9.5 電源に関する推奨事項.....	73
6.2 ESD 定格.....	7	9.6 レイアウト.....	73
6.3 推奨動作条件.....	8	10 デバイスおよびドキュメントのサポート	78
6.4 熱に関する情報.....	8	10.1 ドキュメントのサポート.....	78
6.5 電気的特性.....	9	10.2 ドキュメントの更新通知を受け取る方法.....	78
6.6 品質適合検査.....	13	10.3 サポート・リソース.....	78
6.7 代表的特性.....	14	10.4 商標.....	78
7 パラメータ測定情報	28	10.5 静電気放電に関する注意事項.....	78
8 詳細説明	30	10.6 用語集.....	78
8.1 概要.....	30	11 改訂履歴	78
8.2 機能ブロック図.....	32	12 メカニカル、パッケージ、および注文情報	79
8.3 機能説明.....	33		

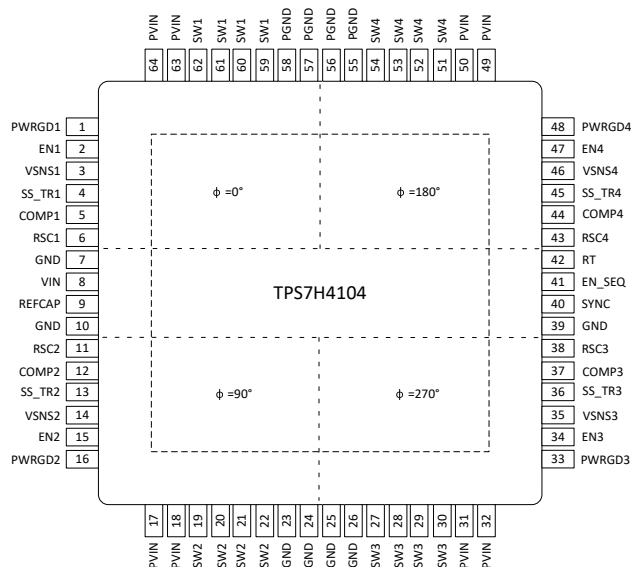
4 デバイス比較表

表 4-1. デバイスのオプション

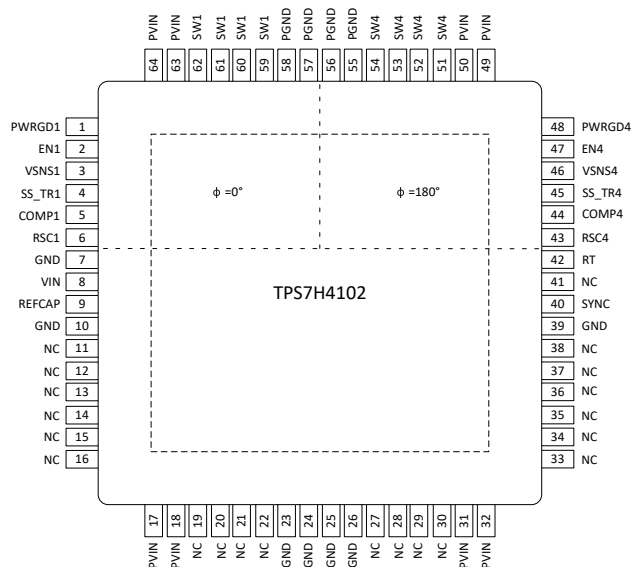
ジェネリック型番	チャンネル数	放射線定格 ⁽¹⁾	グレード ⁽²⁾	パッケージ	発注用型番
TPS7H4104-SP	4	100krad(Si) RLAT の TID、 75MeV-cm ² /mg まで DSEE フリー	QMLP-RHA	64 ピン HTQFP PAP	5962R2320801PYE ⁽³⁾
TPS7H4104-SEP		50krad(Si) RLAT の TID、 43MeV-cm ² /mg まで DSEE フリー	宇宙向けに強化され たプラスチック		TPS7H4104MPAPTSEP
TPS7H4102-SP	2	100krad(Si) RLAT の TID、 75MeV-cm ² /mg まで DSEE フリー	QMLP-RHA		5962R2320802PYE ⁽³⁾
TPS7H4102-SEP		50krad(Si) RLAT の TID、 43MeV-cm ² /mg まで DSEE フリー	宇宙向けに強化され たプラスチック		TPS7H4102MPAPTSEP

- (1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、関連する TID レポートおよび各製品の SEE レポートを参照してください。
- (2) 部品のグレードについて詳細は、[TI 部品のレーティング](#)をご覧ください
- (3) 製品プレビュー。

5 ピン構成および機能



**図 5-1. TPS7H4104
PAP パッケージ
64 ピン HTQFP
(上面図)**



**図 5-2. TPS7H4102
PAP パッケージ
64 ピン HTQFP
(上面図)**

表 5-1. ピンの機能

名称	ピン		I/O ⁽¹⁾	説明
	TPS7H4104	TPS7H4102		
PWRGD1	1		O	CH #1 のパワーグッドピン。これはオープンドレイン 出力です。このピンはプルアップ抵抗を介して目的のロジックレベル ($\leq 7V$) に接続します。V _{OUT1} がプログラムされた値の 6% (標準値) 以内にあるとき、PWRGD1 がアサートされます。V _{OUT1} が設定された値の 9% (標準値) の外にある場合、またはフォルト条件 (サーマル シャットダウンなど) のときに、PWRGD1 がデアサートされます。
EN1	2		I	有効 #1: このピンを High [$> V_{ENX_RISING (MAX)}$] にプルすると、CH # 1 がイネーブルになります。このピンを Low にプルして [$< V_{ENX_FALLING (MIN)}$]、CH #1 をディスエーブルにします。必要に応じて、VIN と GND の間に分圧器を使用して、CH#1 のターンオン電圧レベルを調整します。
VSNS1	3		I	CH # 1 の内部エラー アンプの反転入力。このピンは、分圧器から負荷のできるだけ近くに接続して、CH #1 の目的の出力電圧をプログラムします。
SS_TR1	4		I/O	CH #1 のソフトスタートとトラッキング。外付けコンデンサを接続して、スタートアップ時の V _{OUT1} の立ち上がり時間 (突入電流) を制御します。このピンは、トラッキングとシーケンシングとしても使用できます。
COMP1	5		I/O	CH #1 の補償ピン。トランスコンダクタンス誤差増幅器の出力と、CH #1 の内部電流ループコンパレータへの入力。CH #1 の周波数補償部品をこのピンに接続します。
RSC1	6		I/O	CH #1 ピンの勾配補償。RSC1 と GND の間に抵抗を接続することで、CH #1 の勾配補償が設定されます。
GND	7、10、39		—	グランド。すべての内部制御回路のリターンです。適切に動作させるため、このピンは PGND に接続します。
VIN	8		I	入力電圧。CH #1 から CH #4 までの内部制御回路すべての電源。電圧は PVIN と同じ電圧にすることが推奨されるため、外部的に PVIN に接続することが推奨されます。デカップリング コンデンサをこのピンのできるだけ近くに配置します。

表 5-1. ピンの機能 (続き)

名称	ピン		I/O ⁽¹⁾	説明
	TPS7H4104	TPS7H4102		
REFCAP	9		O	リファレンスコンデンサのピン。内部バンドギャップレファレンスには、470nF の外付けコンデンサが必要です。このピンには、1.235V (標準値) の電圧が印加されます。このピンには外部回路を接続しないでください。
RSC2	11	—	I/O	CH #2 ピンの勾配補償。RSC2 と GND の間に抵抗を接続することで、CH #2 の勾配補償が設定されます。
COMP2	12	—	I/O	CH #2 の補償ピン。トランスコンダクタンス誤差増幅器の出力と、CH #2 の内部電流ループコンパレータへの入力。CH #2 の周波数補償部品をこのピンに接続します。
SS_TR2	13	—	I/O	CH #2 のソフトスタートとトラッキング。外付けコンデンサを接続して、スタートアップ時の V _{OUT2} の立ち上がり時間 (突入電流) を制御します。このピンは、トラッキングとシーケンシングとしても使用できます。
VSNS2	14	—	I	CH #2 の内部エラー アンプの反転入力。このピンは、分圧器から負荷のできるだけ近くに接続して、CH #2 の目的の出力電圧をプログラムします。
EN2	15	—	I	有効 #2: このピンを High [$> V_{ENx_RISING (MAX)}$] にプルすると、CH #2 がイネーブルになります。このピンを Low にプルして [$< V_{ENx_FALLING (MIN)}$]、CH #2 をディスエーブルにします。必要に応じて、VIN と GND の間に分圧器を使用して、CH#2 のターンオン電圧レベルを調整します。
PWRGD2	16	—	O	CH #2 のパワーグッドピン。これはオープンドレイン 出力です。このピンはプルアップ抵抗を介して目的のロジックレベル ($\leq 7V$) に接続します。V _{OUT2} がプログラムされた値の 6% (標準値) 以内にあるとき、PWRGD2 がアサートされます。V _{OUT2} が設定された値の 9% (標準値) の外にある場合、またはフォルト条件 (サーマルシャットダウンなど) のときに、PWRGD2 がデアサートされます。
PVIN	17、18、31、32、49、50.63、64		I	CH #1 から CH #4 までの出力段入力電圧。CH #1 から CH #4 までの出力段用電源。局所的な入力コンデンサは、PVIN ピンの各セットの近くに接続します。
SW2	19-22	—	O	スイッチングノード #2 ピン。CH #2 のスイッチ位相ノード出力。このピンを V _{OUT2} の LC フィルタに接続します。SW2 の相対位相は 90° です。
PGND	23-26、55-58		—	CH #1 から CH #4 までの出力段グランド。CH #1 から CH #4 へのローサイドパワー MOSFET のリターンです。すべての PGND と GND を互いに接続します。
SW3	27-30	—	O	スイッチングノード #3 ピン。CH #3 のスイッチ位相ノード出力。このピンを V _{OUT3} の LC フィルタに接続します。SW3 の相対位相は 270° です。
PWRGD3	33	—	O	CH #3 のパワーグッドピン。これはオープンドレイン 出力です。このピンはプルアップ抵抗を介して目的のロジックレベル ($\leq 7V$) に接続します。V _{OUT3} がプログラムされた値の 6% (標準値) 以内にあるとき、PWRGD3 がアサートされます。V _{OUT3} が設定された値の 9% (標準値) の外にある場合、またはフォルト条件 (サーマルシャットダウンなど) のときに、PWRGD3 がデアサートされます。
EN3	34	—	I	有効 #3: このピンを High [$> V_{ENx_RISING (MAX)}$] にプルすると、CH #3 がイネーブルになります。このピンを Low にプルして [$< V_{ENx_FALLING (MIN)}$]、CH #3 をディスエーブルにします。必要に応じて、VIN と GND の間に分圧器を使用して CH#3 のターンオン電圧レベルを調整します。
VSNS3	35	—	I	CH #3 の内部エラー アンプの反転入力。このピンは、分圧器から負荷のできるだけ近くに接続して、CH #3 の目的の出力電圧をプログラムします。
SS_TR3	36	—	I/O	CH #3 のソフトスタートとトラッキング。外付けコンデンサを接続して、スタートアップ時の V _{OUT3} の立ち上がり時間 (または突入電流) を制御します。このピンは、トラッキングとシーケンシングとしても使用できます。
COMP3	37	—	I/O	CH #3 の補償ピン。トランスコンダクタンス誤差増幅器の出力と、CH #3 の内部電流ループコンパレータへの入力。CH #3 の周波数補償部品をこのピンに接続します。
RSC3	38	—	I/O	CH #3 ピンの勾配補償。RSC3 と GND の間に抵抗を接続することで、CH #3 の勾配補償が設定されます。
SYNC	40		I	SYNC は、外部クロックの入力です。外部クロックの周波数は、RT と GND との間の抵抗により設定されるスイッチング周波数と、係数 4 で一致する必要があります。(f _{SYNC} = 4 x f _{SW})

表 5-1. ピンの機能 (続き)

ピン			I/O ⁽¹⁾	説明
名称	TPS7H4104	TPS7H4102		
EN_SEQ	41	—	I	イネーブルシーケンス。このピンを High にすると [V _{EN_SEQ_RISING} (MAX)], CH #1 から CH #4 までシーケンスアップを開始できます。逆方向シーケンスを開始するには、このピンを Low [< V _{EN_SEQ_FALLING} (MIN)] プルダウンします (CH#4 から CH#1 まで)。シーケンサ機能を使用しない場合 (EN_SEQ = OPEN) で、SYNC が外部駆動されるときは、EN_SEQ と GND 間に 470nF のコンデンサが必要です。
RT	42		I/O	RT と GND との間に抵抗を接続することで、コンバータのスイッチング周波数が設定されます。スイッチング周波数範囲は 100kHz ~ 1MHz です。外部クロックを使用する場合、設定されたスイッチング周波数が外部印加クロックの周波数と一致するように RT を選択する必要があります。クロックが失われた場合、デバイスはプログラムされた周波数で内部クロックに切り替わります。
RSC4	43		I/O	CH #4 ピンの勾配補償。RSC4 と GND の間に抵抗を接続することで、CH #4 の勾配補償が設定されます。
COMP4	44		I/O	CH #4 の補償ピン。トランスコンダクタンス誤差増幅器の出力と、CH #4 の内部電流ループコンパレータへの入力。CH #4 の周波数補償部品をこのピンに接続します。
SS_TR4	45		I/O	CH #4 のソフトスタートとトラッキング。外付けコンデンサを接続して、スタートアップ時の V _{OUT4} の立ち上がり時間 (突入電流) を制御します。このピンは、トラッキングとシーケンシングとしても使用できます。
VSNS4	46		I	CH #4 の内部エラー アンプの反転入力。このピンは、分圧器から負荷のできるだけ近くに接続して、CH #4 の目的の出力電圧をプログラムします。
EN4	47		I	有効 #4: このピンを High [> V _{ENx_RISING} (MAX)] にプルすると、CH #4 がイネーブルになります。このピンを Low [< V _{ENx_FALLING} (MIN)] にプルして、CH #4 をディスエーブルにします。必要に応じて、VIN と GND の間に分圧器を使用して、CH#4 のターンオン電圧レベルを調整します。
PWRGD4	48		O	CH #4 のパワーグッドピン。これはオープンドレイン 出力です。このピンはプルアップ抵抗を介して目的のロジックレベル (≤7V) に接続します。V _{OUT4} がプログラムされた値の 6% (標準値) 以内にあるとき、PWRGD4 がアサートされます。V _{OUT4} が設定された値の 9% (標準値) の外にある場合、またはフォルト条件 (サーマルシャットダウンなど) のときに、PWRGD4 がデアサートされます。
SW4	51-54		O	スイッチングノード #4 ピン。CH #4 のスイッチ位相ノード出力。このピンを V _{OUT4} の LC フィルタに接続します。CH4 の相対位相は 180° です。
SW1	59-62		O	スイッチングノード #1 ピン。CH #1 のスイッチ位相ノード出力。このピンを V _{OUT1} の LC フィルタに接続します。CH1 の相対位相は 0° です。
NC	—	11-22、 27-38、41	—	接続なし。これらのピンは内部で電氣的に接続されていません。ユーザは、電荷の蓄積を防ぐため、これらのピンを GND に接続することを推奨されていますが、これらのピンはオープンのままにすることも、GND と VIN の範囲の任意の電圧に接続することもできます。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
入力電圧	VIN, PVINx, ENx, PWRGDx, SYNC, EN_SEQ	-0.3	7.5	V
	RT, RSCx, COMPx, VSNSx, SS_TRx	-0.3	3.6	
出力電圧	SWx	-1	7.5	V
	SWx, 10ns の過渡	-3	7.5	
	REFCAP	-0.3	2	
Vdiff	GND から露出サーマルパッドへ	-0.2	0.2	V
ソース電流	SWx		電流制限	A
	PVINx		電流制限	
	PGNDx		電流制限	
	RT	-200	200	μA
シンク電流	SWx		電流制限	A
	PGNDx		電流制限	
	COMPx	-220	220	μA
	PWRGDx	-0.1	5	mA
動作時接合部温度		-55	150	°C
保管温度、T _{stg}		-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、GND を基準としたものです。

6.2 ESD 定格

			値	単位
V _{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±250	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作温度範囲外 (特に記述のない限り)⁽¹⁾

		最小値	公称値	最大値	単位
入力電圧	VIN, PVINx ⁽²⁾	3		7	V
	ENx, PWRGDx, 同期, EN_SEQ	0		7	
	RSCx, COMPx, RTx, SS_TRx	0		3.3	
	VSNSx を参照してください	0	0.6	1	
出力電圧	SWx	0		7	V
	SS_TRx	0	1.5	1.7	
	COMPx	0		2.1	
出力電流	HSx _{AVG}	0		2.18	A
	LSx _{AVG}	0		2.5	
	SWx _{AVG}	0		3	
	RT	-100		100	μA
入力電流	PWRGD	0		2	mA
動作時接合部温度	T _J	-55		125	°C

(1) すべての電圧値は、GND を基準としたものです。

(2) Vin は、同時に PVIN とスタートアップと等しい必要があります。通常、これは、それらを同じ電圧レールに接続することで達成されます。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7H410x	単位
		QFP PAP	
		64 ピン	
R _{θJA}	接合部から周囲への熱抵抗	19	°C/W
R _{θJC_TOP}	接合部からケース (上面) への熱抵抗	6.2	
R _{θJC_BOT}	接合部からケース (底面) への熱抵抗	0.27	
R _{θJB}	接合部から基板への熱抵抗	4.6	
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	
Ψ _{JB}	接合部から基板への特性パラメータ	4.5	

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』(SPRA953) を参照してください。

6.5 電気的特性

3V ≤ VIN ≤ 7V を超える、PVIN = VIN、開ループ構成、動作温度範囲全体 T_A = -55°C ~ 125°C まで、代表値は T_A = 25°C で、特に記述のない限り、すべての相で有効です。のサブグループ番号が存在する場合、T_A = 25°C で RLAT を含みます。

パラメータ		テスト条件		サブグループ ⁽¹⁾	最小値	標準値	最大値	単位
電源と電流								
V _{UVLOR_VIN}	VIN 内部 UVLO 立ち上がりスレッシュホールド	I _{OUTx} = 0A, V _{ENx} = 1V, PVIN = 5V		1、2、3	2.63	2.7	2.83	V
V _{UVLOF_VIN}	VIN 内部 UVLO 立ち下がりスレッシュホールド	I _{OUTx} = 0A, V _{ENx} = 1V, PVIN = 5V		1、2、3	2.47	2.52	2.6	
V _{UVLOR_PVIN}	PVIN 内部 UVLO 立ち上がりスレッシュホールド	I _{OUTx} = 0A, V _{ENx} = 1V、VIN = 5V		1、2、3	2.37	2.44	2.58	V
V _{UVLOF_PVIN}	PVIN 内部 UVLO 立ち下がりスレッシュホールド	I _{OUTx} = 0A, V _{ENx} = 1V、VIN = 5V		1、2、3	1.96	2	2.11	
I _{SHDN_VIN}	VIN のシャットダウン時消費電流	V _{ENx} = 0V		1、2、3		6	8.5	mA
I _{SHDN_PVIN}	PVIN のシャットダウン時消費電流	V _{ENx} = 0V		1、2、3		2.3	4.3	
I _{Q_VIN}	VIN 入力動作静止電流 (スイッチングなし)	V _{ENx} = 7V、VSNSx = 1V		1、2、3		6.7	15	
I _{Q_PVIN}	PVIN 入力動作静止電流 (スイッチングなし)	V _{ENx} = 7V、VSNSx = 1V		1、2、3		2.1	3.7	
イネーブルと EN_SEQ を備えています								
V _{ENx_RISING}	イネーブル立ち上がりスレッシュホールド (ターンオン)	PVINx = VIN = 5V		1、2、3	0.573	0.606	0.645	V
V _{ENx_FALLING}	イネーブル立ち下がりスレッシュホールド (ターンオフ)	PVINx = VIN = 5V		1、2、3	0.473	0.5	0.532	
V _{EN_SEQ_RISING}	イネーブルシーケンスの立ち上がりスレッシュホールド (シーケンスアップ)	立ち上がり時間 ≥ 100ns ⁽²⁾	図 8-3 をご覧ください	1、2、3		71%	80%	× VIN
V _{EN_SEQ_FALLING}	イネーブルシーケンスの立ち下がりスレッシュホールド (シーケンスダウン)	立ち下がり時間 ≥ 100ns ⁽²⁾		1、2、3	17%	25%		
V _{CHx_ON}	良好な電圧をシーケンスアップします	図 8-3 をご覧ください ⁽²⁾				87.4%		× V _{REFx}
V _{CHx_OFF}	不適切な電圧を判定した時点でシーケンスダウンします					15.4%		
t _{ENx_VIN_RISING_PD}	ENx と VIN が互いに接続されている場合の伝搬遅延をイネーブルにします	VIN = ENx high ~ SW high	図 7-2 をご覧ください	1、2、3		0.85	1.7	ms
t _{ENx_RISING_PD}	伝播遅延をイネーブルにします	VIN > V _{UVLOR_VIN} のとき、1.7ms 以上にわたって ENx High から SW High まで	図 7-3 をご覧ください	1、2、3		50	100	μs
t _{ENx_FALLING_PD}	ディスエーブルの伝搬遅延	ENx Low から SW 高インピーダンス	図 7-4 をご覧ください	1、2、3		9.5	35	
I _{ENx_LKG}	イネーブル入力リーク電流	V _{ENx} = 7V		1、2、3		0.05	154	nA
電圧リファレンス								
V _{REFx}	内部電圧リファレンス (エラーアンプ V _{IOx} を含む)	(3) を参照		1、2、3	591.5	599.48	603.5	mV
V _{REFCAP}	REFCAP 電圧			1、2、3	1.2	1.235	1.248	V
エラー アンプ								
I _{VSNSx_LKG}	VSNSx 入力リーク電流	VSNSx = 600mV、V _{COMP} = 1V		1、2、3			30	nA
g _{mEAx}	エラー アンプの相互コンダクタンス	-10μA < I _{COMP} < 10μA、V _{COMP} = 1V	T _A = -55°C	11	1257	1913	2630	μs
			T _A = 25°C	9	1153	1672	2191	
			T _A = 125°C	10	1029	1343	1657	
EA _{x_DC-GAIN}	エラーアンプの DC ゲイン	VSNSx = 600mV				16000		V/V
EA _{x_ISRC}	エラーアンプソース	V _{COMP} = 1V、±100mV 入力オーバードライブ		1、2、3	88	137	200	μA
EA _{x_ISNK}	エラーアンプのシンク				87	135	200	
EA _{x_RO}	エラー アンプ出力抵抗					10.8		MΩ
EA _{x_BW}	エラーアンプの帯域幅					9.57		MHz

6.5 電気的特性 (続き)

$3V \leq V_{IN} \leq 7V$ を超える、 $PV_{IN}=V_{IN}$ 、開ループ構成、動作温度範囲全体 $T_A = -55^\circ\text{C} \sim 125^\circ\text{C}$ まで、代表値は $T_A = 25^\circ\text{C}$ で、特に記述のない限り、すべての相で有効です。のサブグループ番号が存在する場合、 $T_A = 25^\circ\text{C}$ で RLAT を含みます。

パラメータ		テスト条件	サブグループ ア ⁽¹⁾	最小値	標準値	最大値	単位
g_{mPSx}	出力段のトランスコンダクタンス	$V_{COMPx} = 500\text{mV}$	1, 2, 3	5.78	8.35	10.46	S
$g_{mPSx_MATCHING}$	すべての位相にわたって電力段のトランスコンダクタンスマッチング	$V_{COMPx} = 500\text{mV}$		1%			

6.5 電気的特性 (続き)

3V ≤ VIN ≤ 7V を超える、PVIN = VIN、開ループ構成、動作温度範囲全体 TA = -55°C ~ 125°C まで、代表値は TA = 25°C で、特に記述のない限り、すべての相で有効です。のサブグループ番号が存在する場合、TA = 25°C で RLAT を含みます。

パラメータ		テスト条件		サブグループ ⁽¹⁾	最小値	標準値	最大値	単位
過電流保護								
I _{OC_HSx}	ハイサイドスイッチ過電流監視スレッシュ ホールド	スルーレート = 25mA/μs		1、2、3	5.0	5.6	6.3	A
I _{OC_LS_SOURCINGx}	ローサイドスイッチ過電流供給スレッシュ ホールド			1、2、3	4.2	6	7.8	A
I _{OC_LS_SINKINGx}	ローサイドスイッチ過電流吸収スレッシュ ホールド			1、2、3	1.5	2.55	3.9	A
COMP _{XCLAMP}	COMP 電圧クランプ			1、2、3	1.7	1.9	2.13	V
ソフト スタートおよびトラッキング								
I _{SS_TRx}	ソフトスタート充電電流	V _{SS_TRx} ≥ 90mV		1、2、3	1.4	2.28	2.83	μA
R _{SS_TRx_DISCHARGE}	ソフトスタート放電ブルダウン抵抗	V _{SS_TRx} = 110mV		1、2、3	230	364	513	Ω
SS _{TRx} START_UP	スタートアップ前の SS 上の最大電圧 ⁽⁴⁾			1、2、3		22	50	mV
スロープ補償								
SCx	スロープ補償	f _{SW} = 100kHz	R _{SCx} = 1.02MΩ			-0.26		A/μs
		f _{SW} = 500kHz	R _{SCx} = 634kΩ			-0.36		A/μs
			R _{SCx} = 213kΩ			-1.26		A/μs
			R _{SCx} = 147kΩ			-1.81		A/μs
		f _{SW} = 1000kHz	R _{SCx} = 97.6kΩ			-2.8		A/μs
最小オン、オフ、デッドタイム								
t _{ONx_MIN}	最小オン時間	立ち上がりエッジの 10% から V _{SWx} の立ち下がりエ ッジの 90% まで、 I _{OUT} = 400mA	V _{IN} = 3V	9、10、11		163	260	ns
			V _{IN} = 5V	9、10、11		182	270	
			V _{IN} = 7V	9、10、11		216	320	
t _{OFFx_MIN}	最小オフ時間	立ち下がりエッジの 90% から、V _{SWx} の立ち上 がりエッジの 10% まで				216		ns
t _{DEADx}	デッド タイム					33		ns
スイッチング周波数および同期								
f _{SW}	RT にプログラムされたスイッチング周波 数	R _{RT} = 511kΩ		4、5、6	97	103	120	kHz
		R _{RT} = 90.9kΩ		4、5、6	446	502	564	
		R _{RT} = 37.4kΩ		4、5、6	812	1040	1280	
t _{SYNC_DLY}	SYNC から SW への遅延	V _{IN} = 3V	図 7-5 をご覧くだ さい	9、10、11		221	314	ns
		V _{IN} = 5V		9、10、11		194	240	
		V _{IN} = 7V		9、10、11		184	238	
V _{SYNC_VIH}	SYNC 入力 High	V _{IN} = 3V		1、2、3	1.4			V
		V _{IN} = 5V		1、2、3	1.8			
		V _{IN} = 7V		1、2、3	2			
V _{SYNC_VIL}	SYNC 入力 Low			1、2、3			0.8	V
f _{SYNC}	SYNC 入力周波数範囲			4、5、6	400		4000	kHz
D _{SYNC}	SYNC 入力デューティサイクル範囲	外部クロック デューティ サイクル		4、5、6	40%		60%	
t _{CLK_I_E}	内部クロックから外部クロックへの検出時 間	RT が実装済み	図 8-8 をご覧くだ さい	9、10、11		1	3	× T _{SW}
t _{CLK_E_I}	外部クロックから内部クロックまでの検出 時間	RT が実装済み	図 8-9 をご覧くだ さい	9、10、11		2	6	× T _{SYNC}

6.5 電気的特性 (続き)

3V ≤ VIN ≤ 7V を超える、PVIN = VIN、開ループ構成、動作温度範囲全体 TA = -55°C ~ 125°C まで、代表値は TA = 25°C で、特に記述のない限り、すべての相で有効です。のサブグループ番号が存在する場合、TA = 25°C で RLAT を含みます。

パラメータ		テスト条件	サブグループ A ⁽¹⁾	最小値	標準値	最大値	単位	
パワー グッド								
PWRGDx _{UV_FAULT}	VSNSx 立ち下がりスレッシュヨルド (故障)	図 8-4 をご覧ください	1、2、3	89%	91%	92%		
PWRGDx _{UV_GOOD}	VSNSx 立ち上がりスレッシュヨルド (良い)		1、2、3	92%	94%	96%		
PWRGDx _{OV_FAULT}	VSNSx 立ち上がりスレッシュヨルド (故障)	図 8-5 をご覧ください	1、2、3	107%	109%	111%		
PWRGDx _{OV_GOOD}	VSNSx 立ち下がりスレッシュヨルド (良い)		1、2、3	103%	106%	109%		
I _{PWRGDx_LKG}	出力オープン High リーク電流	V _{SENSEx} = V _{REFx} 、V _{PWRGD} = 7V	1、2、3		2	520	nA	
V _{PWRGDx_V_OL}	パワー グッド出力 Low	I _{PWRGD_SINK} ≤ 2mA	1、2、3		310	400	mV	
V _{INMIN_PWRGDx}	有効な PWRGD 出力の最小 VIN	V _{PWRGD} ≤ 0.5V で 100μA のときに測定 図 8-6 を参照してください	1、2、3		0.6	1	V	
サーマル シャットダウン								
T _{SD_ENTER}	サーマル シャットダウン入口温度	I _{OUTx} = 0A			163		°C	
T _{SD_EXIT}	サーマル シャットダウン出口温度	I _{OUTx} = 0A			134			
T _{SD_HYS}	サーマル シャットダウン ヒステリシス	I _{OUTx} = 0A			29			
MOSFET								
R _{DS_ON_HSx}	ハイサイド スイッチ抵抗	P _{VIN} = VIN = 3V、 I _{OUTx} = 500mA	T _A = -55°C	3		54	71	mΩ
			T _A = 25°C	1		70	88	
			T _A = 125°C	2		89	103	
		P _{VIN} = VIN = 5V、 I _{OUTx} = 500mA	T _A = -55°C	3		49	63	
			T _A = 25°C	1		62	80	
			T _A = 125°C	2		78	92	
		P _{VIN} = VIN = 7V、 I _{OUTx} = 500mA	T _A = -55°C	3		47	60	
			T _A = 25°C	1		59	76	
			T _A = 125°C	2		74	88	
R _{DS_ON_LSx}	ローサイド スイッチ抵抗	P _{VIN} = VIN = 3V、 I _{OUTx} = 500mA	T _A = -55°C	3		44	55	mΩ
			T _A = 25°C	1		58	68	
			T _A = 125°C	2		75	85	
		P _{VIN} = VIN = 5V、 I _{OUTx} = 500mA	T _A = -55°C	3		42	51	
			T _A = 25°C	1		55	64	
			T _A = 125°C	2		71	80	
		P _{VIN} = VIN = 7V、 I _{OUTx} = 500mA	T _A = -55°C	3		41	50	
			T _A = 25°C	1		54	63	
			T _A = 125°C	2		69	79	

- (1) サブグループは QML 部品に適用されます。サブグループの定義については、「品質適合性検査」表を参照してください。
- (2) TPS7H4104 でのみ有効
- (3) 出力電圧を設定するには、この VREFx の値を使用します。図 7-1 に示す非スイッチング構成で測定。
- (4) 適切なソフトスタート機能を確認するため、SS の電圧が SS_TRxSTART_UP を下回るまで、本デバイスはスタートアップを開始しません

6.6 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

6.7 代表的特性

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

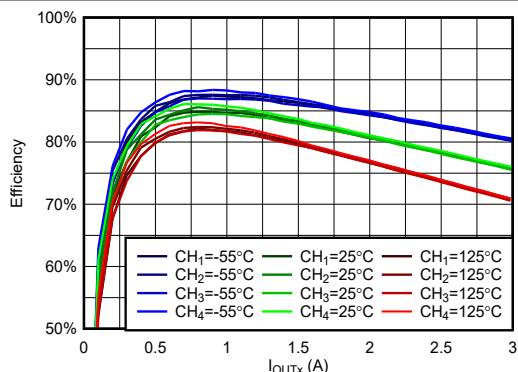


図 6-1. 効率と負荷との関係 (VIN = 3.3V、VOUTX = 0.8V、fSW = 100kHz)

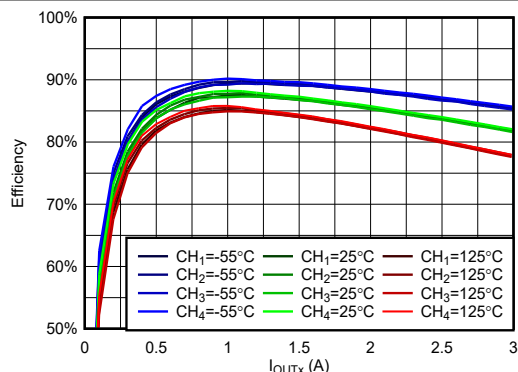


図 6-2. 効率と負荷との関係 (VIN = 3.3V、VOUTX = 1.2V、fSW = 100kHz)

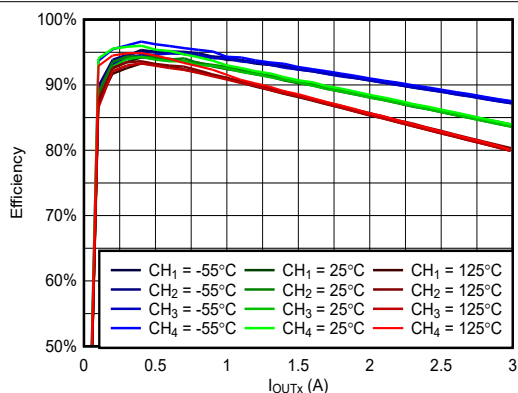


図 6-3. 効率と負荷との関係 (VIN = 3.3V、VOUTX = 1.5V、fSW = 100kHz)

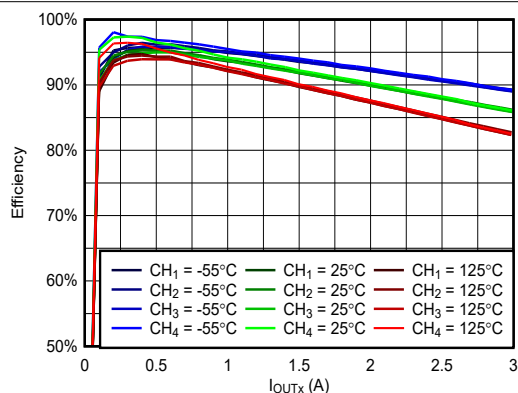


図 6-4. 効率と負荷との関係 (VIN = 3.3V、VOUTX = 1.8V、fSW = 100kHz)

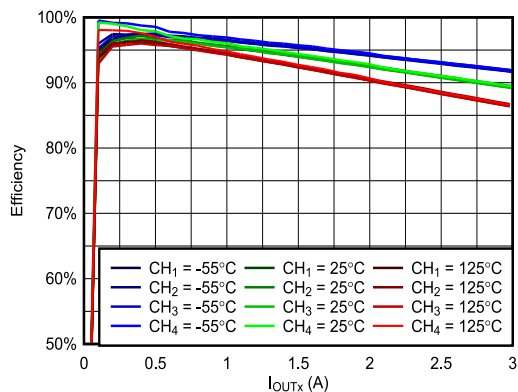


図 6-5. 効率と負荷との関係 (VIN = 3.3V、VOUTX = 2.5V、fSW = 100kHz)

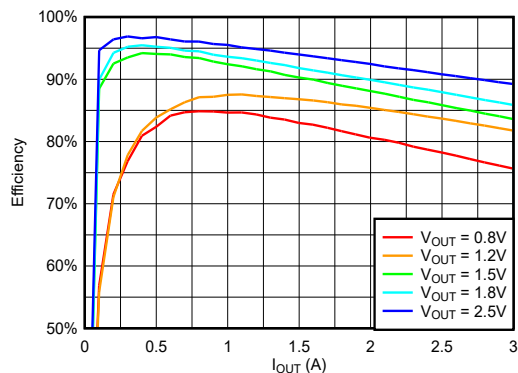


図 6-6. VIN = 3.3V、fSW = 100kHz、チャネル #1、25°C における VOUT 全域での効率対負荷

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

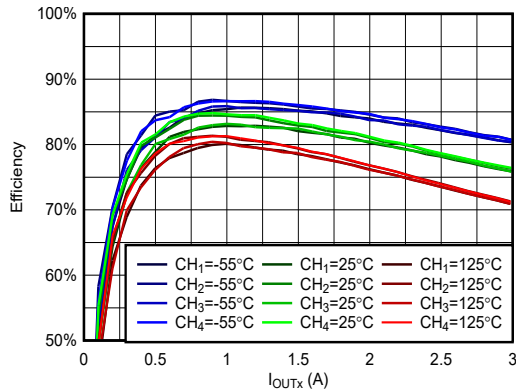


図 6-7. 効率と負荷との関係 (VIN = 5V、VOUTx = 0.8V、fSW = 100kHz)

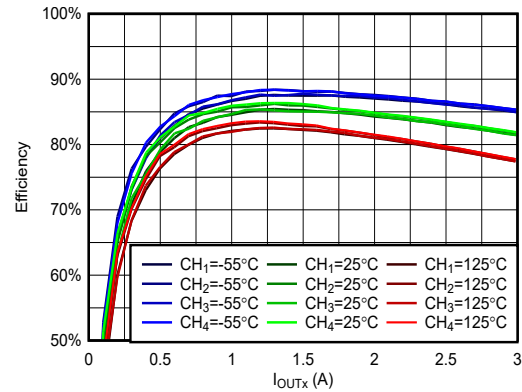


図 6-8. 効率と負荷との関係 (VIN = 5V、VOUTx = 1.2V、fSW = 100kHz)

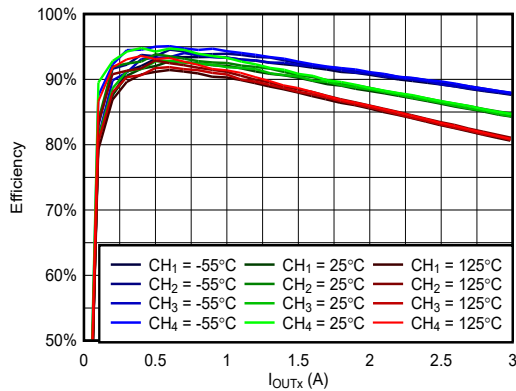


図 6-9. 効率と負荷との関係 (VIN = 5V、VOUTx = 1.5V、fSW = 100kHz)

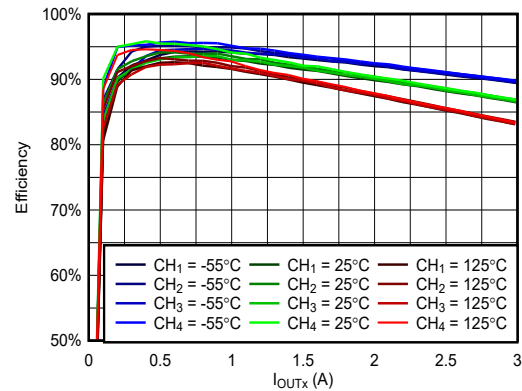


図 6-10. 効率と負荷との関係 (VIN = 5V、VOUTx = 1.8V、fSW = 100kHz)

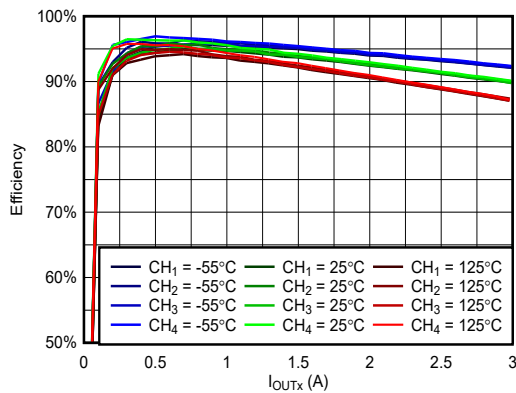


図 6-11. 効率と負荷との関係 (VIN = 5V、VOUTx = 2.5V、fSW = 100kHz)

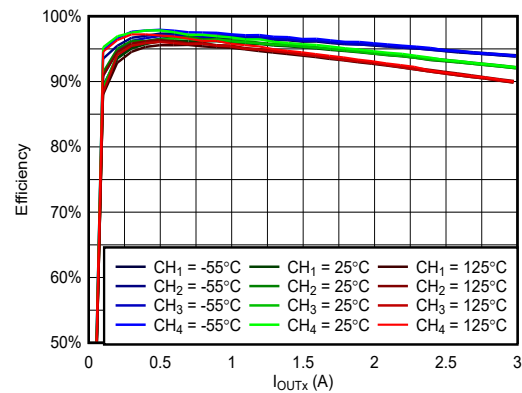


図 6-12. 効率と負荷との関係 (VIN = 5V、VOUTx = 3.3V、fSW = 100kHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

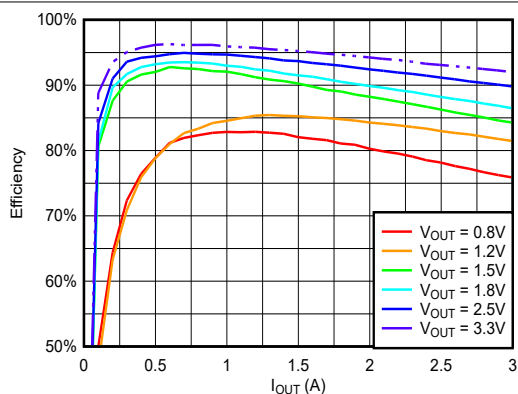


図 6-13. VIN = 5V、f_{SW} = 100kHz、チャネル #1、25°C における V_{OUT} 全域での効率対負荷

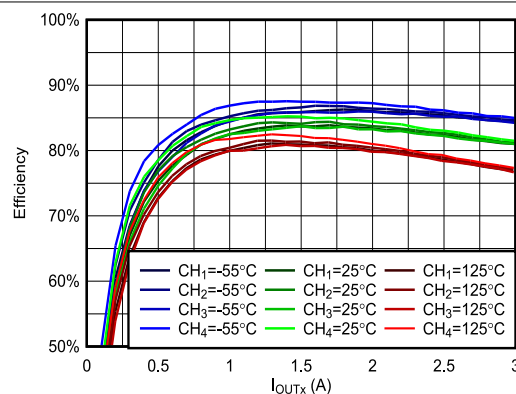


図 6-14. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 1.2V、f_{SW} = 100kHz)

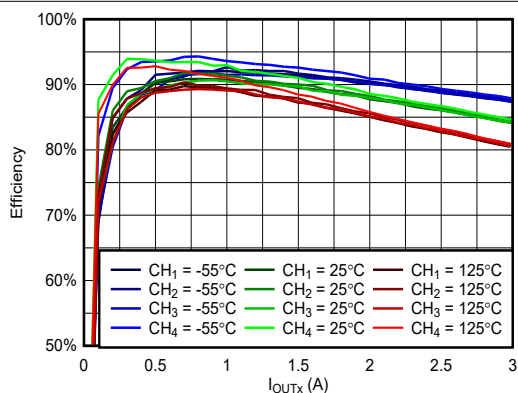


図 6-15. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 1.5V、f_{SW} = 100kHz)

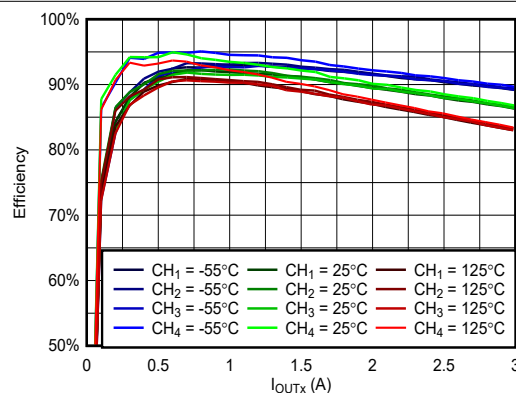


図 6-16. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 1.8V、f_{SW} = 100kHz)

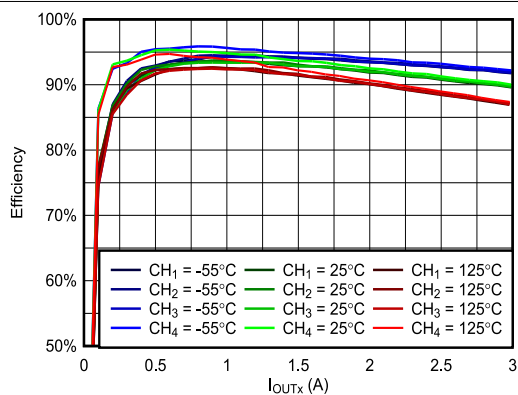


図 6-17. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 2.5V、f_{SW} = 100kHz)

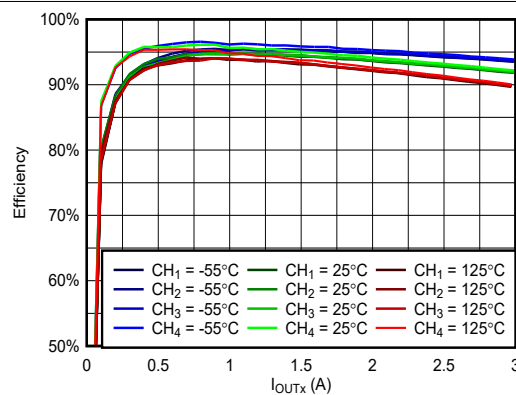


図 6-18. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 3.3V、f_{SW} = 100kHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

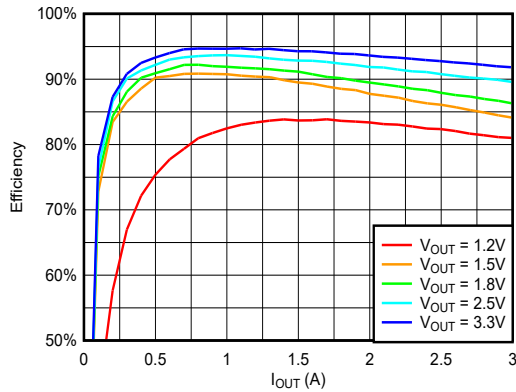


図 6-19. VIN = 7V、f_{SW} = 100kHz、チャネル #1、25°C における V_{OUT} 全域での効率対負荷

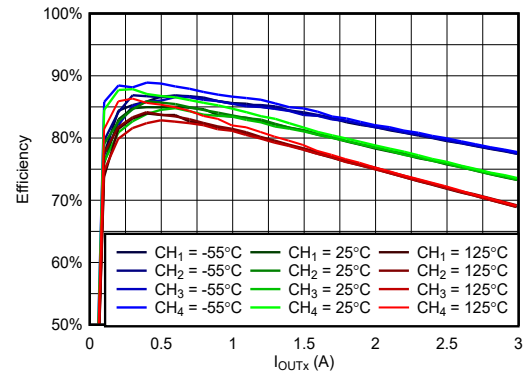


図 6-20. 効率と負荷との関係 (VIN = 3.3V、V_{OUTx} = 0.8V、f_{SW} = 500kHz)

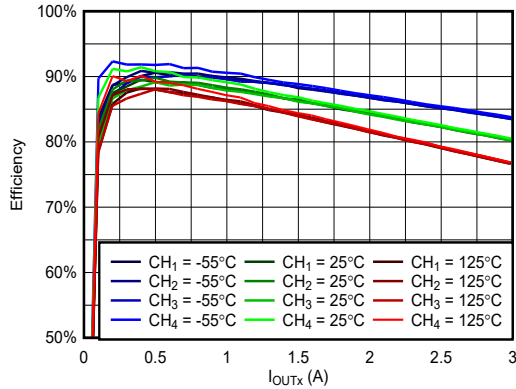


図 6-21. 効率と負荷との関係 (VIN = 3.3V、V_{OUTx} = 1.2V、f_{SW} = 500kHz)

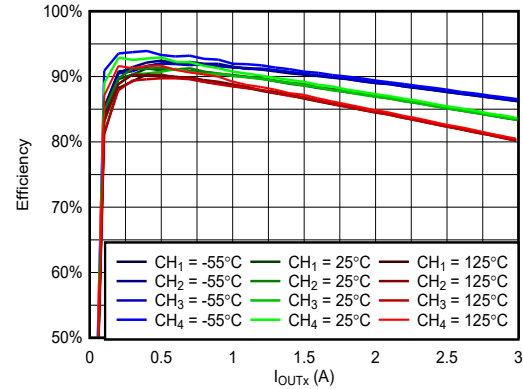


図 6-22. 効率と負荷との関係 (VIN = 3.3V、V_{OUTx} = 1.5V、f_{SW} = 500kHz)

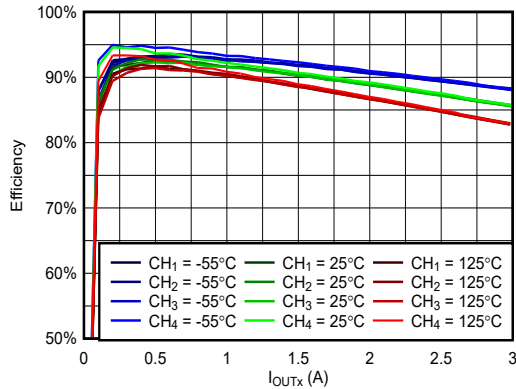


図 6-23. 効率と負荷との関係 (VIN = 3.3V、V_{OUTx} = 1.8V、f_{SW} = 500kHz)

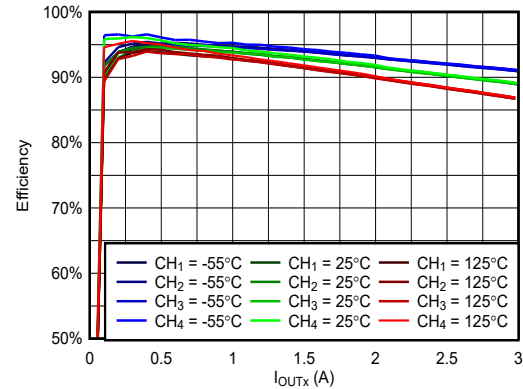


図 6-24. 効率と負荷との関係 (VIN = 3.3V、V_{OUTx} = 2.5V、f_{SW} = 500kHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

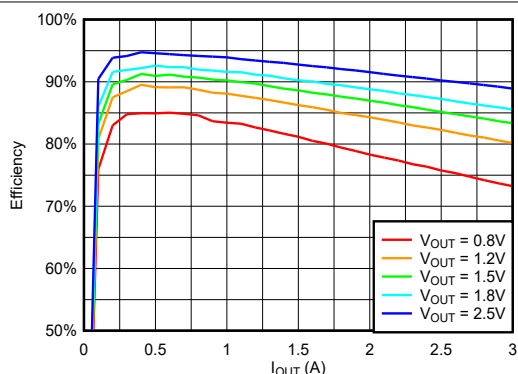


図 6-25. VIN = 3.3V、f_{SW} = 500kHz、チャネル #1、25°C における V_{OUT} 全域での効率対負荷

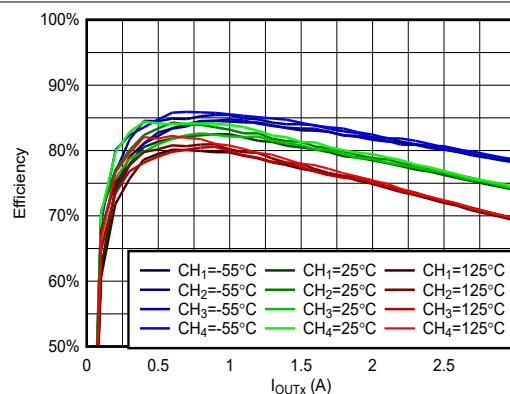


図 6-26. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 0.8V、f_{SW} = 500kHz)

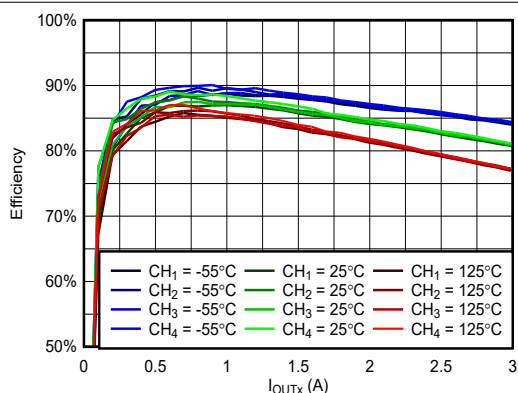


図 6-27. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 1.2V、f_{SW} = 500kHz)

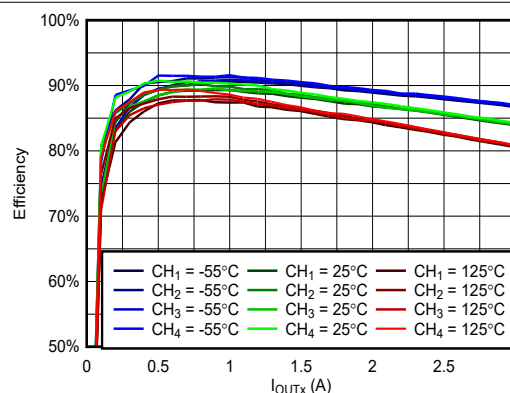


図 6-28. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 1.5V、f_{SW} = 500kHz)

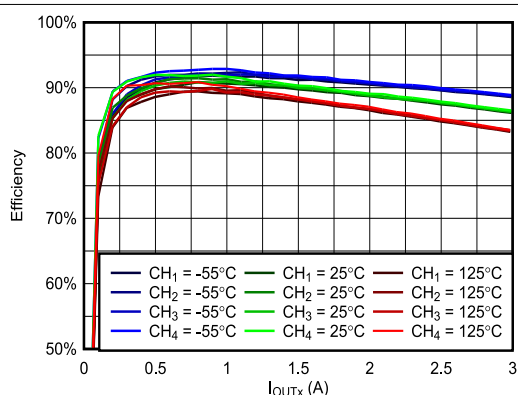


図 6-29. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 1.8V、f_{SW} = 500kHz)

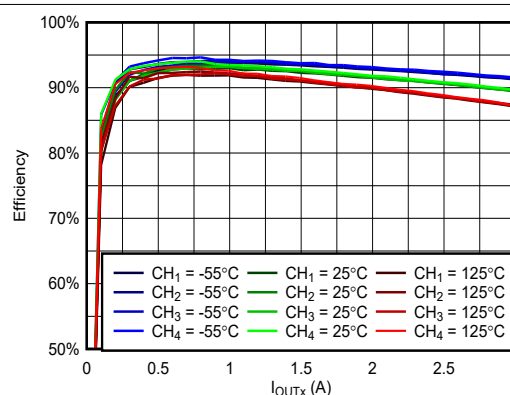


図 6-30. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 2.5V、f_{SW} = 500kHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

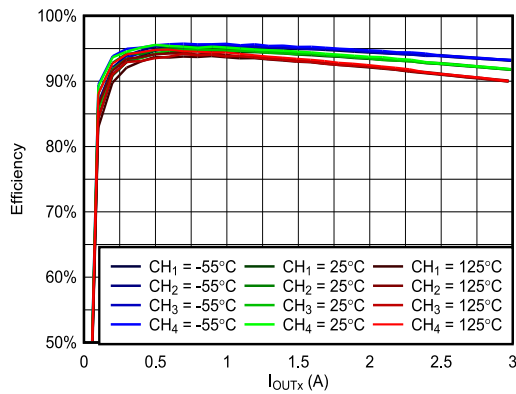


図 6-31. 効率と負荷との関係 (VIN = 5V、VOUTx = 3.3V、fSW = 500kHz)

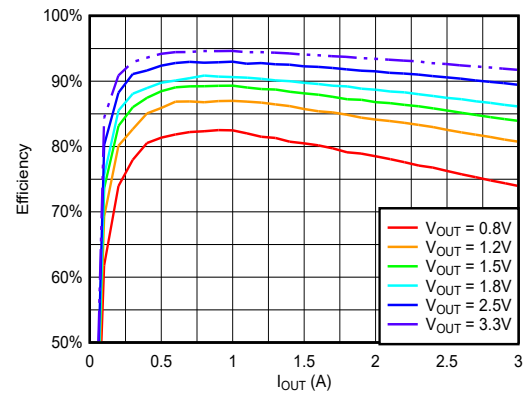


図 6-32. VIN = 5V、fSW = 500kHz、チャンネル #1、25°C における VOUT 全域での効率対負荷

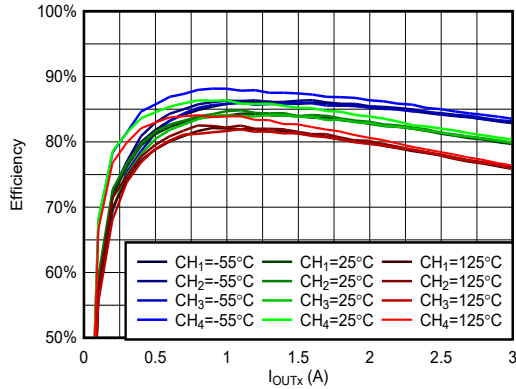


図 6-33. 効率と負荷との関係 (VIN = 7V、VOUTx = 1.2V、fSW = 500kHz)

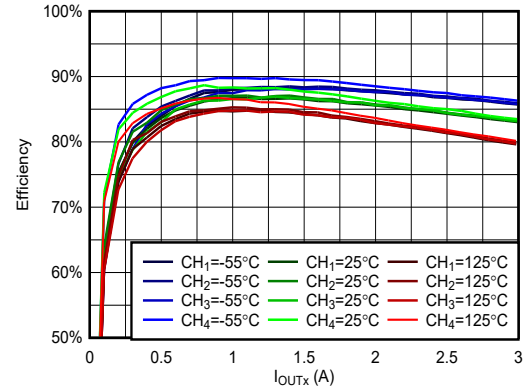


図 6-34. 効率と負荷との関係 (VIN = 7V、VOUTx = 1.5V、fSW = 500kHz)

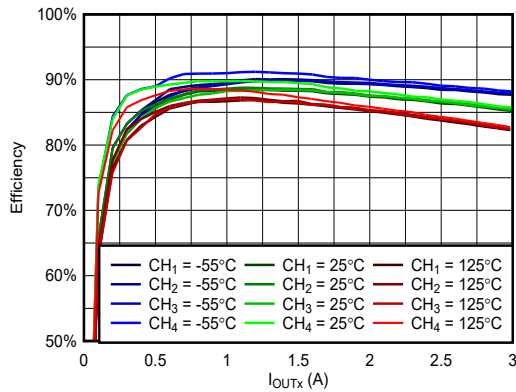


図 6-35. 効率と負荷との関係 (VIN = 7V、VOUTx = 1.8V、fSW = 500kHz)

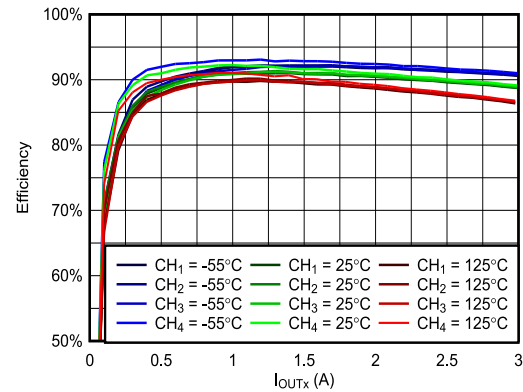


図 6-36. 効率と負荷との関係 (VIN = 7V、VOUTx = 2.5V、fSW = 500kHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

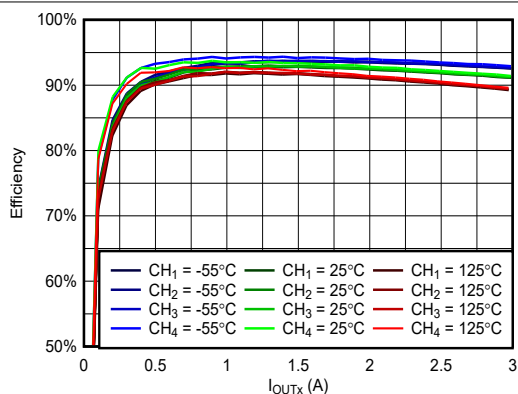


図 6-37. 効率と負荷との関係 (VIN = 7V、VOUTx = 3.3V、fSW = 500kHz)

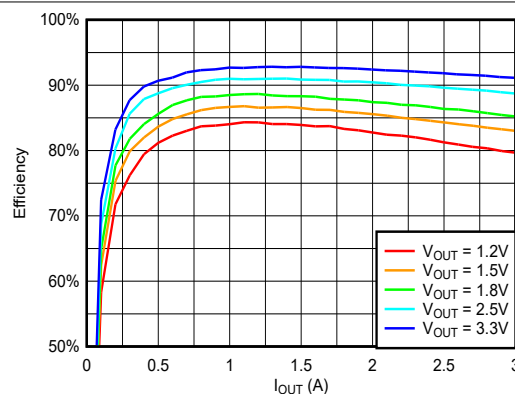


図 6-38. VIN = 7V、fSW = 500kHz、チャンネル #1、25°C における VOUT 全域での効率対負荷

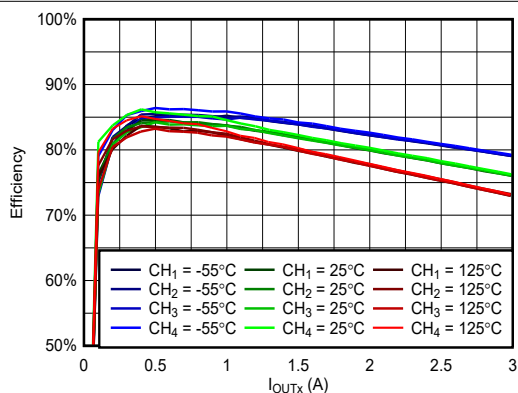


図 6-39. 効率と負荷との関係 (VIN = 3.3V、VOUTx = 1.2V、fSW = 1MHz)

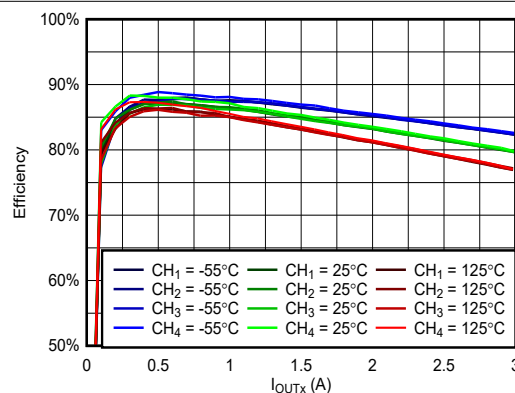


図 6-40. 効率と負荷との関係 (VIN = 3.3V、VOUTx = 1.5V、fSW = 1MHz)

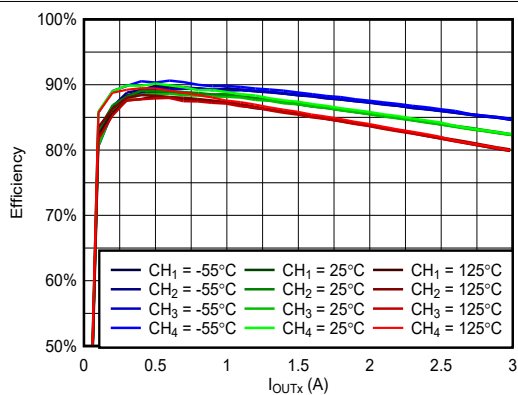


図 6-41. 効率と負荷との関係 (VIN = 3.3V、VOUTx = 1.8V、fSW = 1MHz)

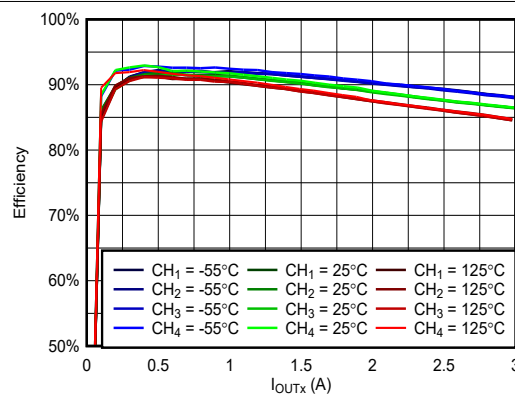


図 6-42. 効率と負荷との関係 (VIN = 3.3V、VOUTx = 2.5V、fSW = 1MHz)

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

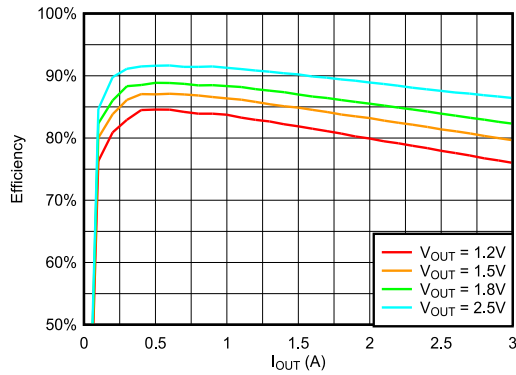


図 6-43. VIN = 3.3V、f_{SW} = 1MHz、チャネル #1、25°C における V_{OUT} 全域での効率対負荷

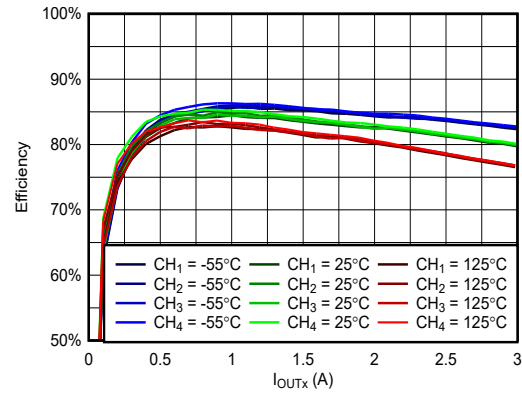


図 6-44. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 1.5V、f_{SW} = 1MHz)

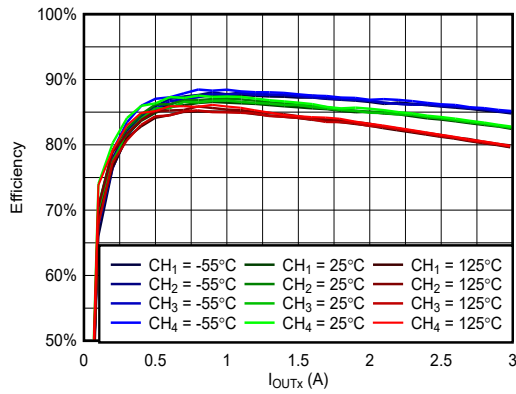


図 6-45. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 1.8V、f_{SW} = 1MHz)

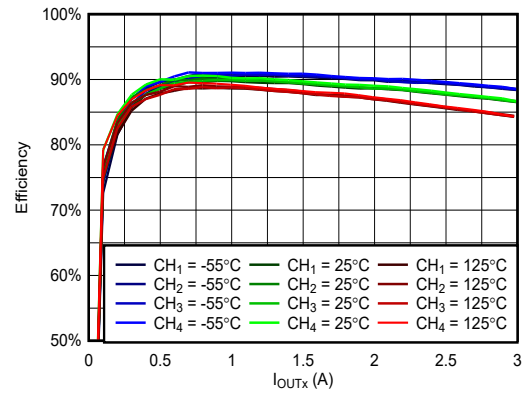


図 6-46. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 2.5V、f_{SW} = 1MHz)

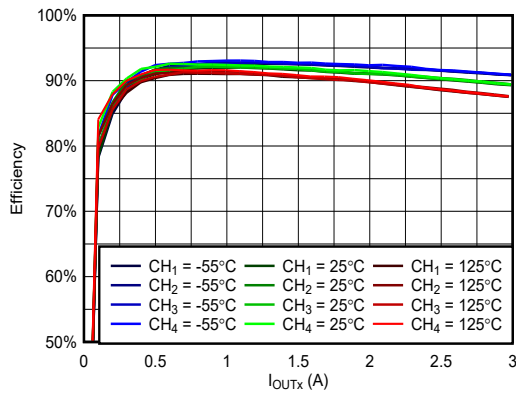


図 6-47. 効率と負荷との関係 (VIN = 5V、V_{OUTx} = 3.3V、f_{SW} = 1MHz)

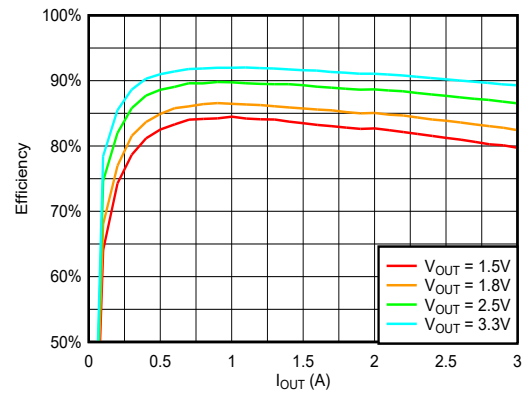


図 6-48. VIN = 5V、f_{SW} = 1MHz、チャネル #1、25°C における V_{OUT} 全域での効率対負荷

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

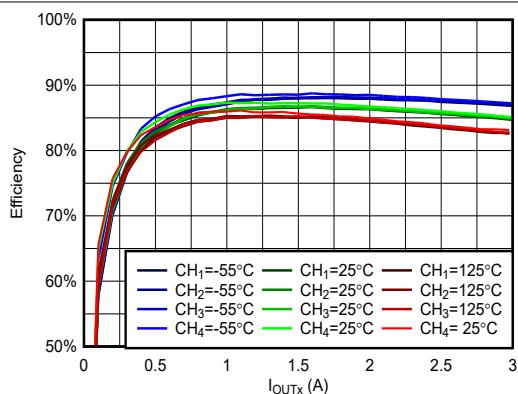


図 6-49. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 2.5V、f_{SW} = 1MHz)

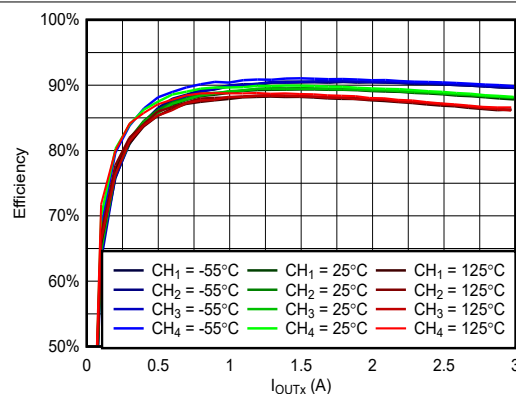


図 6-50. 効率と負荷との関係 (VIN = 7V、V_{OUTx} = 3.3V、f_{SW} = 1MHz)

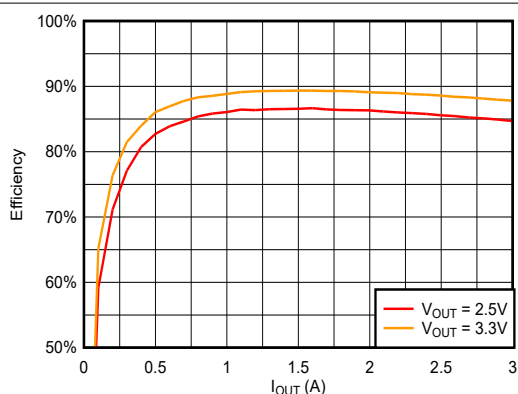


図 6-51. VIN = 7V、f_{SW} = 1MHz、チャンネル #1、25°C における V_{OUT} 全域での効率対負荷

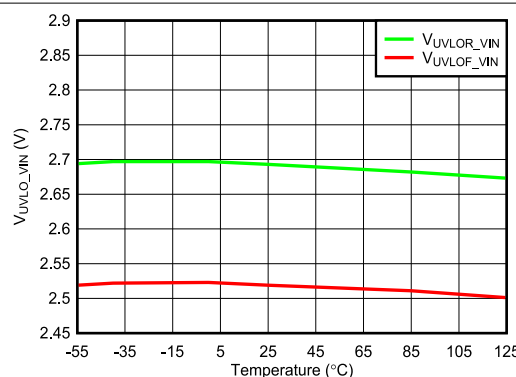


図 6-52. RISING および FALLING VIN UVLO 立ち上がりスレッシュヨルドと温度の関係

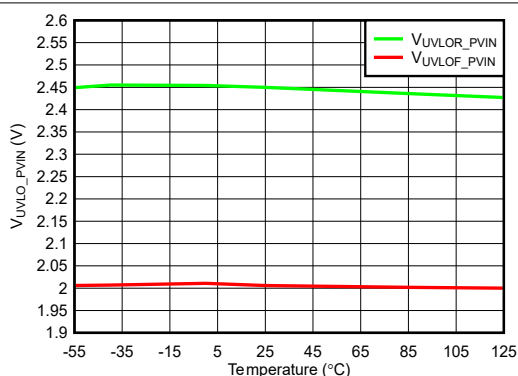


図 6-53. 立ち上がりおよび立ち下がり PVIN UVLO と温度との関係

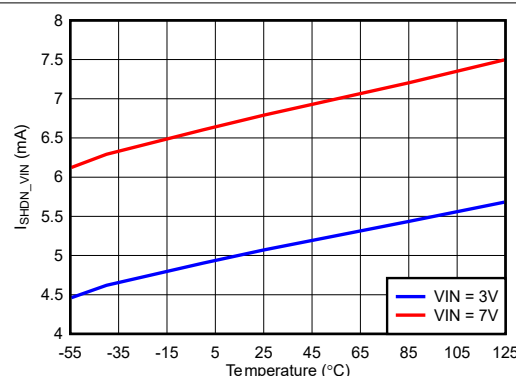


図 6-54. VIN シャットダウン電流と温度との関係

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

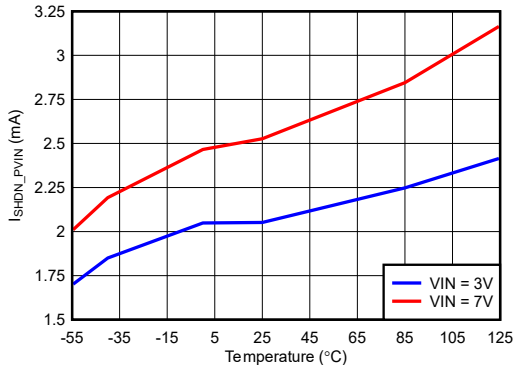


図 6-55. PVIN シャットダウン電流と温度との関係

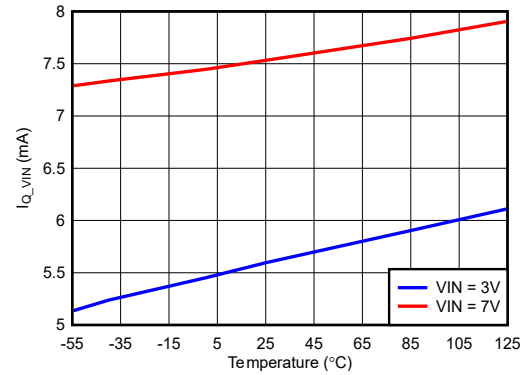


図 6-56. VIN 静止電流と温度との関係

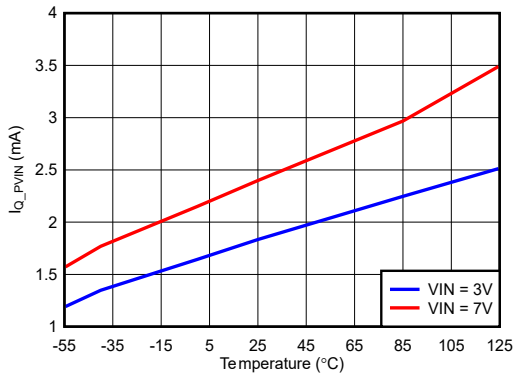


図 6-57. PVIN シャットダウン電流と温度との関係

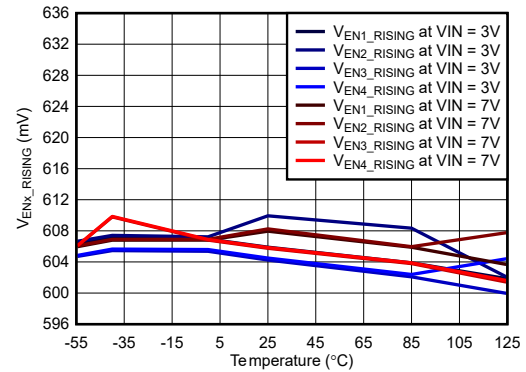


図 6-58. EN 立ち上がりスレッシュホールドと温度との関係

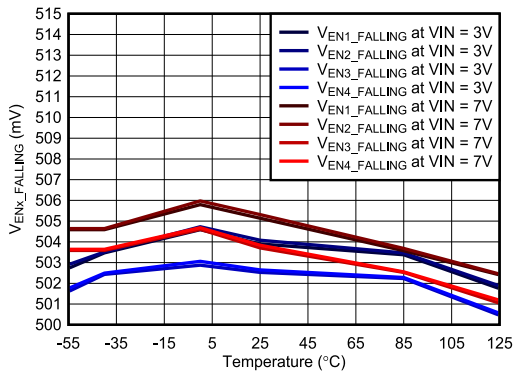


図 6-59. EN 立ち下がりスレッシュホールドと温度との関係

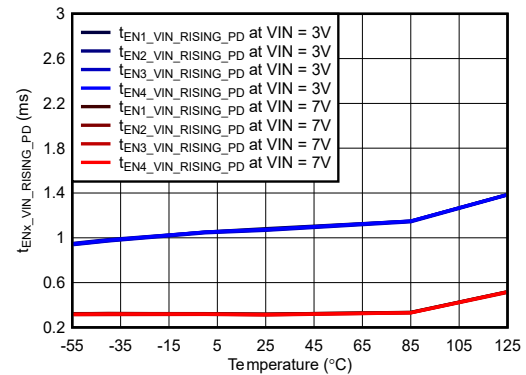


図 6-60. EN が VIN に接続されているときの EN 立ち上がり電圧伝搬遅延と温度との関係

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

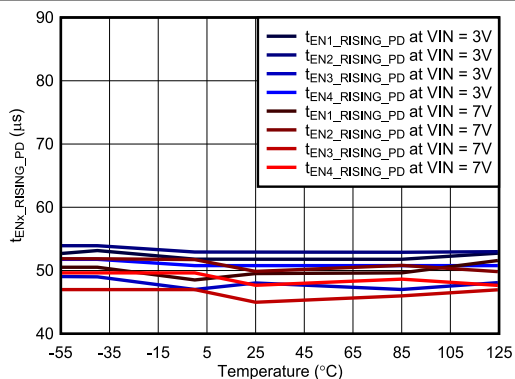


図 6-61. EN 立ち上がり電圧伝搬遅延と温度との関係

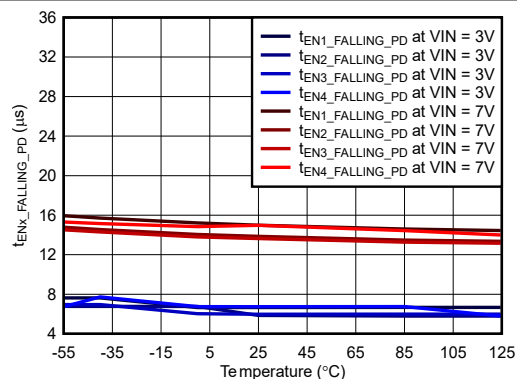


図 6-62. EN 立ち下がり電圧伝搬遅延と温度との関係

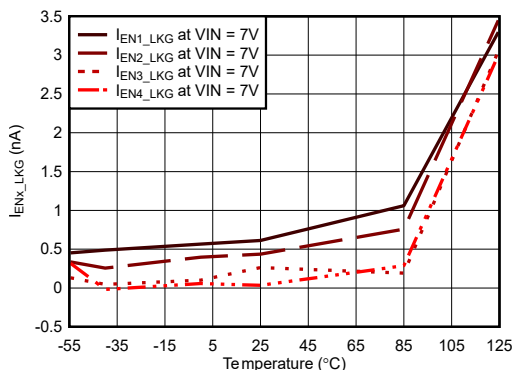


図 6-63. EN リーク電流と温度との関係

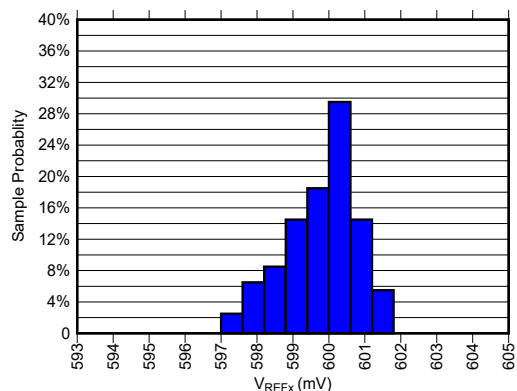


図 6-64. -55°C における VREFx 電圧分布

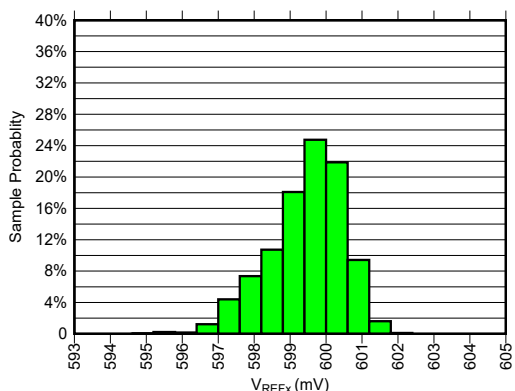


図 6-65. 25°C における VREFx 電圧分布

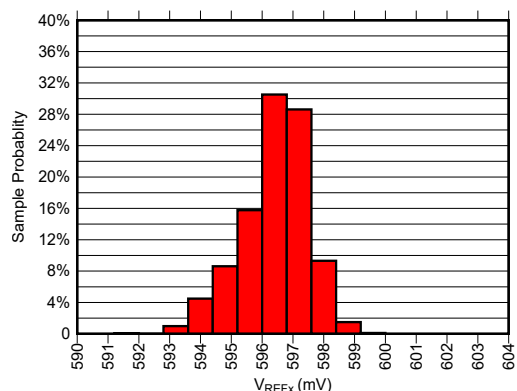


図 6-66. 125°C における VREFx 電圧分布

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

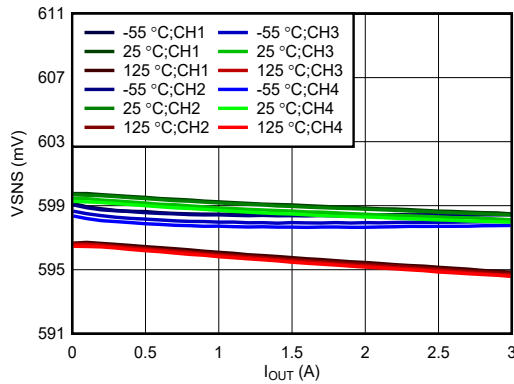


図 6-67. VSNS と負荷との関係 ($f_{SW} = 500\text{kHz}$)

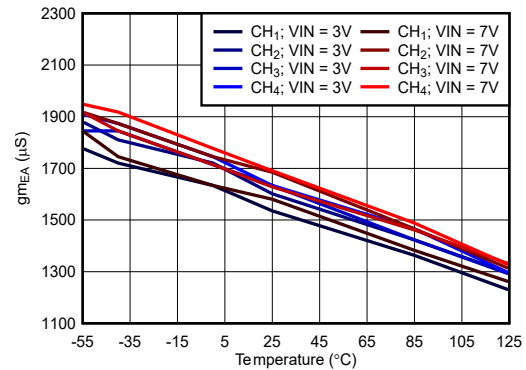


図 6-68. エラー アンプのトランスコンダクタンスと温度との関係

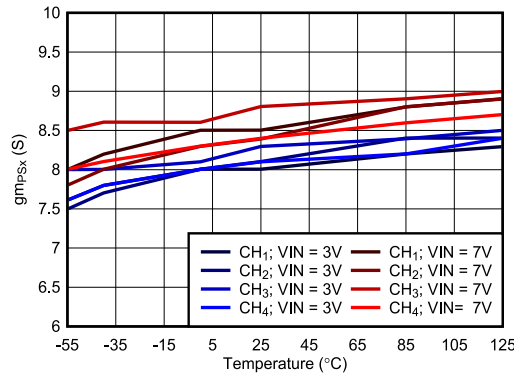


図 6-69. 電力段の相互コンダクタンスと温度との関係

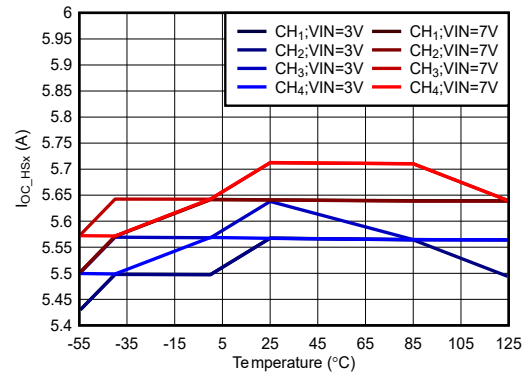


図 6-70. ハイサイドスイッチ過電流スレッシュホールドと温度との関係

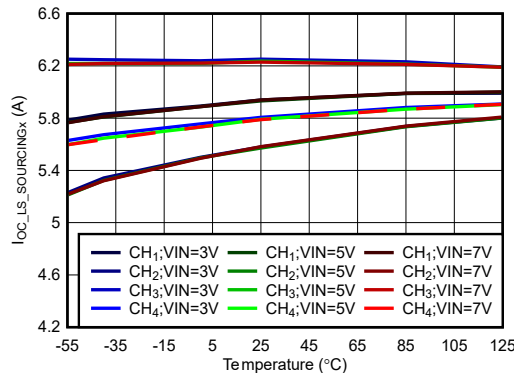


図 6-71. ローサイド ソース スイッチの過電流スレッシュホールドと温度との関係

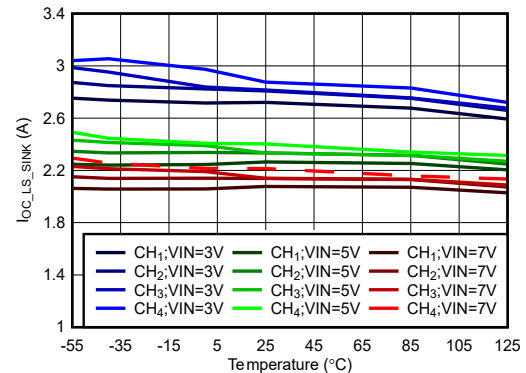


図 6-72. ローサイド シンク スイッチの過電流スレッシュホールドと温度との関係

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

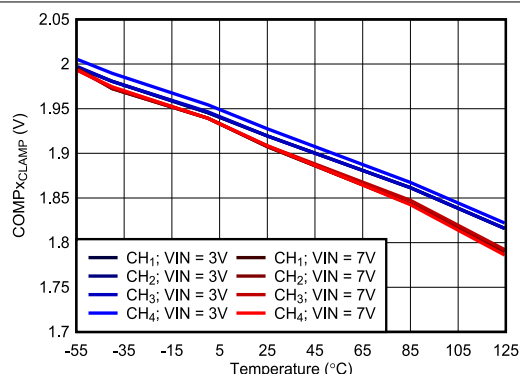


図 6-73. COMPx クランプ電圧と温度との関係

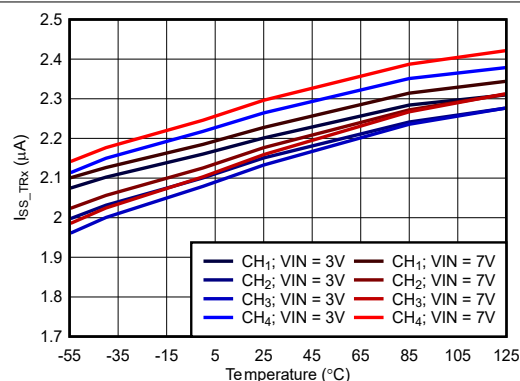


図 6-74. ソフトスタート充電電流と温度との関係

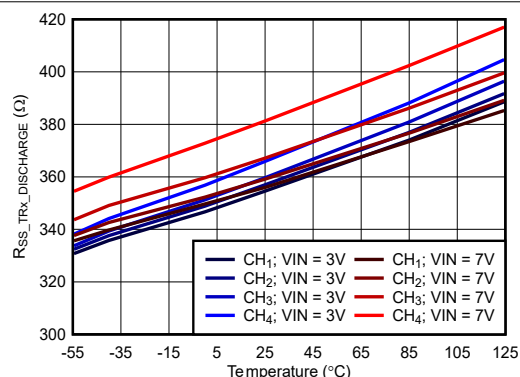


図 6-75. ソフトスタート放電プルダウン抵抗と温度との関係

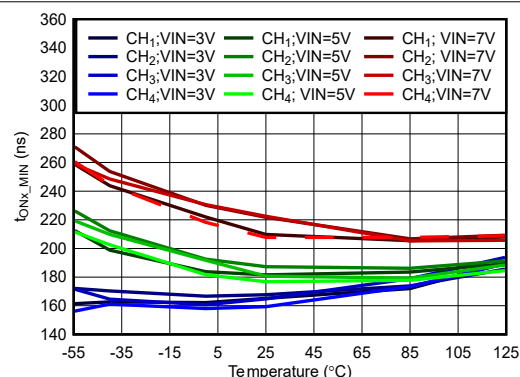


図 6-76. 最小オン時間と温度との関係

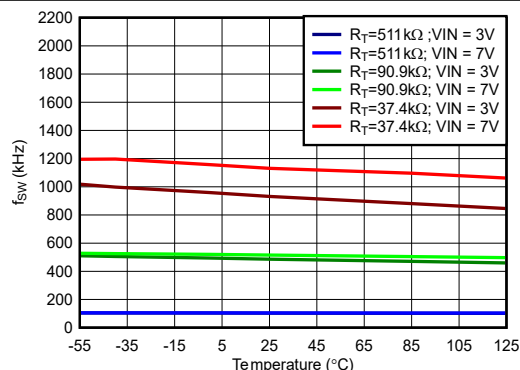


図 6-77. RT にプログラムされたスイッチング周波数

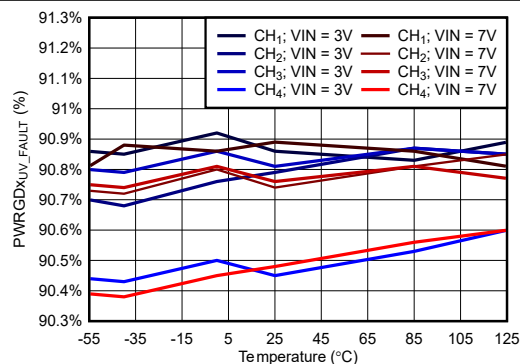


図 6-78. PWRGD フォルトの VSNSx 立ち下がりスレッシュホールドと温度との関係

6.7 代表的特性 (続き)

PVIN = VIN、REFCAP = 470nF、L = 3.3μH (モデル: MPX1D1250L3R3)、特に記述のない限り標準値。

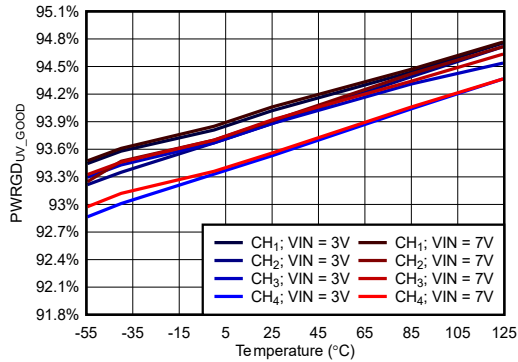


図 6-79. PWRGD グッドの VSNSx 立ち上がりスレッショルドと温度との関係

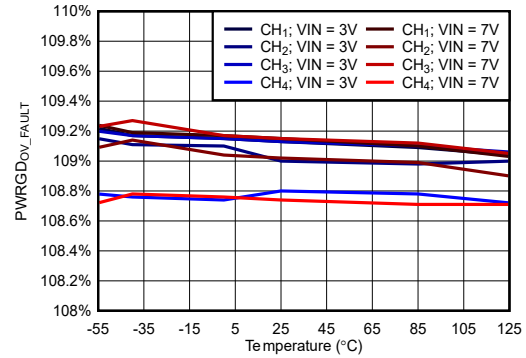


図 6-80. PWRGD フォルトの VSNSx 立ち上がりスレッショルドと温度との関係

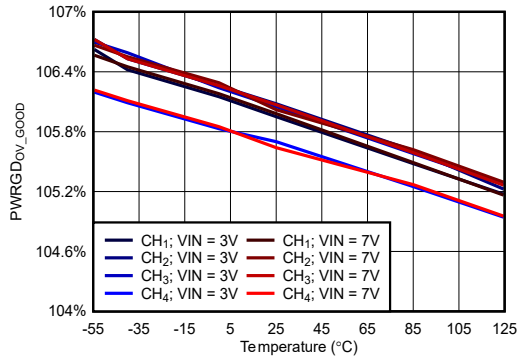


図 6-81. PWRGD グッドの VSNSx 立ち下がりスレッショルドと温度との関係

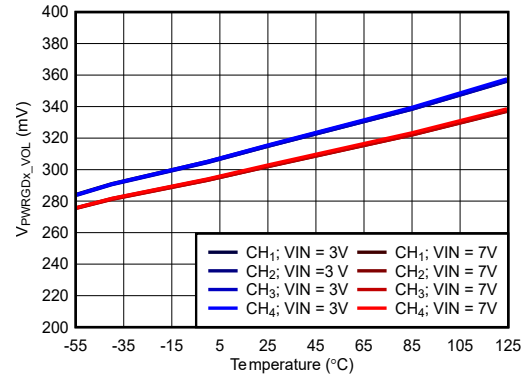
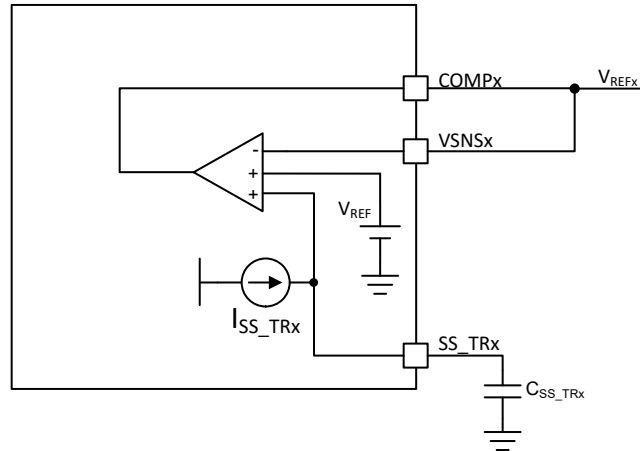


図 6-82. パワー グッド出力 Low 電圧と温度との関係

7 パラメータ測定情報



- A. この正確なリファレンス電圧の値には、エラーアンプのオフセット V_{IOx} が含まれます。この値を使用して出力電圧を設定します。この測定は 4 つのチャンネルすべてで行われます。

図 7-1. 基準電圧測定 (V_{REFx})

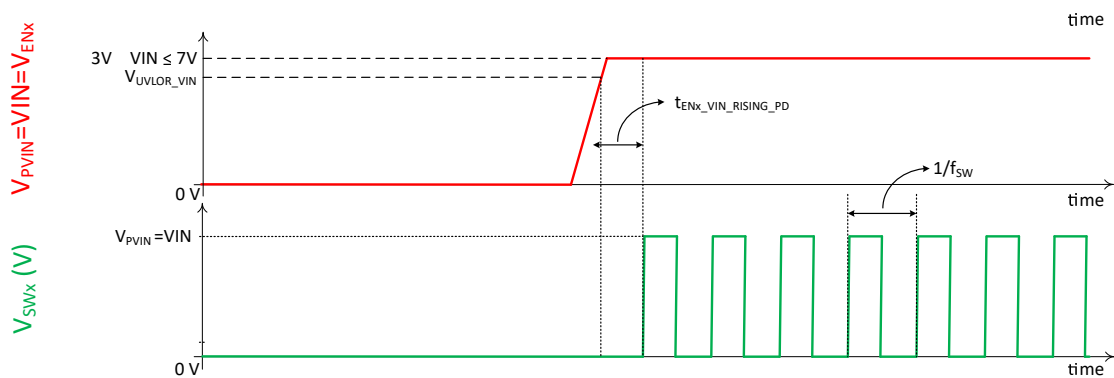


図 7-2. ENx が PVIN = VIN に接続されているときの立ち上がりリネーブル伝搬遅延 ($t_{ENx_VIN_RISING_PD}$)

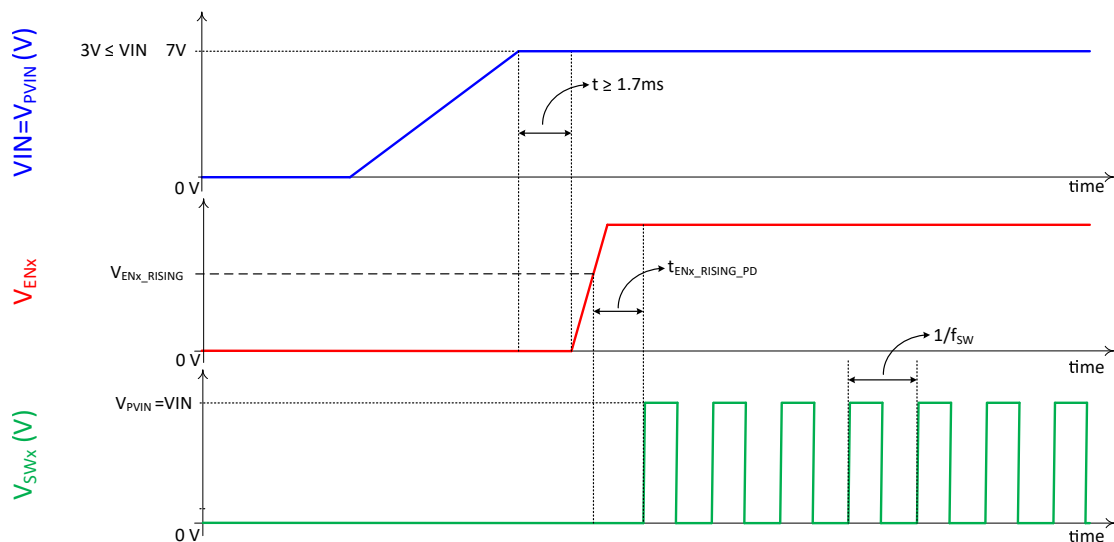


図 7-3. ENx が PVIN = VIN から独立して駆動されたときの立ち上がりリネーブル伝搬遅延 ($t_{ENx_RISING_PD}$)

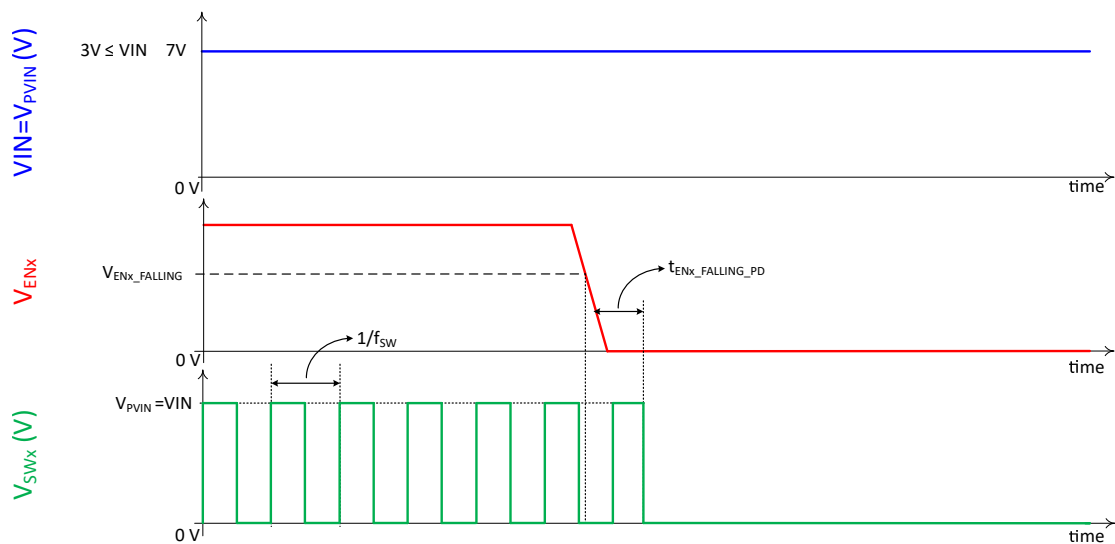


図 7-4. 立ち下がリイネーブル伝搬遅延 ($t_{\text{ENx_FALLING_PD}}$)

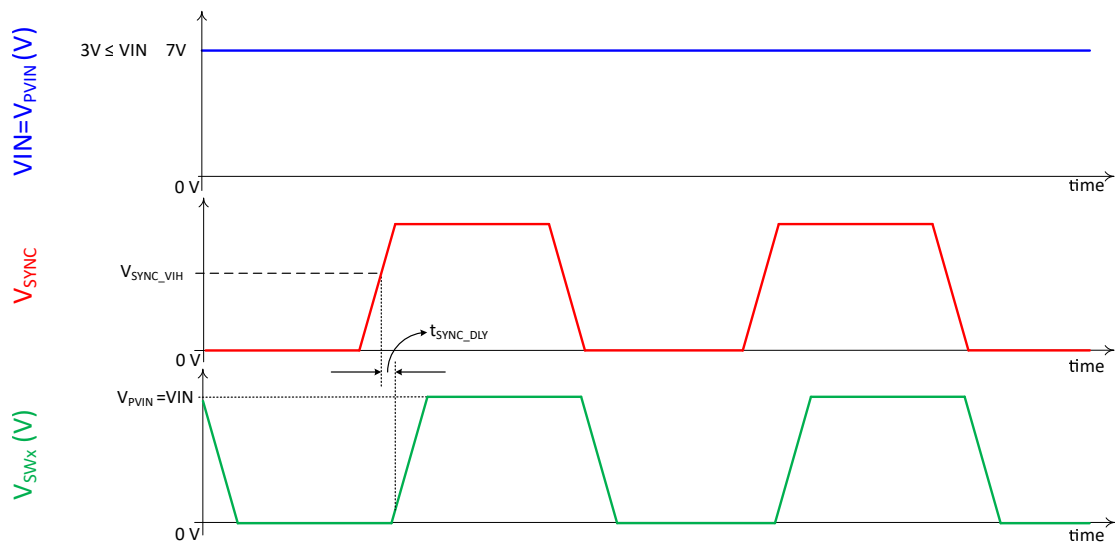


図 7-5. SYNC からスイッチまでの遅延 ($t_{\text{SYNC_DLY}}$)

8 詳細説明

8.1 概要

TPS7H4104 および TPS7H4102 デバイスは次のとおりです。3V ~ 7V、3A/チャンネル、クワッド/デュアルチャンネル、同期整流降圧 (バック) コンバータ。各チャンネルには 2 つの内蔵 MOSFET があり、ハイサイド用の PMOS とローサイド用の NMOS が搭載されています。また、各チャンネルは独立しています:

- パワー グッド フラグ ピン (PWRGDx)。
- プログラマブル スロープ補償 (RSCx)。
- プログラム可能なソフト スタート (SSx)。
- Low ロジック互換のイネーブル入力 (ENx)。

各チャンネルは、独立して使用することもインターリーブすることもでき、3A を超える負荷 TPS7H4104 では最大 12A、TPS7H4102 では最大 6A という負荷を供給することもできます。各相は、90 度の相対的な固定位相シフトによって内部で動作します。上側と下側の両方のチャンネルは、デュアル/シングル 6A チャンネルをインターリーブするために、それらのチャンネル間で 180 度の位相シフトがあります。

注

この文書の目的のために、信号名の最後の **x** は、信号が取ることができるすべての可能な値を一般化するために使用されます。**x** は 1 から 4 の値を取ることができます (説明のチャンネルを指定するために使用されます)。信号の末尾に **x** または指定された値 (1~4) が含まれていない場合は、信号はすべてのチャンネルに対する共有 (またはグローバル) 信号です。信号は次のとおりです: VIN、PVIN、RT、SYNC、EN_SEQ (TPS7H4104 でのみ有効)、GND、PGND、および REFCAP はすべて、すべてのチャンネルで共通の信号です。

ライン過渡および負荷過渡時に性能を向上させるには、外部周波数補償機能も簡素化できる一定周波数のピーク電流モード (PCM) 制御をデバイスに実装します。スイッチング周波数の範囲が広い (100kHz ~ 1MHz) ため、出力フィルタ部品 (L_x と C_{OUTx}) の選択時に、効率とサイズを最適化できます。MOSFET は、デューティサイクルが低いアプリケーションに対して効率を最適化するようにサイズが設定されています。

デバイスは、プリバイアスされた負荷に対して安全な単調起動が行えるよう設計されています。デフォルトでは、VIN が 2.7V (標準値) より大きいときにスタートアップが行われます。各チャンネルには独立したイネーブル信号 (ENx) が組み込まれています。このピンは、ヒステリシス付き電圧コンパレータの非反転入力に接続されています (標準で 106mV)。TPS7H4104 の最大合計 (VIN + PVIN) 動作電流は、全チャンネル無効時で 12mA、全チャンネル有効かつ非スイッチング時で 18.7mA です。

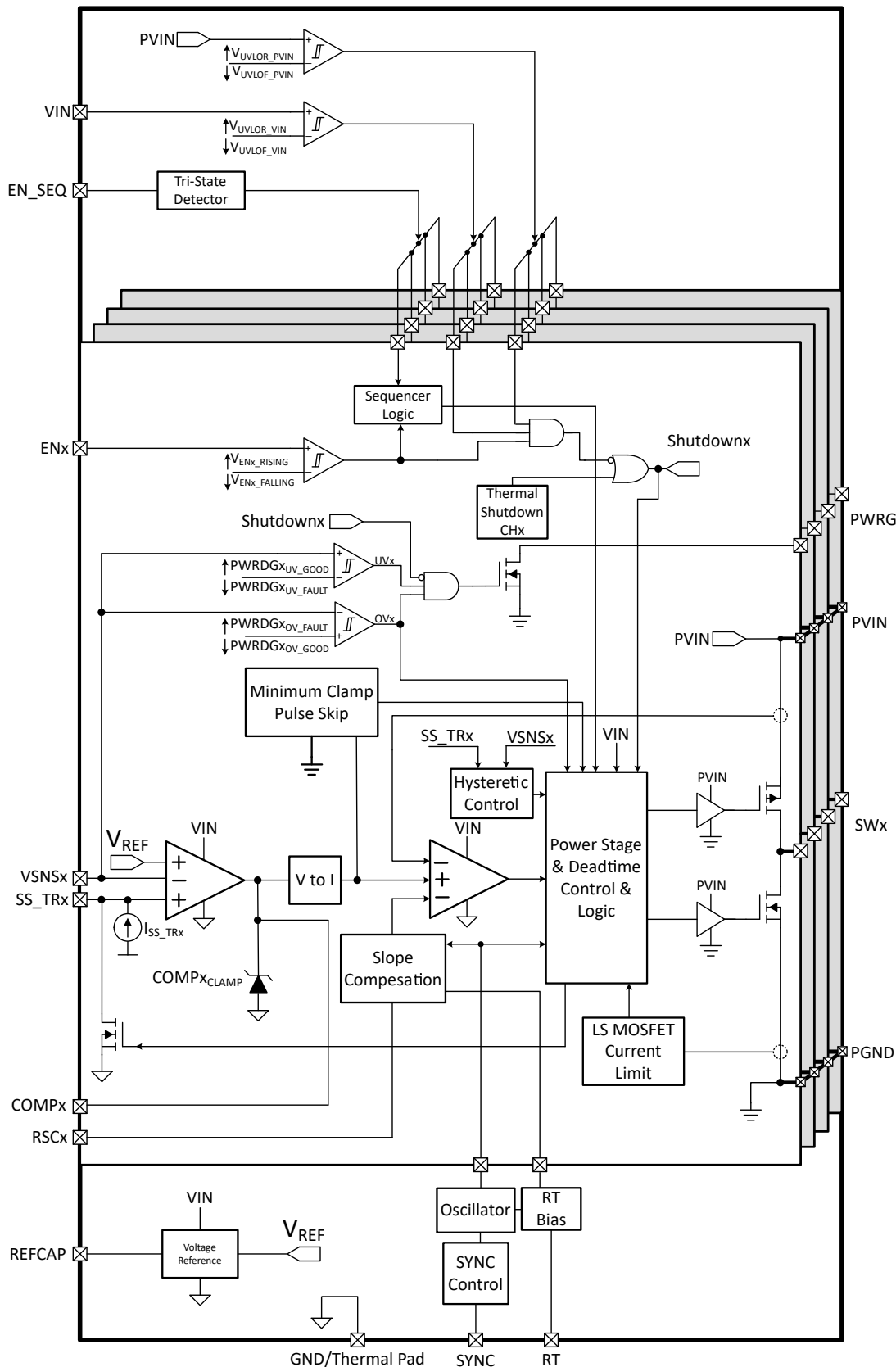
このデバイスには、ヒステリシス付きのパワーグッドコンパレータ (PWRGDx) が組み込まれており、VSNSx (またはフィードバック) ピンにより出力電圧を監視します。PWRGDx ピンはオープンドレインの NMOS MOSFET であり、VSNSx ピンの電圧が 91% (標準値) を下回るか、内部電圧リファレンス (V_{REFx}) の 109% (標準値) を上回ると Low にプルされ、VSNSx ピンの電圧が V_{REFx} (標準値) の 94% ~ 106% のときに High (外部プルアップにより) アサートされます。

SS_TRx (ソフトスタート/トラッキング) ピンを使用することで、突入電流 (起動中、 C_{OUTx} が放電されているとき) を最小限に抑え、電源投入時に電源シーケンスを実行できます。ソフトスタートまたは重要な電源シーケンス要件を満たすには、このピンに小さな値のコンデンサまたは分圧抵抗を接続する必要があります。スタートアップ中に、VSNSx が SS_TRx の電圧より高い場合、デバイスはパルススキップモードに移行します。これは、最小オン時間 ($t_{ONx_MIN} = 182ns$ 標準値、VIN = 5V 時) のために発生します。

本デバイスは、出力過電圧、過負荷、熱フォルト状態から保護されています。パワー グッド コンパレータの過電圧回路を利用して、過度の出力過電圧を最小限に抑えています。過電圧コンパレータが作動した時点で、VSNSx ピンの電圧が V_{REFx} の 106% を下回るまで、ハイサイド MOSFET がオフになり、オンにならないようになります。ハイサイド MOSFET 過負荷保護と双方向のローサイド MOSFET 過負荷保護の両方を実装しており、インダクタ電流を制御し、電流暴走を防止するのに役立ちます。また、いずれかのチャンネル接合部温度がサーマルシャットダウンのトリップポイント (標準値

163°C よりも高い場合も、デバイスはシャットダウンします。接合部温度がサーマルシャットダウンのトリップ・ポイントよりも 29°C (標準値) 低下すると、ソフトスタート回路の制御により、デバイスは自動的に再起動されます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 VIN および電源 VIN ピン (VIN および PVIN)

VIN ピンは、内部制御回路に電力を供給します。PVIN ピンは、すべての内部ハーフブリッジ (CH #1 から CH #4 まで) に入力電圧 (および負荷に電力を供給します)。両者のピンは、3V ~ 7V の入力電圧範囲で動作します。これらのピンは公称電圧が同じである必要があり、同時にパワーアップとパワーダウンが必要です。一般に、これは同じ電圧源 (互いに接続) から供給することで達成されます。

VIN と PVIN の両方に、個別の UVLO (低電圧誤動作防止) の立ち上がりスレッシュホールドである V_{UVLOR_VIN} (2.7V 標準値) と V_{UVLOR_PVIN} (2.44V 標準値) があります。これは、デバイス内部のバイアスが適切に動作するために十分であることを確認するためです。さらに、VIN と PVIN にはそれぞれ個別の UVLO 立ち下がりスレッシュホールド V_{UVLOF_VIN} (2V 標準値) と V_{UVLOF_PVIN} (2.52V 標準値) があります。電圧が低下してこれらの値に達すると、デバイスはオフになります。PVIN と VIN がアプリケーションで互いに接続されているため、デバイスの支配的な UVLO は、立ち上がりおよび立ち下がり電圧の間の高いスレッシュホールド値と同様に VIN UVLO になります。

必要に応じて、VIN と ENx の間に接続された外付け抵抗分割器を使用して、実効 UVLO を調整できます。詳細については、[セクション 8.3.4.1](#) を参照してください。

注

TPS7H4102 の PVIN ピン 17、18、31、32 は、最大 2.27mA で多くの電流を供給できません。このため、ピンをプレーンに接続する必要はなく、配線で十分です。

8.3.2 電圧リファレンス

デバイスは、内部の公称 1.235V バンドギャップリファレンス電圧 V_{REFCAP} を生成します。これは、定常状態動作時に REFCAP ピンに印加される電圧です。適切な電氣的動作のために、またデバイスの堅牢な SET 性能を確保するために、REFCAP ピンでグラウンドとの間に 470nF のコンデンサが必要です。このバンドギャップ電圧は、4 つの誤差増幅器に共通する誤差増幅器のリファレンス電圧を導くために使用されます。

誤差増幅器に供給される基準電圧を使用して、出力電圧を設定します。ただし、誤差アンプには固有のオフセットが存在し、全体的な精度誤差に寄与します。 V_{REFx} は、ユニティゲインの誤差アンプで測定され、測定にはオフセット誤差が含まれます。 V_{REFx} は 25°C 時に標準値 599.48mV で、ライン (入力電圧)、温度、および TID の全範囲で $\pm 1\%$ の精度が得られるよう設計されています。 V_{REFx} は開ループ構成で測定されるため、スイッチング周波数と負荷の影響は仕様には含まれていません。しかし、これらの効果は、すでに考慮されている効果と比較して最小です。

8.3.3 V_{OUTx} の設定

出力電圧は、抵抗分圧器で外部的に設定されます。出力電圧ノード (V_{OUTx}) から VSNSx ピンに上側の抵抗を接続し、VSNSx から GND に下側の抵抗を接続します。接続の構成については、[図 8-1](#) を参照してください。TI は 0.1% 公差のセラミック コンデンサの使用を推奨します。

最初は R_{F_TOPx} に 10k Ω を設定し、[式 1](#) を使用して下側帰還抵抗 (R_{F_BOTx}) を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。これらの値が大きすぎると、レギュレーターはノイズの影響を受けやすくなり、VSNSx 入力電流による出力電圧誤差も増えます。

$$R_{F_BOTx} = \left(\frac{V_{REFx}}{V_{OUTx_TARGET} - V_{REFx}} \right) \times R_{F_TOPx} \quad (1)$$

ここで

- $V_{REFx} = 599.48\text{mV}$ (25°C での標準値)。
 - V_{REFx} の詳細については、[セクション 6.5](#) の「電圧リファレンス」のセクションを参照してください。
 - 温度範囲全体にわたって出力電圧の誤差を最小化する必要がある場合、リファレンスを次のように中心を変更できます。

$$V_{REFx} = \frac{V_{REFx(MIN)} + V_{REFx(MAX)}}{2} = 597.5\text{mV} \quad (2)$$

- V_{OUTx_TARGET} は目標の公称出力電圧です。
- R_{F_TOPx} は、抵抗分圧器に対して選択された上側の抵抗です。

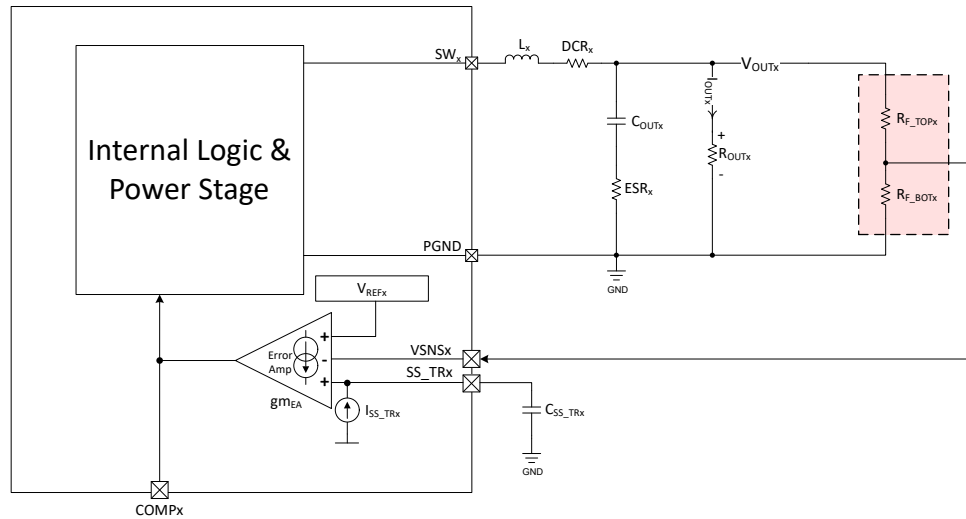


図 8-1. 抵抗分圧器による V_{OUTx} のプログラミング

8.3.3.1 V_{OUTx} (エラーあり)

上側と下側の抵抗が判明したら、式 3cn を使用して公称出力電圧の期待値を計算します。基準電圧と抵抗の値には公称値 (または不確定要素) からの偏差があるため、設計者は式 4 を使用して、出力電圧誤差の期待値を計算できます。式 4 は微分方法を使用して導出されており、誤差変数は相関しておらず、両方の抵抗 (R_{F_TOPx} と R_{F_BOTx}) の許容誤差が同じであると仮定しています。実際の出力電圧範囲は、式 5 を使用して計算できます。

$$V_{OUTx_NOMINAL} = \left(1 + \frac{R_{F_TOPx}}{R_{F_BOTx}}\right) \times V_{REFx} \quad (3)$$

$$V_{OUTx_ERROR} \left(V \right) = \pm \sqrt{\frac{V_{REFx}^2 \times \left[\left(2 \times R_{TOL}^2 \times R_{F_TOPx}^2\right) + \left(V_{REFx_ACC}^2 \times \left(R_{F_TOPx} + R_{F_BOTx}\right)^2\right) \right]}{R_{F_BOTx}^2}} \quad (4)$$

$$V_{OUTx_REAL} = V_{OUTx_NOMINAL} \pm V_{OUTx_ERROR} \quad (5)$$

ここで

- R_{F_TOPx} は、抵抗分圧器に対して選択された上側の抵抗 (Ω) です。
- R_{F_BOTx} は、抵抗分圧器に対して選択された下側の抵抗 (Ω) です。
- $V_{REFx} = 599.48\text{mV}$ (25°C での標準値) または 598.39mV (温度範囲全体での中心)。
- V_{REFx_ACC} は、数値 (0.01) としての基準精度です。電圧と温度範囲全体の精度は $\pm 1\%$ であり、詳細については、セクション 6.5 の基準電圧を参照してください。
- R_{TOL} は、数値に対する抵抗の公差 (上側、下側の抵抗について同じ) です。例えば、公差 0.1% の抵抗に対しては 0.001 を使用します。

8.3.3.2 最小出力電圧

内部リーディング エッジ ブランキング時間、内部回路の伝搬遅延、内部基準電圧(V_{REFx}) により、最小実現可能な出力電圧 (V_{OUTx}) が存在します。最小出力電圧は次のように計算されます。

$$V_{OUTx_MIN} \cong \begin{cases} V_{IN} \times t_{ONx_MIN} \times f_{SW}, & \text{if } \geq V_{REFx} \\ V_{REFx}, & \text{Otherwise} \end{cases} \quad (6)$$

ただし:

- V_{OUTx_MIN} は、実現可能な最小出力電圧です
- V_{IN} は I.C. の入力電圧(PV_{IN} と同じ)
- t_{ONx_MIN} は最小オン時間です
 - 詳細については、[セクション 6.5](#) の最小オン、オフ、およびデッド時間のセクションを参照してください。
- f_{SW} はスイッチング周波数
 - 詳細については、[セクション 6.5](#) の「スイッチング周波数と同期」セクションを参照してください。
- V_{REFx} は内部リファレンス電圧です。
 - 詳細については、[セクション 6.5](#) の電圧リファレンスセクションを参照してください。

[表 8-1](#) に、 V_{IN} および f_{SW} を選択した場合の最小出力電圧の計算値を示します。

表 8-1. 計算された最小出力電圧

f_{SW} (kHz)	V_{IN} (V) ⁽⁴⁾	V_{OUTx_MIN} (V)
100 ⁽¹⁾	3	V_{REFx} ⁽⁵⁾
	5	
	7	
500 ⁽²⁾	3	0.761
	5	
	7	
1000 ⁽³⁾	3	0.983
	5	
	7	

- (1) $R_{RT} = 511k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (2) $R_{RT} = 90.9k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (3) $R_{RT} = 37.4k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (4) 指定された電圧の t_{ONx_MIN} の最大値を使用して、計算しました。
- (5) V_{REFx} は内部リファレンス電圧です。

8.3.3.3 最大出力電圧

TPS7H410x には、最小オフ時間 t_{OFFx_MIN} により、最大出力電圧があります。この最小オフ時間は、NMOS/NMOS の降圧レギュレータで見られるようなブートストラップ コンデンサの再充電速度が原因ではありません。代わりに、最小オフ時間はスイッチングノイズを保証し、内部回路の動作によって過度のデューティサイクルジッタが引き起こされないようにすることです。最大出力電圧は、式 7 で概算できます

$$V_{OUTx_MAX} \cong V_{IN} \times \left[1 - (t_{OFFx_MIN} \times f_{SW}) \right] \quad (7)$$

ただし:

- V_{OUTx_MAX} 最大出力電圧の期待値
- V_{IN} は I.C. の入力電圧(P_{VIN} と同じ)
- t_{OFFx_MIN} は、最小のオフ時間です
 - 詳細については、[セクション 6.5](#) の最小オン、オフ、およびデッドタイムのセクションを参照してください。
- f_{SW} はスイッチング周波数
 - 詳細については、[セクション 6.5](#) の「スイッチング周波数と同期」セクションを参照してください。

[表 8-2](#) に、 V_{IN} および f_{SW} という選択された場合の最大出力電圧の計算値を示します。

表 8-2. 計算された最大出力電圧

f_{SW} (kHz)	V_{IN} (V) ⁽⁴⁾	V_{OUTx_MAX} (V)
100 ⁽¹⁾	3	2.922
	5	4.870
	7	6.819
500 ⁽²⁾	3	2.635
	5	4.391
	7	6.147
1000 ⁽³⁾	3	2.184
	5	3.639
	7	5.095

- (1) $R_{RT} = 511k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (2) $R_{RT} = 90.9k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (3) $R_{RT} = 37.4k\Omega$ の最大スイッチング周波数の値を使用して、計算しました。
- (4) $t_{OFFx_MIN} = 216ns$ の標準値が計算に使用されました

8.3.4 イネーブルと EN_SEQ を備えています

8.3.4.1 ENx および外部 UVLO

ENx ピンは、各 CHx (または V_{OUTx}) の電氣的オン/オフ制御に使用できます。ENx ピンは、ヒステリシス付きコンパレータの非反転入力に接続されています (標準 106mV)。ENABLE ピンが Low [V_{ENx} < V_{ENx_FALLING (MIN)}] の場合、デバイスはシャットダウンモードに移行し、選択されたチャネル (x) の出力電圧 (V_{OUTx}) をレギュレーションしません。特定のチャネルをオンにするには、ENABLE ピンをロジック High [V_{ENx} > V_{ENx_RISING (MAX)}] に強制的に設定する必要があります。各 ENx ピンは独立しており、指定された CHx (または V_{OUTx}) のみを制御します。

必要に応じて、[図 8-2](#) に示すように、VIN と GND の間に分割抵抗を ENx ピンに接続することで、各チャネルの個別のターンオン電圧を調整できます。目的のプリセット入力電圧に達したときにデバイスをオンにするよう、抵抗のサイズを適切に設定できます。

注

立ち上がり電圧 UVLO はユーザーが設定でき、立ち下がり電圧はコンパレータヒステリシスにより決定されます。選択する立ち上がり電圧 UVLO は、V_{UVLO} VIN の最大仕様である 2.83V よりも大きい必要があります。

目的のチャネル (CHx) の外部 UVLO をプログラムするには、これらの手順に従います。

1. 目的の立ち上がり電圧 UVLO (V_{UVLO_CHx_TARGET}) を選択します。
2. 抵抗分圧器の上側抵抗値 (R_{ENx_TOP}) を選択します。
 - 10kΩ を出発点としてお勧めします。アプリケーションでこれより大きな値を使用すると、消費電力を最小限に抑えることができます。ただし、これはノイズの感受性が高くなり、ENx リークに関連する誤差 (I_{ENx_LKG}) もより顕著になります。
3. [式 8](#) を使用して、抵抗分圧器 (R_{ENx_BOT}) の下側抵抗を計算します。
4. 誤差を最小化するために、最も近い値を選択します。
5. [式 9](#) および [式 10](#) を使用して、目的のチャネルの公称立ち上がりおよび立ち下がり UVLO を計算します。

$$R_{ENx_BOT_CALCULATED} = \left(\frac{V_{ENx_RISING}}{V_{UVLO_CHx_TARGET} - V_{ENx_RISING}} \right) \times R_{ENx_TOP} \quad (8)$$

$$V_{UVLO_CHx_RISING} = \left(1 + \frac{R_{ENx_TOP}}{R_{ENx_BOT}} \right) \times V_{ENx_RISING} \quad (9)$$

$$V_{UVLO_CHx_FALLING} = \left(1 + \frac{R_{ENx_TOP}}{R_{ENx_BOT}} \right) \times V_{ENx_FALLING} \quad (10)$$

ここで

- R_{ENx_BOT_CALCULATED} は、外部 UVLO を V_{UVLO_CHx_TARGET} に設定するための、計算された下側抵抗です。
- V_{UVLO_CHx_RISING} は、外部でプログラムされた立ち上がり入力電圧 UVLO です。
- V_{ENx_RISING} = 0.606V (標準値)
- V_{UVLO_CHx_FALLING} は、外部でプログラムされた立ち下がり入力電圧 UVLO です。
- V_{ENx_FALLING} = 0.5V (標準値)
- R_{ENx_TOP} は、VIN から ENx に接続されて選択された上側の抵抗値です
- R_{ENx_BOT} は、ENx から GND に接続して下側の抵抗値を選択します

または、ENx ピンをマイクロコントローラまたは FPGA から直接駆動することもできます。イネーブル ピンの電圧スレッシュホールドは低いため、1.1V、1.8V、2.5V、3.3V のロジックレベルをサポートできます。

必要なら、[図 8-2](#) に示すように、小さなコンデンサを ENx および GND と並列に配置できます。このコンデンサは、以下の目的で使用できます。

- ENx 電圧のノイズを最小化します。
- 高速過渡をフィルタリングします。そうしないと、チャネルをオン/オフする可能性があります。
- チャネル (CHx) のターンオンを遅延させます。

必要なら、設計者は式 11 を使用して、特定のチャネル (x) のオンを遅延させるために必要なコンデンサを計算できます。

$$C_{EN_DELAY} \left(F \right) = \frac{t_{DELAY}(s)}{R_{TH}(\Omega) \times \ln \left(-\frac{V_{TH}(V)}{V_{ENx_RISING} - V_{TH}(V)} \right)} \quad (11)$$

ここで

- t_{DELAY} は必要な遅延時間 (秒) です。
- R_{TH} は、テブナン等価抵抗です。この場合、 R_{ENx_TOP} と R_{ENx_BOT} の 並列抵抗 (Ω) です。

$$R_{TH}(\Omega) = \frac{R_{ENx_TOP}(\Omega) \times R_{ENx_BOT}(\Omega)}{R_{ENx_TOP}(\Omega) + R_{ENx_BOT}(\Omega)} \quad (12)$$

- V_{TH} はテブナンの等価電圧です。この場合、定常状態での V_{ENx} の電圧 (V)。

$$V_{TH}(V) = \left(\frac{R_{ENx_BOT}(\Omega)}{R_{ENx_TOP}(\Omega) + R_{ENx_BOT}(\Omega)} \right) \times VIN(V) \quad (13)$$

- V_{ENx_RISING} は、デバイスをイネーブルするための立ち上がり ENx スレッショルドです。

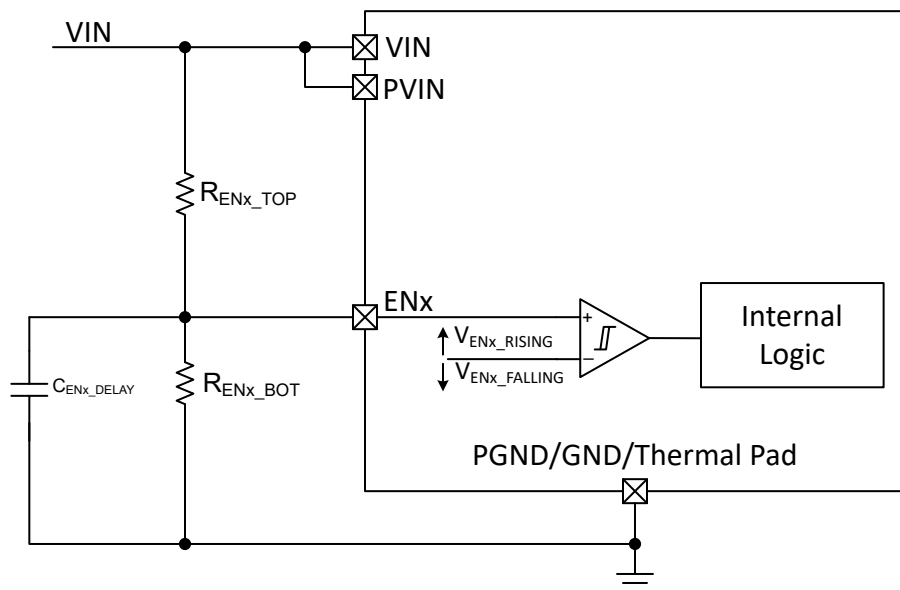


図 8-2. ENx と抵抗分圧器を使用した外部 UVLO

8.3.4.2 シーケンスアップ/ダウン (EN_SEQ)

マルチチャネルのレギュレータシステムでは、チャネルを立ち上げる際にシーケンス制御が必要になることが多く、シャットダウン時には逆順のシーケンス制御が求められます。TPS7H4104 には、使いやすさのために、CH1 から CH4 へ順番に立ち上げるシーケンス機能と、CH4 から CH1 へ逆順でシャットダウンするシーケンス機能が含まれており、オン/オフのスレッシュホールドは固定されています。シーケンスのアップとダウンは、使用されているチャネルが独立して動作している場合にのみ有効です。これは、適切なシーケンスアップとシーケンス・ダウンのために、チャネルをインターリーブできないことを意味します。

注

TPS7H4102 には、シーケンスアップ/ダウン機能はありません。

オンスレッシュホールドは通常 V_{REFx} の 87.4% (VSNSx では 524mV)、オフスレッシュホールドは標準で V_{REFx} の 15.4% (VSNSx では 92.28mV) です。

注

ターンオン/オフ電圧は V_{REFx} のパーセンテージ (または比) として定義されますが、帰還ループが閉じている場合、 V_{OUTx} は V_{REFx} を拡大した値になります。このため、これらの比を V_{OUTx} のパーセンテージとして扱っても同じことになります。

図 8-3 に、すべてのチャネル (ENx = ロジック High) での代表的なシーケンスアップ/ダウンを示します。シーケンスアップ/ダウン中、ENx ロジックが Low のチャネルはスキップされます。内部シーケンスアップ/ダウンロジックは ENx の論理電圧レベルを使用して、シーケンシング時にチャネルが使用されるかどうかを判定するため、EN_SEQ ピンで論理シーケンス コマンドを送信する前に、これらのピンに安定したロジック値を確保することが重要です。EN_SEQ のロジックレベルは、入力電圧 (VIN) の次の関数です。

- $V_{EN_SEQ_RISING} (V) > 80\% \times VIN (V)$
- $V_{EN_SEQ_FALLING} (V) < 17\% \times VIN (V)$
- オープン=シーケンシングなし
 - このシナリオでは、CHx のオン/オフは、個々の ENx ロジックレベルに従います。

表 8-3 に、SEQ_EN の論理真理値表を示します。

注

正常に動作させるには、 V_{EN_SEQ} の立ち上がり時間と立ち下がり時間が 100ns 以上である必要があります。EN_SEQ を使用しない場合 (EN_SEQ = OPEN) で、SYNC が外部から駆動されるときは、EN_SEQ と GND の間に少なくとも 100pF が必要です。内部では、EN_SEQ は 2 個の 200kΩ (標準値) の抵抗を直列にした分圧器でバイアスされています。このインピーダンスと容量は遅延を引き起こし、システムの起動時間に影響を及ぼす可能性があります。詳細については、**図 8-4** を参照してください。このコンデンサによる遅延は、次の式で計算できます:**式 14**

シーケンサ ロジックは、ローカル故障と同期していません。故障は次のように分類できます:

1. local: 特定のチャネル (x) のみに影響を与える故障または信号:
 - ENx
 - 過電流
 - 過電圧
 - 低電圧
2. グローバル: すべてのチャネルに同時に影響を与えるフォルト:
 - サーマル シャットダウン
 - PVIN UVLO
 - VIN UVLO

特定のチャンネル (x) でローカル故障が検出されると、チャンネルは他のチャンネルに影響を与えることなくそれに応じて応答します。例では、完全なシーケンスアップの後で、チャンネル #1 でハード短絡 (または過電流イベント) が検出され、 V_{OUT1} がレギュレーション範囲外に低下し、短絡が解消されると、それに応じて電圧がレギュレートされます。この動作は、他のチャンネルと結合することはありません。

グローバルフォルト時には、すべてのチャンネルがディスエーブルされ、スイッチノードは高インピーダンスモードになります。故障がクリアされると、EN_SEQ および必要なすべての ENx が論理 High ステートであると仮定すると、デバイスはシーケンスアップを開始します。

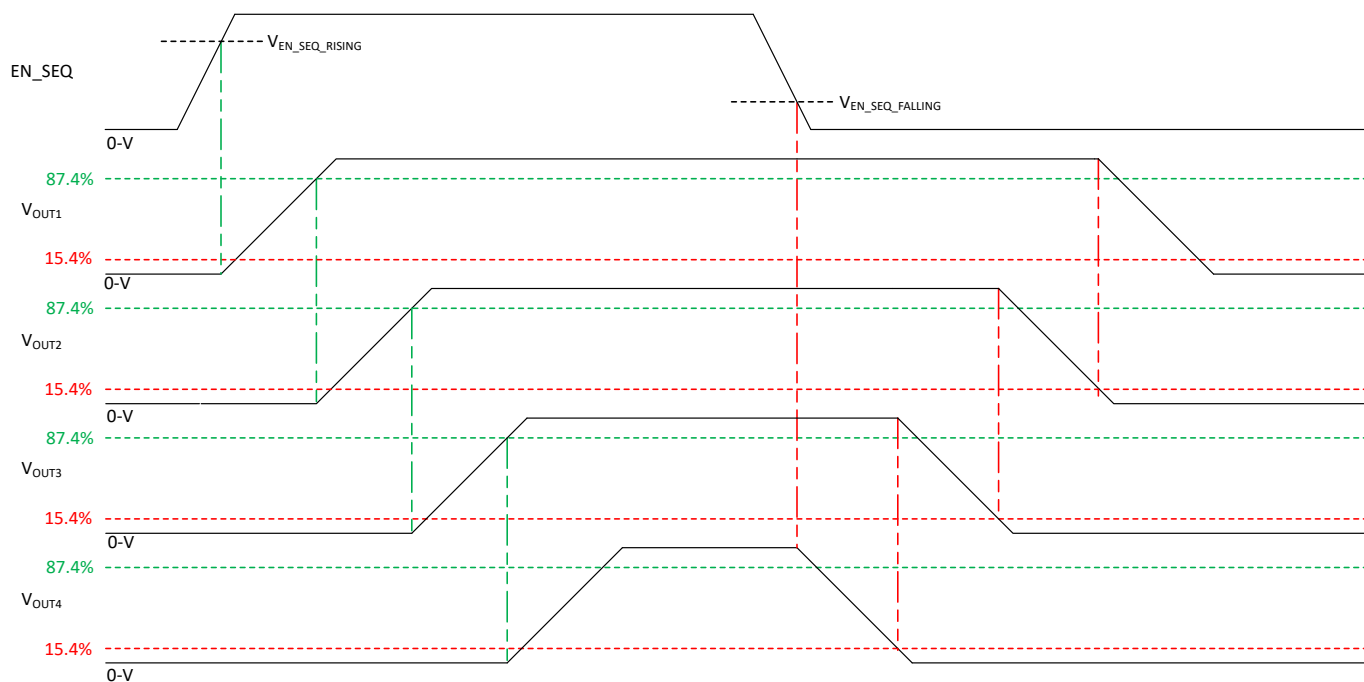


図 8-3. シーケンスのアップ/ダウン

- A. このプロットでは、EN_SEQ ロジックコマンドを送信する前に、すべての ENx がロジック High ($V_{ENx} > V_{ENx_RISING(MAX)}$) であると想定されています。

表 8-3. EN_SEQ 真理値表

状況 #	EN_SEQ ⁽¹⁾	EN1 ⁽²⁾	EN2 ⁽²⁾	EN3 ⁽²⁾	EN4 ⁽²⁾	シーケンスアップの順序	シーケンスダウンの順序
1	オープン ⁽³⁾	ローカル	ローカル	ローカル	ローカル	なし	なし
2	↑ ↓ ^{(4) (5)}	0	0	1	1	3→4	4→3
3	↑ ↓ ^{(4) (5)}	0	1	0	1	2→4	4→2
4	↑ ↓ ^{(4) (5)}	0	1	1	0	2→3	3→2
5	↑ ↓ ^{(4) (5)}	0	1	1	1	2→3→4	4→3→2
6	↑ ↓ ^{(4) (5)}	1	0	0	1	1→4	4→1
7	↑ ↓ ^{(4) (5)}	1	0	1	0	1→3	3→1
8	↑ ↓ ^{(4) (5)}	1	0	1	1	1→3→4	4→3→1
9	↑ ↓ ^{(4) (5)}	1	1	0	0	1→2	2→1
10	↑ ↓ ^{(4) (5)}	1	1	0	1	1→2→4	4→2→1
11	↑ ↓ ^{(4) (5)}	1	1	1	0	1→2→3	3→2→1
12	↑ ↓ ^{(4) (5)}	1	1	1	1	1→2→3→4	4→3→2→1

(1) 0 = $V_{EN_SEQ} < V_{EN_SEQ_FALLING(MIN)}$; 1 = $V_{EN_SEQ} > V_{EN_SEQ_RISING(MAX)}$

(2) 0 = $V_{ENx} < V_{ENx_FALLING(MIN)}$; 1 = $V_{ENx} > V_{ENx_RISING(MAX)}$

- (3) EN_SEQ が高インピーダンスのとき、すべてのチャネルはローカル ENx 論理入力電圧に応じてオン/オフします。
- (4) 適切な動作のためには、EN_SEQ ピンで論理シーケンスコマンドを送信する前に、ENx の安定した論理値を用意することを推奨します。
- (5) V_SEQ_EN の立ち上がりおよび立ち下がり時間は $\geq 100\text{ns}$ と規定されています。

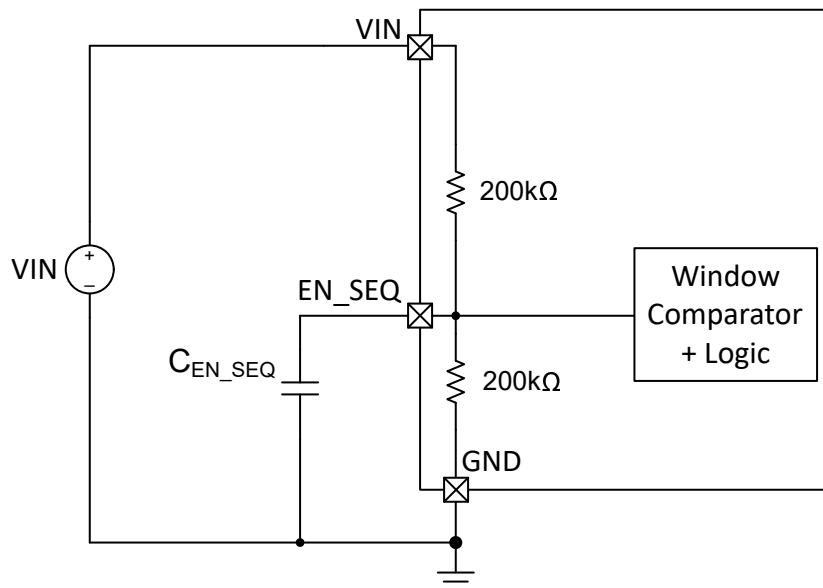


図 8-4. EN_SEQ の内部公称インピーダンス

$$t_{\text{DELAY}} (\text{s}) \approx 100\text{k}\Omega \times C_{\text{EN_SEQ}} (\text{F}) \times 1.61$$

(14)

8.3.5 パワーグッド (PWRGDx)

PWRGDx ピンはオープンドレイン出力であり、出力電圧 (V_{OUTx}) が適切な範囲に達するとアサートされます。これは、VSNSx ピンの電圧を内部基準電圧 (V_{REFx}) と比較することで実現されます。PWRGDx ピンは、抵抗を介して、目的のロジックレベル (通常は V_{OUTx}) を持つ電圧源に外部でプルアップされます。PWRGDx ピンをプルアップできる最大電圧は 7V です。PWRGDx 最大電流シンクが 2mA の推奨動作条件電流最大値の下に維持されるように、プルアップ抵抗値を選択します。通常は、10k Ω のプルアップ抵抗で十分です。より大きな値の抵抗を使用すると消費電力が最小限に抑えられますが、「弱い」プルアップにより、スイッチングノイズが PWRGDx 信号に結合することができる場合があります。

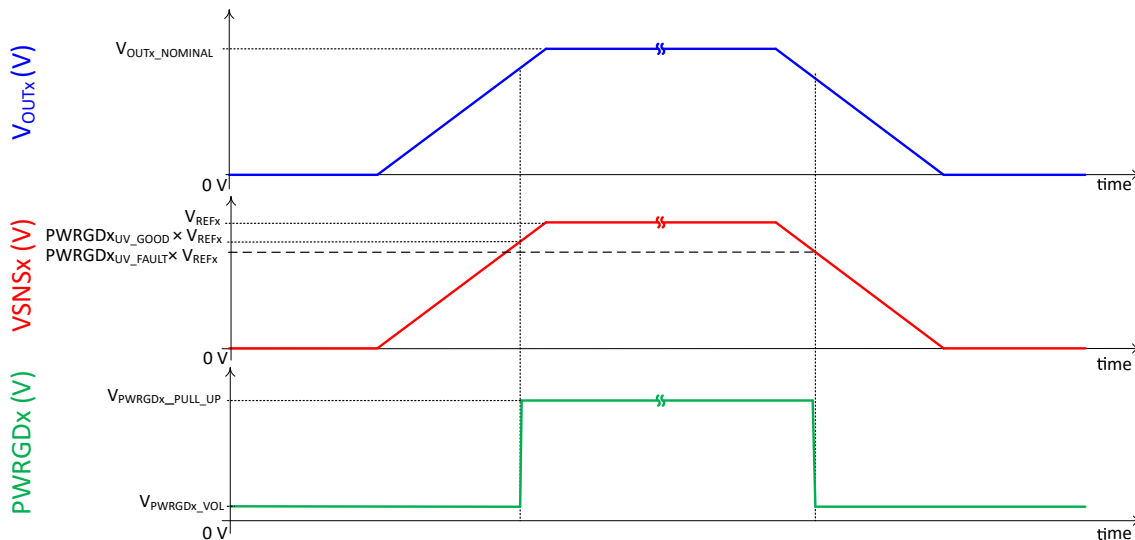
PWRGDx 信号の論理状態は次のとおりです。

1. アサート (高インピーダンスまたはロジック High): V_{OUTx} 電圧が最終 (公称) 値のパーセンテージで表されたとき、
 - 立ち上がり電圧 (低電圧またはパワーアップ状態からの) 時に 92% ~ 96% の範囲
 - 104% ~ 108% (過電圧状態からの場合)
2. デアサート (低インピーダンスまたはロジック Low) のとき、 V_{OUTx} 電圧が最終的な (公称) 値のパーセンテージで表されます:
 - 立ち下がり電圧 (または低電圧条件) 時に 89% ~ 92% の範囲で維持されます。
 - 107% ~ 111% の範囲で、立ち上がり電圧 (または過電圧状態) のとき。

UV_GOOD と UV_FAULT に対する PWRGDx の応答を図 8-5 に、OV_FAULT と OV_GOOD を図 8-6 に示します。PWRGDx は、VIN 入力電圧が 1V を上回っているが、電流シンク能力が低い場合に定義された状態になります (図 8-7 を参照)。VIN が 3V に達すると、PWRGD は最大の電流シンク能力になります。VIN_{MIN_PWRGDx} の詳細については、セクション 6.5 のパワーグッドのセクションを参照してください。

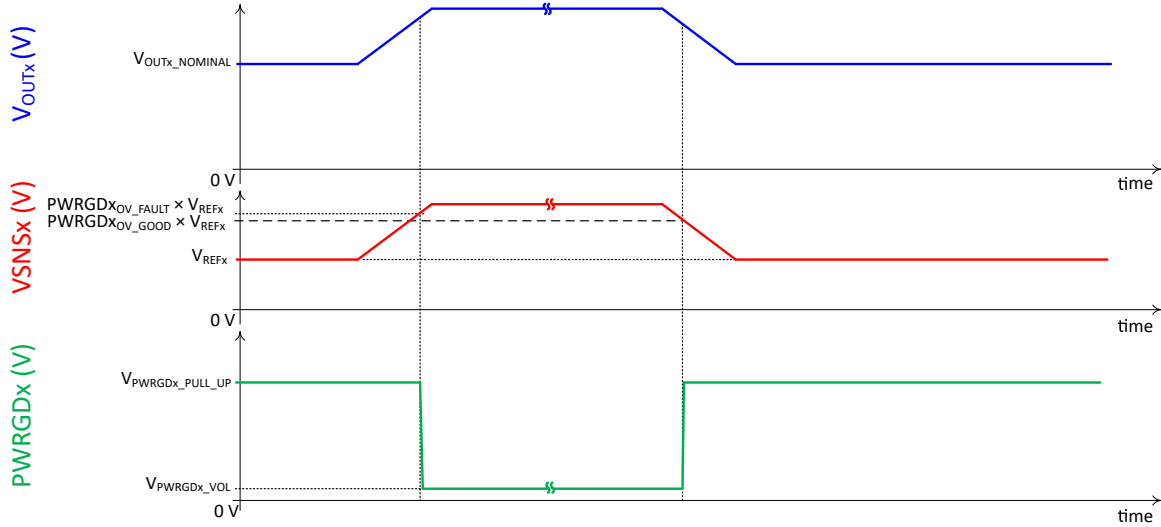
上記の PWRGDx の説明に加えて、次のようにレギュレーションが停止するその他の条件では、PWRGDx はデアサート (強制 Low) されます。

- VIN UVLO.
- PVIN UVLO
- デバイスには、サーマル シャットダウン保護機能が組み込まれています。
- デバイスの ENx ピンはロジック Low (またはディスエーブル) です。
- COMPx ピンは COMPx_{CLAMP} スレッショルド電圧 (標準値 1.9V) に達します。
 - COMPx_{CLAMP} 強制的に V_{OUTx} を再起動します



A. このプロットでは、VIN が 3V ~ 7V の有効な範囲内で、ENx に有効な立ち上がりエッジ (↑) 電圧を供給していると想定しています。

図 8-5. PWRGDx 低電圧 (UV) スレッシュホールド



A. このプロットでは、VIN が 3V ~ 7V の有効範囲内であると想定しています。

図 8-6. PWRGDx 過電圧 (OV) スレッシュホールド

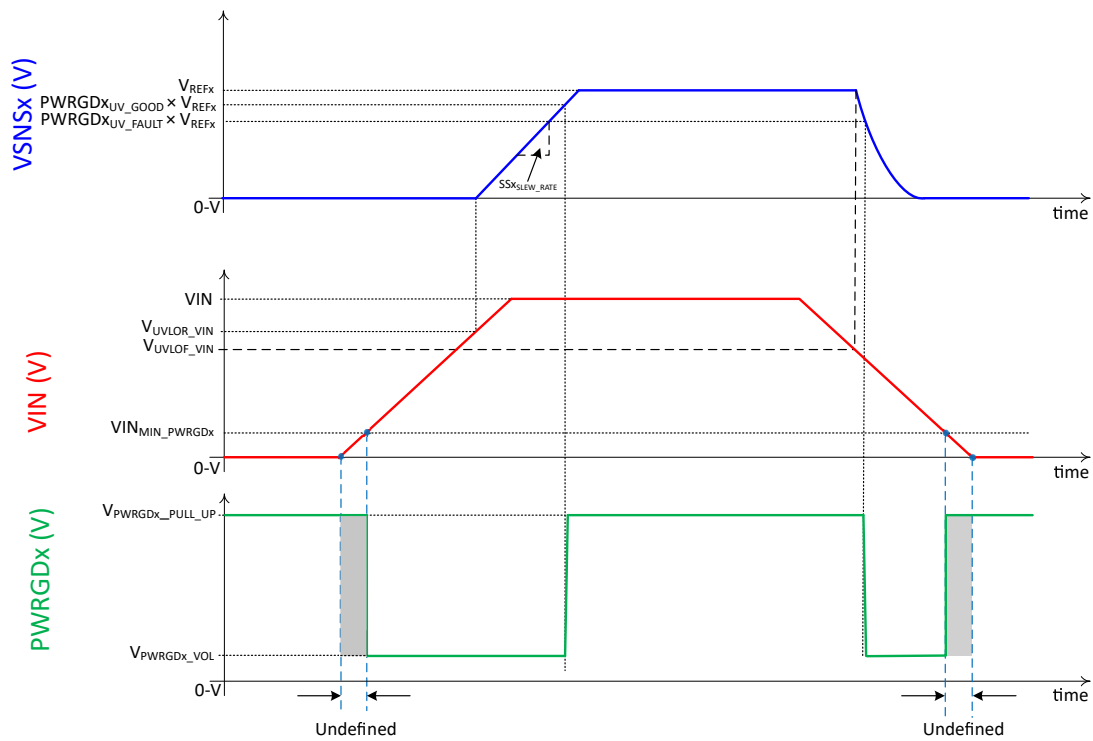


図 8-7. VIN > VIN_{MIN_PWRGDx} の後で有効な状態になる PWRGDx

8.3.6 調整可能なスイッチング周波数、同期 (SYNC)、相対位相シフト

TPS7H410x では、次の 2 つのクロックモードオプションを使用できます。

1. 内部クロック
2. 外部クロック

両方のモードの RT および同期条件については、表 8-4 を参照してください。

表 8-4. クロック モード

モード	クロック	クロックの入力構成
	同期入力	RT
内部クロック	クロックなし (または高インピーダンス)	RT と GND の間に抵抗
外部クロック	周波数が f_{SW} の 4 倍のクロック ($f_{SYNC} = 4 \times f_{SW}$)	

注

RT 抵抗が接続されていない場合、デバイスはスイッチングを停止します。

8.3.6.1 内部クロック モード

内部クロックモード (内部発振器モードとも呼ばれます) では、RT 抵抗が RT ピンと GND の間に接続され、デバイスのスイッチング周波数 f_{SW} が設定されます。スイッチング周波数は、RT 抵抗値に応じて 100kHz~1 MHz の範囲で調整できます。この値は、式 15 を使用して計算できます。図 8-8 に、RT 抵抗の値と、設定可能なスイッチング周波数範囲との関係曲線を示します。

$$RT \text{ (k}\Omega\text{)} = 54,462 \left(\frac{1}{f_{SW} \text{ (kHz)}} \right) - 17 \quad (15)$$

ここで

- RT は k Ω 単位です
- f_{SW} in kHz

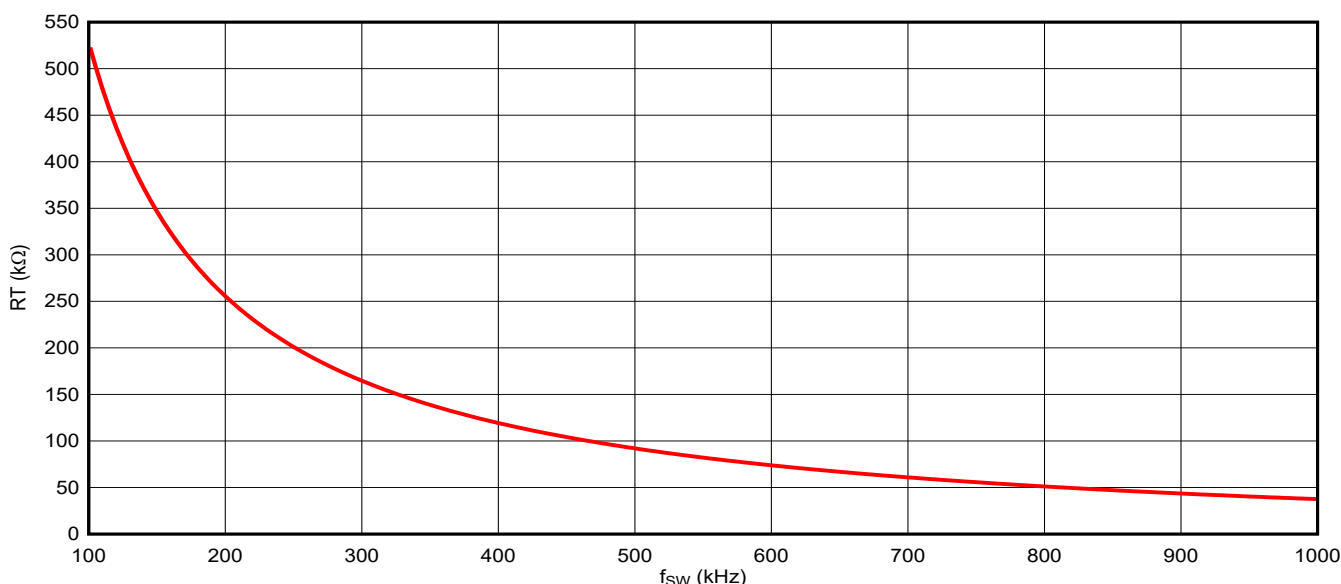


図 8-8. 公称 RT 対スイッチング周波数

8.3.6.2 外部クロック モードと切り替え

外部クロック モード (外部発振器モードとも呼ばれます) では、RT ピンと GND との間に抵抗が接続されます。これは、式 15 を使用して抵抗を計算できる目的のスイッチングフラクショナルに対応します。SYNC 入力では、デューティサイクルが 40% ~ 60%、RT でプログラムされるスイッチング周波数の 4 倍 ($f_{\text{SYNC}} = 4 \times f_{\text{SW}}$) のトグル (CLK) 信号が必要です。

TPS7H410x には内部クロック検出器があり、クロックが $t_{\text{CLK_IE}}$ (通常、内部発振器の 1 クロックサイクル) の間検出されると、デバイスは外部クロックに遷移します。SYNC クロックが喪失すると、デバイスは $t_{\text{CLK_EJ}}$ (通常、外部発振器の 2 クロックサイクル) の後で内部クロックに遷移します。これは、図 8-9 および図 8-10 で観察できます。同期クロックの最小 High レベル電圧は、セクション 6.5 の「スイッチング周波数と同期」セクションの $V_{\text{SYNC_VIH}}$ パラメータに説明されているように、入力 VIN 電圧の関数です。外部クロックの Low レベル電圧に応じて、任意の電圧 $\leq 0.8\text{V}$ が適切に解釈されます。外部クロックは、発振器、FPGA、または他のデバイスから供給することができます。

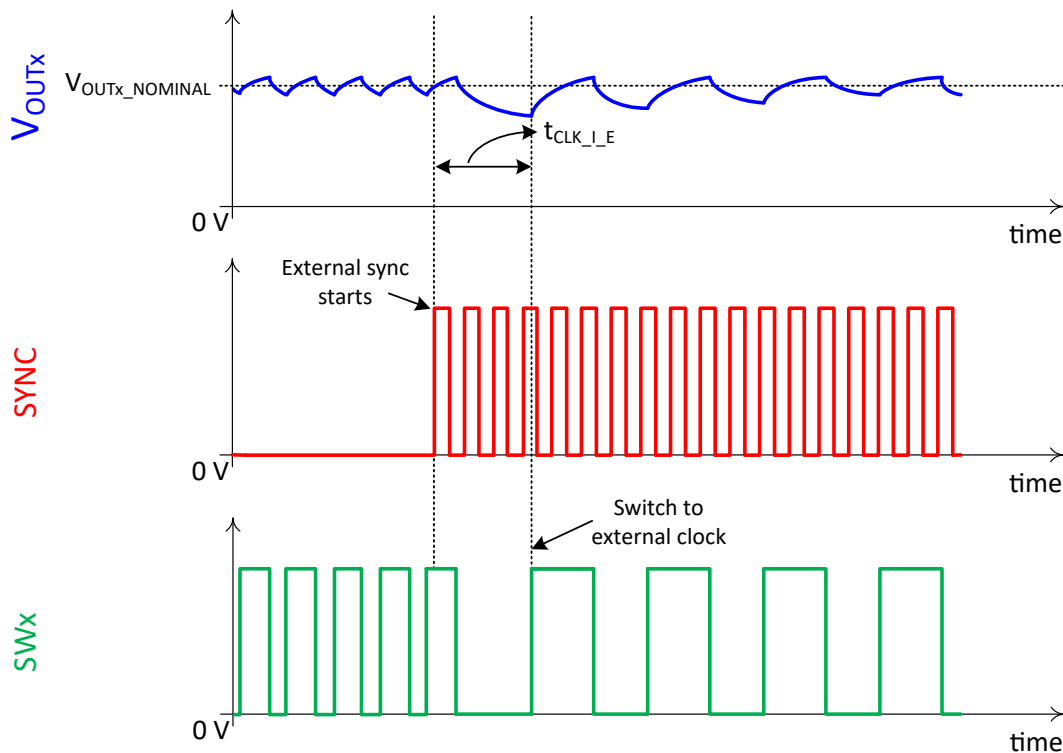


図 8-9. 内部クロックから外部クロックへの遷移

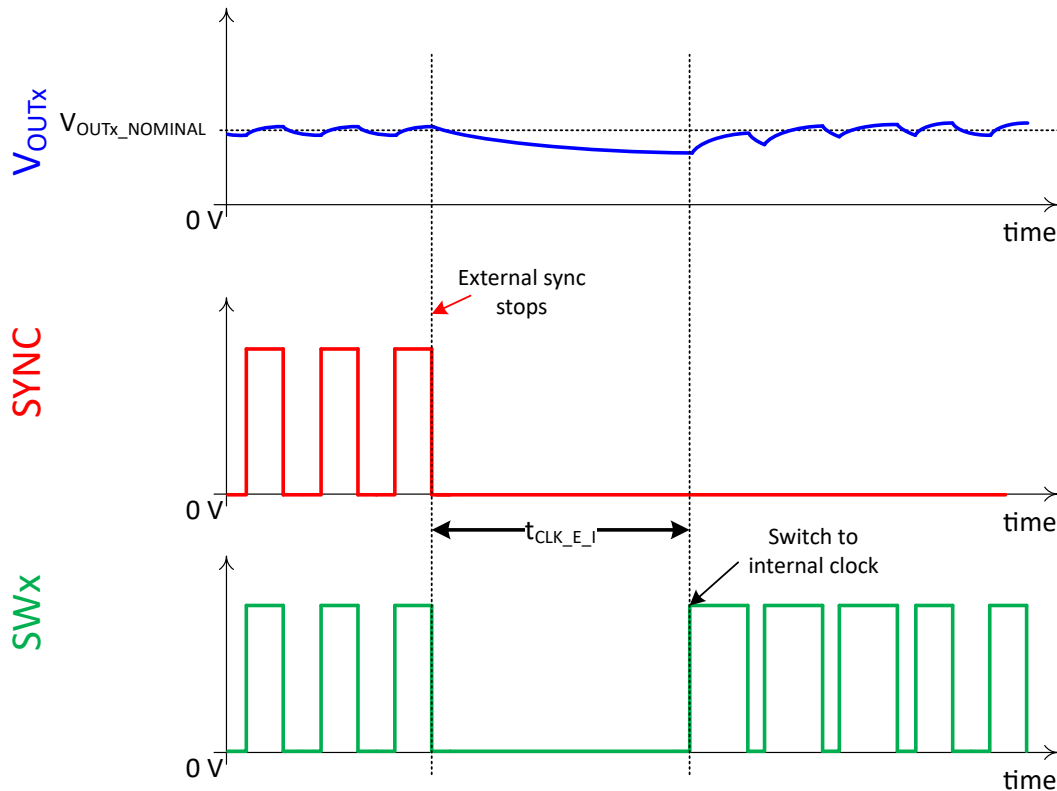


図 8-10. 外部から内部へのクロック遷移

8.3.6.3 相対位相シフト

TPS7H410x は、各チャネル (または SWx) に 90° の相対位相シフトを内部で作成します。これにより、4 相すべてをインターリーブして、単一の 12A チャネルを作成できます。上側 (SW1 および SW4) および下側 (SW2 と SW3) チャネルは、デュアル 6A チャネルでこれらのチャネルを簡単にインターリーブできるように、相対的に 180° の位相シフトがあります。SWx には位相差が 90° であることのもう 1 の利点は、与えられた総負荷電流 ($\sum I_{OUTx}$) に対して、入力容量 (または rms 入力電流) が小さくなることです。

各チャネルの位相シフトは次のようになります。

1. チャネル #1: 0° の相対位相シフト (Φ) 時。
2. チャネル #2: 90° の相対位相シフト (Φ) 時。
3. チャネル #3: 270° の相対位相シフト (Φ) 時。
4. チャネル #4: 180° の相対位相シフト (Φ) 時。

各チャネルの位相シフトも [ピン構成および機能](#) に示されています。

8.3.7 電源オン動作

8.3.7.1 起動中のパルススキップ

VSNSx が SS_TRx ピンの電圧よりも高い ($VSNSx > V_{SS_TRx}$) 場合には、スタートアップ中にパルススキップモード (ヒステリシスモード) に移行します。この期間中、VSNSx が SS_TRx の電圧を再度下回る ($VSNSx < V_{SS_TRx}$) まで、ハイサイドスイッチはオフのままであり、ローサイドスイッチはオンのままです。

これは、最小オン時間 (t_{ONx_MIN}) でサポートされる電圧よりも低い出力電圧が必要なためです。したがって、瞬間的な出力パルスは目的の電圧よりも高いまたは低いことがあります。この動作は、高い周波数および高い VIN 動作している場合には明らかです。詳細については、[SLVA866](#) を参照してください。

最小オンパルスが最小制御可能オン時間よりも大きい場合、パルススキップ動作は通常、起動時に観察されません。

8.3.7.2 ソフトスタート (SS_TRx)

本デバイスは、起動中に V_{SS_TRx} をトラッキング基準として使用します。SS_TRx ピンと GND の間の C_{SS_TRx} コンデンサにより、「低速」ランプトラッキング基準電圧が提供されることで、ソフトスタート時間が実装されています。[式 16](#) に、ソフトスタート時間 $t_{SS_TRx_NOMINAL}$ の式を示します。これは、 V_{OUTx} が設定された電圧に達するのに必要な時間です。基準電圧 (V_{REFx}) は 599.48mV (25 °C 時の標準値) で、ソフトスタート充電電流 (I_{SS_TRx}) は標準 2.28μA です。ソフトスタート時間 t_{SS_TRx} を計算する際には、パラメータ C_{SS_TRx} 、 V_{REFx} 、 I_{SS_TRx} の変動を考慮します。これらの変化によって $t_{SS_TRx_NOMINAL}$ が 実際の実装での公称値から逸脱する可能性があるためです。公称値からの誤差 (または偏差) は、[式 17](#) を使用して計算できます。ソフトスタート時間の範囲は、[式 18](#) を使用して計算できます。

$$t_{SS_TRx_NOMINAL}(ms) = \frac{V_{REFx}(V) \times C_{SS_TRx}(nF)}{I_{SS_TRx}(\mu A)} \quad (16)$$

$$t_{SS_TRx_ERROR}(ms) = \pm \sqrt{\frac{C_{SS_TRx}^2(nF) \times V_{REFx}^2(V) \times (C_{SS_TRx_TOL}^2 + I_{SS_TRx_ACC}^2 + V_{REFx_ACC}^2)}{I_{SS_TRx}(\mu A)}} \quad (17)$$

$$t_{SS_TRx}(ms) = t_{SS_TRx_NOMINAL}(ms) \pm t_{SS_TRx_ERROR}(ms) \quad (18)$$

ここで

- $C_{SS_TRx_TOL}$ は、数値による C_{SS_TRx} コンデンサの許容誤差です。たとえば、許容誤差 10% のコンデンサは 0.1 です。
- $I_{SS_TRx_ACC}$ はソフトスタート電流の精度です。詳細については、[セクション 6.5](#) のソフトスタートとトラッキングを参照してください。
- V_{REFx_ACC} は基準精度です。基準は 1% の精度であるため、0.01 を使用してください。

スタートアップ時、出力コンデンサバンク放電時に、バンクを高速に充電するために大きな突入電流が必要になります。この電流がソース電流制限未満で制御されない場合、デバイスの保護機能により非直線性が観測されます。特定の出力コンデンサのソフトスタートコンデンサを選択するには、[式 19](#) および [式 20](#) を使用できます。

$$t_{SS_TRx_NOMINAL}(s) = \frac{C_{OUTx}(F)}{4.2A - I_{OUTx}(A)} \times V_{OUTx}(V) \quad (19)$$

ただし:

- C_{OUTx} はファラッド単位の出力コンデンサ (F)
- 4.39A は、この場合のソース電流制限による最小値は、 $I_{OC_LS_SOURCINGx}$ の最小値です。
- I_{OUTx} は、特定のチャネルの最大予測負荷 (A) です。1 つのチャネルの最大負荷 (または上限) は 3A です。
- V_{OUTx} は公称出力電圧で、ボルト (V) 単位です。

$$C_{SS_TRx_NOMINAL}(nF) = \frac{t_{SS_TRx_NOMINAL}(ms) \times I_{SS_TRx}(\mu A)}{V_{REFx}(V)} \quad (20)$$

ただし:

- $t_{SS_TRx_NOMINAL}$ は、公称ソフトスタート時間でミリ秒 (ms) です。
- I_{SS_TRx} (2.28μA) は、ソフトスタートの公称電流 (μA) です。
 - I_{SS_TRx} の詳細については、[セクション 6.5](#) の「ソフトスタートとトラッキング」のセクションを参照してください。
 - ソフトスタートコンデンサの温度範囲全体にわたる誤差を最小化する場合、電流の中心を次のように変更できます。

$$I_{SS_TRx} = \frac{I_{SS_TRx(MIN)} + I_{SS_TRx(MAX)}}{2} = 2.115\mu A \quad (21)$$

- I_{OUTx} は、特定のチャネルの最大予測負荷 (A) です。1 つのチャネルの最大負荷 (または上限) は 3A です。
- V_{OUTx} は公称出力電圧で、ボルト (V) 単位です。

以下の 4 つの状況のいずれかが発生すると、SS_TRx ピンが内部 $R_{SS_TRx_DISCHARGE}$ プルダウン抵抗 (364Ω) を経由して放電されます。

- 入力 UVLO がトリガされます ($V_{IN} < V_{UVLO_VIN}$)。
- ENx ピンの電圧はロジック Low ($V_{ENx} < V_{ENx_FALLING}$) です。
- シーケンスダウン中は内部 EN_SEQ ロジックによって CHx がオフになります。
- COMPx ピンは $COMPx_{CLAMP}$ スレッショルドに達しています。
- サーマルシャットダウンイベントが発生します。

SS_TR ピンが放電された場合、適切なソフトスタート動作を確保するため、デバイスはピンが SS_TRx_{START_UP} (通常 22mV) を下回るまで再起動できません

8.3.7.3 プリバイアスされた出力への安全なスタートアップ

このデバイスは、ローサイド MOSFET がプリバイアスされた出力電圧を連続的に放電するのを防止します。これは、起動中にパルススキップ (ヒステリシス) モード制御とともにハイサイド (PMOS) をオンにすることで、常にスイッチングを開始するデバイスを保護することで実現されます。

8.3.7.4 トラッキングおよびシーケンシング (SS_TRx)

内部シーケンスのアップ/ダウン (EN_SEQ を使用) に加えて、SS_TRx、ENx、PWRGDx ピンを使用して、以下に示す標準的なシーケンスアップ方法を実装できます。

注

以下に示すシーケンス手法は順方向の制御を提供しますが、多くのアプリケーションで必要とされる逆方向のシーケンスダウンには、本システム構成は対応していません。シーケンスアップおよび逆方向シーケンスダウンには、[シーケンスアップ/ダウン \(EN_SEQ\)](#) セクションで説明しているように EN_SEQ 入力を使用します。より包括的なシーケンス制御を実現するために、設計者は 3V ~ 14V の宇宙グレードシーケンサである [TPS7H3014](#) を使用できます。

[図 8-11](#) に、シーケンシャル方法を示します。この場合、TPS7H4104 のチャネル #1 と #2 を使用します。ここで説明した他の方法と同様に、図は任意の CHx に拡張することもできます (または、別の ポイント オブ ロード コンバータから) ができますが、わかりやすくするために図ではチャネルは 2 つだけを示しています (この場合は CH1 と CH2)。1 番目のチャネルの PWRGD1 ピンが 2 番目のチャネルの EN2 ピンに結合され、1 次電源がレギュレーションに達した後に 2 次電源がイネーブルになります (V_{OUTx} 電圧の上昇時に標準で 94%)。最初のチャネルと 2 番目のチャネルのシーケンシングとの間にさらに遅延が必要な場合は、オプションの C_{PWRGD1} コンデンサも PWRGD1 に内蔵することができます。そのため、パワーグッドプルアップ抵抗と使用されるコンデンサの値に基づいて RC 遅延が発生します。

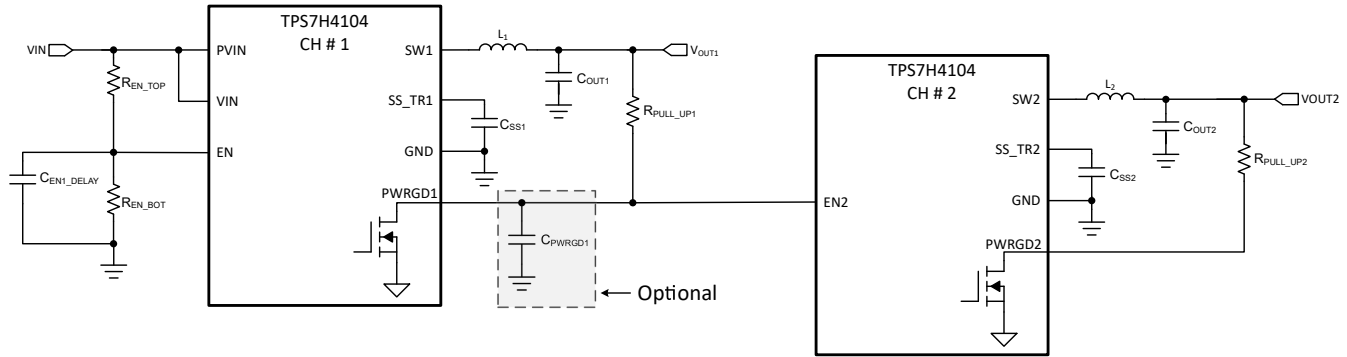


図 8-11. シーケンシャル起動シーケンス

図 8-12 に、2 つのチャンネルの SS_TR1 ピンと SS_TR2 ピンを互いに接続することでレシオメトリックシーケンシングを実装する方法を示します (この場合はチャンネル #1 および #2)。レギュレータの出力 (V_{OUT1} および V_{OUT2}) が上昇し、同時にレギュレーションに達します。

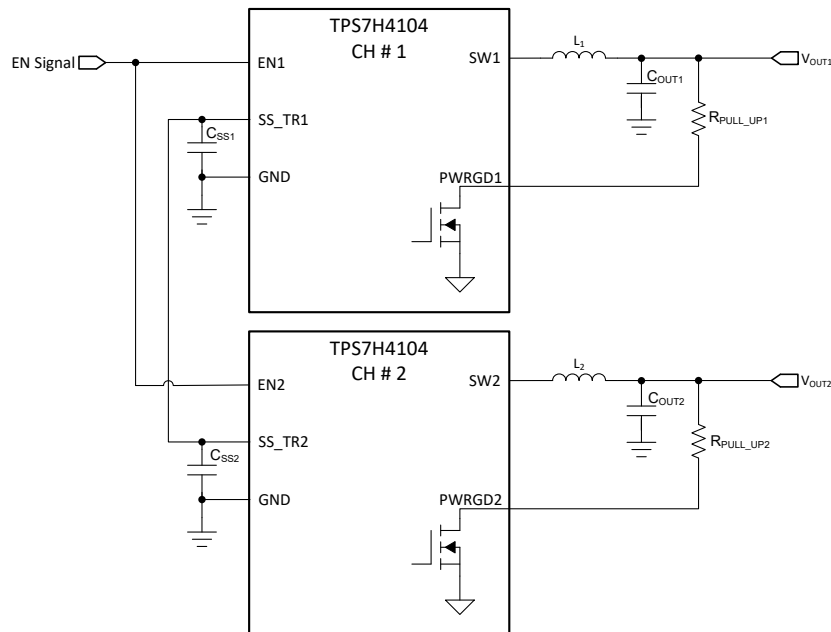


図 8-12. レシオメトリック起動シーケンス

R_1 と R_2 の抵抗回路 (図を参照 [レシオメトリックおよび同時起動シーケンス](#)) を、トラッキングが必要な電源または他の電圧リファレンス源の出力に接続することで、レシオメトリックおよび同時の電源シーケンスを実装できます。式 22 と式 23 を使用して、 V_{OUT2} を V_{OUT1} より少し前、後、または同時に開始するためのトラッキング抵抗を計算できます。式 24 は、 V_{OUT1} と V_{OUT2} の電圧差です。

V_{OUT2} がレギュレーションに達したときに V_{OUT2} 電圧が V_{OUT1} 電圧よりわずかに高いレシオメトリック起動を設計するには、 ΔV に式 22 と式 23 の負の値を使用します。 V_{OUT2} レギュレーションが達成されたときに V_{OUT2} が V_{OUT1} よりもわずかに低いアプリケーションでは、式 24 は正の数値となります。

ΔV 変数は、同時シーケンシングの場合 0V です。ソフトスタート回路における固有の SS_TRx から VSNSx へのオフセット ($SS_TRx_{START_UP} = 22\text{mV}$ (標準値)) とプルアップ電流源によって生成されるオフセット ($I_{SS_TRx} = 2.28\mu\text{A}$ 標準値) の影響を最小限に抑えるため、 $SS_TRx_{START_UP}$ と I_{SS_TRx} が式の変数として含まれています。

デバイスを正常に動作させるには、式 25 で計算された R_1 の値を式 22 で計算された値より大きくする必要があります。

$$R_1 = \frac{V_{OUT2} + \Delta V}{V_{REFx}} \times \frac{SS_TRxSTART_UP}{I_{SS_TRx}} \quad (22)$$

$$R_2 = \frac{V_{REFx} \times R_1}{V_{OUT2} + \Delta V - V_{REFx}} \quad (23)$$

$$\Delta V = V_{OUT1} - V_{OUT2} \quad (24)$$

$$R_1 > (2800 \times V_{OUT1}) - (180 \times \Delta V) \quad (25)$$

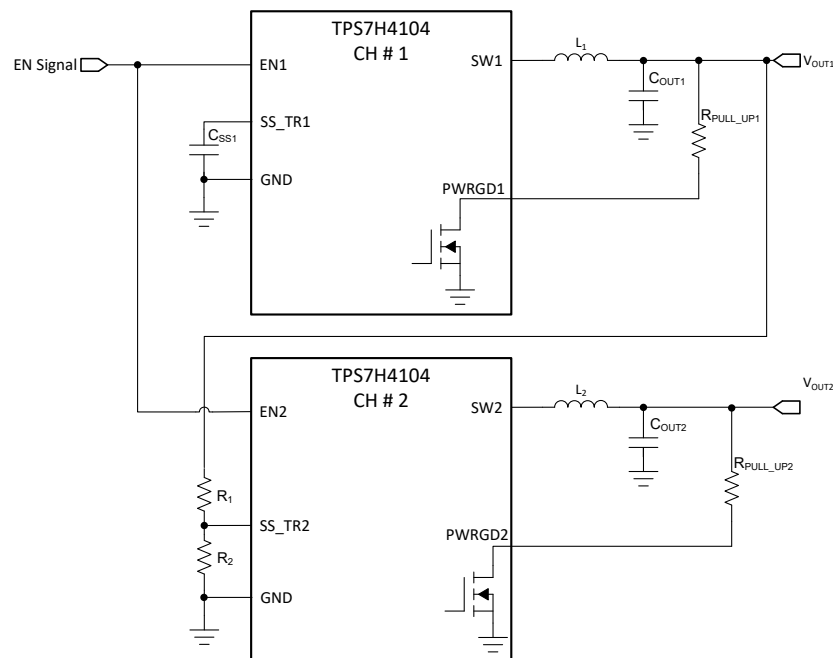


図 8-13. レシオメトリックおよび同時起動シーケンス

8.3.8 保護モード

以下のセクションでは、保護モードについて詳しく説明します。

- 過電流保護: [セクション 8.3.8.1](#)
 - ハイサイド過電流保護: [ハイサイドのサイクルごとの過電流保護 \(\$I_{OC_HSx}\$ \)](#)
 - ローサイド過電流ソースおよびシンク保護: [ローサイド過電流ソースおよびシンク保護](#)
- 出力過電圧保護 (OVP): [セクション 8.3.8.2](#)
- サーマル シャットダウン: [セクション 8.3.8.3](#)

8.3.8.1 過電流保護

TPS7H410x デバイスは、複数の過電流保護メカニズムを採用しています。本デバイスは、主に、以下によって過電流状態から保護されます。

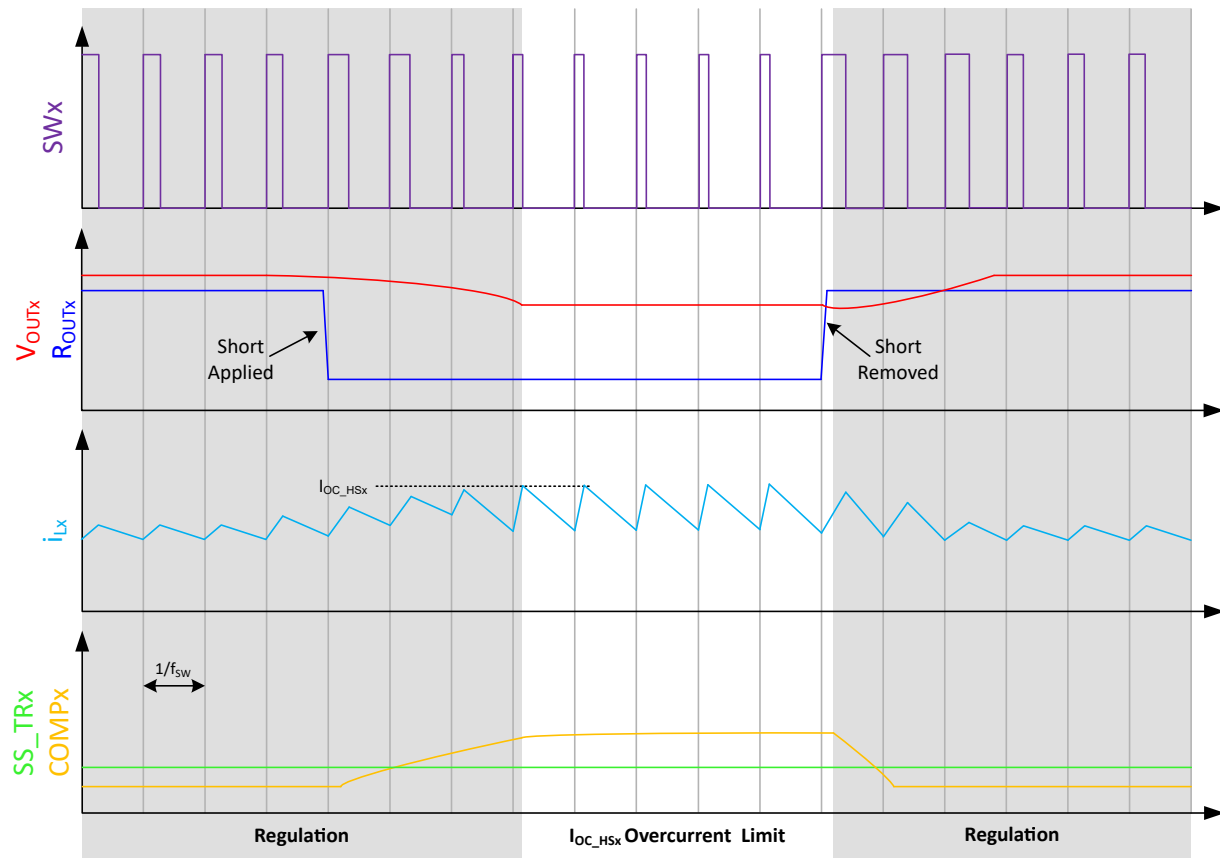
1. ハイサイドのサイクル単位の電流制限 (I_{OC_HSx})。
2. ローサイドソース電流制限値 ($I_{OC_LS_SOURCINGx}$)
3. $COMPx_{CLAMP}$ のシャットダウン。
4. ローサイド シンク電流制限値。

これらの電流保護メカニズムについては、以降のセクションで詳しく説明します。

8.3.8.1.1 ハイサイドのサイクルごとの過電流保護 (I_{OC_HSx})

本デバイスに実装された電流モードコントロールは、 $COMPx$ ピン電圧を用いることでハイサイド MOSFET のオフとローサイド MOSFET のオンをサイクル毎に制御します。各サイクルでは、スイッチ電流と $COMPx$ ピン電圧による電流リファレンスが比較されます。ピークスイッチ電流が設定済みハイサイド電流 I_{OC_HSx} と交差すると、ハイサイドスイッチは直ちにオフになります (ハイサイドは最小オン時間 t_{ONx_MIN} 以上の間オンになります)。

I_{OC_HSx} は $COMPx$ 電圧を利用して実装されています。デバイスが I_{OC_HSx} に近づくと、 $COMPx$ が増加し、デバイスの gm_{PSx} はゼロに近づきます。したがって、 $COMPx$ の値が十分大きい場合、出力電流は基本的に内部制限にクランプされます。この機能は、[図 8-14](#) の概略波形で示されています。

図 8-14. ハイサイドのサイクルごとの過電流保護 (I_{OC_HSx})

8.3.8.1.2 ローサイドソース過電流保護 ($I_{OC_LS_SOURCINGx}$)

場合によっては、 I_{OC_HSx} 電流制限だけではデバイスを保護できない場合があります。たとえば、短絡が非常に強く、ハイサイドが最小オン時間 (t_{ONx_MIN}) だけオンになっても、電流は上昇し続ける場合があります。このリスクを低減するため、TPS7H410x はローサイドソース電流制限 ($I_{OC_LS_SOURCINGx}$) という形で 2 次側過電流保護を実装しています。ローサイド MOSFET を流れる電流が $I_{OC_LS_SOURCINGx}$ を満たすか上回ると、 $I_{OC_LS_SOURCINGx}$ の電流制限に達します。持続的な電流増加を防ぐため、ローサイド FET を通過する電流が $I_{OC_LS_SOURCINGx}$ スレッショルドを下回るまで、ハイサイドはターンオンしません。この動作の概略波形を図 8-15 に示します。

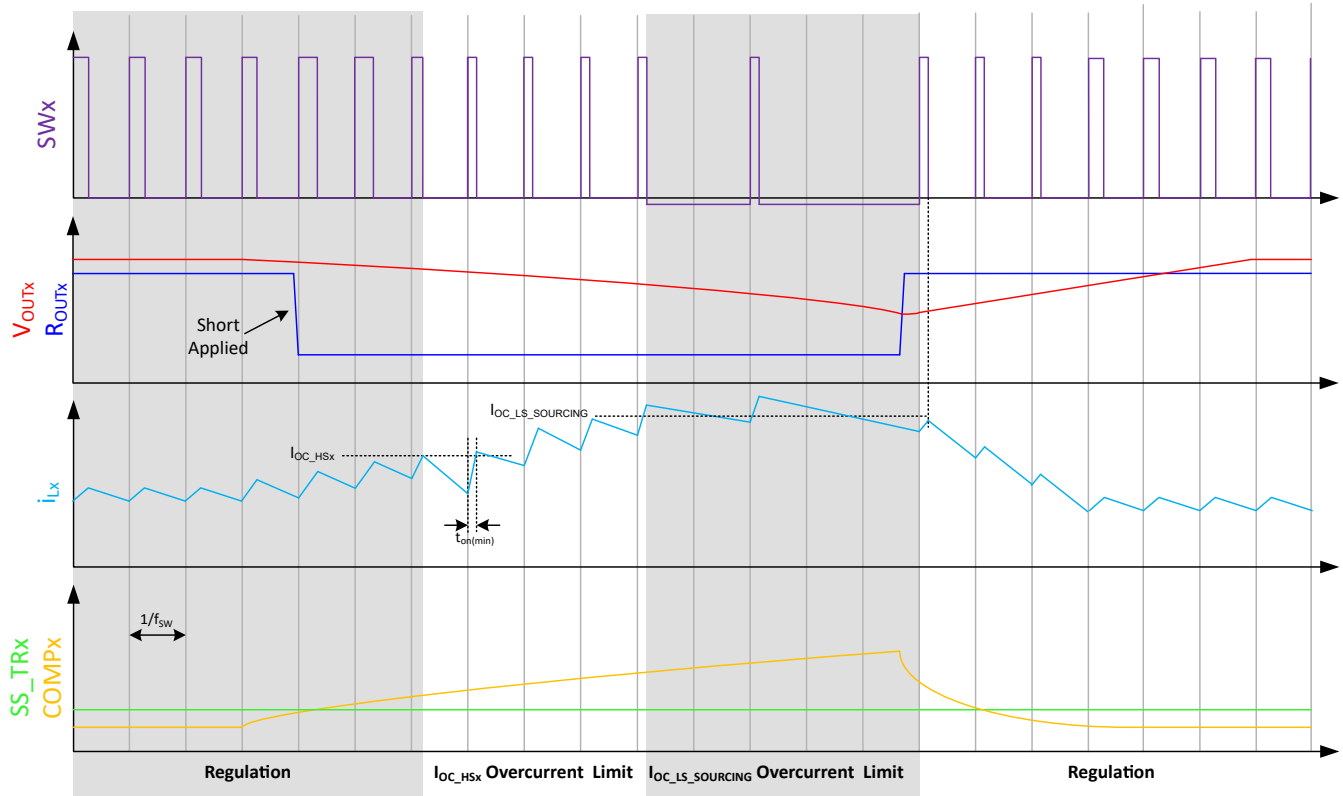


図 8-15. ローサイドソース過電流保護 ($I_{OC_LS_SOURCINGx}$)

8.3.8.1.3 COMPx クランプシャットダウン ($COMPx_{CLAMP}$)

COMPx ピンの電圧はデバイスの出力電流に比例するため、COMPx 電圧をクランプすることで、過電流事象からデバイスを保護する別の方法が実現できます。特に、COMPx が $COMPx_{CLAMP}$ (通常 1.9V) を上回ると、本デバイスはシャットダウンします。この機能は、 I_{OC_HSx} および $I_{OC_LS_SOURCINGx}$ の電流制限を補完するものです。COMPx のスルーレートは全体ループ帯域幅と、エラー アンプの駆動強度によって制限されるため、障害発生中に COMPx が $COMPx_{CLAMP}$ に達するまでに要する時間は、ループ補償および特定のタイプによって異なります。ほとんどのフォルトの間、COMPx が $COMPx_{CLAMP}$ に達する前に I_{OC_HSx} に達します。 $I_{OC_LS_SOURCINGx}$ は多くの場合、COMPx が $COMPx_{CLAMP}$ に達する前に達することがあります。ただし、フォルトの種類によっては、 $COMPx_{CLAMP}$ に達して、 $I_{OC_LS_SOURCINGx}$ に達する前に部品を無効にすることがあります。そのため、 $COMPx_{CLAMP}$ はフェイルセーフのタイプと考えることができます。COMPx に達すると、デバイスはスイッチングを停止し、プルダウン抵抗 $R_{SS_TRx_DISCHARGE}$ (通常 364Ω) を経由して SS_TRx ピンの放電を開始します。SS_TRx が SS_TRx_START_UP スタートアップ (通常 22mV) まで放電されるまで、本デバイスは再起動を試みません。これにより、TPS7H410x の冷却期間が短くなります。この放電時間は、ソフトスタートコンデンサ C_{SS_TRx} の値に直接依存することに注意します。COMP シャットダウン機能の例を、図 8-16 の概略波形で示します。

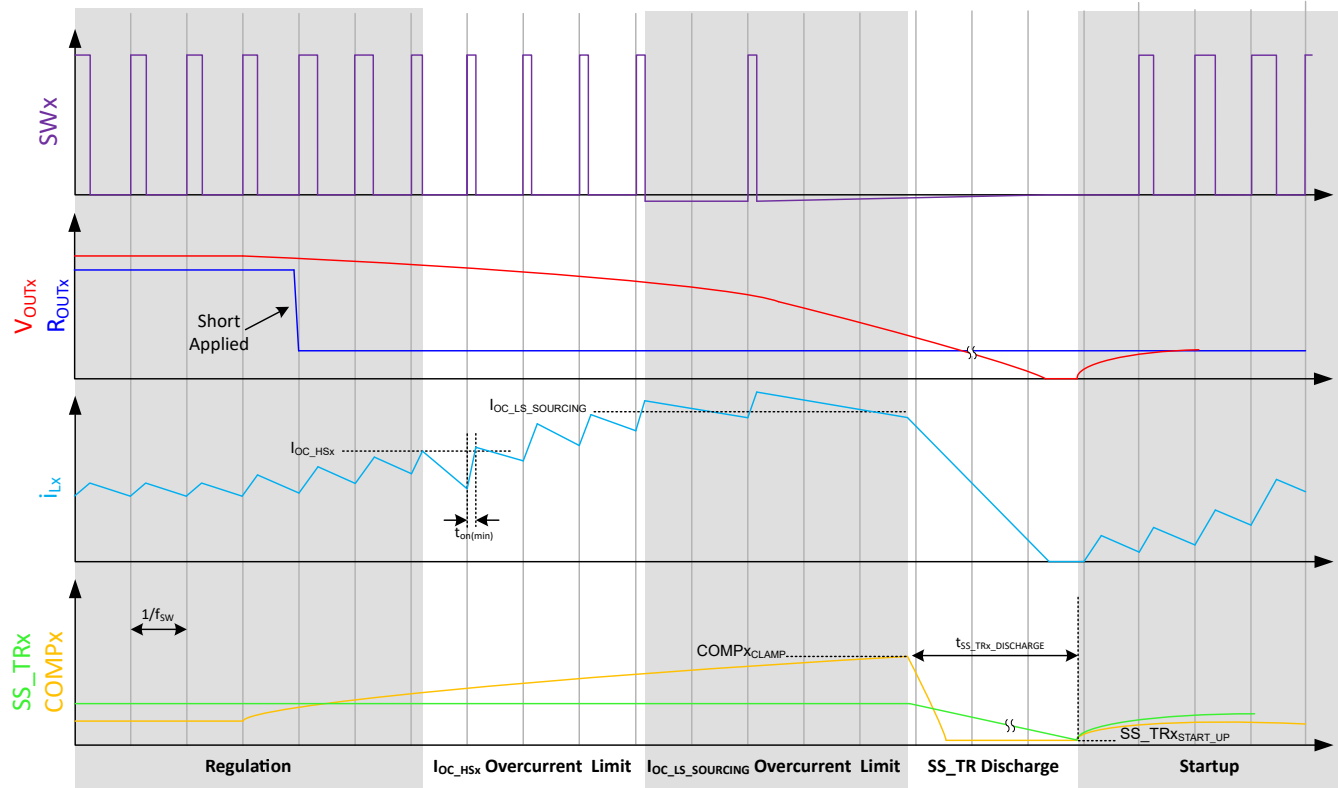


図 8-16. COMPx クランプシャットダウン (COMPxCLAMP)

さらに、出力負荷に積極的な負荷ステップが印加され、高ループ帯域幅が利用されている場合、COMPx は COMPxCLAMP に達することがあります。これは、この状況では、COMPx のスルーレートが負荷応答可能なよりも速くなるためです。これは、ワーストケースの負荷ステップに対して適切に設計された補償回路により、回避できます。

8.3.8.1.4 ローサイド過電流ソースおよびシンク保護

ローサイド MOSFET が、負荷からの電流をシンクできます (軽負荷動作時など)。特定の状況 (高電流負荷が突然解消されるか、VOUT が設定点より高くなったなど) では、ローサイドのシンク電流が過剰になる可能性があります。そのため、ローサイドの過電流シンク保護が提供されます。ローサイド シンク電流が制限を超えた場合、ローサイド MOSFET は直ちにオフとなり、そのクロック サイクルの終わりまでオフに保持されます。このシナリオでは、次のサイクルの開始まで両方の MOSFET がオフとなります。ローサイド MOSFET がオフになると、スイッチノード電圧が上昇し、ハイサイド MOSFET の並列ボディダイオードを順方向バイアスします (この段ではハイサイド MOSFET はまだオフのままです)。

8.3.8.2 出力過電圧保護 (OVP)

このデバイスは、出力電圧のオーバーシュートを最小限に抑えるための出力過電圧保護 (OVP) 回路を備えています。VSNSx $\geq$ (PWRGDxOV_FAULT% $\times$ VREFx) になると、OVP 回路が作動します。通常、これは、VOUTx が公称値の 109% を上回ると OVP 回路が作動することを意味します。OVP がアクティブのとき、ハイサイド FET はオフのまま維持され、ローサイド FET はオンにとどまって VOUTx を迅速に放電します。

過電圧状態を引き起こす可能性のある例として、電源出力が長時間にわたって過負荷になった場合があります。したがって、誤差増幅器は実際の出力電圧を内部リファレンス電圧と比較します。VSNSx ピンの電圧が内部リファレンス電圧よりも一定時間にわたって低くなった場合、誤差増幅器の出力では最大出力電流が必要となります。この状態が解消されると、レギュレータの出力が上昇し、エラー アンプの出力は定常状態の電圧に遷移します。出力容量の小さい一部のアプリケーションでは、電源出力電圧が誤差増幅器よりも高速で応答する場合があります。その場合、出力にオーバーシュートが生じる可能性があります。OVP 機能は、このオーバーシュートを最小限に抑えます。

VSNSx ピンの電圧が OVP スレッシュホールドを超えると、ハイサイド MOSFET がオフになり、出力に電流が流れるのを防ぎ、出力のオーバーシュートを最小限に抑えます。VSNSx 電圧が OVP スレッシュホールドを下回ると、次のクロック サイクルでハイサイド MOSFET がオンになります。

8.3.8.3 サーマル シャットダウン

接合部温度が標準 163°C を超えると内部のサーマル シャットダウン回路がデバイスのスイッチングを強制停止します。接合部温度が標準 134°C を下回ると、デバイスはパワーアップ シーケンスを再び開始します。サーマルシャットダウン電圧が低く、ヒステリシスが大きいので、このフォルト状況において本デバイスの温度が可能な限り低くなるようにします。

8.3.9 誤差アンプとループ応答

デバイス制御ループの簡略化モデルを、図 8-17 に示します。このモデルは、降圧レギュレータシステムの周波数応答と過渡応答の判定に役立ちます。簡略化モデルは、トランスコンダクタンス誤差増幅器 (OTA)、電力段、外部フィードバック、外部補償で構成されています。勾配補償の影響は、このモデルには示されていません。エラーアンプと電力段の詳細については、後続のセクション (それぞれセクション 8.3.10.1 とセクション 8.3.10.2) を参照してください。

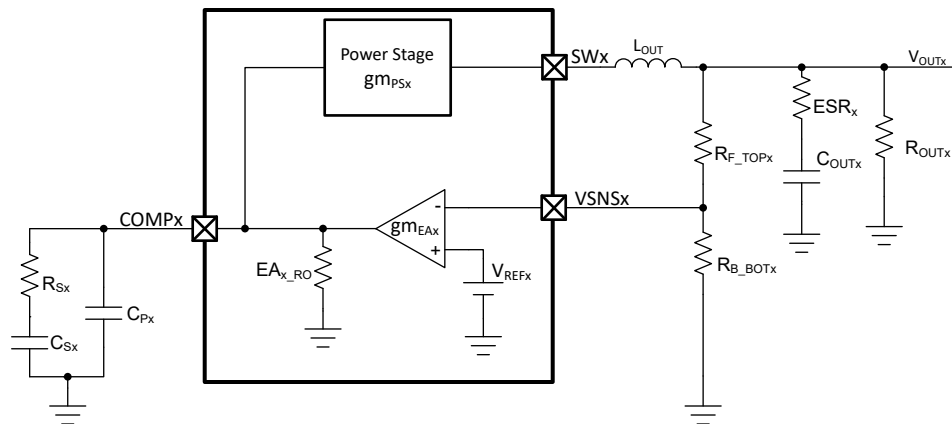


図 8-17. ループ応答の小信号モデル

8.3.9.1 エラー アンプ

TPS7H410x デバイスは、エラー アンプとして相互コンダクタンス アンプを内蔵しています。誤差増幅器は、VSNSx の電圧を内部の V_REFx 基準電圧と比較します。エラー アンプの相互コンダクタンス標準値は 1,672 μS (通常) です。周波数補償ネットワークは、COMPx ピンと接地の間に接続されます。エラーアンプの DC ゲインは通常 16,000V/V (84dB) です。エラーアンプの出力抵抗は 9.57M Ω (標準値) です。

8.3.9.2 電力段の相互コンダクタンス

TPS7H410x の電力段相互コンダクタンス ($g_{m_{PSx}}$) は、通常 8.35S (または A/V) です。詳細については、セクション 6.5 のエラーアンプセクションを参照してください。 $g_{m_{PSx}}$ は負荷電流と反比例の関係にあります。これは、負荷電流が増加するにつれて、 $g_{m_{PSx}}$ はデクリメントします。これは、図 8-18 で観察できます。

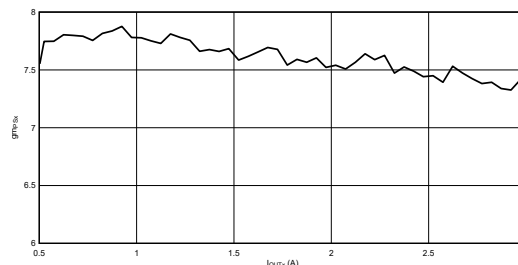


図 8-18. $g_{m_{PSx}}$ と I_{OUTx} の関係 (PVIN = VIN = 5V、 $T_A = 25^\circ\text{C}$)

8.3.9.3 スロープ補償

目的のスロープ補償 SC_x は、 RSC_x ピンと GND の間に接続する抵抗を使用して構成できます。TPS7H410x デバイスは、すべてのデューティサイクルについて、スイッチ電流信号に補償ランプを追加します。 RSC_x のさまざまな標準値と、その結果として得られるスロープ補償については、[セクション 6.5](#) のスロープ補償セクションを参照してください。目標の勾配補償 (SC_x) を実現するために必要な RSC_x の値を近似するために、[式 26](#) を示します。

$$RSC_x (k\Omega) = -20245 \cdot \frac{1}{f_{SW}(kHz)} + 428 \frac{1}{SC_x \left(\frac{A}{\mu s} \right)} - 51.1 \quad (26)$$

ここで

- RSC_x は、所望のスロープ補償 (SC_x) を $A/\mu s$ 単位で得るために推奨される抵抗値 ($k\Omega$) です。
- f_{SW} はスイッチング周波数 (kHz) です。
- SC_x は、所望のスロープ補償値 (絶対値) を $A/\mu s$ 単位で表したものです。(セクション 6.5 のスロープ補償により、この値は負の単位として得られることに注意してください)

スロープ補償の一般的な推奨値は、[式 27](#) に示されているように、出力電圧をインダクタ値で割った値として定義されます。

$$SC_{IDEAL} = \frac{V_{OUTx}}{L_x} \quad (27)$$

8.3.9.4 周波数補償

TPS7H410x には外部周波数補償が必要です。DC/DC レギュレータを補償するために使用される、業界内ではいくつかの技法があります。TPS7H410x の場合、タイプ 2A 補償が最も多く推奨されますが、他の方法もあります。具体的な例については、「アプリケーション」セクションの[セクション 9.2.2.9](#)を参照してください。

8.4 デバイスの機能モード

本デバイスは、固定周波数のピーク電流モード制御を使用します。同期整流降圧コンバータとして、このデバイスは通常、あらゆる負荷状況下で連続電流モードで動作します。出力電圧は外部抵抗によって分割され、 $VSNS_x$ はエラーアンプによって内部電圧リファレンスと比較され、 $COMP_x$ ピンを駆動します。内部発振器により、ハイサイドパワースイッチのオン動作が開始されます。エラーアンプの出力は電流リファレンスに変換され、ハイサイドパワースイッチ電流と比較されます。パワースイッチ電流が $COMP_x$ 電圧レベルによって生成された電流リファレンスに達すると、ハイサイドパワースイッチがオフになり、ローサイドパワースイッチがオンになります。

English Data Sheet: [SLVSH61](#)

9.2.1 設計要件

表 9-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	5V ±10%
チャンネル #1 の公称出力電圧 (V _{OUT1})	0.8V
チャンネル #2 の公称出力電圧 (V _{OUT2})	1.2V
チャンネル #3 の公称出力電圧 (V _{OUT3})	1.5V
チャンネル #4 の公称出力電圧 (V _{OUT4})	1.8V
最大出力電流 (チャンネルあたり)	3A
全負荷 (3A) の負荷ステップに対する過渡応答	ΔV _{OUTx} ≤ 3.5%
出力電圧リップル	V _{OUTx} の 0.8% 以下
開始入力電圧 (V _{IN} が上昇時)	3V
スイッチング周波数 (f _{SW})	500kHz

注

このセクションに記載されている計算値は、小数点以下 3 点に切り上げられます。

9.2.2 詳細な設計手順

9.2.2.1 動作周波数

最初のステップは、レギュレータのスイッチング周波数を決定することです。スイッチング周波数の高速化と低速化の間ではトレードオフが存在します。スイッチング周波数が高い場合、低い周波数で動作する電源と比べて、より小さい値のインダクタや小型の出力コンデンサを使用でき、小型化が可能になります。ただし、スイッチング周波数が高いほどスイッチング損失が増加し、コンバータの効率と放熱性能が悪化します。このデザインでは、500kHz のスイッチング周波数を選択します。式 15 を使用して、92.42kΩ の RT 抵抗を計算します。この例で選択した部品は 90.9kΩ です。

9.2.2.2 出力インダクタの選択

出力インダクタを計算するには、式 28 を使用します。K_{Lx} は、最大出力電流に対するインダクタのリップル電流の量を示す係数で、I_{OUTx} は式 29 に示すとおりです。出力コンデンサのリップル電流定格はインダクタのリップル電流以上である必要があるため、大きなインダクタのリップル電流を選択すると、出力コンデンサの選択に影響を与えます。一般に、インダクタリップル値は、特定のシステムニーズにより、設計者の裁量で決定します。K_{Lx} の標準値は 10% ~ 50% の範囲です。出力電流が小さい場合、過度なスイッチ (SWx) のジッタを抑え、かつ出力インダクタの値を減らすために、K_{Lx} の値を大きくすることができます。

$$L \geq \left(\frac{V_{IN_MAX} - V_{OUTx}}{I_{OUTx} \times K_{Lx}} \right) \times \left(\frac{V_{OUTx}}{V_{IN_MAX} \times f_{SW}} \right) \quad (28)$$

$$K_{Lx} = \frac{\Delta i_{Lx}}{I_{OUTx}} \quad (29)$$

この設計例では、K_{Lx} = 40% かつ V_{IN_MAX} = 5.5V (5V + 10%) を使用します。インダクタの値が判明して (または選択して)、実際のリップル電流 (Δi_{Lx})、RMS およびピーク電流を式 30、式 31、式 32 をそれぞれ使用して計算できます。インダクタ設計の詳細を表 9-2 に示します。

$$\Delta i_{Lx} = \left(\frac{V_{IN_MAX} - V_{OUTx}}{Lx} \right) \times \left(\frac{V_{OUTx}}{V_{IN_MAX} \times f_{SW}} \right) \quad (30)$$

$$i_{L_RMSx} = \sqrt{I_{OUTx}^2 + \frac{1}{12} \times \left(\frac{V_{OUTx} \times (V_{IN_MAX} - V_{OUTx})}{V_{IN_MAX} \times Lx \times f_{SW}} \right)^2} \quad (31)$$

$$i_{L_PEAK} = I_{OUTx} + \frac{\Delta i_{Lx}}{2} \quad (32)$$

表 9-2. インダクタの設計計算

V _{OUTx} (V)	インダクタの計算値 (μH)	選択したインダクタ値 (μH)	インダクタのリプル電流 (A)	インダクタの RMS 電流 (A)	インダクタのピーク電流 (A)
0.8	1.14	1.8	0.76	3.01	3.38
1.2	1.56	1.8	1.04	3.02	3.52
1.5	1.82	1.8	1.21	3.02	3.61
1.8	2.02	2.2	1.10	3.02	3.55

インダクタを流れる電流は、インダクタ リプル電流 + 出力電流です。パワーアップ時、障害発生時、または負荷過渡状態中は、インダクタ電流が前に計算されたピーク インダクタ電流レベルを超えて増加する場合があります。過渡状態では、インダクタ電流がデバイスのスイッチ電流制限まで増加する場合があります。この理由により、最も保守的なアプローチは、ピーク インダクタ電流ではなく、最大スイッチ電流制限以上の飽和電流定格を持つインダクタを指定することです。

TPS7H410x の場合、電流制限の最大値は 7.6A での I_{OC_LS_SOURCINGx} によりほぼ決定されます。選択したインダクタモデル、飽和電流、および RMS を表 9-2 に示します。

表 9-3. 選択したインダクタの詳細

インダクタの値 (μH)	インダクタの型番	インダクタ I _{SAT} 定格 (A)	インダクタ I _{RMS} 定格 (A)
1.8	XGL6030-182MEC	9.4	9.5
2.2	XGL6030-222MEC	8.7	8.5

9.2.2.3 出力コンデンサの選択

出力コンデンサの値の決定には、いくつかの考慮事項があります。出力コンデンサの選択は、次の式で決定されます。

1. 電力段の自然なスイッチング動作によって駆動される、目的の出力電圧リップル。
2. 負荷電流 (負荷ステップ) の大きな急激な変化による許容電圧偏差。

出力容量は、これら 2 つの条件のうち最も厳しいものに基づいて選択する必要があります (式 33 を参照)。コンデンサを選択する際は、十分な電圧定格、温度定格を持つコンデンサを選択し、DC バイアス効果による実効容量の変化を考慮する必要があります。また、セクション 9.2.2.9 で説明されているように、出力コンデンサの値がコンバータの周波数応答の変調器の極に直接影響を及ぼすことにも注意が必要です。

$$C_{OUTx}(F) \geq \max(C_{OUTx_LOAD_STEP}(F), C_{OUTx_RIPPLE}(F)) \quad (33)$$

最初に考慮する基準は、負荷ステップに対する望ましい応答です。これは一般に、負荷の電流需要を大きく高速に変化させたとき、レギュレータが一時的に十分な出力電流を供給できない場合に発生します。これは、プロセッサなどの動的負荷によって無負荷から全負荷に遷移するときに発生することがあります。出力コンデンサのサイズは、制御ループが負荷の変化に定常化するまでの間、負荷に追加の電流を供給できるように決定する必要があります。式 34 に、これを実現するために必要な最小出力容量を電氣的な観点から見たときに示します。これは 1 次近似であり、出力コンデンサの ESR と ESL の条件づけは考慮されません。セラミック コンデンサの場合、ESR は通常十分に小さいため、この計算では無視できます。ただし、宇宙アプリケーションや大きな容量値の場合は、通常はタンタルコンデンサが使用されますが、ある程度の ESR 値を考慮する必要があります。

$$C_{OUTx_LOAD_STEP}(F) = \frac{2 \times \Delta I_{OUTx}(A)}{f_{SW}(Hz) \times \Delta V_{OUTx_LOAD_STEP}(V)} \quad (34)$$

ただし:

- ΔI_{OUTx} は、アプリケーションでの負荷電流 (負荷ステップ) のワーストケースの変化 (アンペア単位) です。この場合、全負荷ステップとして 3A/相を想定した設計を実施しています。
- f_{SW} はコンバータのスイッチング周波数です (ヘルツ単位)。ここでは、選択したスイッチング周波数は 500kHz です。
- $\Delta V_{OUTx_LOAD_STEP}$ は、負荷ステップによる出力電圧の許容される変化です。この場合、目標は公称出力電圧の 3.5% 未満にとどまることです。

次の基準は、式 35 を使用して出力電圧リップル要件を満たすために必要な容量を計算することです。この設計では、最大目標出力電圧リップルが V_{OUTx} の 0.8% 未満です。

$$C_{OUTx_RIPPLE}(F) = \frac{\Delta i_{Lx}(A)}{8 \times f_{SW}(Hz) \times \Delta V_{OUTx_RIPPLE}(V)} \quad (35)$$

ただし:

1. Δi_{Lx} はリップル電流で、(A) 単位です。各チャネルの値については、表 9-3 を参照してください。
2. f_{SW} はコンバータのスイッチング周波数です (ヘルツ単位)。ここでは、選択したスイッチング周波数は 500kHz です。
3. ΔV_{OUTx_RIPPLE} は、コンバータのスイッチング特性による目標出力電圧リップルです。この設計では、目標は公称出力電圧の 0.8% 未満にします。

最後に、出力電圧リップルを満たすときは、コンデンサの ESR を考慮する必要があります。ESR の上限は、式 36 を使用して計算できます。その結果得られた各チャネルを [出力コンデンサの設計計算](#) に示します。

$$ESRx \leq \frac{\Delta V_{OUTx_RIPPLE}(V)}{\Delta i_{Lx}(A)} \quad (36)$$

表 9-4. 出力コンデンサの設計計算

V_{OUTx} (V)	$C_{OUTx_LOAD_STEP}$ (μF)	C_{OUTx_RIPPLE} (μF)	最大 ESR (mΩ)
0.8	428.57	29.67	8.43
1.2	285.71	27.15	9.21
1.5	228.57	25.25	9.90
1.8	190.48	19.11	13.08

エージング、温度、および DC バイアスに対して、追加の容量デレーティングを考慮する必要があるため、必要な最小出力容量値は増加します。一般に、コンデンサでは、障害や過熱を発生させずにコンデンサが処理できるリップル電流の大きさに制限があります。出力コンデンサのバンクを選択すると、式 30 で計算されたリップル電流を処理する必要があります。選択したインダクタと公称出力電圧について、各ケースのリップル電流を表 9-2 に示します。

この具体的な設計では、上記の要件すべてを考慮して、チャネルごとに 470μF T55 タンタルコンデンサが選択されています。選択したキャパシタの最大 ESR は 7mΩ、最大 RMS 電流定格は 5.66A です。さらに、高周波フィルタリングのために 0.1μF セラミックコンデンサを並列に追加しています。この結果、合計容量は 470.1μF になります。式 37 を使用して、各チャネルで予想されるリップル電圧を計算できます。その結果を表 9-5 に示します

$$\Delta V_{OUTx_RIPPLE} = \frac{\Delta i_{Lx}(A)}{8 \times f_{SW}(Hz) \times C_{OUTx}(F)} + [ESR(\Omega) \times \Delta i_{Lx}(A)] \quad (37)$$

表 9-5. 予想出力電圧リップル

V _{OUTx} (V)	ΔV _{OUTx_RIPPLE} (mV)	ΔV _{OUTx_RIPPLE} (%), V _{OUTx}
0.8	5.72	0.72
1.2	7.85	0.65
1.5	9.13	0.61
1.8	8.29	0.46

9.2.2.4 入力コンデンサの選択

TPS7H410x への入力電源には、適切な電気的性能のため、十分なコンデンサバイパスを使用して適切にレギュレートする必要があります。P_{VIN} および V_{IN} 入力の近くに、少なくとも 4.7μF の実効容量を持つセラミックコンデンサが必要ですが、一般に、高い入力電流を処理するためには追加のバルク容量が必要となります。出力コンデンサの選定と同様に、入力コンデンサを選定する際も、十分な耐電圧定格および耐温度定格を持つコンデンサを選び、DC バイアス効果による実効容量の変化も考慮してください。式 38 を用いた計算のように、コンデンサのリップル電流定格を最大入力電流リップルよりも大きくする必要があります。

$$i_{CIN_RMSx}(A) = I_{OUTx}(A) \times \sqrt{\left(\frac{V_{OUTx}(V) \times [V_{IN_MIN}(V) - V_{OUTx}(V)]}{V_{IN_MIN}(V)^2} \right)} \quad (38)$$

次に、式 39 を使用して、目標とする最大入力リップル電圧 ΔV_{IN_RIPPLE} を選択し、最小入力容量を計算できます。この設計では、最小 V_{IN} (4.5V) 電圧の 0.1% 以下であるの入力リップル電圧を選択します (ΔV_{IN_RIPPLE} = 4.5mV)。

$$C_{INx}(F) \geq \frac{0.25 \times I_{OUTx}(A)}{\Delta V_{IN_RIPPLE}(V) \times f_{SW}(Hz)} \quad (39)$$

入力コンデンサの設計の計算を、表 9-6 に示します。

表 9-6. 入力コンデンサ設計の計算

V _{OUTx} (V)	i _{CIN_RMSx} (A)	C _{INx} (μF) の下限
0.8	1.15	333.33
1.2	1.33	
1.5	1.41	
1.8	1.47	

ただし、式 39 には入力リップル電圧に対する ESR の影響は含まれていません。そのため、追加の容量が利用されます。具体的には、330μF タンタルコンデンサと 22μF および 0.1μF セラミックコンデンサが選択されます。合計入力容量は 352.1μF となります。これは、各相 (またはチャネル) に選択される入力コンデンサです。各セットのコンデンサは、各相の P_{VIN} ピンの近くに配置されます。

9.2.2.5 ソフトスタート コンデンサの選択

ソフトスタートコンデンサ C_{SS_TRx} は、パワーアップ中に出力電圧がその公称設定値に達するまでにかかる時間を決定します。これは、負荷に対して制御された電圧スルーレートが必要である場合に有用です。これは、出力容量が大きい (宇宙グレードの降圧コンバータの一般的なように) 場合にも使用され、コンデンサを出力電圧レベルまですばやく充電するために大きな電流が必要になります。コンデンサの充電に必要な大きな電流によって、TPS7H410x が電流制限に達し、入力電源から過剰な電流が流れたり、入力電圧レールが降下したりする場合があります。出力電圧のスルーレートを制限することで、これらの問題を解決できます。このソフトスタートコンデンサの値は、式 19 と式 20 を使って計算できます。計算値と、選択した値を表 9-7 に示します。センター全温度および電圧は、V_{REFx} および I_{SS_TRx} に使用され、次のような計算に使用されました。それぞれ式 2、式 21。

表 9-7. ソフトスタートコンデンサの設計計算

V _{OUTx} (V)	t _{SS_TRx_NOMINAL} (ms)	C _{SS_TRx_NOMINAL} (nF)	C _{SS_TRx_SELECTED} (nF)
0.8	0.31	1.11	1.2
1.2	0.47	1.66	1.8
1.5	0.59	2.08	2.2
1.8	0.71	2.5	2.7

9.2.2.6 低電圧誤動作防止 (UVLO) の設定ポイント

V_{IN} と GND の間の外付け分圧抵抗を使用して、目的のプリセット入力電圧に達したとき TPS7H410x をイネーブルにします。これは事実上、調整可能な UVLO として機能します。まず、目的のターンオン電圧 (V_{UVLO_CHx_TARGET}) として 3V を選択します。次に、消費電力を最小化するのに十分な大きな抵抗と、高インピーダンスノードとの過度なノイズ結合を防止するのに十分低い抵抗との間の妥当なトレードオフとして、10kΩ の R_{ENx_TOP} を選択します。式 8 を使用して 2.53kΩ の R_{ENx_BOT} を計算します。選択値は 2.61kΩ です。式 9 と式 10 を使用して、それぞれ実際の立ち上がり UVLO と立ち下がり UVLO を計算できます。V_{UVLO_CHx_RISING} は 2.93V、V_{UVLO_CHx_FALLING} は 2.42V と計算されます。

9.2.2.7 出力電圧帰還抵抗の選択

分圧抵抗回路 R_{FB_TOPx} と R_{FB_BOTx} を使用して出力電圧を設定します。この設計では、R_{FB_TOPx} に 10kΩ を選択しています。また、制御ループの測定に役立つよう、R_{FB_TOPx} と直列に 20Ω の抵抗を配置しています。10.02kΩ の組み合わせ値を使用し、式 1 底面抵抗を使用して計算します。実際の (または選択した) 抵抗は、計算値に最も近い値を使用して選択しました (許容誤差 0.1% を使用)。基準電圧 (V_{REFx}) による誤差を最小化するため、式 2 に示すように、計算には標準値ではなく、温度範囲全体の中心が使用されます。

実際の (または選択した) 値を使用して、式 3 および式 4 を使用して公称値と誤差の推定値を計算します。表 9-8 に結果を示します。

表 9-8. 帰還抵抗と予測される V_{OUTx} (誤差あり)

V _{OUTx} (V)	計算された R _{FB_BOTx} (kΩ)	選択した R _{FB_BOTx} (kΩ)	V _{OUTx} 実数 (V)	V _{OUTx} 誤差 (mV)
0.8	29.57	29.4	0.802	8.02
1.2	9.94	9.88	1.204	12.07
1.5	6.63	6.57	1.509	15.15
1.8	4.98	4.93	1.812	18.2

寿命ドリフト データも同様に追加できます。グループ C のデータを、この計算に使用できます。この例では、寿命ドリフトは他の誤差発生源にくらべて小さいと仮定しているため、加算しません。

9.2.2.8 スロープ補償の要件

アプリケーションによって異なる勾配補償の値を選択できますが、一般的に推奨される値は、式 27 に示すように、出力電圧をインダクタサイズで割ったものとして定義されます。理想的な勾配補償を計算すると、必要な RSC 抵抗を、式 26 を使用して計算できます。

表 9-9. スロープ補償設計の計算

V _{OUTx} (V)	SC _{IDEAL} (A/μs)	RSC の計算値 (kΩ)	RSC を選択 (kΩ)
0.8	0.44	871.41	499
1.2	0.67	550.41	360
1.5	0.83	422.01	294
1.8	0.82	431.52	294

この特定のアプリケーション例では、推奨値よりも多くのスロープ補償を行っており、その結果、異なる構成を試験する際の追加のマージンと品質が得られています。したがって、計算された RSC 抵抗値と選択された値との間に差異が生じています。

9.2.2.9 補償部品の選択

セクション 8.3.9 に、TPS7H410x の制御ループを示します。このデバイスを補償するための部品選択は、次のようになります。ピーク電流モード制御の降圧レギュレータを補償するための、業界標準に準拠した他のアプローチも許容されます。

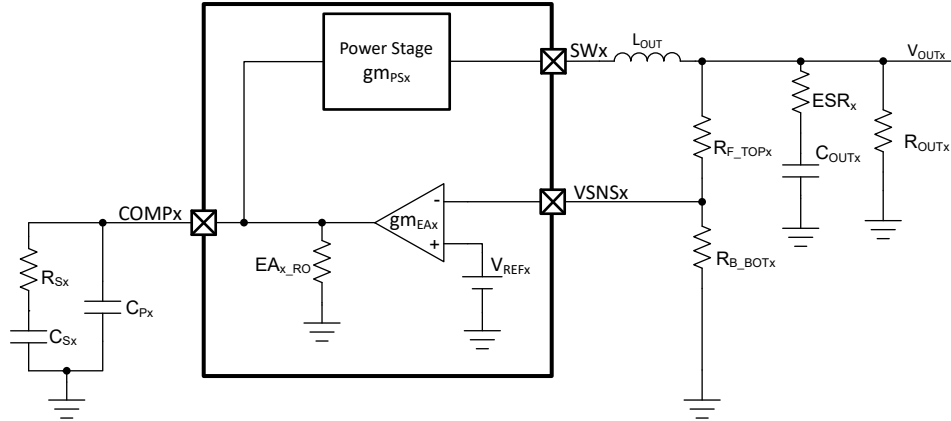


図 9-2. 簡略ループでタイプ II 補償を入力します

1. 目的の (またはターゲットの) クロスオーバー周波数 f_{COx_TARGET} を決定します。目安として、クロスオーバー周波数をスイッチング周波数の 10% (1/10) ~ 20% (1/5) の間に設定することをお勧めします。これは一般的に良好な過渡応答を提供し、変調器のポールが位相マージンを低下させないようにします。この設計では、25kHz が選択された目標クロスオーバー周波数です。
2. 式 40 を使って、補償された誤差アンプから必要なゲインを決定します。

$$A_{VMx} = \frac{2\pi \times f_{COx_TARGET} \times C_{OUTx}}{gm_{PSx}} \quad (40)$$

ここで、 gm_{PSx} はパワーステージのトランスコンダクタンスです。(25°Cでの標準値 8.35S)

3. R_{Sx} は式 41 で求められます。

$$R_{Sx} = \frac{A_{VM}}{gm_{EAX}} \times \frac{V_{OUTx}}{V_{REFx}} \quad (41)$$

ここで、 gm_{EAX} はエラーアンプの相互コンダクタンス (25°C で標準的な 1672 μS)、 V_{REF} は基準電圧 (式 2 に示す 0.597.5) です。

4. 電力段の支配極は式 42 で決定されます。

$$f_{P_PSx} = \frac{I_{OUTx}}{2\pi \times C_{OUTx} \times V_{OUTx}} \quad (42)$$

5. 式 43 で決定される C_{Sx} を選択して、支配的な極に補償用のゼロを配置します。

$$C_{Sx} = \frac{1}{2\pi \times f_{P_PSx} \times R_{Sx}} \quad (43)$$

6. 出力コンデンサバンクからの ESR ゼロは、式 44 次で計算します。

$$f_{Z_ESRx} = \frac{1}{2\pi \times ESRx \times C_{OUTx}} \quad (44)$$

7. C_{px} は、出力コンデンサ C_{OUT} の等価直列抵抗(ESR) からゼロをキャンセルするために使用します。これは、式 45 を使って計算されます。

$$C_{Px} = \frac{1}{R_{Sx} \times 2\pi \times f_{Z_ESRx}} \quad (45)$$

ESR ゼロがスイッチング周波数の半分より大きい場合、式 45 の ESR ゼロではなくスイッチング周波数の半分を使用することに注意してください。

表 9-10. 補償部品の計算

V _{OUTx} (V)	A _{VMx} (V/V)	R _{Sx} (kΩ)	f _{P_Psx} (kHz)	C _{Sx} (nF)	f _{Z_ESRx} (kHz)	C _{Sx} (pF)
0.8	8.84	7.08	1.27	17.7	48.37	464.67
1.2		10.62	0.85			309.78
1.5		13.28	0.68			247.83
1.8		15.93	0.56			206.52

表 9-11. 選択された補償部品

V _{OUTx} (V)	R _{Sx} (kΩ)	C _{Sx} (nF)	C _{Px} (pF)
0.8	6.98	18	470
1.2	10.5		330
1.5	13.3		220
1.8	16.2		220

これらの式を使用して選択した部品は多くの場合、設計での開始値に過ぎないことに注意してください。ラボテスト後に最適化を行うことで、周波数応答をさらに改善し、目的のクロスオーバー周波数により近い一致を提供できます。

9.2.3 アプリケーション曲線

TPS7H4104 の評価基板を使用して、以下に示す波形をキャプチャしました。テスト条件は次のとおりです。

- $V_{IN} = P_{VIN} = 5\text{ V}$
- スイッチング周波数 (f_{SW}) = 500 kHz
- $V_{OUT1} = 0.8\text{ V}$ 、 $V_{OUT2} = 1.2\text{ V}$ 、 $V_{OUT3} = 1.5\text{ V}$ および $V_{OUT4} = 1.8\text{ V}$
- $I_{OUTX} = 3\text{ A}$

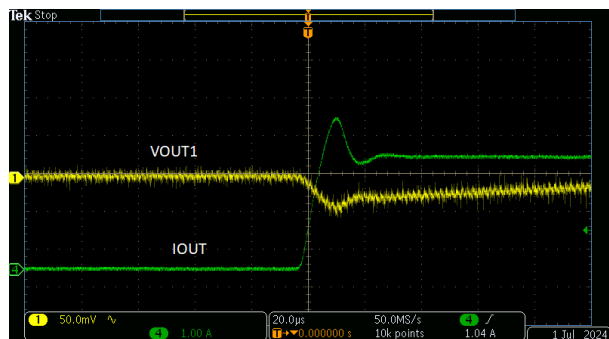


図 9-3. V_{OUT1} での立ち上がり全負荷ステップ

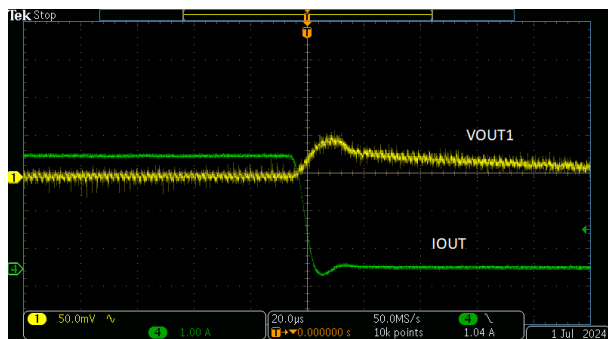


図 9-4. V_{OUT1} での全負荷立ち下がりステップ

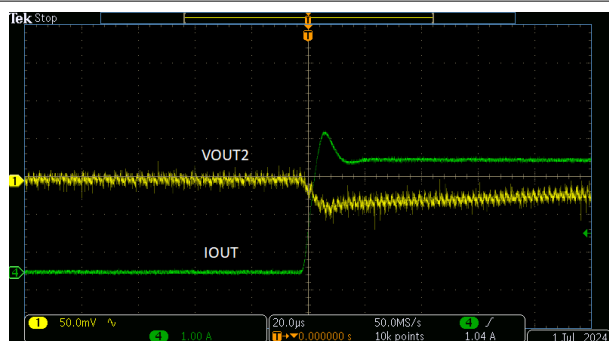


図 9-5. V_{OUT2} での立ち上がり全負荷ステップ

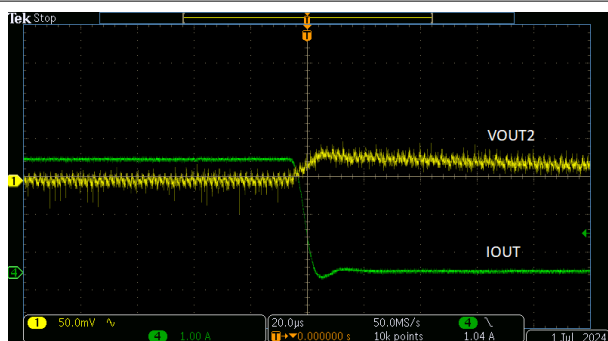


図 9-6. V_{OUT2} での全負荷立ち下がりステップ

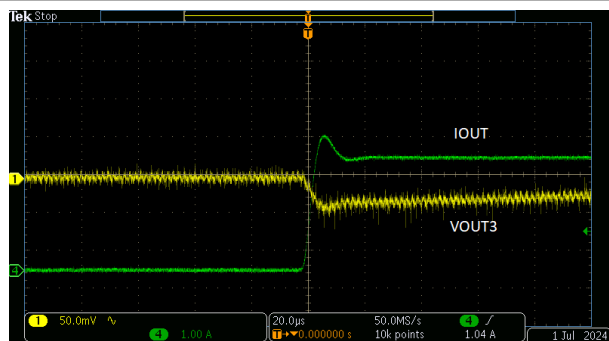


図 9-7. V_{OUT3} での立ち上がり全負荷ステップ

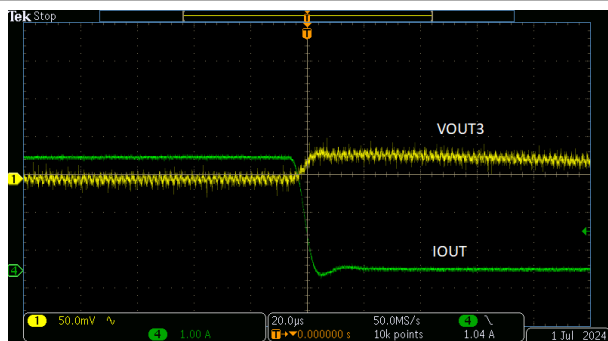


図 9-8. V_{OUT3} での全負荷立ち下がりステップ

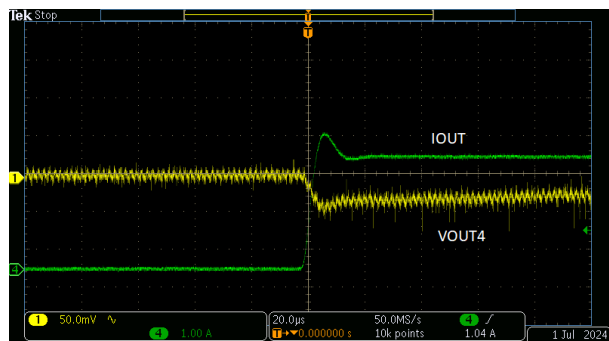


図 9-9. V_{OUT4} での立ち上がり全負荷ステップ

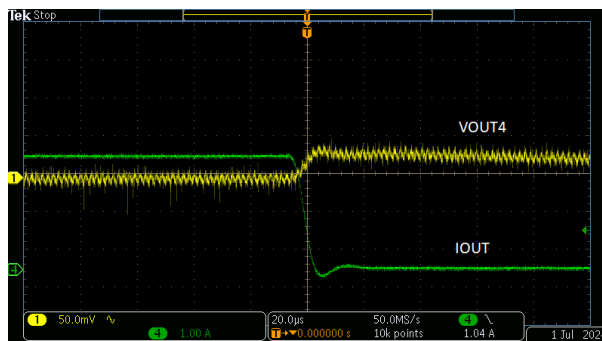
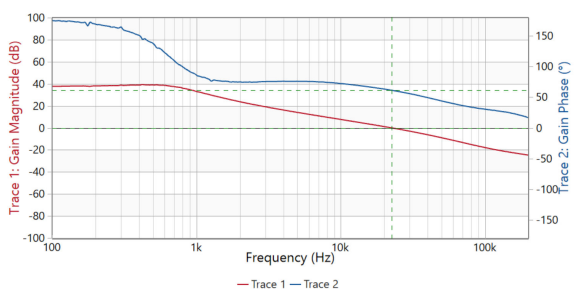


図 9-10. V_{OUT4} での全負荷立ち下がりステップ

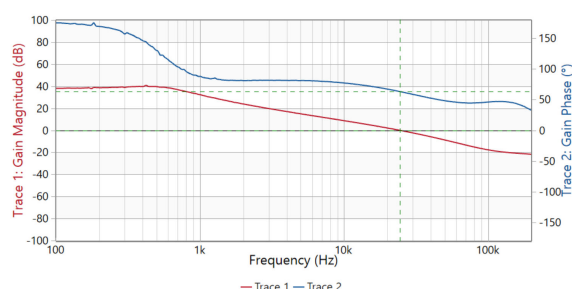
Measurement: Gain / Phase



クロスオーバー周波数は 22.5kHz、位相マージンは 61.4 度と測定されました。

図 9-11. V_{OUT1} の完全なループボード線図

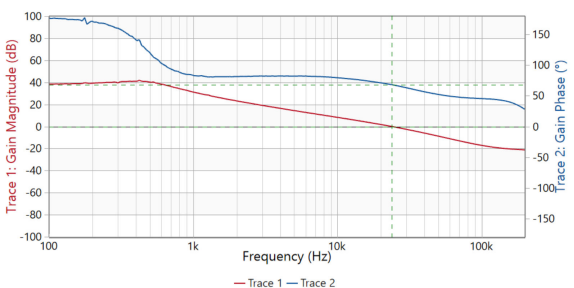
Measurement: Gain / Phase



クロスオーバー周波数は 24.5kHz、位相マージンは 63.3 度と測定されました。

図 9-12. V_{OUT2} の完全なループボード線図

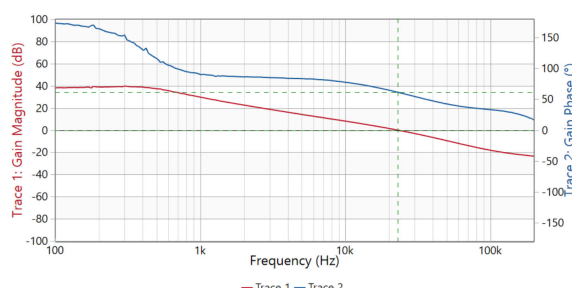
Measurement: Gain / Phase



クロスオーバー周波数は 23.9kHz、位相マージンは 68.2 度と測定されました。

図 9-13. V_{OUT3} の完全なループボード線図

Measurement: Gain / Phase



クロスオーバー周波数は 23kHz、位相マージンは 61.4 度と測定されました。

図 9-14. V_{OUT4} の完全なループボード線図

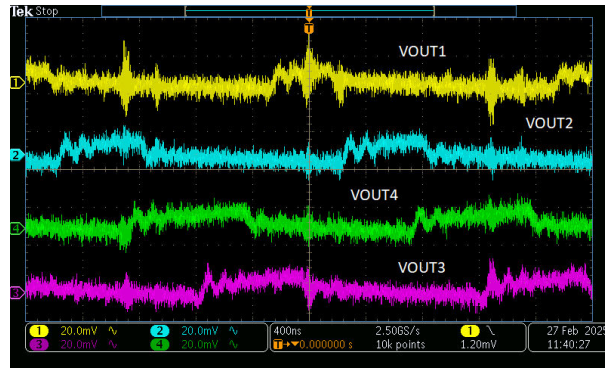


図 9-15. V_{OUTx} の出力電圧リップル

9.3 並列動作

TPS7H410x は並列構成に設定でき、TPS7H4104 モデルでは最大 12A、TPS7H4102 モデルでは最大 6A の出力電流を供給できます。チャンネルおよびデバイスによる位相シフトを表 9-12 に示します。上側のチャンネル (CH1 と CH4) と下側のチャンネル (CH2 と CH3) は、並列動作を容易にするために 180 度の相対位相シフトが与えられています。

チャンネル 1 とチャンネル 4 の並列接続は図 9-16 に示されています。この図では、2 つのチャンネルを並列に接続して最大 6A を供給することを想定しています。ただし、この接続は 2 相以上の並列構成にも拡張できます。並列接続されたデバイスが n 個ある場合、各デバイスに流れる電流は、名目上は 1/N (N は並列位相数) になります。

並列モードでは、誤差アンプ gm_{EAX} のばらつきによる電流の不一致は最小限に抑えられます。これは、各誤差アンプの出力 (COMPx) がすべて電氣的に接続されているためです。したがって、電流のミスマッチは、個別の電力段の gm_{PSx} 値のミスマッチによって支配されます。このパラメータは、電氣的特性表に、温度、電圧、TID について規定されています。

表 9-12. TPS7H410x のチャンネルごとの相対位相シフト

デバイス	チャンネル番号	相対位相シフト (°)
TPS7H4104	1	0
	2	90
	3	270
	4	180
TPS7H4102	1	0
	4	180

並列モードで TPS7H410x を補償するには 2 つの方法があります：

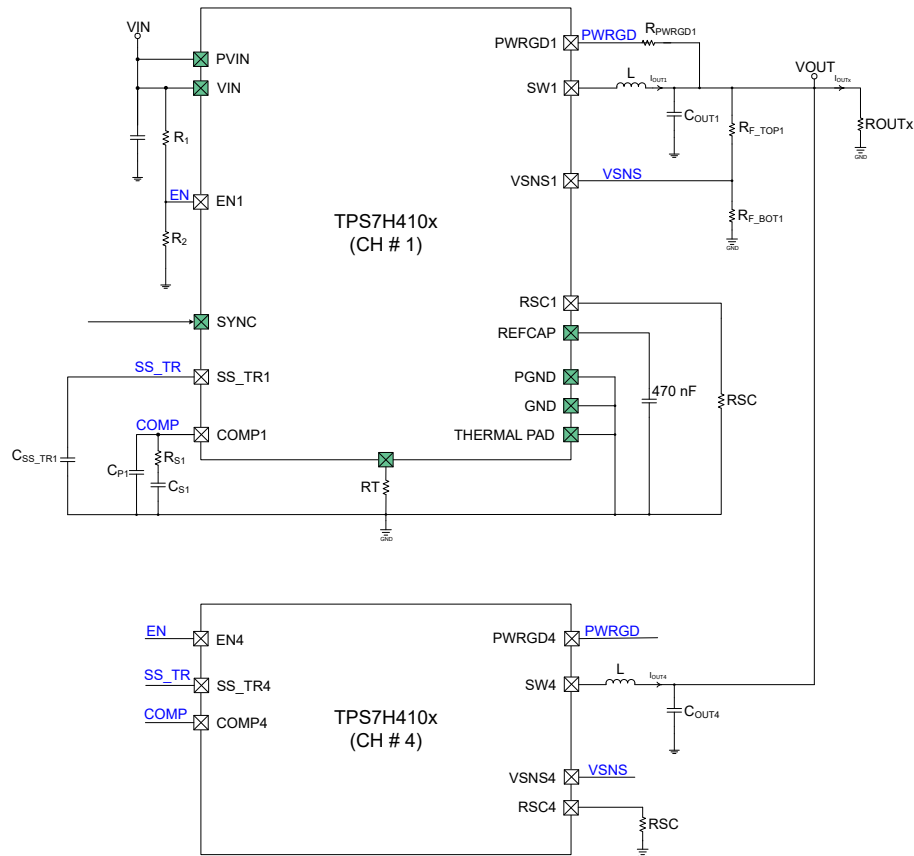
- 合計出力容量 C_{OUTx} と負荷電流 (I_{OUTx}) を使用して、システム全体を補償します。図 9-16 を基準にすると、 $C_{OUTx} = C_{OUT1} + C_{OUT2}$ 、 $I_{OUTx} = I_{OUT1} + I_{OUT2}$ になります。 R_{Sx} の計算は、セクション 9.2.2.9 を使用すること以外は、式 46 に示す手順と同じ手順を使用します。
- セクション 9.2.2.9 の手順に従って、各チャンネルを個別に補償します。この場合、 C_{OUTx} と I_{OUTx} は 1/N でスケールする必要がある、 R_{Sx} の式に変更はありません。この方式の欠点は部品数が増えることですが、各デバイスの近くに補償部品が配置されたことにより、COMP ピンに注入されるノイズを低減できる場合があります。

$$R_{Sx_PARALLEL} = \frac{1}{N^2} \times \frac{A_{VMx}}{gm_{EAX}} \times \frac{V_{OUTx}}{V_{REFx}} \quad (46)$$

補償手順の変更に加えて、ソフトスタート電流が次のようになるため、ソフトスタート用コンデンサも調整する必要があります： $I_{SS_TRx_PARALLEL} = I_{SS_TRx} \times N$ 。この値を使用して、式 16 のソフトスタート容量を計算します。

注

各相のスロープ補償用抵抗は、すべて同じ値で、かつ各フェーズに必ず実装されている必要があります。



緑色のピンは、TPS7H410x の全チャンネルに適用される設定です。SYNC はオプション入力です。

図 9-16. 単一の TPS7H410x デバイスでチャンネル 1 と 4 を示す並列構成

TPS7H410x の N 相を並列化する手順は次のとおりです：

- すべての VSNS ノードをまとめて接続することで、出力電圧を設定する帰還ネットワークは 1 つだけを使用します。
- すべての SSx ピンを互いに接続 (または短絡) した状態で必要なのは、1 つのソフトスタートコンデンサのみです。
 - ソフトスタート電流は位相数 (N) だけ増加します。
- 1 つの抵抗分圧器を使用して外部 UVLO を設定し、すべての ENx ピンを互いに接続します。
- すべての PWRGD ピンをまとめて接続し、プルアップ抵抗を 1 つだけ使うことで、ワイヤード OR のパワーグッド信号を得ます。
- すべての COMPx ピンを互いに接続し、前述のようにループを補償します。

9.3.1 入力容量と出力容量の低減

複数の相を並列化する利点の一つは、単相動作で同じ合計負荷を扱う場合と比べて、定常状態に必要な入力容量と出力容量を減らせることです。

注

このセクションで扱う各式は、位相間の位相シフトが $360/N$ 度 (N は位相数) である場合に有効です。これは、チャンネル 1 と 4、チャンネル 2 と 3、あるいはチャンネル 1～4 の全チャンネルのように、特定のチャンネルを並列で動作させる場合に適用されます。また、この低減効果が有効なのは定常状態であることも覚えておく必要があります。多くの場合、入力容量と出力容量の値は、負荷過渡の特性によって支配されます。

9.3.1.1 出力容量の低減

位相が同時に動作する場合、位相はアクティブなステータスに応じて、異なる時間で出力容量の充電と放電を行います。その結果、合計電流 (すべての相電流の合計) がピークツーピーク値より小さくなります。この合計電流の AC 成分は出力容量 (C_{OUTx}) によって吸収されるものであるため、リップル電流が小さいほど出力電圧リップルは直接低減します。この効果の視覚的な表現については、[図 9-17](#) を参照してください。

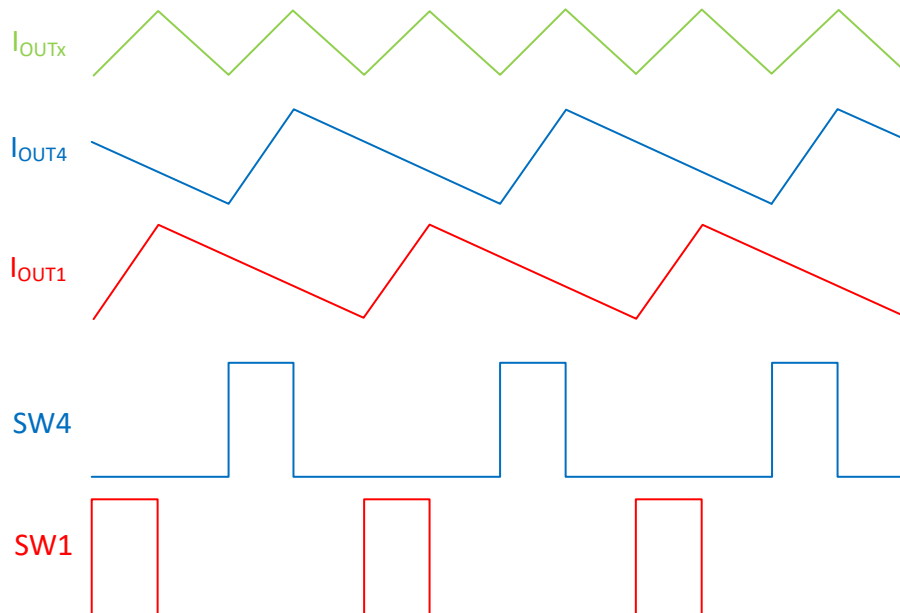


図 9-17. SW1 と SW4 の並列におけるインダクタ リップル電流

低減されたリップル出力電流の係数は、[式 47](#) を使って計算できます。この係数を[図 9-18](#) に、2 チャネルと 4 チャネル (または位相) を並列に示します。この係数を[式 30](#) に適用して、 I_{OUTx} リップル電流を計算します。

$$\Delta i_{L_PARALLEL_FACTOR} = \frac{N}{D \times (1-D)} \times \left(D - \frac{m}{N}\right) \times \left(\frac{1+m}{N} - D\right) \quad (47)$$

ここで

- D は、数値形式 (0 ~ 1) のデューティサイクルです。
- N は並列フェーズの数です。
- $m = \text{フロア}(N \times D)$

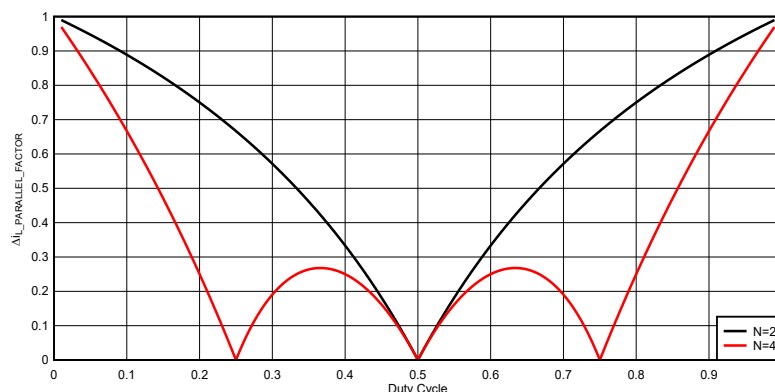


図 9-18. $\Delta i_{L_PARALLEL_FACTOR}$ とデューティ サイクルとの関係

9.3.1.2 入力容量の低減

多相システムでは、同じ合計負荷 (I_{OUTx}) を持つ単相システムに比べて、入力 RMS 電流が小さくなります。この低減効果により、同じ入力リップル仕様を満たしつつ、より小さな入力容量を使うことができます。もう一つの利点は、コンデンサの等価直列抵抗 (ESR) を流れる電流が減ること、自己発熱が抑えられることです。図 9-19 には、単相動作 (破線) と比較した場合の、CH1 と CH4 を並列で動作させたときの簡略化した入力電流波形が示されています。入力電流 RMS の低減は、式 48 を使用して計算できます。この係数は、式 38 で計算されたように、単相 RMS 電流に適用されます。図 9-20 に、 $I_{CIN_RMS_PARALLEL_FACTOR}$ とデューティ サイクルとの関係を示します。

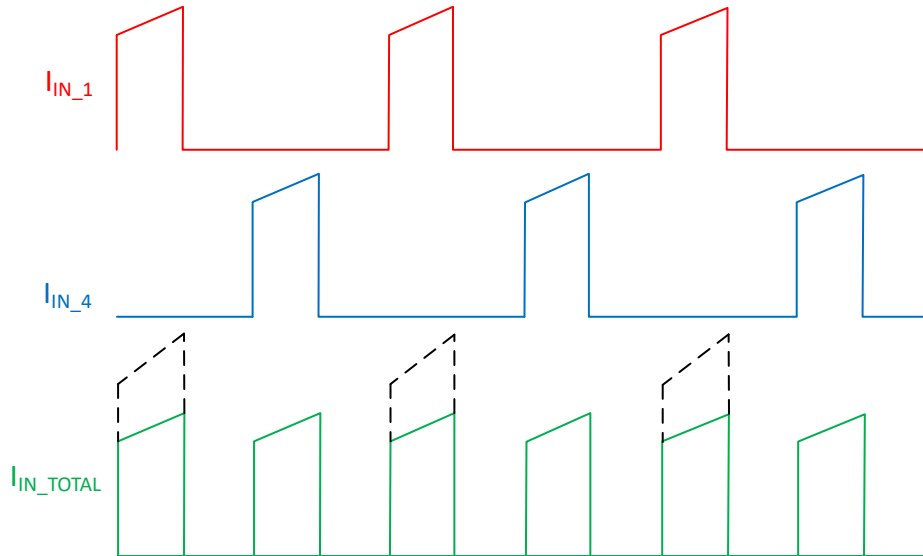


図 9-19. SW1 と SW4 を並列で使用した場合の入力電流波形

$$I_{CIN_RMS_PARALLEL_FACTOR} = \sqrt{\left(D - \frac{m}{N}\right) \times \left(\frac{1+m}{N} - D\right)} \quad (48)$$

ただし:

- D は、数値形式 (0 ~ 1) のデューティ サイクルです。
- N は並列フェーズの数です。
- m = フロア ($N \times D$)

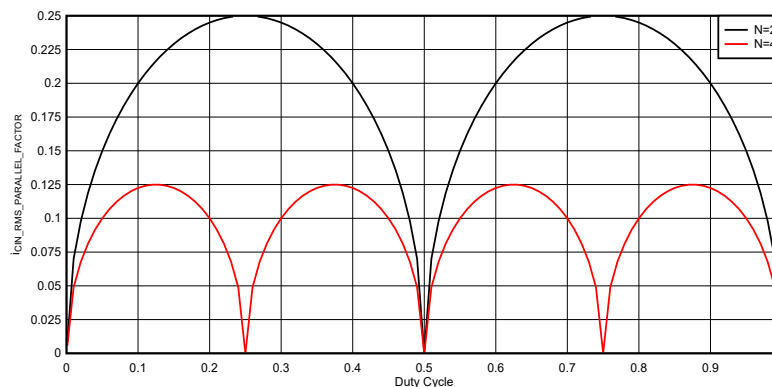


図 9-20. $I_{CIN_RMS_PARALLEL_FACTOR}$ とデューティ サイクルとの関係

9.4 未使用チャネルの終端ガイドライン

アプリケーションで全てのチャネルを使用しない (または必要としない) 場合、未使用チャネルのピンが浮遊ノードになるのを避けるため、以下のように終端することを推奨します:

1. ENx は $10k\Omega$ 以上のプルダウン抵抗で **GND** に接続します。
2. $V_{ENx} \leq V_{EN_FALLING}$ (または $ENx = Low$) のとき、 $COMPx$ は内部で **GND** にプルダウンされます。
 - 外付けプルダウンを使用する場合は、 $10k\Omega$ 以上の抵抗を接続します。
3. $RSCx$ は $10k\Omega$ 以上のプルダウン抵抗で **GND** に接続します。
4. SS_TRx は、内部で 364Ω (標準値) の抵抗を介して **GND** にプルダウンされています。
5. $VSNSx$ は $10k\Omega$ 以上のプルダウン抵抗で **GND** に接続します。
6. SWx は $10k\Omega$ 以上のプルダウン抵抗で **GND** に接続します。
7. $PWRGDx$ は $10k\Omega$ 以上のプルダウン抵抗で **GND** に接続します。

9.5 電源に関する推奨事項

TPS7H410x は、3V～7V の入力電源電圧範囲で動作するように設計されています。この電源電圧には適切なレギュレーションが行われる必要があります。適切な電気的性能を得るには、電源を適切にバイパスする必要があります。これには、PVIN から GND に 4.7 μ F (デレーティング後) を最低 1 個 (各 PVIN ピンのペアごとに、各 SWx のそばに配置)、そして VIN から GND に 1 μ F を 1 個、いずれも X7R 以上のセラミック コンデンサを含みます。PVIN および VIN は同じ電圧である必要があり、ユーザは、PVIN および VIN を外部に接続することを推奨されています。入力リップル仕様の小さいシステムではローカル セラミック バイパス容量の追加が必要となる場合があります。また、TPS7H410x デバイスがデバイスの入力電源から数インチ以上離れている場合は追加のバルク容量が必要になる場合があります。バイパス コンデンサは入力ピンにできる限り近づけて配置し、GND への低インピーダンスパスを使用することが推奨されています。出力のバイパス容量の値が大きいと、放射線によって発生する過渡に対する応答が向上します。

9.6 レイアウト

9.6.1 レイアウトのガイドライン

- レイアウトは、優れた電源設計のために重要な要素です。PCB レイアウト例については、[セクション 9.6.2](#) を参照してください。
- ユーザーに対しては、大きなトップサイド面をグラウンドで満たすことを推奨されています。上層のグラウンド領域は、入力バイパス コンデンサ、出力フィルタ コンデンサ、および TPS7H410x デバイスの直下で、ビアを使用して下層のグラウンドに接続できます。これにより、露出したサーマル パッドのランドからグラウンドまでの熱パスを提供します。上面のグラウンド領域と内部グラウンドプレーンは、十分な熱放散面積を備えていなければなりません。
- ユーザーは、TPS7H410x の下のサーマルパッドは、ビアを利用して内部のグラウンド層で GND に接続することを推奨されています。サーマルパッドグラウンドと、ノイズの多い PGND の上面との間でノイズを分離するため、サーマルパッドは最上層のグラウンドに直接接続する必要はありません。
- 高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、PVIN ピンは、X7R 誘電体を使用した低 ESR のセラミック バイパス コンデンサを使用してグラウンドにバイパスする必要があります。
- バイパス コンデンサの接続部、PVIN ピン、およびグラウンド接続部によって形成されるループ面積が最小になるよう注意してください。
- また、VIN ピンも、X7R 誘電体を使用した低 ESR のセラミック コンデンサを使用してグラウンドにバイパスする必要があります。このコンデンサは、PVIN バイパスコンデンサのパワーグラウンドトレースではなく、ノイズの小さいアナロググラウンドパターン (利用されている場合) に必ず接続してください。
- SW 接続はスイッチング ノードであるため、出力インダクタは SW ピンに近づけて配置できます。過度の容量性カップリングを避けるために PCB 導体の面積はできるだけ小さくしてください。
- 出力フィルタ コンデンサのグラウンドには、PVIN 入力バイパス コンデンサと同じパワー グラウンドを使えます。このパターンは、十分な幅を保ちながらできるだけ短くしてください。
- 帰還パターンをインダクタの EMI や他のノイズ源から遠ざけてください。フィードバック配線は、インダクタ、スイッチ (SW) ノード、ノイズの多い電源の配線とできるだけ離すようにします。可能なら、このパターンは出力インダクタの直下に配線しないでください。可能でない場合は、トレースが別の層上に配線され、グラウンド層がパターンとインダクタを分離するようにします。
- ノイズのピックアップを低減するため、分圧抵抗を使用して VSNSx 電圧をデバイスピンにできる限り近づけて配置します。
- RT および COMP ピンはノイズの影響を受けやすいため、これらのピンの周囲の部品は IC にできるだけ近づけて配置し、最短のパターン長で配線する必要があります。
- すべての電源 (大電流) 配線はできるだけ短く、直線的で、太くします。
- ユーザーは、別の PCB レイアウトでも許容できる性能を得られる可能性があります。

9.6.2 レイアウト例

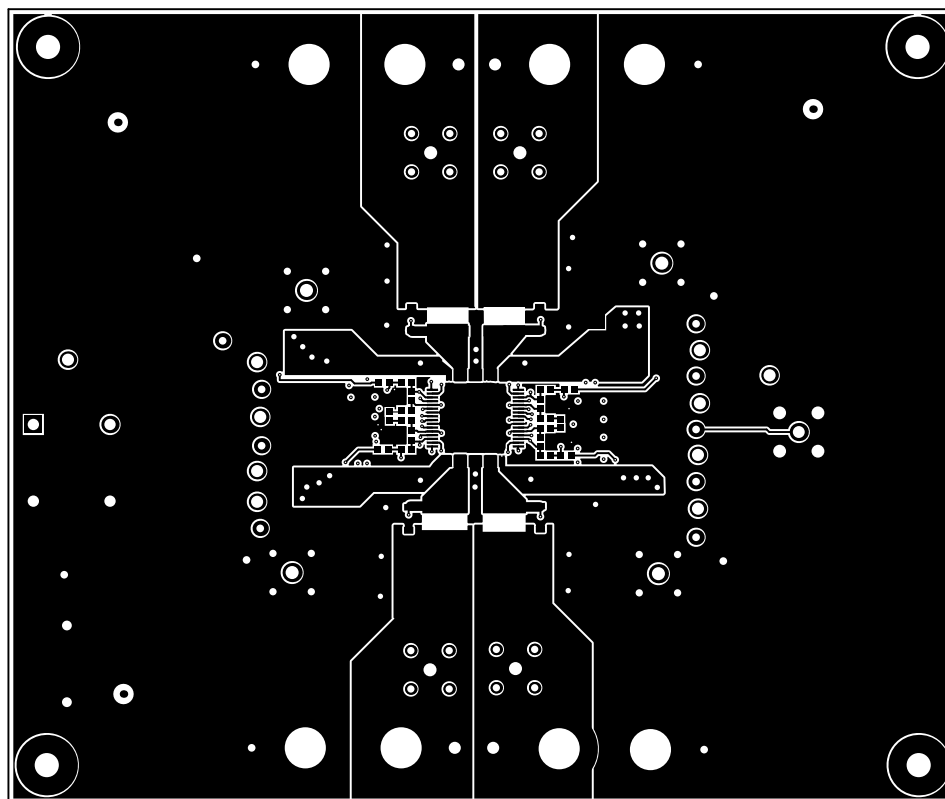


図 9-21. PCB レイアウト例、最上層

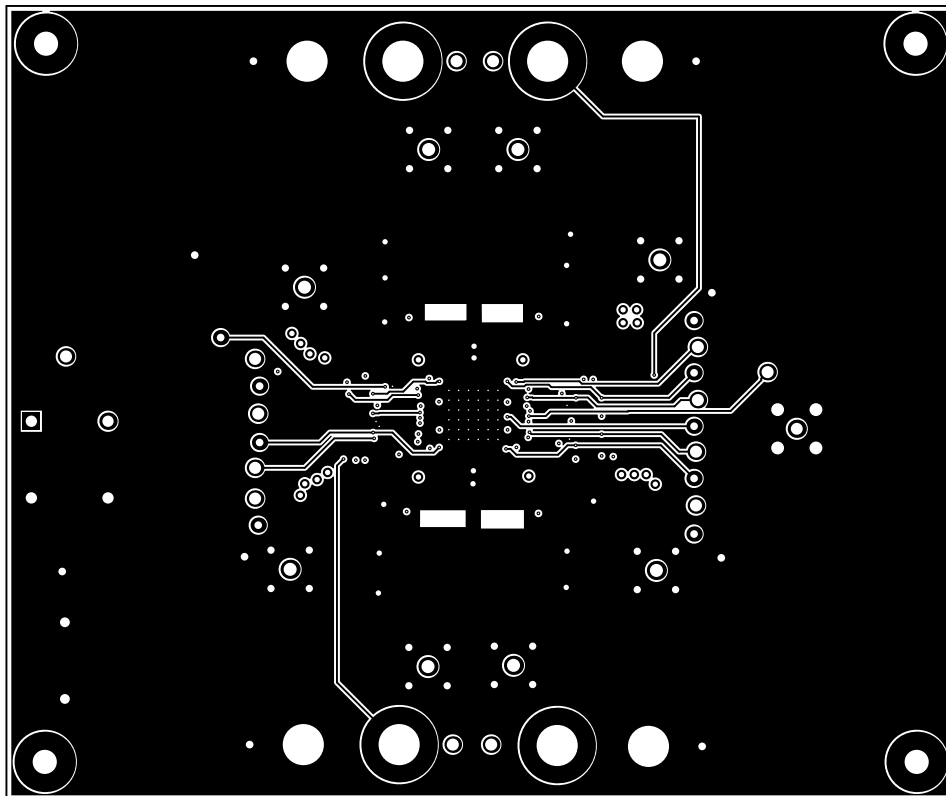


図 9-22. PCB レイアウト例、内層 1

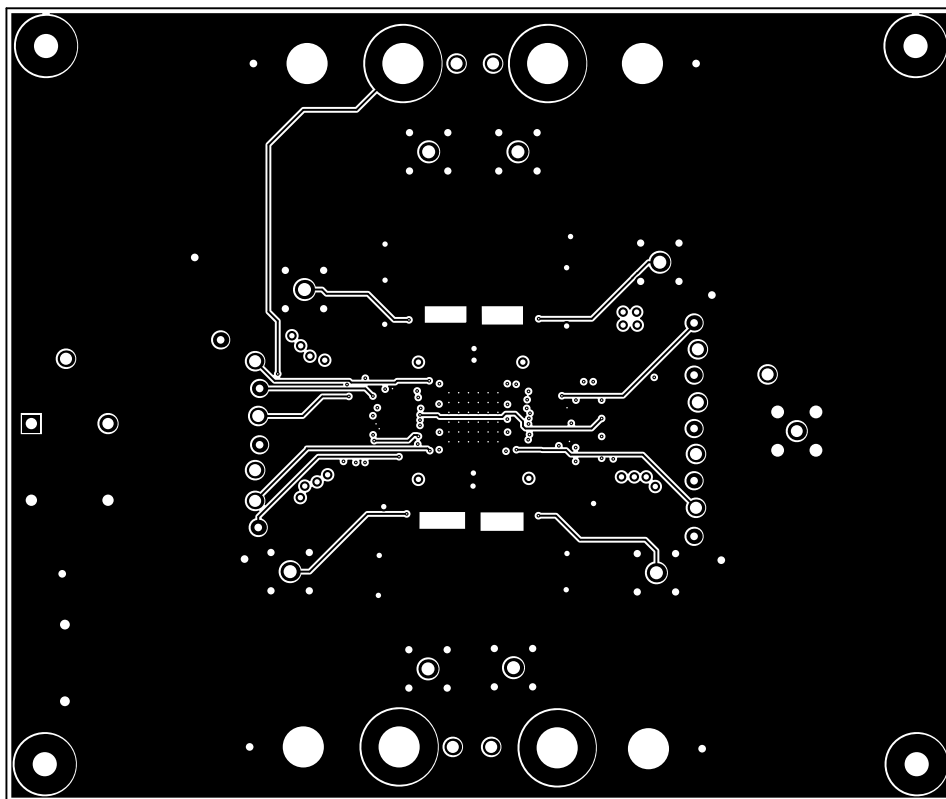


図 9-23. PCB レイアウト例、内層 2

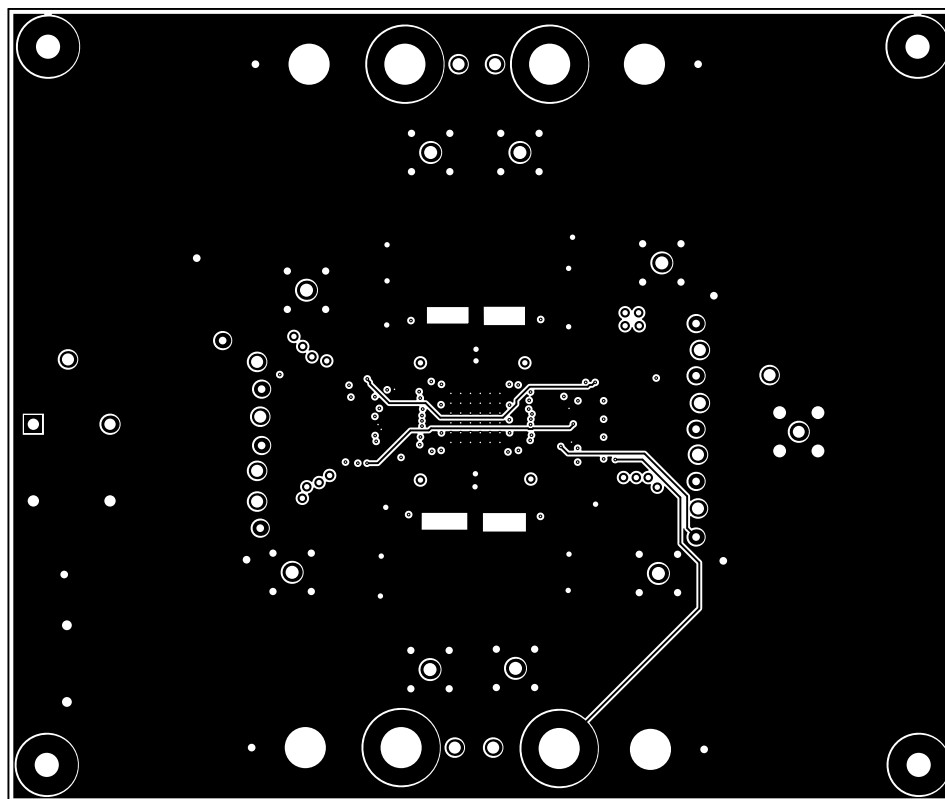


図 9-24. PCB レイアウト例、内層 3

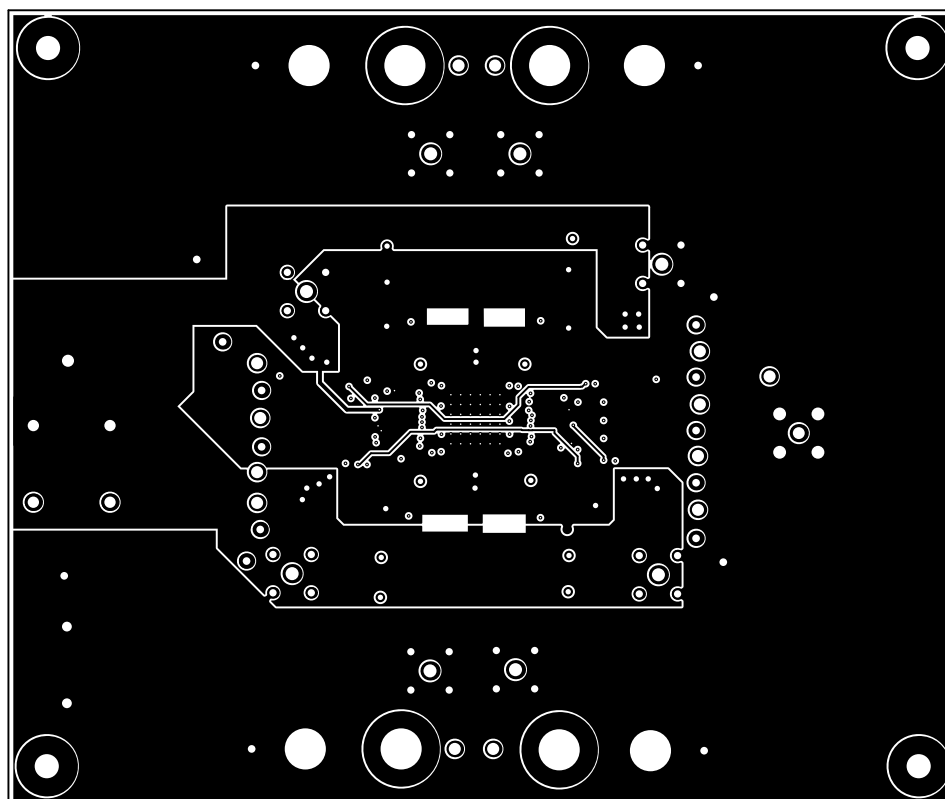


図 9-25. PCB レイアウト例、内層 4

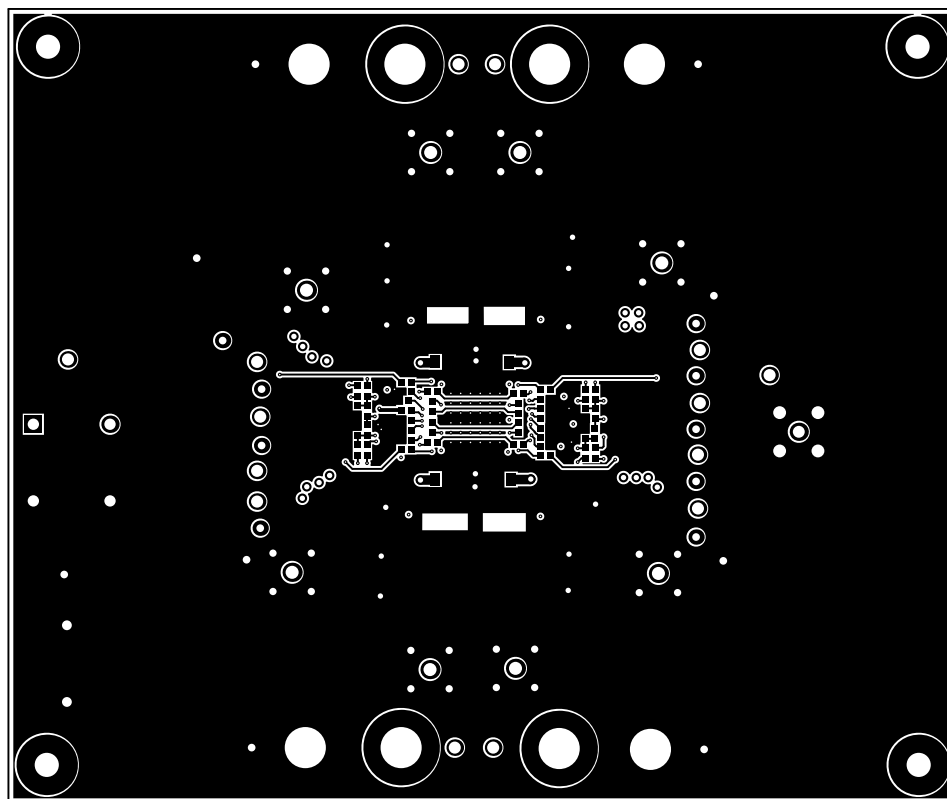


図 9-26. PCB レイアウト例、最下層

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

- テキサス・インスツルメンツ、[TPS7H4104 評価基板 \(EVM\) ユーザー ガイド](#)
- テキサス・インスツルメンツ、[TPS7H4102 評価基板 \(EVM\) ユーザー ガイド](#)
- テキサス インスツルメンツ、[TPS7H4104-SEP 総電離線量 \(TID\) レポート](#)
- テキサス インスツルメンツ、[TPS7H4102-SEP 総電離線量 \(TID\) レポート](#)
- テキサス インスツルメンツ、[TPS7H4104-SEP および TPS7H4104-SP QMLP 中性子変位損傷 \(NDD\) 特性評価レポート](#)
- テキサス インスツルメンツ、[TPS7H4102-SEP および TPS7H4102-SP QMLP 中性子変位損傷 \(NDD\) 特性評価レポート](#)
- テキサス インスツルメンツ、[TPS7H4104-SEP シングル イベント効果テスト \(SEE\) レポート](#)
- テキサス インスツルメンツ、[TPS7H4102-SEP シングル イベント効果テスト \(SEE\) レポート](#)
- [ベンダーの製品図面](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2025) to Revision C (November 2025)	Page
• TPS7H410x-SEP を「事前情報」から「製品データ」に変更.....	1
• 小電流時のジッタを抑えるために、より大きな K_{Lx} 係数を用いるという指針として、出力インダクタの選択を追加.....	58
• 並列動作セクションを追加.....	68

Changes from Revision A (August 2025) to Revision B (September 2025)	Page
• 製品情報表に TPS7H4102MPAPTSEP 部品を追加.....	1
• 表 9-10 の計算を修正。.....	63

Changes from Revision * (March 2025) to Revision A (August 2025)	Page
• 「入力コンデンサの選択」セクションの入力リップル電流の式を更新.....	61
• 未使用チャネルの終端のガイドラインセクションを追加.....	72
• 「デバイスとドキュメントのサポート」セクションに「ドキュメントのサポート」を追加.....	78

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7H4102MPAPTSEP	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4102M PAPSEP
TPS7H4104MPAPTSEP	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4104M PAPSEP
V62/25661-01XE	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4104M PAPSEP
V62/25661-02XE	Active	Production	HTQFP (PAP) 64	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4102M PAPSEP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

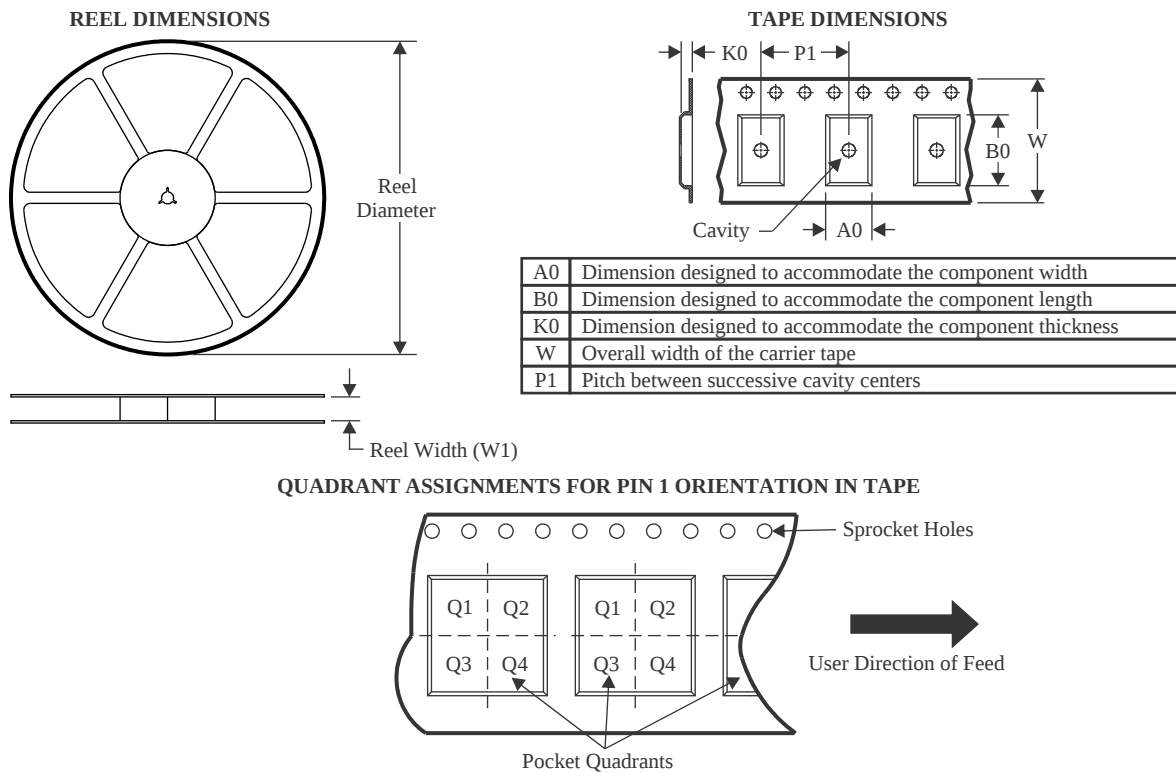
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

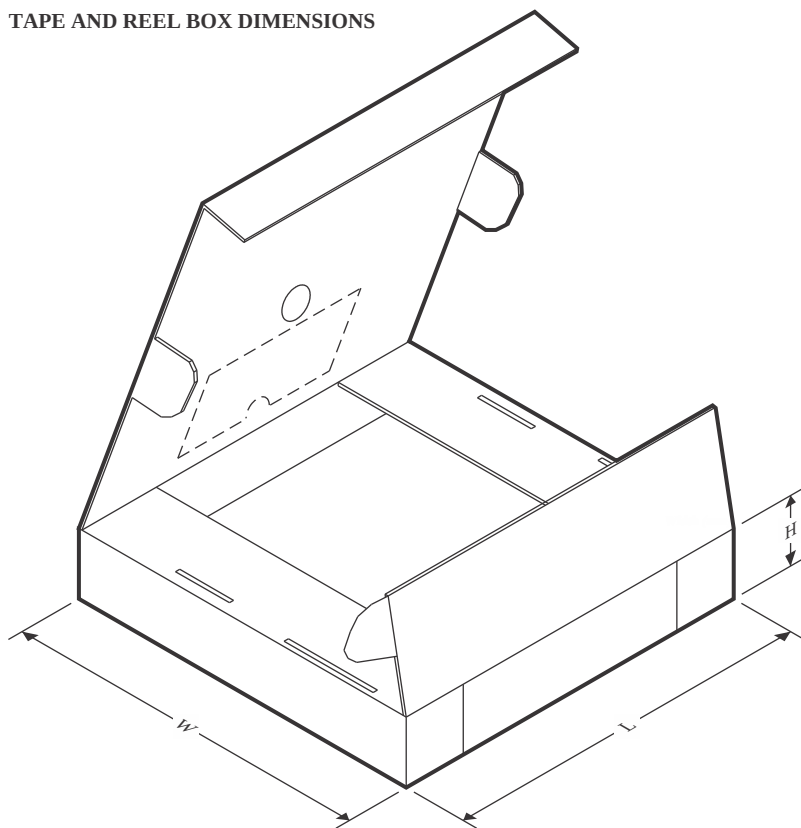
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7H4102MPAPTSEP	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TPS7H4104MPAPTSEP	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7H4102MPAPTSEP	HTQFP	PAP	64	250	367.0	367.0	55.0
TPS7H4104MPAPTSEP	HTQFP	PAP	64	250	367.0	367.0	55.0

GENERIC PACKAGE VIEW

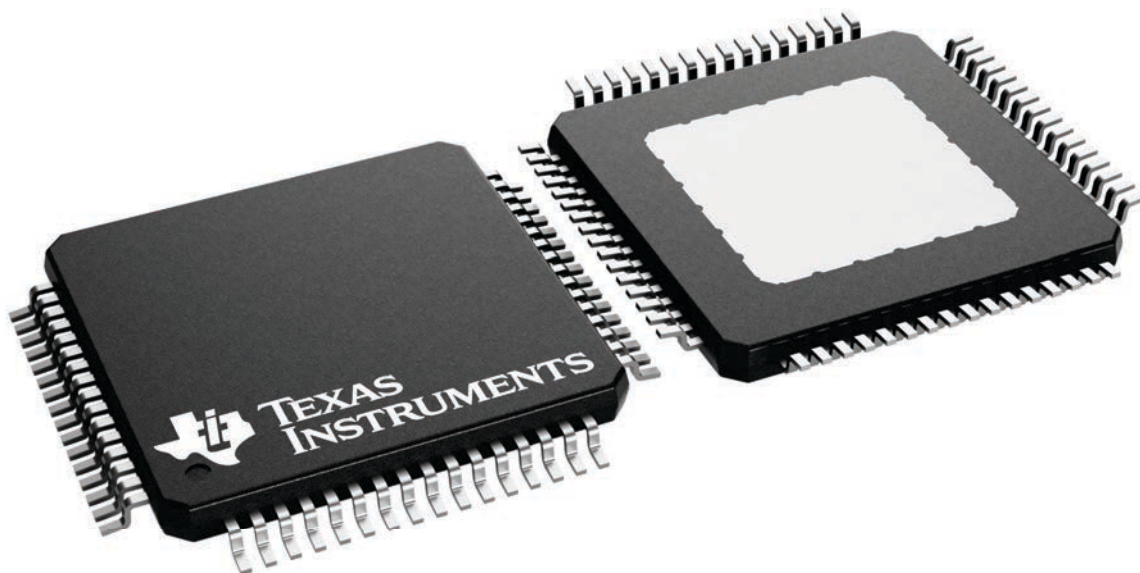
PAP 64

HTQFP - 1.2 mm max height

10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



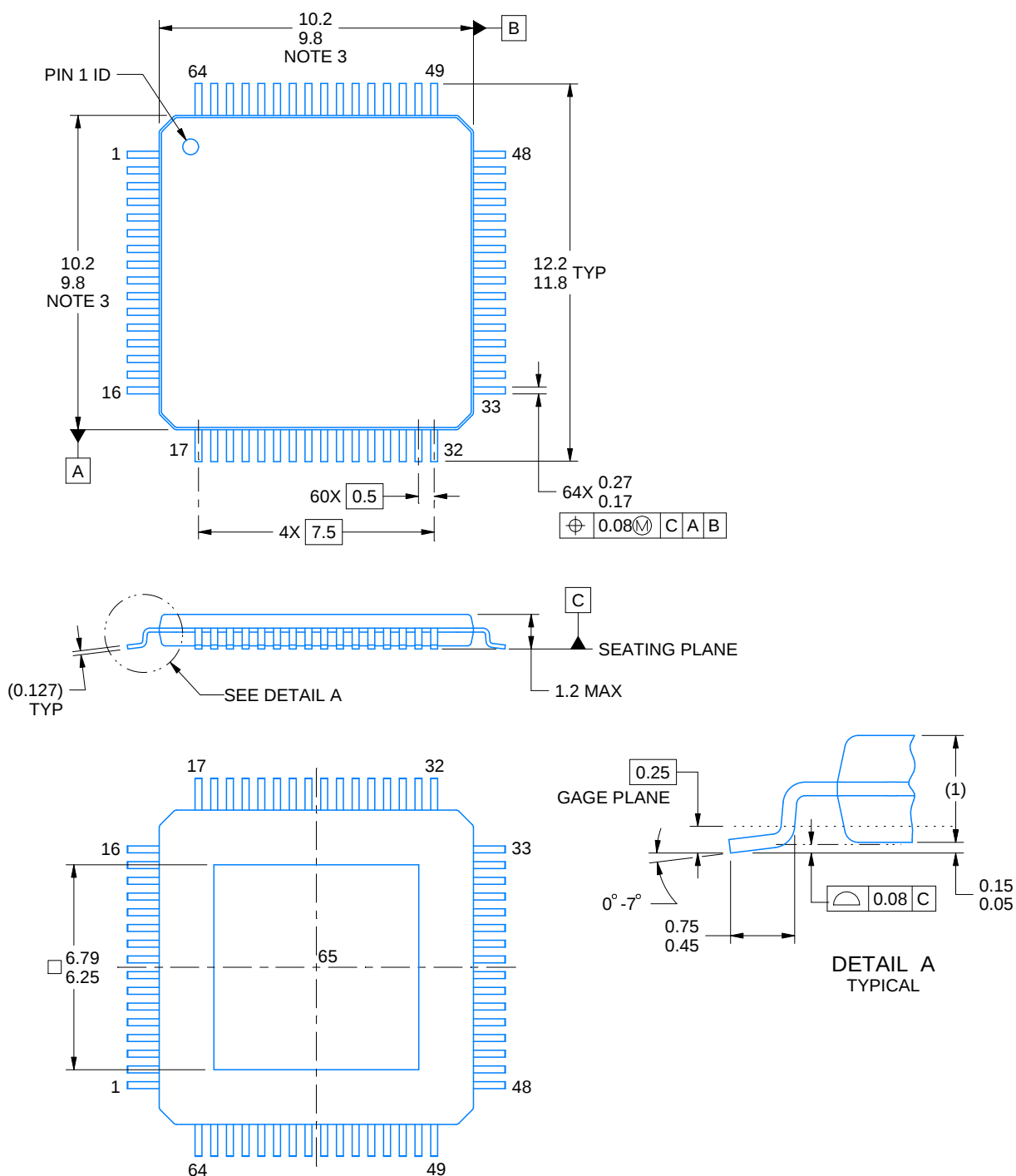
4226442/A



PAP0064R

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



4230159/B 08/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

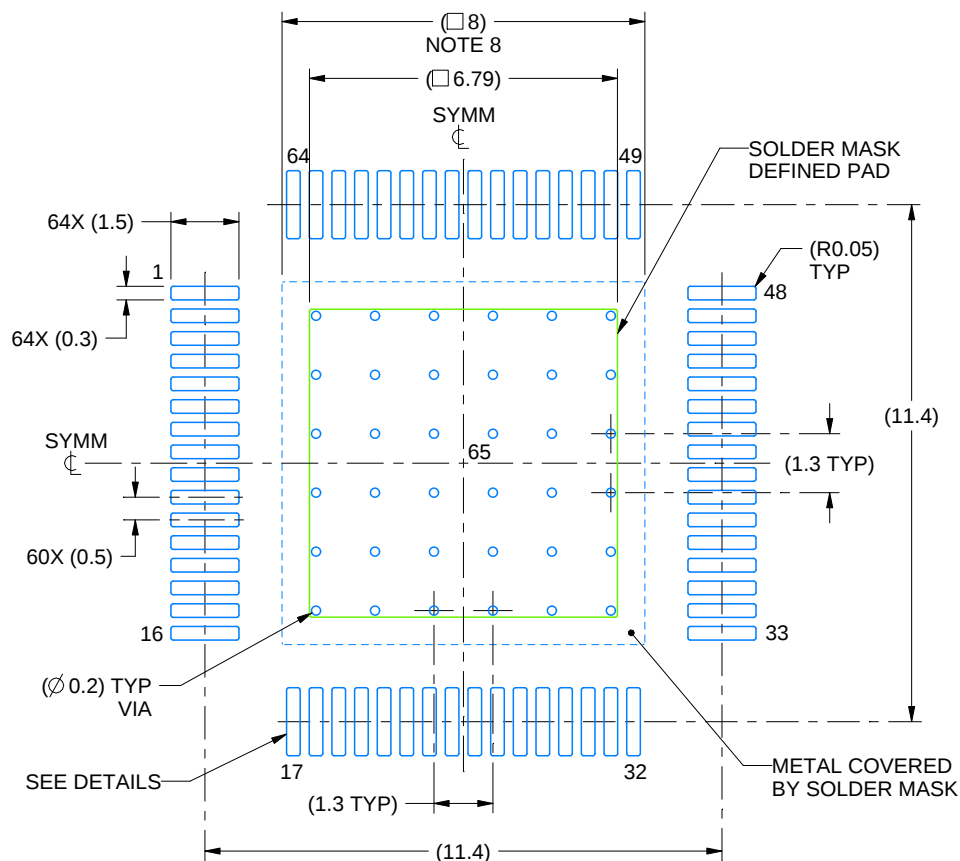
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

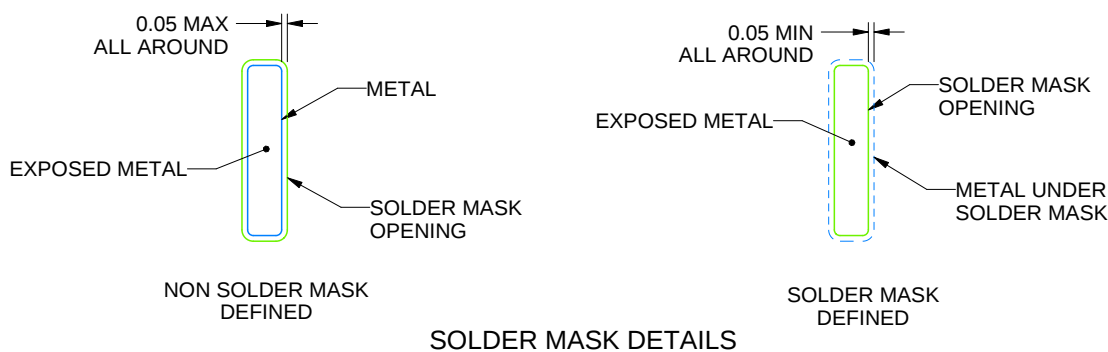
PAP0064R

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4230159/B 08/2024

NOTES: (continued)

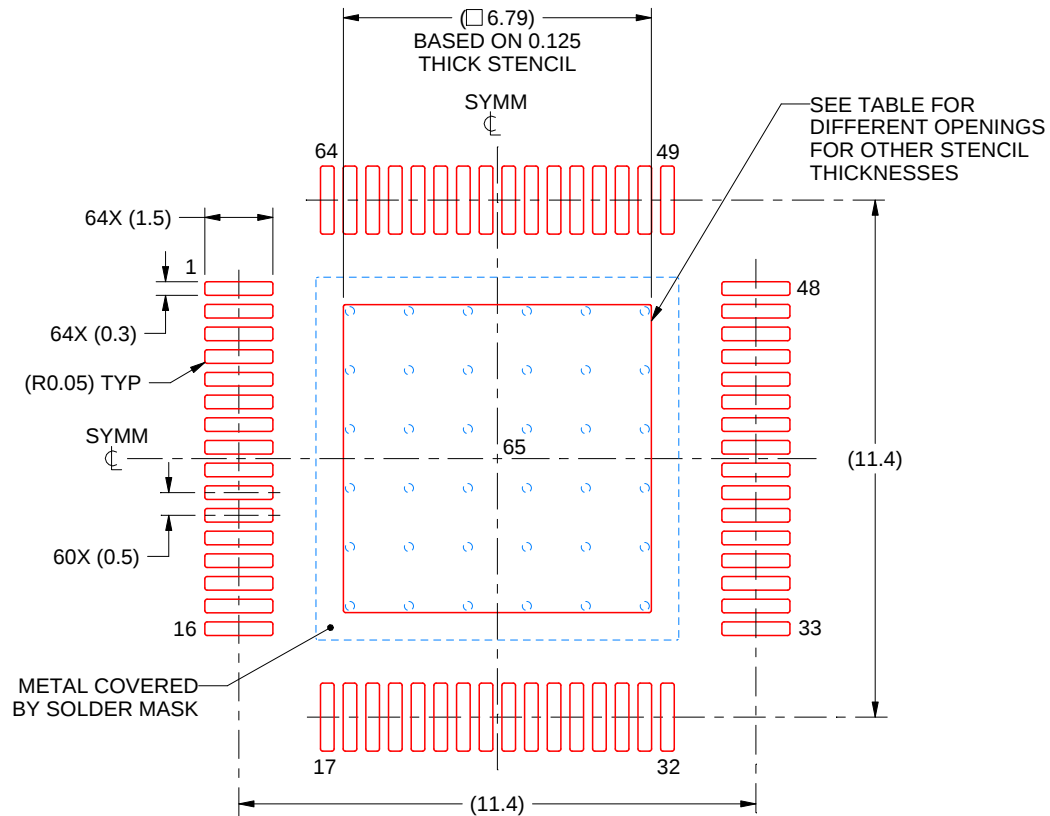
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PAP0064R

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.59 X 7.59
0.125	6.79 X 6.79 (SHOWN)
0.15	6.20 X 6.20
0.175	5.74 X 5.74

4230159/B 08/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月