

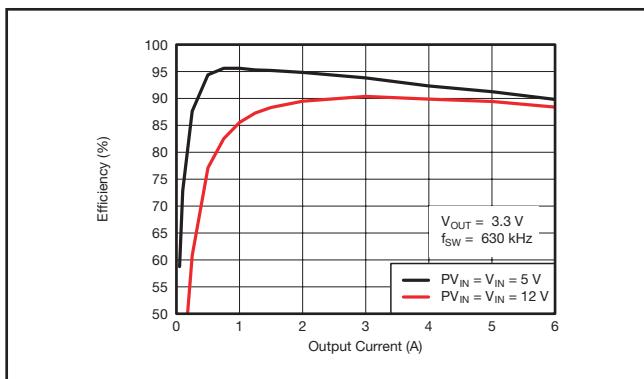


9 mm × 15 mm × 2.8 mm

4.5V~14.5V入力、6A同期整流バック、 統合パワー・ソリューション

特 長

- 小フットプリント、低プロファイルの設計を可能にする完全な統合パワー・ソリューション
- 効率：最大96%
- 広い出力電圧調整範囲：
1.2V~5.5V、リファレンス精度1%
- オプションの分割電源レールにより最低で1.7Vの入力電圧を使用可能
- 可変スイッチング周波数 (480kHz~780kHz)
- 外部クロックに同期
- 調整可能なスロー・スタート
- 出力電圧シーケンシング/トラッキング
- パワー・グッド出力
- プログラミング可能な低電圧ロックアウト(UVLO)
- 出力過電流保護
- 過熱保護
- プリバイアス出力スタートアップ
- 動作温度範囲：-40°C~85°C
- 強化された熱特性：13°C/W
- EN55022 Class Bの放射要件に準拠
- SwitcherPro™などの設計支援ツールについては、<http://www.ti.com/tps84620>をご覧ください。



SwitcherProは、テキサス・インスツルメンツの商標です。

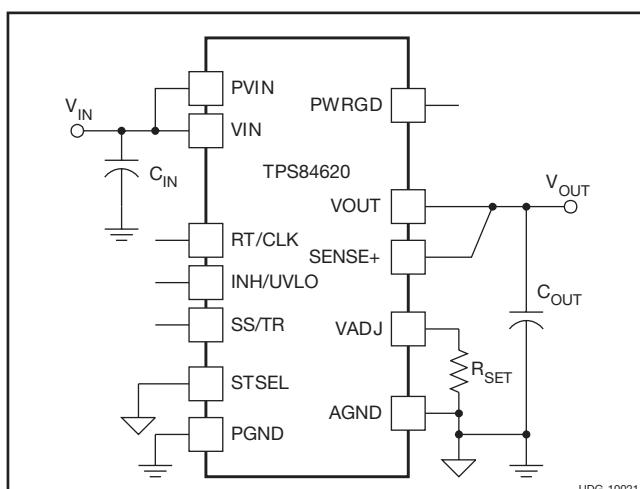
ア プ リ ケ シ ョ ン

- ブロードバンドおよび通信インフラストラクチャ
- 自動試験機器/医療用機器
- コンパクトPCI / PCI Express / PXI Express
- DSPおよびFPGAポイント・オブ・ロード(POL) アプリケーション
- 高密度分散電源システム

概 要

TPS84620RUQは、6AのDC/DCコンバータをパワーMOSFET、インダクタ、およびパッシブ部品とともに低プロファイルのBQFNパッケージに実装した、使いやすい統合パワー・ソリューションです。外部部品は3個しか使用せず、ループ補償や磁気部品の選択プロセスも不要になります。

9 × 15 × 2.8mmのBQFNパッケージは、プリント基板への半田付けが容易であり、90%以上の効率と、接合部-周囲間の熱インピーダンスが13°C/Wという優れた放熱性能を持つコンパクトなボ



ア プ リ ケ シ ョ ン 概 略 図

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

イン・オブ・ロード(POL)設計が可能になります。周囲温度85°C(エアフローなし)で6Aの最大定格出力電流を供給できます。

TPS84620は、ディスクリートPOL設計と同等の柔軟性および機能セットを備え、高性能DSPおよびFPGAへの電力供給に最適です。先進のパッケージング技術により、標準のQFN実装/試験手法に匹敵する堅牢で信頼性の高いパワー・ソリューションが得られます。



静電気放電対策

ESDはこの集積回路にダメージを与えることがあります。テキサス・インスツルメンツ社は、全ての集積回路に適切なESD対策が行われることを推奨します。この適切な取扱いや取付け手順が守られない場合には、素子にダメージを与えることがあります。

ESDが与えるダメージには、素子へ微妙な性能劣化から完全な素子故障まで様々な症状に及びます。非常に些細なパラメータの変化でもその素子の仕様を満足しなくなることがあります、高詳細な集積回路はさらにESDによる影響を受けやすい場合があります。

製品情報

最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録:パッケージ・オプション」を参照するか、www.ti.com、またはwww.tij.co.jpにあるTIのWebサイトを参照してください。

絶対最大定格⁽¹⁾

動作温度範囲内(特に記述のない限り)

		VALUE	単位
Input Voltage	VIN	-0.3 ~ 16	V
	PVIN	-0.3 ~ 16	V
	INH/UVLO	-0.3 ~ 6	V
	BOOT	-0.3 ~ 27	V
	VADJ	-0.3 ~ 3	V
	COMP	-0.3 ~ 3	V
	PWRGD	-0.3 ~ 6	V
	SS/TR	-0.3 ~ 3	V
	STSEL	-0.3 ~ 3	V
	RT/CLK	-0.3 ~ 6	V
Output Voltage	BOOT-PH	0 ~ 7	V
	PH	-1 ~ 20	V
	PH 10ns Transient	-3 ~ 20	V
V _{DIFF} (GND to exposed thermal pad)		-0.2 ~ 0.2	V
Source Current	RT/CLK	±100	µA
	PH	Current Limit	A
Sink Current	PH	Current Limit	A
	PVIN	Current Limit	A
	COMP	±200	µA
	PWRGD	-0.1 ~ 5	mA
Operating Junction Temperature		-40 ~ 125 ⁽²⁾	°C
Storage Temperature		-65 ~ 150	°C
Mechanical Shock	Mil-STD-883D, Method 2002.3, 1 msec, 1/2 sine, mounted	1500	G
Mechanical Vibration	Mil-STD-883D, Method 2007.2, 20-2000Hz	20	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) 热情報については、「標準的特性」の温度ディレイティング曲線を参照してください。

熱特性について

THERMAL METRIC ⁽¹⁾		単位
	TPS84620	
	RUQ47	
θ_{JA}	Junction-to-ambient thermal resistance ⁽²⁾	13
θ_{JCtop}	Junction-to-case(top) thermal resistance ⁽³⁾	9
θ_{JB}	Junction-to-board thermal resistance ⁽⁴⁾	6
ψ_{JT}	Junction-to-top characterization parameter ⁽⁵⁾	2.5
ψ_{JB}	Junction-to-board characterization parameter ⁽⁶⁾	5
θ_{JCbot}	Junction-to-case(bottom) thermal resistance ⁽⁷⁾	3.8

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ ψ_{JT} は、実システムでのデバイスの接合部温度を見積るために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ ψ_{JB} は、実システムでのデバイスの接合部温度を見積るために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

パッケージ仕様

TPS84620		単位
Weight		1.26 grams
Flammability	Meets UL 94 V-O	
MTBF Calculated reliability	Per Bellcore TR-332, 50% stress, $T_A = 40C$, ground benign	33.9 MHrs

電気的特性

-40°C~85°Cの周囲温度範囲、PVIN = VIN = 12V、V_{OUT} = 1.8V、I_{OUT} = 6A、C_{IN1} = 2 × 22μFセラミック、C_{IN2} = 68μFポリマー・タンタル、C_{OUT1} = 4 × 47μFセラミック(特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位	
I _{OUT}	Output current	T _A = 85°C, natural convection	0	6	6	A	
VIN	Input bias voltage range	Over I _{OUT} range	4.5	14.5	14.5	V	
PVIN	Input switching voltage range	Over I _{OUT} range	1.7 ⁽¹⁾	14.5	14.5	V	
UVLO	VIN Undervoltage lockout	VIN = increasing	4.0	4.5	4.5	V	
		VIN = decreasing	3.5	3.85	3.85		
V _{OUT(adj)}	Output voltage adjust range	Over I _{OUT} range	1.2	5.5	5.5	V	
V _{OUT}	Set-point voltage tolerance	T _A = 25°C, I _{OUT} = 0A			±1.0% ⁽²⁾		
	Temperature variation	-40°C ≤ T _A ≤ +85°C, I _{OUT} = 0A			±0.3%		
	Line regulation	Over PVIN range, T _A = 25°C, I _{OUT} = 0A			±0.1%		
	Load regulation	Over I _{OUT} range, T _A = 25°C			±0.1%		
	Total output voltage variation	Includes set-point, line, load, and temperature variation			1.5% ⁽²⁾		
η	Efficiency	PVIN = VIN = 12 V I _O = 3 A	V _{OUT} = 5V, f _{SW} = 780kHz	93 %			
			V _{OUT} = 3.3V, f _{SW} = 630kHz	90 %			
			V _{OUT} = 2.5V, f _{SW} = 530kHz	89 %			
			V _{OUT} = 1.8V, f _{SW} = 480kHz	87 %			
			V _{OUT} = 1.5V, f _{SW} = 480kHz	85 %			
			V _{OUT} = 1.2V, f _{SW} = 480kHz	83 %			
	PVIN = VIN = 5 V I _O = 3 A	V _{OUT} = 3.3V, f _{SW} = 630kHz	V _{OUT} = 3.3V, f _{SW} = 630kHz	94 %			
			V _{OUT} = 2.5V, f _{SW} = 530kHz	92 %			
			V _{OUT} = 1.8V, f _{SW} = 480kHz	90 %			
			V _{OUT} = 1.5V, f _{SW} = 480kHz	88 %			
			V _{OUT} = 1.2V, f _{SW} = 480kHz	86 %			
	Output voltage ripple	20 MHz bandwidth		30	mV _{PP}		
I _{LIM}	Overcurrent threshold			11	A		
Transient response		1.0 A/μs load step from 50 to 100% I _{OUT(max)}	Recovery time	80	μs		
			V _{OUT} over/undershoot	60	mV		
V _{INH-H}	Inhibit Control	Inhibit High Voltage		1.30	Open ⁽³⁾	V	
V _{INH-L}		Inhibit Low Voltage		-0.3	1.05		
INH Input current		INH < 1.1 V		-1.15	μA		
INH Hysteresis current		INH > 1.26 V		-3.4	μA		
I _{I(stby)}	Input standby current	INH pin to AGND		2	4	μA	
Power Good	PWRGD Thresholds	V _{OUT} rising	Good	94%			
			Fault	109%			
		V _{OUT} falling	Fault	91%			
			Good	106%			
PWRGD Low Voltage				0.3	V		
f _{SW}	Switching frequency	Over VIN and I _{OUT} ranges, RT/CLK pin OPEN		400	480	560	kHz
f _{CLK}	Synchronization frequency			480	780	780	kHz
V _{CLK-H}	CLK High-Level Threshold	CLK Control		2.0	5.5	5.5	V
V _{CLK-L}	CLK Low-Level Threshold				0.8	0.8	V
D _{CLK}	CLK Duty cycle			20%	80%	80%	
Thermal Shutdown		Thermal shutdown		160	175	175	°C
		Thermal shutdown hysteresis			10	10	°C

(1) 最小PVIN電圧は、1.7Vまたは(V_{OUT} + 0.5V)のうち、どちらか大きい方です。VINは4.5V以上とする必要があります。

(2) 記載されている設定点電圧公差の制限には、内部電圧リファレンスと内部調整抵抗の両方の公差を含みます。出力電圧全体の公差は、外付けR_{SET}抵抗の公差によって影響を受けます。

(3) この制御ピンには、内蔵ブルアップ抵抗があります。このピンをオープンのままにした場合、モジュールは入力電力が印加されると動作します。制御用に、低リーコ(300nA未満)のMOSFETを推奨します。詳細については、アプリケーション情報を参照してください。

電気的特性

$-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ の周囲温度範囲、 $\text{PVIN} = \text{VIN} = 12\text{V}$ 、 $\text{V}_{\text{OUT}} = 1.8\text{V}$ 、 $\text{I}_{\text{OUT}} = 6\text{A}$ 、 $C_{\text{IN}1} = 2 \times 22\mu\text{F}$ セラミック、 $C_{\text{IN}2} = 68\mu\text{F}$ ポリマー・タンタル、 $C_{\text{OUT}1} = 4 \times 47\mu\text{F}$ セラミック(特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
C_{IN} External input capacitance	Ceramic	44 ⁽⁴⁾			μF
	Non-ceramic	68 ⁽⁴⁾			μF
C_{OUT} External output capacitance	Ceramic	47 ⁽⁵⁾	200	1500	μF
	Non-ceramic	220 ⁽⁵⁾	5000		μF
Equivalent series resistance (ESR)			35		$\text{m}\Omega$

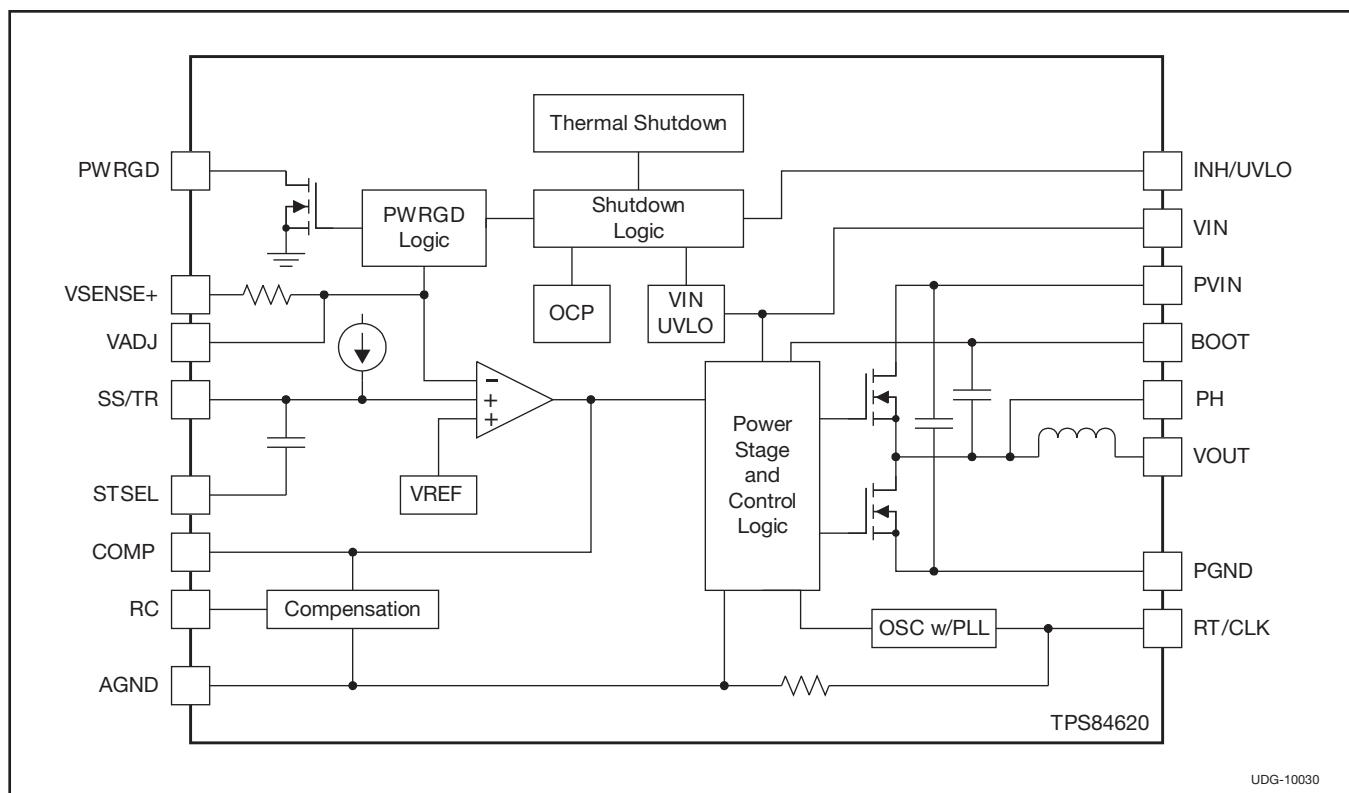
(4) 適切な動作のためには、入力(VINおよびPVINを接続)の間に100 μF 以上の外付け容量(ポリマー・タンタルまたはセラミック)が必要です。

コンデンサはデバイスに近接させて配置します。詳細については、表5を参照してください。分割されたVINおよびPVINレールで動作する場合は、4.7 μF のセラミック容量をVINピンに直接接続します。

(5) 必要な出力容量の大きさは、出力電圧によって異なります(表3を参照)。必要な容量には、1個以上の47 μF セラミック・コンデンサを含める必要があります。コンデンサはデバイスに近接させて配置します。負荷の近くに追加の容量を接続すると、負荷過渡事象に対するレギュレータの応答が向上します。詳細については、表3および表5を参照してください。

製品情報

機能ブロック図



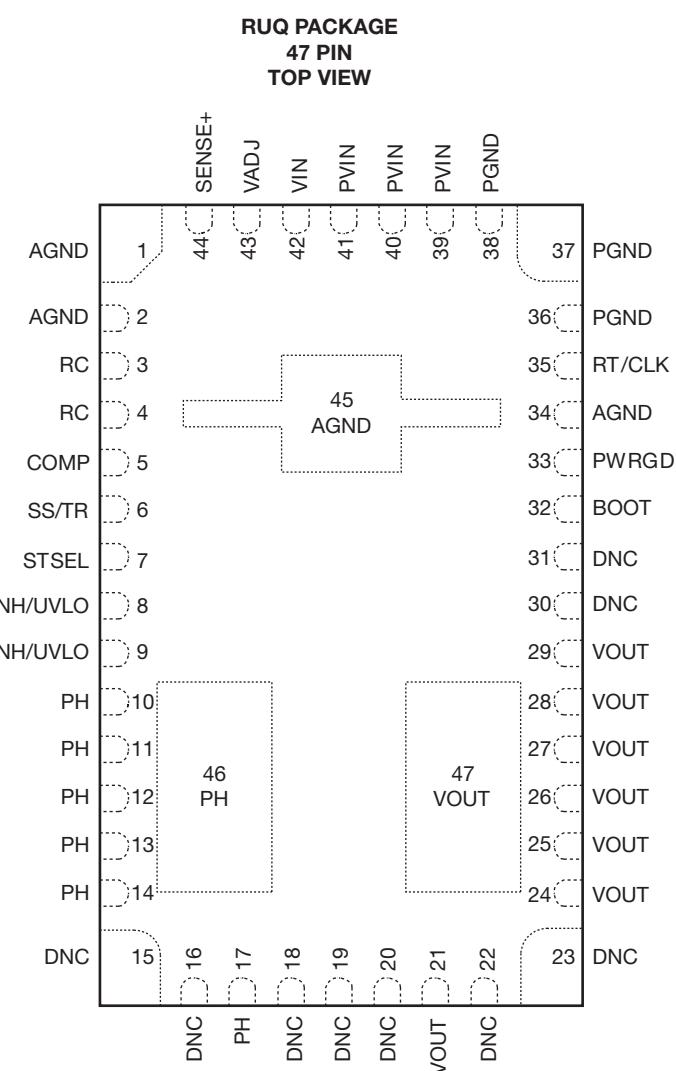
UDG-10030

ピン説明

端子 名前番号	番号	説明
AGND	1	アナログ回路のゼロVDCリファレンス。AGNDは、PGNDに1点で接続します。出力コンデンサの近くで接続してください。
	2	
	34	
	45	
BOOT	32	ブート・ピン。このピンを外部部品や他の機能のピンには接続しないでください。このピンは、絶縁パッドに半田付けする必要があります。
COMP	5	誤差増幅器出力。このピンを外部部品や他の機能のピンには接続しないでください。このピンは、絶縁パッドに半田付けする必要があります。
INH/UVLO	8	InhibitおよびUVLO調整ピン。オープン・ドレインまたはオープン・コレクタ出力ロジックを使用して、INH機能を制御します。このピンとAGNDおよびVINの間の分圧抵抗によって、UVLO電圧を調整します。この制御を使用する場合は、両方のピンを互いに接続してください。
	9	
DNC	15	接続しません。これらのピンは、互いに分離されている必要があります。これらのピンをAGNDや他の電圧に接続しないでください。これらのピンは、絶縁パッドに半田付けする必要があります。
	16	
	18	
	19	
	20	
	22	
	23	
	30	
	31	
	36	PVIN、VIN、およびVOUTの各電力接続に対するコモン・グランド接続。
PGND	37	
	38	
PH	10	フェーズ・スイッチ・ノード。熱軽減の為、これらのピンをパッケージ下の小さな銅領域に接続して下さい。このピンを外部部品や他の機能のピンには接続しないでください。
	11	
	12	
	13	
	14	
	17	
	46	
PWRGD	33	パワーグッド・フォールト・ピン。出力電圧が低い場合、“Low”にアサートされます。プルアップ抵抗が必要です。
PVIN	39	入力スイッチング電圧。このピンは、コンバータのパワー・スイッチに電圧を供給します。
	40	
	41	
RC	3	内部補償ピン。このピンを外部部品や他の機能のピンには接続しないでください。これらのピンは、絶縁パッドに半田付けする必要があります。
RT/CLK	35	このピンは、RTモードまたはCLKモードを自動的に選択します。外付けタイミング抵抗でデバイスのスイッチング周波数を調整します。CLKモードでは、デバイスが外部クロックに同期されます。
SENSE+	44	リモート・センス接続。このピンを負荷でVOUTに接続することにより、レギュレーションが向上します。このピンは、負荷またはモジュール・ピンでVOUTに接続する必要があります。
SS/TR	6	スロー・スタートおよびトラッキング・ピン。このピンに外付けコンデンサを接続して、出力電圧の立ち上がり時間を調整します。このピンに印加される電圧により、トラッキングおよびシーケンシング制御を行えます。
STSEL	7	スロー・スタートまたはトラッキング機能選択。このピンをAGNDに接続すると、約1.1msのSS間隔で内部SSコンデンサがイネーブルになります。このピンをオープンにすると、TR機能がイネーブルになります。
VADJ	43	このピンとAGNDの間に抵抗を接続して、出力電圧を設定します。
VIN	42	入力バイアス電圧ピン。パワー・コンバータの制御回路に電源を供給します。

ピン説明

名前	端子 番号	説明
VOUT	21	
	24	
	25	
	26	出力電圧。これらのピンとPGNDの間に出力コンデンサを接続します。
	27	
	28	
	29	
	47	



標準的特性 (PVIN = VIN = 12V)^{(1) (2)}

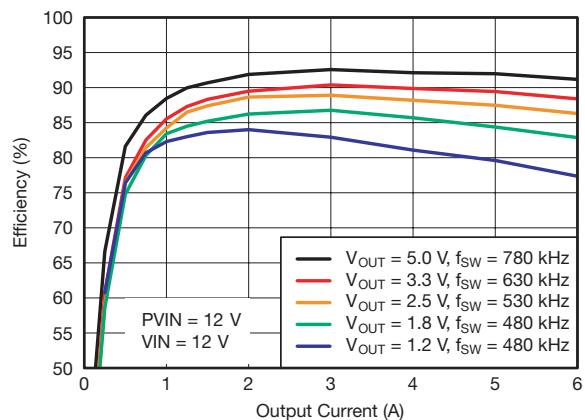


図 1. 効率 対 出力電流

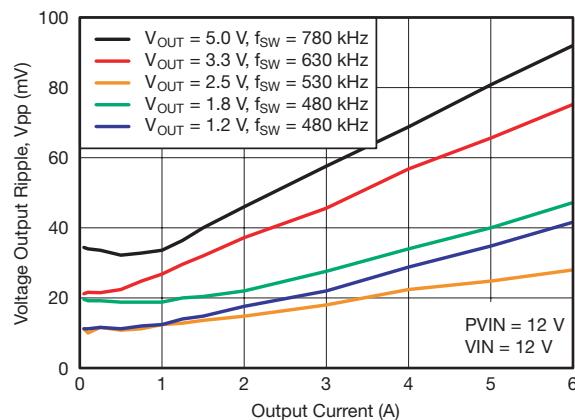


図 2. 電圧リップル 対 出力電流

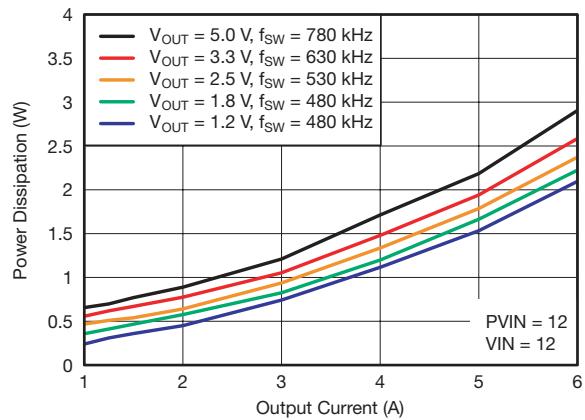


図 3. 消費電力 対 出力電流

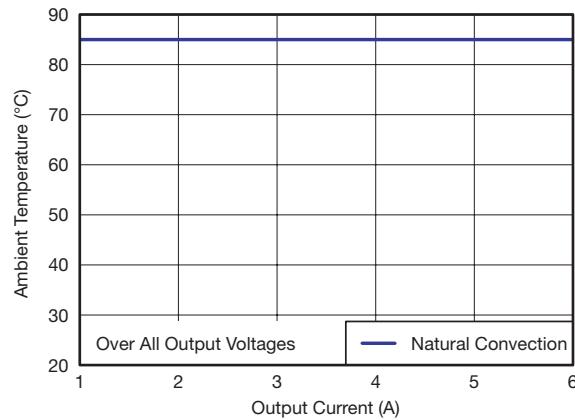


図 4. 安全動作領域

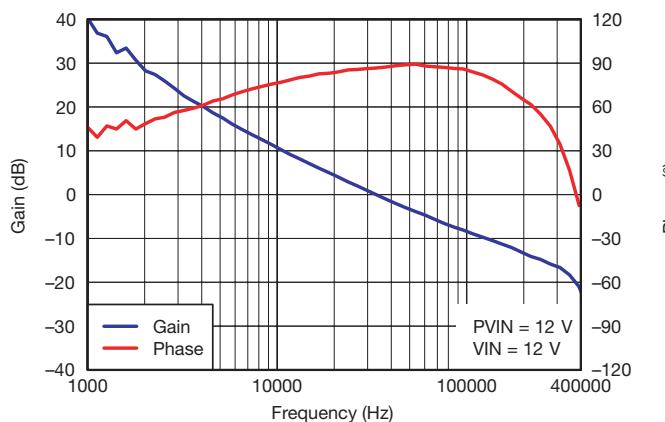


図 5. $\text{V}_{\text{OUT}} = 1.2 \text{ V}$, $\text{I}_{\text{OUT}} = 3 \text{ A}$, $\text{C}_{\text{OUT1}} = 47 \mu\text{F}$ セラミック,
 $\text{C}_{\text{OUT2}} = 330 \mu\text{F}$ POSCAP, $f_{\text{SW}} = 480 \text{ kHz}$

- (1) 電気的特性データは、 25°C でテストした実際の製品から求めたものです。このデータは、コンバータの代表的なデータと考えられます。
図1、図2および図3に対して適用されます。
- (2) 温度ディレーティング曲線は、内部コンポーネントの温度がメーカーの指定した最高動作温度以下になる条件を表します。
このディレーティング制限は、1オンスの銅を使用した、 $100\text{mm} \times 100\text{mm}$ の両面PCBに直接半田付けされたデバイスに対して適用します。
図4に対して適用されます。

標準的特性 ($P_{VIN} = V_{IN} = 5V$) ^{(1) (2)}

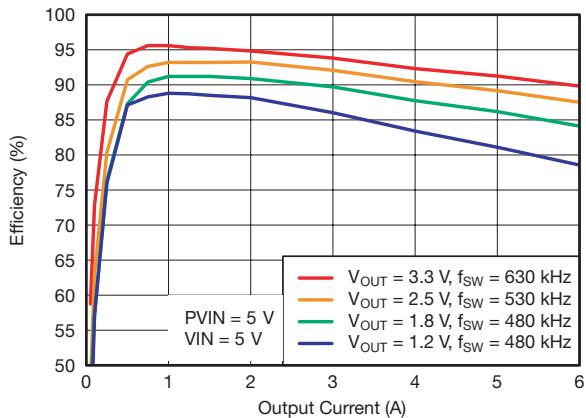


図 6. 効率 対 出力電流

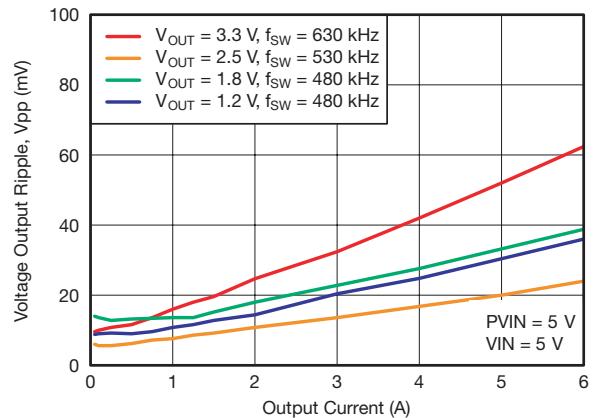


図 7. 電圧リップル 対 出力電流

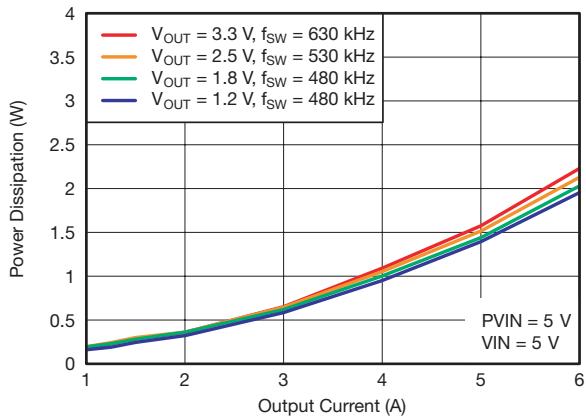


図 8. 消費電力 対 出力電流

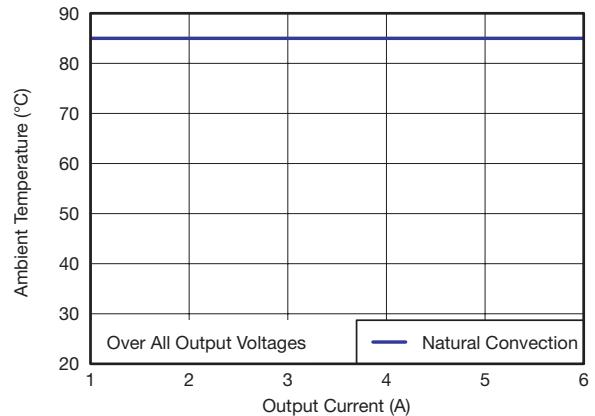


図 9. 安全動作領域

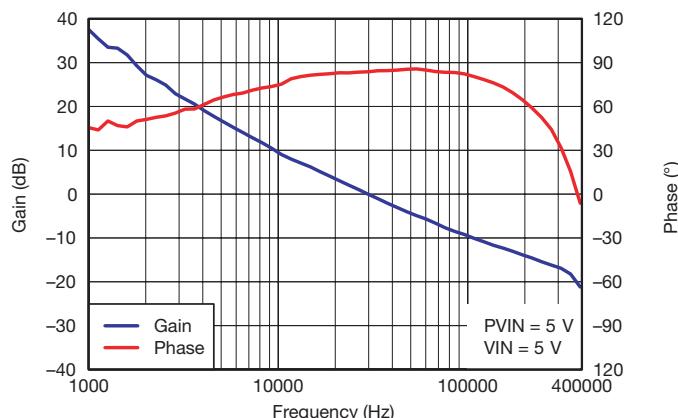


図 10. $V_{OUT} = 1.2V, I_{OUT} = 3A, C_{OUT1} = 47\mu F$ セラミック、
 $C_{OUT2} = 330\mu F$ POSCAP, $f_{SW} = 480\text{kHz}$

(1) 電気的特性データは、25°Cでテストした実際の製品から求めたものです。このデータは、コンバータの代表的なデータと考えられます。
図6、図7および図8に対して適用されます。

(2) 温度ディレーティング曲線は、内部コンポーネントの温度がメーカーの指定した最高動作温度以下になる条件を表します。
このディレーティング制限は、1オンスの銅を使用した、100mm × 100mmの両面PCBに直接半田付けされたデバイスに対して適用します。
図9に対して適用されます。

標準的特性 (PVIN = 12V、VIN = 5V) ⁽¹⁾ ⁽²⁾

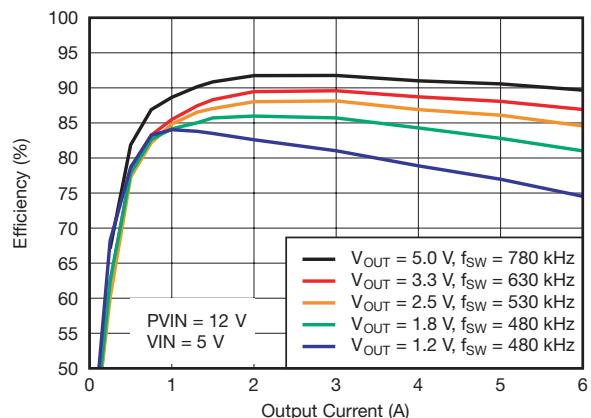


図 11. 効率 対 出力電流

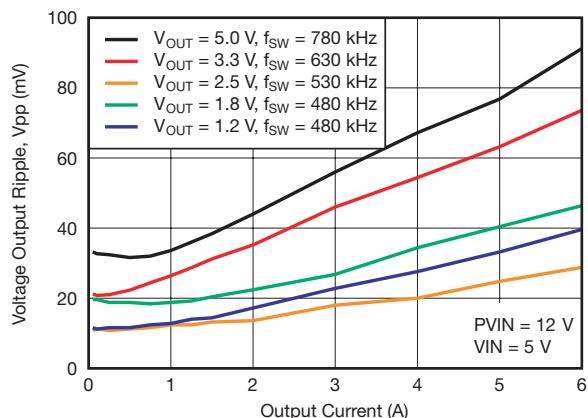


図 12. 電圧リップル 対 出力電流

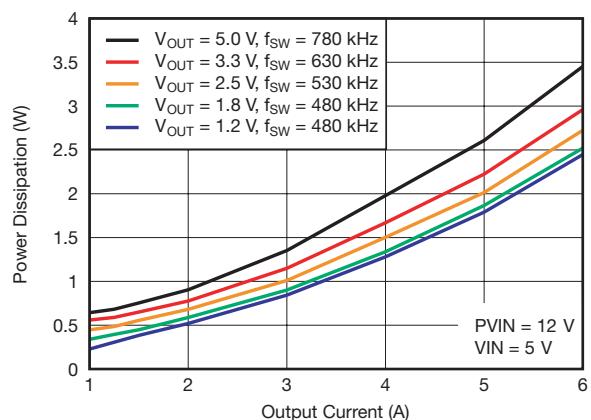


図 13. 消費電力 対 出力電流

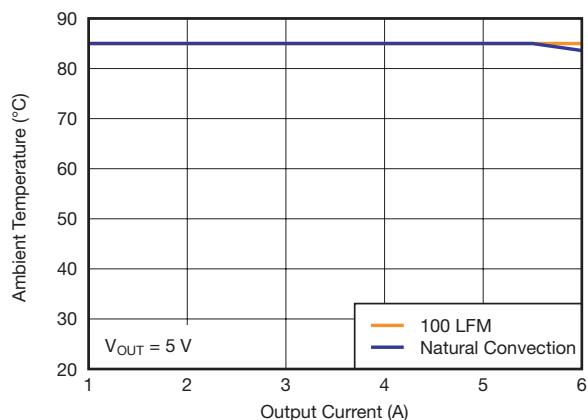


図 14. 安全動作領域

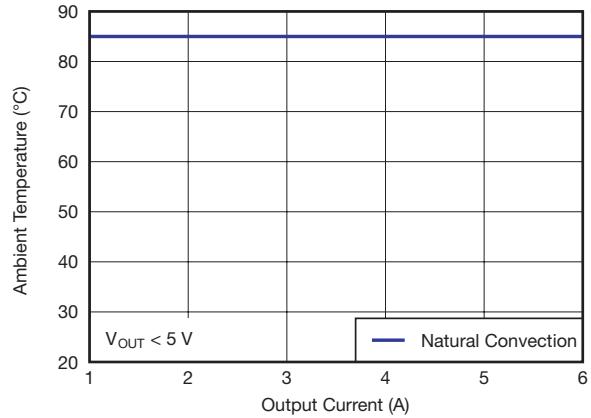


図 15. 安全動作領域

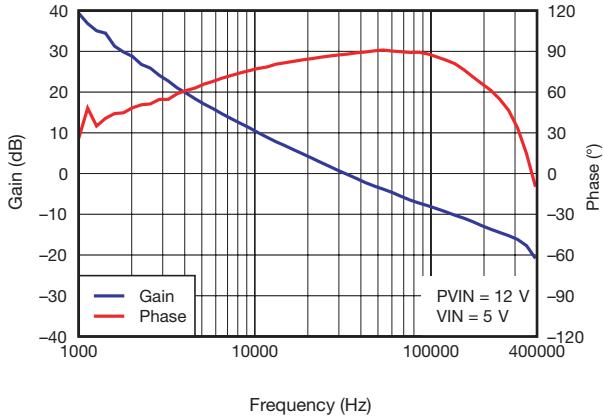


図 16. $V_{OUT} = 1.2\text{V}$ 、 $I_{OUT} = 3\text{A}$ 、 $C_{OUT1} = 47\mu\text{F}$ セラミック、
 $C_{OUT2} = 330\mu\text{F}$ POSCAP、 $f_{SW} = 480\text{kHz}$

(1) 電気的特性データは、25°Cでテストした実際の製品から求めたものです。このデータは、コンバータの代表的なデータと考えられます。

図11、図12、および図13に対して適用されます。

(2) 温度ディレーティング曲線は、内部コンポーネントの温度がメーカーの指定した最高動作温度以下になる条件を表します。

このディレーティング制限は、1オンスの銅を使用した、100mm × 100mmの両面PCBに直接半田付けされたデバイスに対して適用します。

図14および図15に対して適用されます。

アプリケーション情報

出力電圧の調整

VADJを使用して、TPS84620の出力電圧を設定します。出力電圧の調整範囲は、1.2V～5.5Vです。この調整方法では、出力電圧の設定用にR_{SET}を追加し、SENSE+をVOUTに接続し、さらに場合によっては、スイッチング周波数の設定用にR_{RT}を接続する必要があります。R_{SET}抵抗は、VADJ(ピン43)とAGND(ピン45)の間に直接接続します。SENSE+ピン(ピン44)は、レギュレーション向上のために負荷でVOUTに接続するか、またはモジュールのVOUTに接続します。R_{RT}抵抗は、RT/CLK(ピン35)とAGND(ピン34)の間に直接接続します。

表1に、いくつかの一般的なバス電圧に対する標準の外部R_{SET}抵抗値と、その出力電圧に対して必要なR_{RT}抵抗値を示します。

他の出力電圧に関しては、次の式を使用して必要な抵抗の値を計算するか、表2に掲載されている値の範囲から選択することができます。

$$R_{SET} = \frac{1.43}{\left(\left(\frac{V_{OUT}}{0.8}\right) - 1\right)} \text{ (kΩ)} \quad (1)$$

抵抗	出力電圧 V _{OUT} (V)					
	1.2	1.5	1.8	2.5	3.3	5.0
R _{SET} (kΩ)	2.87	1.62	1.13	0.665	0.453	0.267
R _{RT} (kΩ)	オープン	オープン	オープン	1000	332	165

表1. 一般的な出力電圧に対する標準R_{SET}抵抗値

V _{OUT} (V)	R _{SET} (kΩ)	R _{RT} (kΩ)	f _{SW} (kHz)	V _{OUT} (V)	R _{SET} (kΩ)	R _{RT} (kΩ)	f _{SW} (kHz)
1.2	2.87	open	480	3.4	0.442	332	630
1.3	2.26	open	480	3.5	0.422	332	630
1.4	1.91	open	480	3.6	0.402	332	630
1.5	1.62	open	480	3.7	0.392	332	630
1.6	1.43	open	480	3.8	0.374	249	680
1.7	1.27	open	480	3.9	0.365	249	680
1.8	1.13	open	480	4.0	0.357	249	680
1.9	1.02	open	480	4.1	0.348	249	680
2.0	0.953	open	480	4.2	0.332	196	730
2.1	0.866	open	480	4.3	0.324	196	730
2.2	0.806	open	480	4.4	0.316	196	730
2.3	0.750	open	480	4.5	0.309	196	730
2.4	0.715	open	480	4.6	0.301	196	730
2.5	0.665	open	480	4.7	0.294	196	730
2.6	0.634	1000	530	4.8	0.287	165	780
2.7	0.604	1000	530	4.9	0.280	165	780
2.8	0.562	1000	530	5.0	0.267	165	780
2.9	0.536	1000	530	5.1	0.267	165	780
3.0	0.511	499	580	5.2	0.261	165	780
3.1	0.499	499	580	5.3	0.255	165	780
3.2	0.475	499	580	5.4	0.249	165	780
3.3	0.453	332	630	5.5	0.243	165	780

表2. 標準R_{SET}抵抗値

TPS84620電源に対するコンデンサの推奨事項

コンデンサ・テクノロジ

電解、ポリマー電解コンデンサ

電解コンデンサを使用する場合は、高品質のコンピュータ用電解コンデンサをお勧めします。ポリマー電解タイプのコンデンサは、動作周囲温度が 0°C を下回るアプリケーションに推奨されます。より低いESR、より高い定格サージ電流、消費電力、リップル電流特性、および小さなパッケージ・サイズから、三洋電機のOS-CONコンデンサ・シリーズを推奨します。アルミ電解コンデンサは、2kHz~150kHzの周波数範囲にわたって十分なデカップリングを提供し、 0°C を上回る周囲温度に適しています。

セラミック・コンデンサ

150kHzを上回る場合、アルミ電解コンデンサの性能はセラミック・コンデンサに比べてあまり効果的ではありません。積層セラミック・コンデンサは、ESRが低く、共振周波数がレギュレータの帯域幅を上回っています。これらを使用して、入力側のリップル電流を低減すると同時に、出力側の過渡応答を改善することができます。

タンタル、ポリマータンタル・コンデンサ

ポリマータンタル・タイプのコンデンサは、動作周囲温度が 0°C を下回るアプリケーションに推奨されます。三洋電機のPOSCAPシリーズとKemetのT530コンデンサ・シリーズは、より低いESR、より高い定格サージ電流、消費電力、リップル電流特性、および小さなパッケージ・サイズから、他の多くのタンタル・タイプよりも推奨されます。ESRまたはサージ電流の定格を明示的に規定していないタンタル・コンデンサは、パワー・アプリケーションでは推奨されません。

入力コンデンサ

TPS84620では、セラミックまたはポリマー・タンタルの最小 $100\mu\text{F}$ の入力容量が必要です。コンデンサのリップル電流定格は、450mA rms以上が必要です。表5に、メーカー毎に推奨されるコンデンサのリストを示します。

出力コンデンサ

必要な出力容量は、TPS84620の出力電圧によって決まります。必要な容量の大きさについては、表3を参照してください。必要な出力容量は、すべてセラミック・コンデンサで構成するか、またはセラミック・コンデンサとバルク・コンデンサの組み合わせで構成できます。必要な出力容量には、1個以上の $47\mu\text{F}$ セラミック・コンデンサを含める必要があります。セラミック以外のバルク・コンデンサを追加する場合は、表5に示す推奨製品のような低ESRデバイスが必要です。最小値を超える必要容量は、実際の過渡偏差の要件によって決まります。いくつかの出力電圧、入力電圧、および容量の組み合わせに対する標準の過渡応答値については、表4を参照してください。表5に、メーカー毎に推奨されるコンデンサのリストを示します。

V _{OUT} 範囲 (V)		必要な最小C _{OUT} (μF)
MIN	MAX	
1.2	< 3.0	200 ⁽¹⁾
3.0	< 4.0	100 ⁽¹⁾
4.0	5.5	47 μF セラミック

表 3. 必要な出力容量

(1) 必要最小容量には、1個以上の $47\mu\text{F}$ セラミック・コンデンサを含める必要があります。

C _{IN1} = 2 × 22μFセラミック、C _{IN2} = 68μF POSCAP、負荷ステップ = 3A、1A/μs						
V _{OUT} (V)	PV _{IN} (V)	C _{OUT1} セラミック	C _{OUT2} バルク	電圧偏差 (mV)	ピーク-ピーク (mV)	回復時間 (μs)
1.2	3.3	4x 47 F	なし	73	137	70
		1x 47 F	330 F	50	90	75
	5	4x 47 F	なし	63	117	70
		1x 47 F	330 F	45	85	75
	12	4x 47 F	なし	45	109	70
		1x 47 F	330 F	35	70	75
1.5	3.3	4x 47 F	なし	80	160	80
		1x 47 F	220 F	65	130	70
	5	4x 47 F	なし	60	115	80
		1x 47 F	220 F	60	120	70
	12	4x 47 F	なし	45	98	80
		1x 47 F	220 F	50	100	70
1.8	3.3	4x 47 F	なし	90	180	80
		1x 47 F	220 F	72	142	110
	5	4x 47 F	なし	80	160	80
		1x 47 F	220 F	67	132	110
	12	4x 47 F	なし	60	120	80
		1x 47 F	220 F	60	119	110
2.5	3.3	4x 47 F	なし	108	214	75
		1x 47 F	100 F	93	186	110
	5	4x 47 F	なし	100	200	75
		1x 47 F	100 F	92	180	110
	12	4x 47 F	なし	88	174	75
		1x 47 F	100 F	80	157	110
3.3	5	2x 47 F	なし	160	320	100
		1x 47 F	100 F	110	220	100
	12	2x 47 F	なし	140	280	100
		1x 47 F	100 F	100	200	100
5.0	5	1x 47 F	なし	200	400	100
		1x 47 F	100 F	150	300	130
	12	1x 47 F	なし	180	360	100
		1x 47 F	100 F	150	300	130

表 4. 出力電圧過渡応答

メーカー	シリーズ	部品番号	コンデンサ特性		
			動作電圧 (V)	容量 (μF)	ESR ⁽²⁾ (mΩ)
Murata	X5R	GRM32ER61E226K	16	22	2
TDK	X5R	C3225X5R0J476K	6.3	47	2
Murata	X5R	GRM32ER60J476M	6.3	47	2
Sanyo	POSCAP	16TQC68M	16	68	50
Kemet	T520	T520V107M010ASE025	10	100	25
Sanyo	POSCAP	6TPE100MI	6.3	100	25
Sanyo	POSCAP	2R5TPE220M7	2.5	220	7
Kemet	T530	T530D227M006ATE006	6.3	220	6
Kemet	T530	T530D337M006ATE010	6.3	330	10
Sanyo	POSCAP	2TPF330M6	2.0	330	6
Sanyo	POSCAP	6TPE330MFL	6.3	330	15

表 5. 推奨入力/出力コンデンサ⁽¹⁾

(1) コンデンサ供給者への確認
この表に記載されているコンデンサの出荷状況を確認してください。

RoHS、鉛フリーと材質の詳細

材質の組成、RoHS指令に関する状態、鉛フリーに関する状態、および製造プロセスの要件について、コンデンサ供給者に問い合わせてください。

(2) 100kHz、25°Cでの最大ESR。

過渡応答

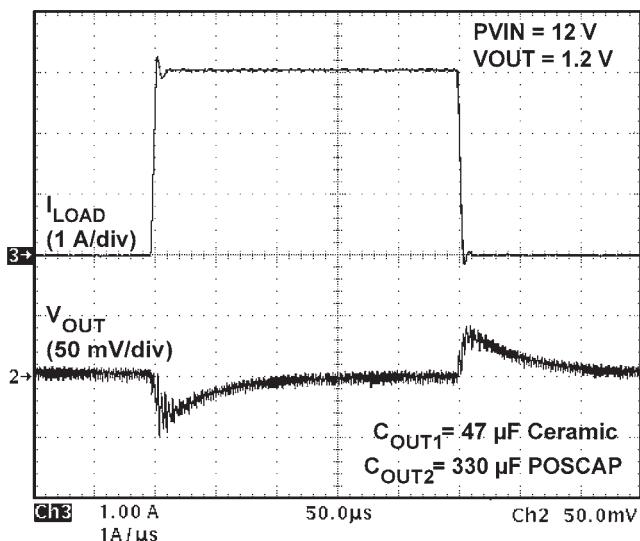


図 17. $PVIN = 12\text{V}$ 、 $VOUT = 1.2\text{V}$ 、3A負荷ステップ

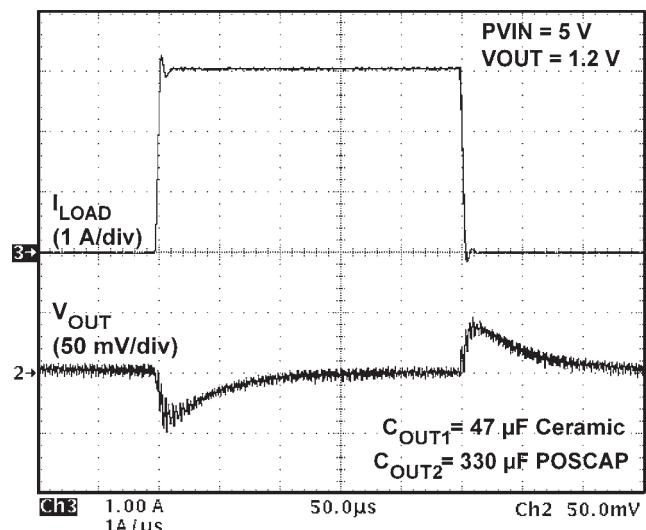


図 18. $PVIN = 5\text{ V}$ 、 $VOUT = 1.2\text{ V}$ 、3A負荷ステップ

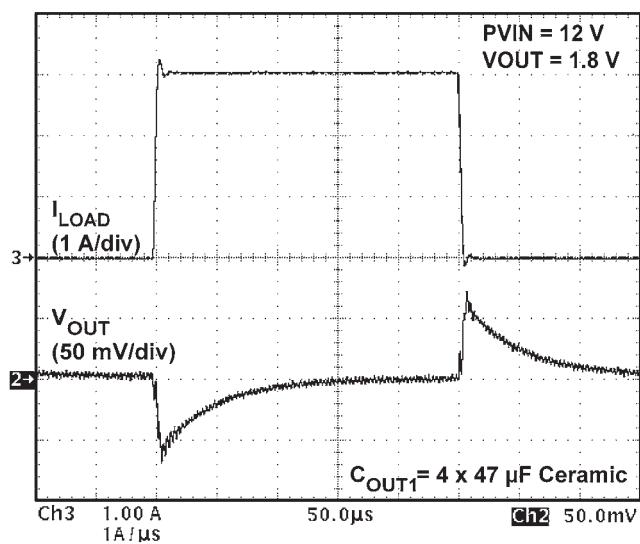


図 19. $PVIN = 12\text{V}$ 、 $VOUT = 1.8\text{V}$ 、3A負荷ステップ

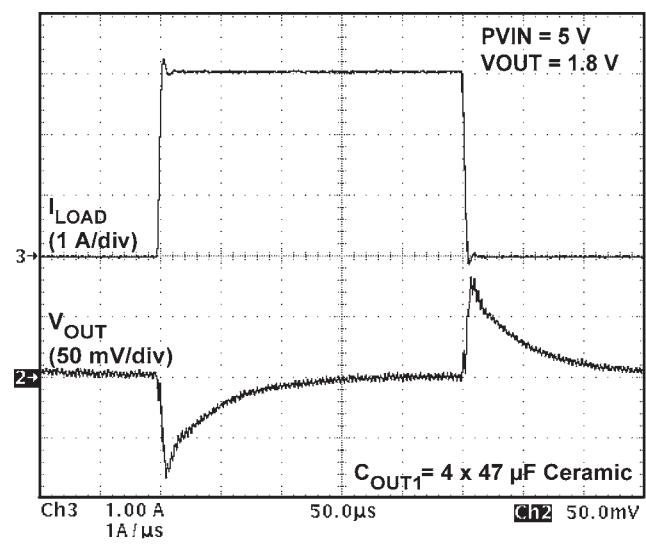


図 20. $PVIN = 5\text{ V}$ 、 $VOUT = 1.8\text{ V}$ 、3A負荷ステップ

過渡応答

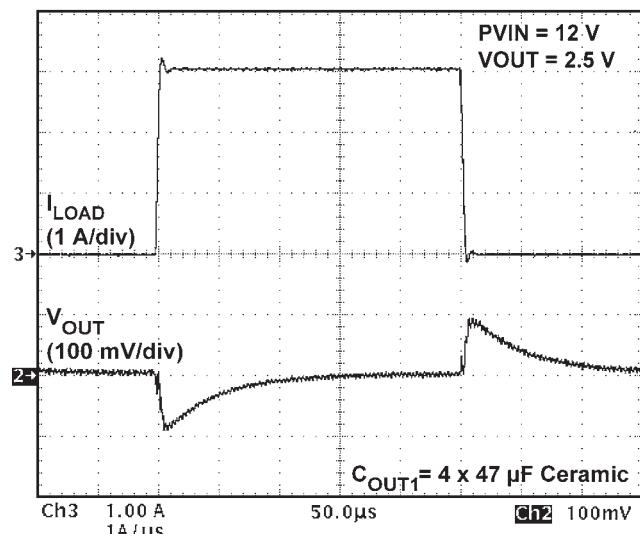


図 21. $P_{VIN} = 12\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、3A負荷ステップ

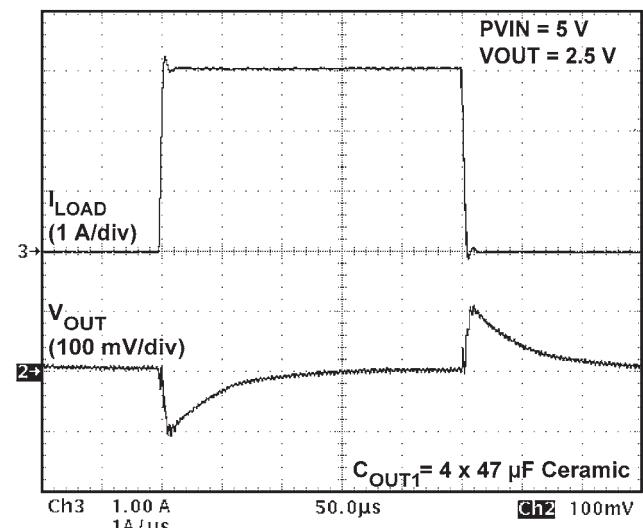


図 22. $P_{VIN} = 5\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、3A負荷ステップ

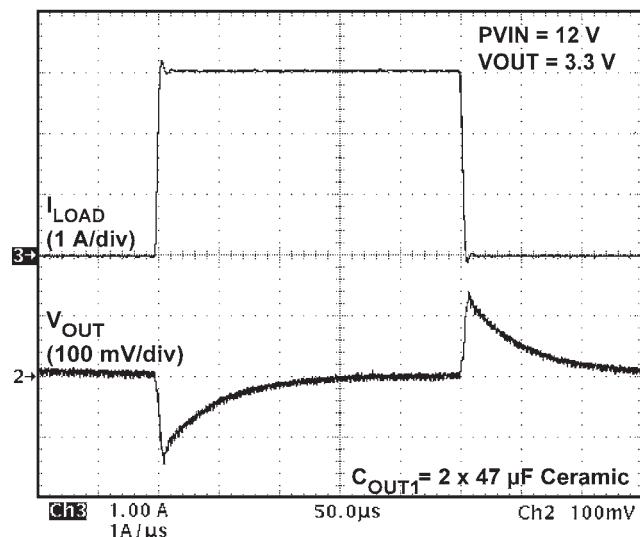


図 23. $P_{VIN} = 12\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、3A負荷ステップ

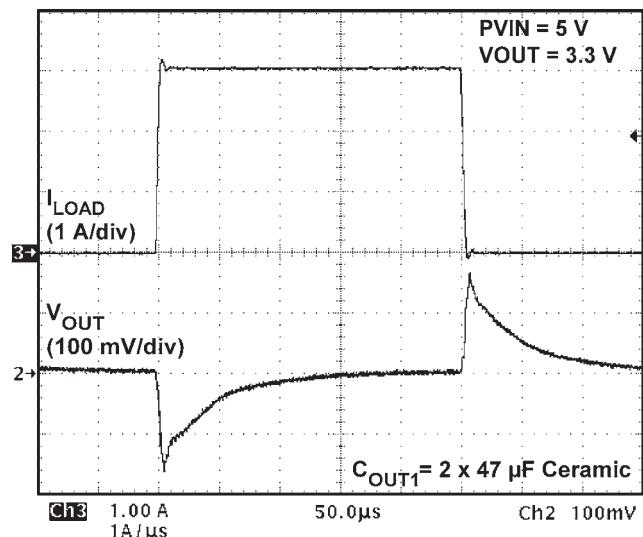


図 24. $P_{VIN} = 5\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、3A負荷ステップ

アプリケーション回路図

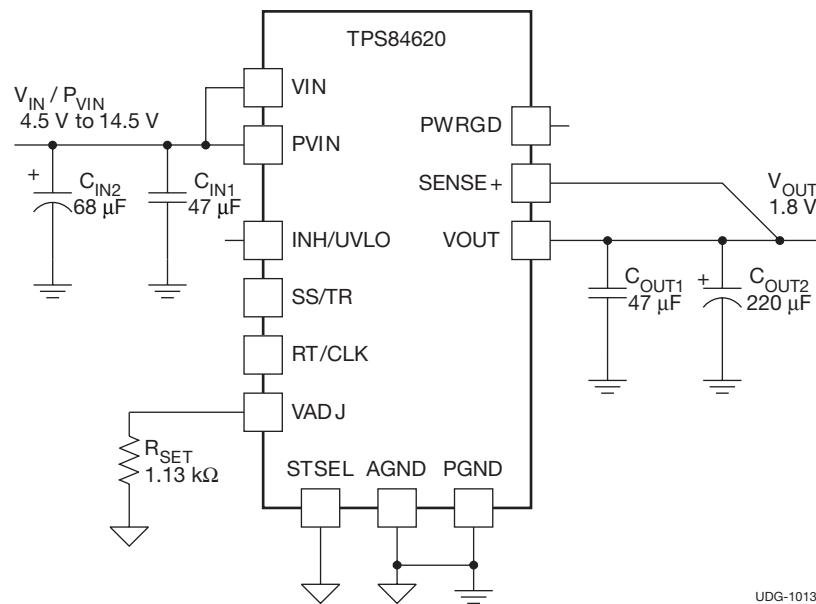


図 25. 標準回路図 PVIN = VIN = 4.5V~14.5V、VOUT = 1.8V

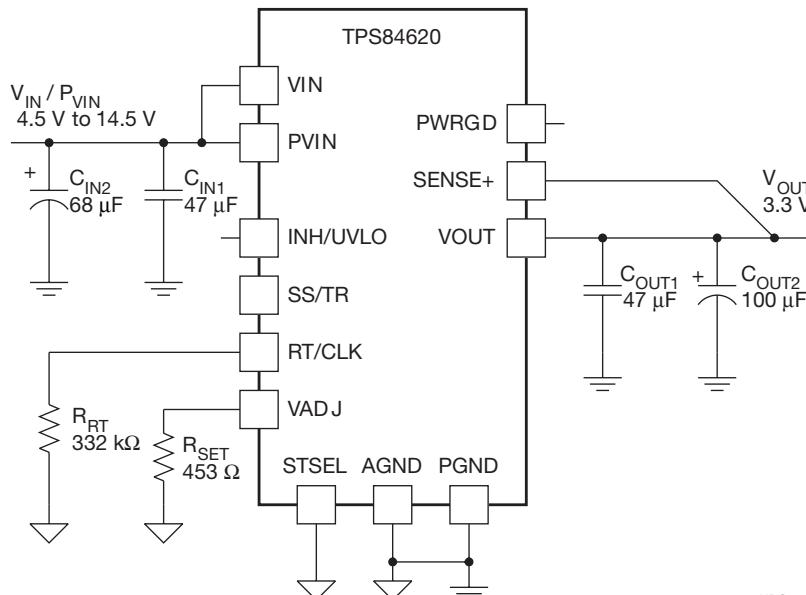


図 26. 標準回路図 PVIN = VIN = 4.5V~14.5V、VOUT = 3.3V

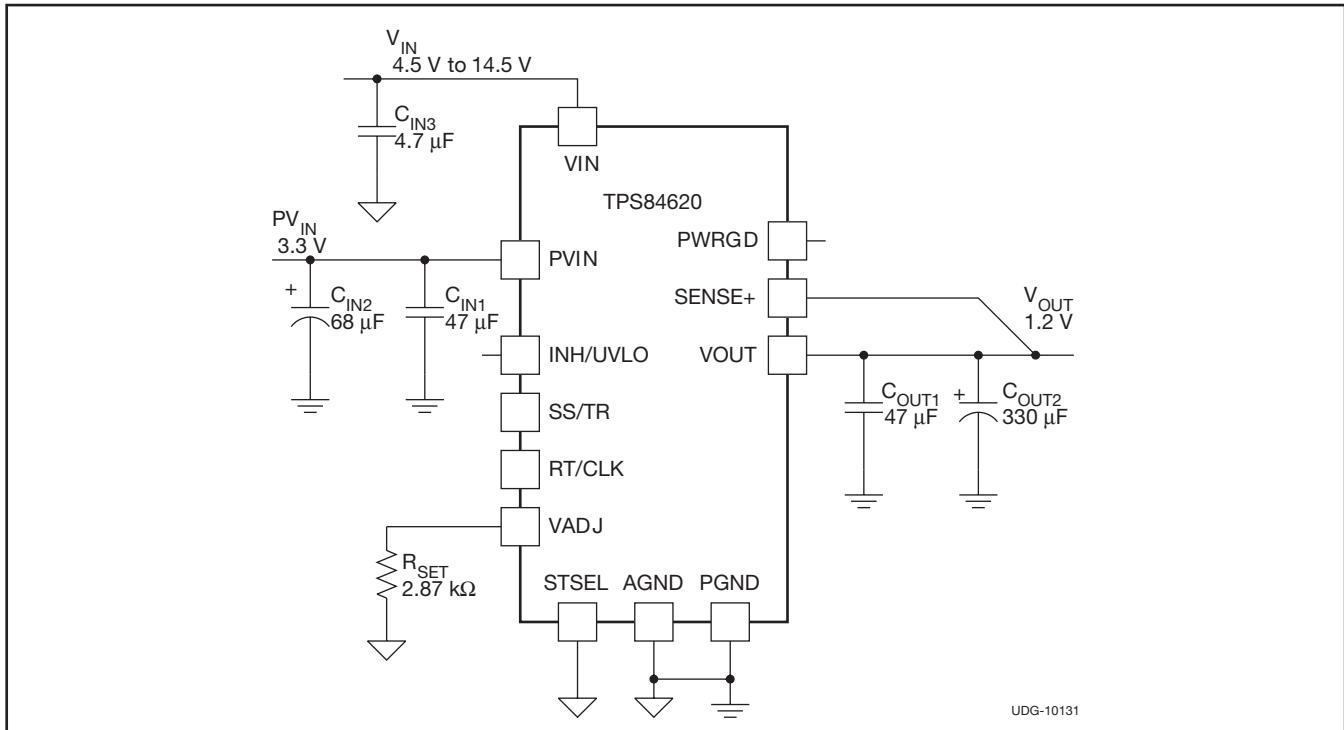


図 27. 標準回路図 PVIN = 3.3V、VIN = 4.5V~14.5V、VOUT = 1.2V

UDG-10131

VINおよびPVIN入力電圧

TPS84620は、VINピンとPVINピンと一緒にまたは別々に使用することで、さまざまなアプリケーションに対応できます。VINの電圧は、デバイスの内部制御回路に電源を供給します。PVINの電圧は、パワー・コンバータ・システムに入力電圧を提供します。

これらのピンを互いに接続する場合、VINおよびPVINの入力電圧範囲は4.5V~14.5Vとなります。VINピンをPVINピンと別個に使用する場合、VINの範囲は4.5V~14.5V、PVINの範囲は1.7V~14.5Vとなります。INH/UVLOピンに接続する分圧回路によって、どちらかの入力電圧のUVLOを適切に調整できます。詳細については、このデータシートの「プログラミング可能な低電圧ロックアウト(UVLO)」を参照してください。

パワー・グッド(PWRGD)

PWRGDピンは、オープン・ドレイン出力です。SENSE+ピンの電圧が設定電圧の94%~106%になると、PWRGDピンのプルダウンが解除されてフローティングになります。推奨プルアップ抵抗値は、5.5V以下の電圧源に対して10kΩ~100kΩです。VINが1.0Vを超えると、PWRGDピンは、電流シンク能力は低いですが有効となります。VINピンが4.5Vを超えると、PWRGDピンの電流シンク能力は最大になります。SENSE+の電圧が公称設定電圧の91%を下回るか、または109%を上回ると、PWRGDピンは“Low”になります。入力UVLOまたは過熱シャットダウンがアサートされた場合、またはINHピンが“Low”になるかSS/TRピンが1.4Vを下回った場合にも、PWRGDピンは“Low”になります。

パワー・アップ特性

1ページの回路図に示すように構成した場合、TPS84620は、有効な入力電圧の印加に応じてレギュレーション出力電圧を生成します。パワーアップ時に、内部のソフト・スタート回路によって出力電圧の立ち上がりレートが遅延され、入力ソースからの突入電流量を制限します。ソフト・スタート回路によって、有効な入力電圧が認識された時点から短い遅延時間が適用されます。図28は、5V入力 ($P_{VIN} = V_{IN}$) で動作し、出力電圧が1.8Vに調整されたTPS84620のスタートアップ波形を示しています。図29は、プリバイアスされた出力電圧へと起動するTPS84620のスタートアップ波形を示しています。これらの波形は、3Aの定電流負荷を使用して測定したものです。

プリバイアス付きスタートアップ

TPS84620は、プリバイアスされた出力の放電を防ぐように設計されています。単調なプリバイアス・スタートアップ中は、SS/TRピンの電圧が1.4Vを超えるまで、TPS84620は電流をシンクしません。

リモート・センス

SENSE+ピンは、負荷またはデバイス・ピンで V_{OUT} に接続する必要があります。

SENSE+を負荷で V_{OUT} に接続すると、出力ピンと負荷の間のI-R電圧降下が補償され、デバイスの負荷レギュレーション性能が向上します。I-R電圧降下は、大きな出力電流が小さなピン抵抗およびパターン抵抗を経由して流れるときに発生します。この値は、300mV以下に制限する必要があります。

注: リモート・センス機能は、コンバータの出力と直列に配置されている非線形または周波数依存の部品に起因する順方向電圧降下を補正する目的で設計されたものではありません。OR接続した複数のダイオード、フィルタ・インダクタ、フェライト・ビーズ、ヒューズなどがこれに該当します。SENSE+接続の中にこれらの部品を含めた場合、実質的にそれらをレギュレーション制御ループ内に配置したのと同じことを意味し、レギュレータの安定性に悪影響を及ぼす可能性があります。

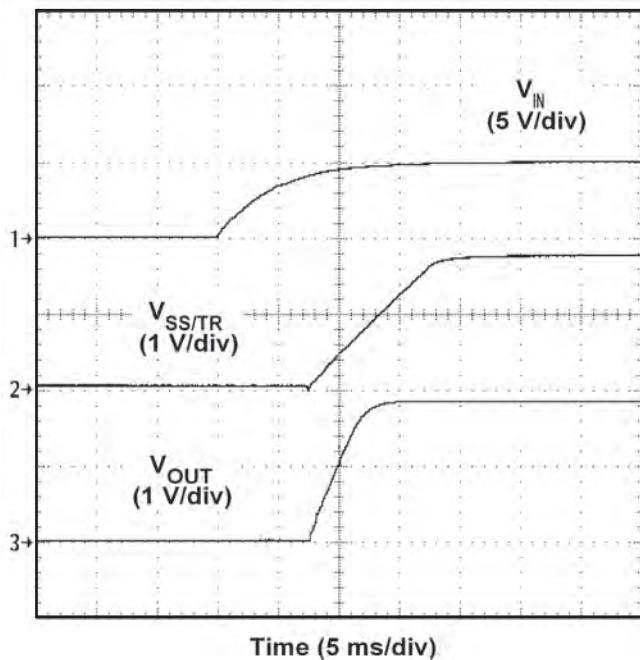


図 28. スタートアップ波形

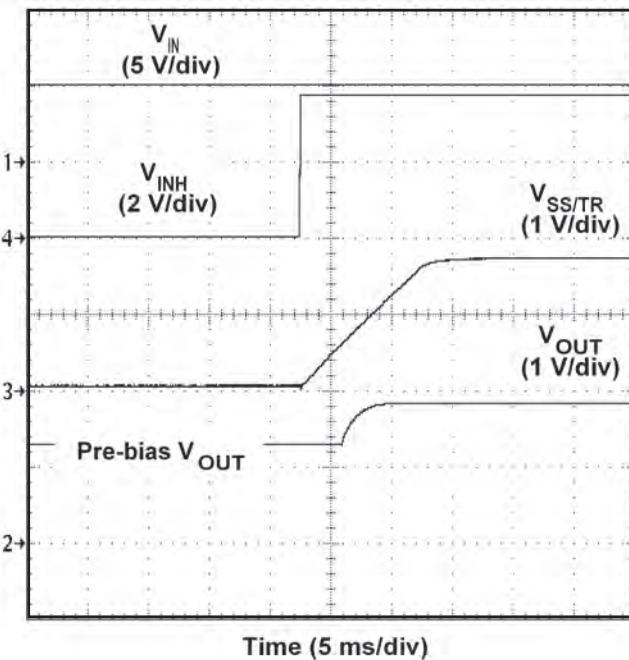


図 29. プリバイアス電圧へのスタートアップ

出力オン/オフ制御

INHピンは、デバイスの電気的オン/オフ制御に使用できます。INHピンの電圧がスレッショルド電圧を超えると、デバイスが動作を開始します。INHピンの電圧がスレッショルド電圧を下回った場合、レギュレータはスイッチングを停止し、低静止電流状態になります。

INHピンには内部プルアップ電源があり、ユーザはINHピンをフローティングにしてデバイスをインエーブルにできます。アプリケーションでINHピンの制御が必要な場合は、INHピンとのインターフェイスにオープン・ドレイン/コレクタ・デバイスまたは適切なロジック・ゲートを使用します。

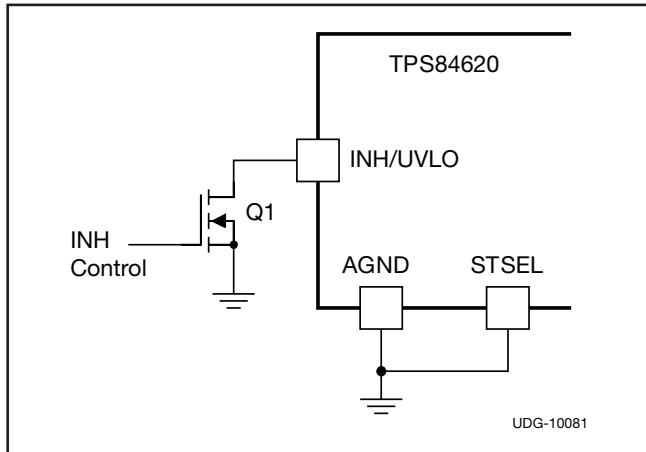


図 30. 標準Inhibit制御

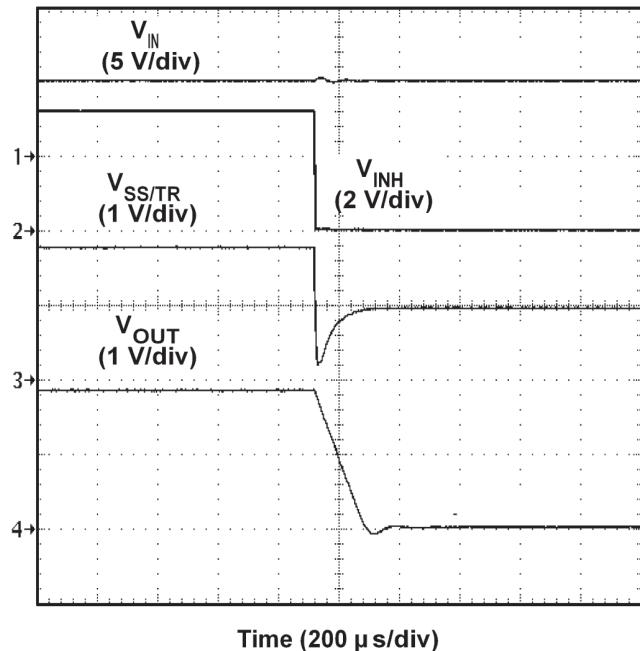


図 31. Inhibitオフ

図30に、Inhibit機能の代表的アプリケーションを示します。このInhibit制御は、VIN電位に対して専用の内蔵プルアップを備えています。この入力の制御には、オープン・コレクタまたはオープン・ドレインのデバイスを推奨します。

Q1をオンにすると、Inhibit制御 (INH) ピンに“Low”的電圧が印加され、電源の出力はディスエーブルになります (図31を参照)。Q1をオフにすると、電源はソフト・スタート・パワーアップ・シーケンスを実行します (図32を参照)。レギュレーション出力電圧が、10ms以内に生成されます。これらの波形は、3Aの定電流負荷を使用して測定したものです。

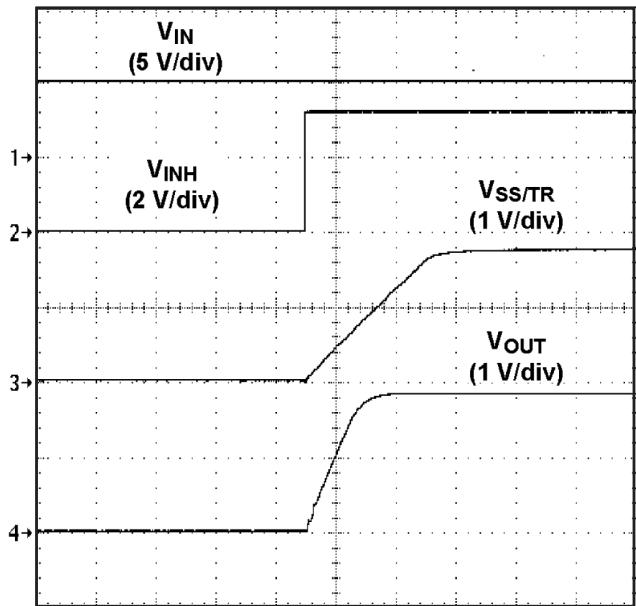


図 32. Inhibitオン

スロー・スタート(SS/TR)

STSELピンをAGNDに接続し、SS/TRピンをオープンにすると、約1.1msのスロー・スタート間隔で内部SSコンデンサがイネーブルになります。SSピンとAGNDの間に追加の容量を接続すると、スロー・スタート時間が増加します。図33に、SS/TRピンに接続される追加のSSコンデンサと、STSELピンからAGNDへの接続を示します。SSコンデンサの値およびタイミング間隔については、表6を参照してください。

過電流保護

負荷障害から保護するために、TPS84620は電流制限を使用します。デバイスは、サイクル毎の電流制限によって過電流状態から保護されます。図34に示すように、過電流状態中は、出力電流が制限され、出力電圧が低下します。図35に示すように、過電流状態が解消されると、出力電圧が設定電圧に戻ります。

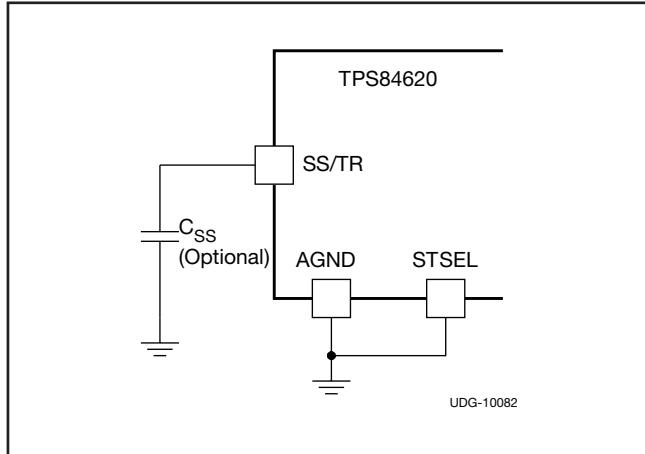


図 33. スロー・スタート・コンデンサ (C_{SS}) およびSTSELの接続

C_{SS} (pF)	オープン	2200	4700	10000	15000	22000	25000
SS時間 (ms)	1.1	1.9	2.8	4.6	6.4	8.8	9.8

表 6. スロー・スタート・コンデンサの値とスロー・スタート時間

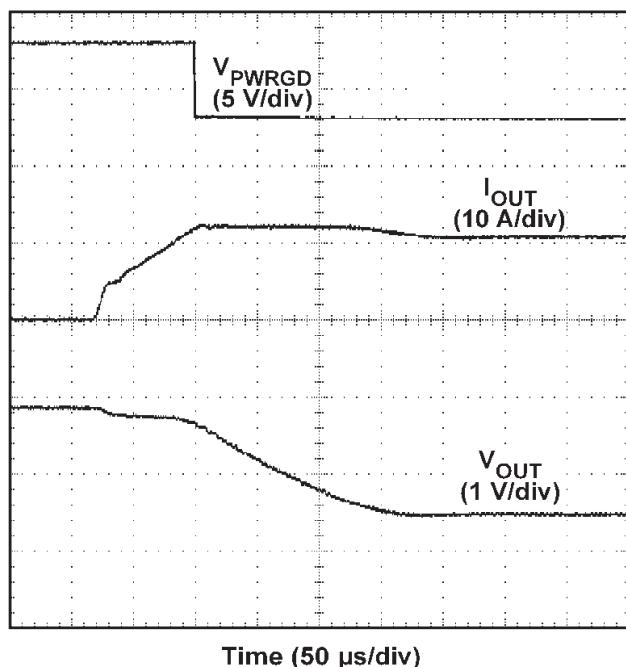


図 34. 過電流制限

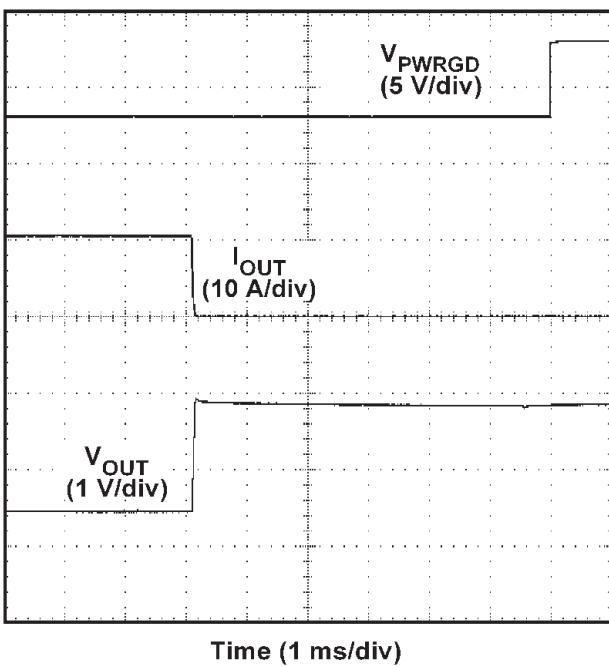


図 35. 過電流状態の解消

同期 (CLK)

内部のフェーズ・ロック・ループ(PLL)によって、480kHz～780kHzの周波数での同期動作が可能になり、RTモードからCLKモードへと簡単に切り替えることができます。同期機能を実装するには、20%～80%のデューティ・サイクルでRT/CLKピンに方形波クロック信号を接続します。クロック信号の振幅は、0.8Vより低い電圧と2.0Vより高い電圧の間で遷移する必要があります。スイッチング・サイクルの開始は、RT/CLKピン信号の立ち下がりエッジに同期します。RTモードとCLKモードの両方を必要とするアプリケーションでは、デバイスを図36のように構成できます。

外部クロックが供給される前は、デバイスはRTモードで動作し、スイッチング周波数はRT抵抗で設定されます。外部クロックが供給されると、CLKモードがRTモードよりも優先されます。CLKピンが最初にRT/CLKの“High”スレッショルド(2.0V)を上回ると、デバイスはRTモードからCLKモードに切り替わり、RT/CLKピンはハイ・インピーダンスとなって、外部クロックの周波数へのPLLロックが開始されます。CLKモードから再度RTモードに切り替え

ることは推奨しません。なぜなら、RT抵抗(R_{RT})で設定されたスイッチング周波数に戻る前に、内部のスイッチング周波数がいったん100kHzに降下するためです。

同期周波数は、同期する各デバイスの出力電圧に基づいて選択する必要があります。表7に、特定の出力電圧範囲に対して使用できる周波数を示します。最も効率的なソリューションのためには、使用可能な最も低い周波数に常に同期します。例えば、出力電圧がそれぞれ1.2V、1.8V、2.5Vである3個のTPS84620デバイス(すべてPVIN = 12Vから供給)を同期させる必要があるとします。表7から、3つの出力電圧をすべて530kHz、580kHzまたは630kHzのどれかに同期できることがわかります。最大の効率を得るには、同期周波数として530kHzを選択します。

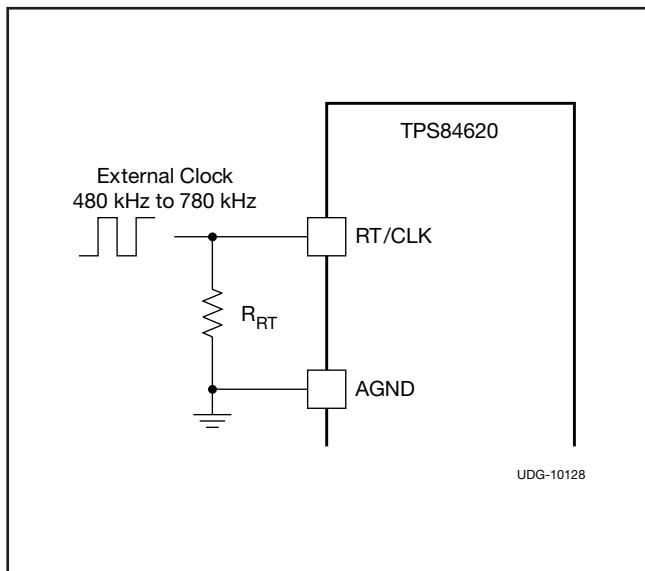


図 36. CLK/RT構成

同期周波数 (kHz)	R_{RT} (kΩ)	PVIN = 12 V		PVIN = 5 V	
		V _{OUT} 範囲 (V)		V _{OUT} 範囲 (V)	
		MIN	MAX	MIN	MAX
480	オープン	1.2	2.5		
530	1000	1.2	2.9		
580	499	1.2	3.2		
630	332	1.2	3.7		
680	249	1.3	4.1		
730	196	1.4	4.7		
780	165	1.5	5.5		

表 7. 同期周波数 対 出力電圧

シーケンシング(SS/TR)

SS/TR、INH、およびPWRGDピンを使用して、多くの一般的な電源シーケンシング方法を実装できます。図37に、2個のTPS84620デバイスを使用したシーケンシャルな方法を示します。1個目のデバイスのPWRGDピンを2個目のデバイスのINHピンに接続し、1次電源がレギュレーションに達した時点で2次電源をイネーブルにします。図38に、2個のTPS84620デバイスのシーケンシャル・ターンオン波形を示します。

図39に示すようなR1とR2の抵抗回路を、トラッキングが必要な電源または他の電圧リファレンス源の出力に接続することで、同時

電源シーケンシングを実装できます。図40に、2個のTPS84620デバイスの同時パワーオン波形を示します。式(2)および式(3)を使用して、R1およびR2の値を計算します。

$$R1 = \frac{(V_{OUT2} \times 12.6)}{0.8} \text{ (k}\Omega\text{)} \quad (2)$$

$$R2 = \frac{0.8 \times R1}{(V_{OUT2} - 0.8)} \text{ (k}\Omega\text{)} \quad (3)$$

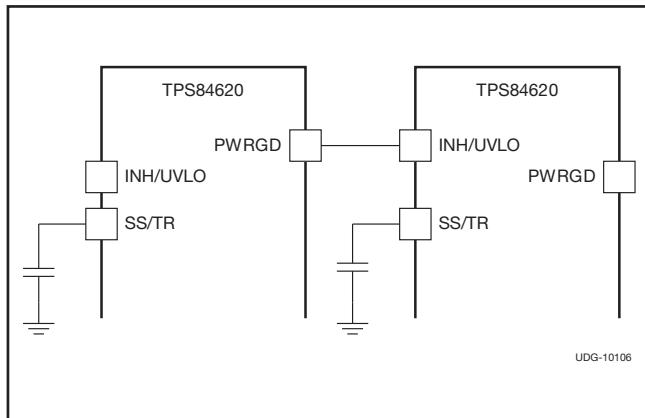


図 37. シーケンシング回路図

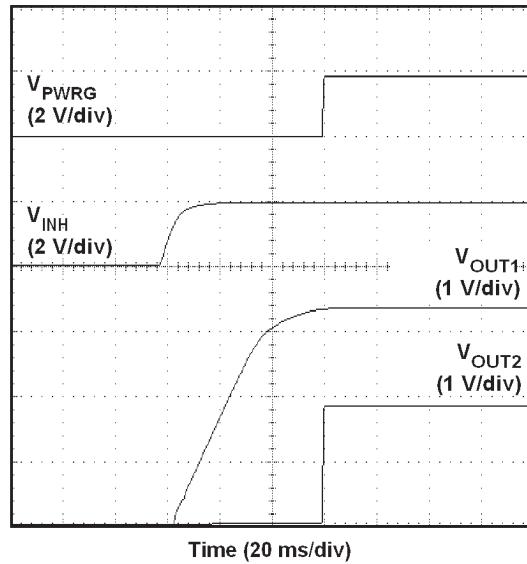


図 38. シーケンシング波形

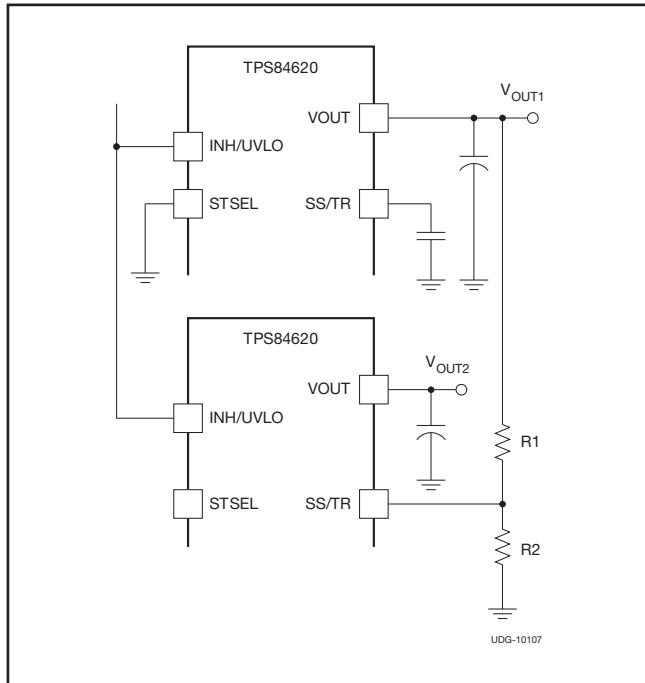


図 39. 同時トラッキング回路図

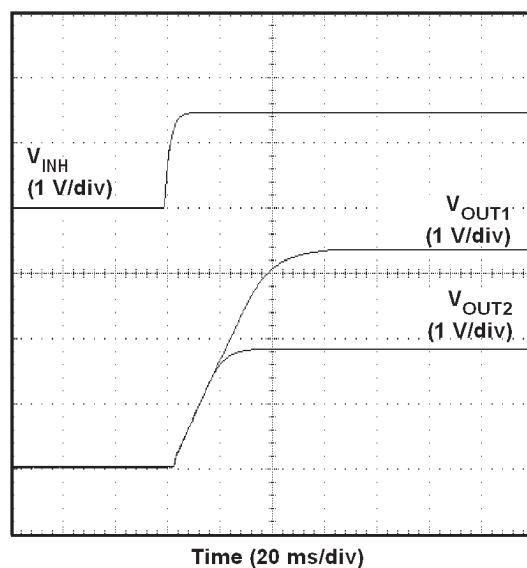


図 40. 同時トラッキング波形

プログラミング可能な低電圧ロックアウト (UVLO)

TPS84620のVINピンには、内部UVLO回路が実装されています。VINピンの電圧が内部のVIN UVLOスレッショルドを下回ると、デバイスはディスエーブルになります。内部VIN UVLOの立ち上がりスレッショルドは4.5V(最大)であり、標準ヒステリシスが150mVです。

アプリケーションで、VINピン上に、またはVINとPVINの組み合わせに対して、より高いUVLOスレッショルドが必要な場合には、UVLOピンを図41または図42のように構成できます。表8に、VIN UVLO電圧を高く調整する場合の R_{UVLO1} および R_{UVLO2} の標準値を示します。

分割レール・アプリケーションで、PVINに第2のUVLOが必要な場合、VINは4.5V以上とする必要があります。図43に、PVIN UVLO構成を示します。PVINの R_{UVLO1} および R_{UVLO2} は、表9を使用して選択します。PVIN UVLOを3.0V未満に設定する場合は、5.1Vのツェナー・ダイオードを追加して、UVLOピンの電圧を6V未満にクランプする必要があります。

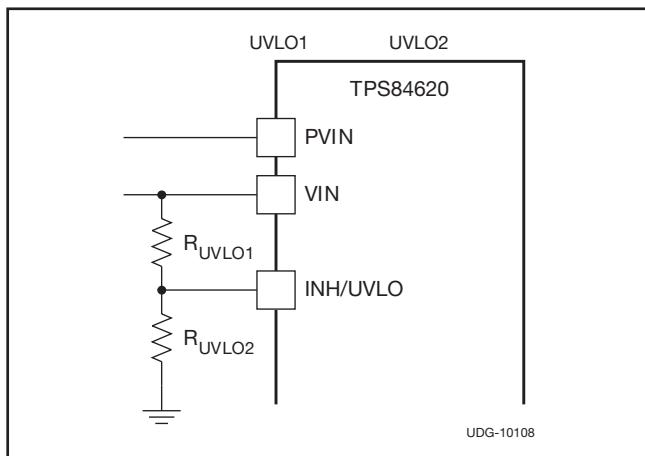


図 41. 調整可能なVIN UVLO

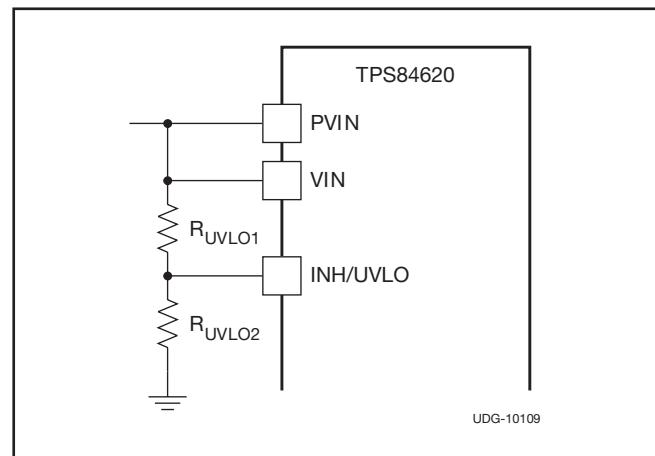


図 42. 調整可能なVIN/PVIN低電圧ロックアウト

VIN UVLO (V)	5.0	5.5	6.0	6.5	7.0	7.5	8.0	8.5	9.0	9.5	10.0
R_{UVLO1} (kΩ)	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1	68.1
R_{UVLO2} (kΩ)	21.5	18.7	16.9	15.4	14.0	13.0	12.1	11.3	10.5	9.76	9.31
ヒステリシス (V)	400	415	430	450	465	480	500	515	530	550	565

表 8. VIN UVLO調整用の標準抵抗値

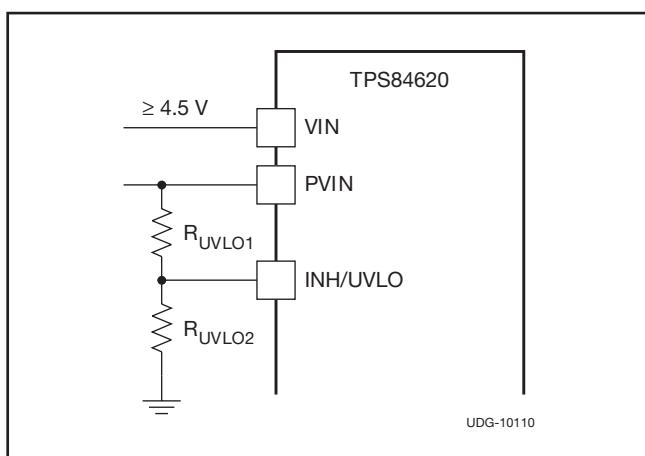


図 43. 調整可能なPVIN低電圧ロックアウト (VIN \geq 4.5V)

PVIN UVLO (V)	2.0	2.5	3.0	3.5	4.0	4.5	これより高いPVIN UVLO電圧については、表8の抵抗値を参照
R_{UVLO1} (kΩ)	68.1	68.1	68.1	68.1	68.1	68.1	
R_{UVLO2} (kΩ)	95.3	60.4	44.2	34.8	28.7	24.3	
ヒステリシス (V)	300	315	335	350	365	385	

表 9. PVIN UVLO調整用の標準抵抗値 (VIN \geq 4.5V)

過熱シャットダウン

接合部温度が標準175°Cを超えると、内部の過熱シャットダウン回路によってデバイスのスイッチングが強制的に停止されます。接合部温度が標準165°Cを下回ると、デバイスはパワーアップ・シーケンスを再び開始します。

レイアウトについての考察

最適な電気的および熱的特性を実現するためには、最適化されたPCBレイアウトが必要となります。図44に、標準的なPCBレイアウトを示します。最適化されたレイアウトに対するいくつかの考慮事項を挙げます。

- ・ パワー・プレーン(VIN、VOUT、およびPGND)には大きな銅領域を使用して、導通損失と熱ストレスを最小限に抑えます。

- ・ モジュールのピンに近づけてセラミックの入力および出力コンデンサを配置し、高周波ノイズを最小限に抑えます。
- ・ セラミック・コンデンサと負荷の間に追加の出力コンデンサを配置します。
- ・ TPS84620の下に専用のAGND銅領域を配置します。
- ・ PH銅領域は、AGND銅領域を使用してVOUT銅領域から分離します。
- ・ AGNDおよびPGND銅領域は、出力コンデンサの近くの1点で接続します。
- ・ R_{SET} 、 R_{RT} 、および C_{SS} は、それぞれのピンにできる限り近づけて配置します。
- ・ 複数のビアを使用して、パワー・プレーンを内部の層に接続します。

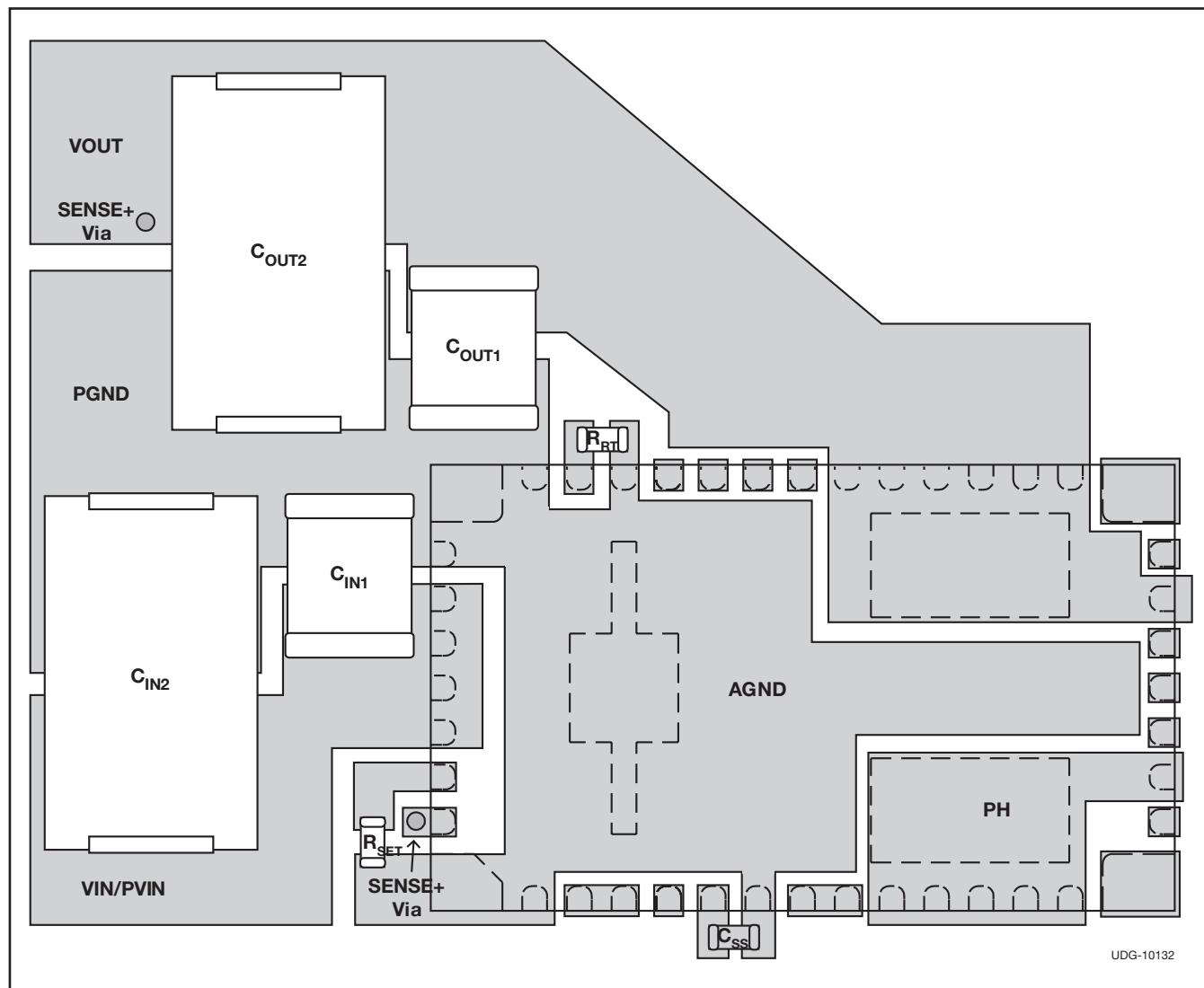


図 44. 標準推奨レイアウト

EMI

TPS84620は、EN55022 Class Bの放射要件に準拠しています。図45および図46に、それぞれ5Vおよび12Vで動作するTPS84620の放射プロットの標準的な例を示します。どちらのグラフにも、水平および垂直位置のアンテナのプロットが含まれています。

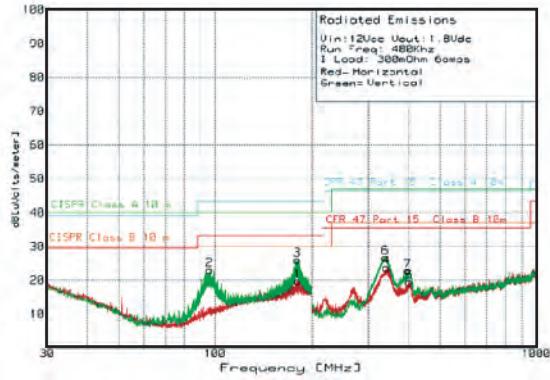


図 45. 放射、5V入力、1.8V出力、
6A負荷(EN55022 Class B)

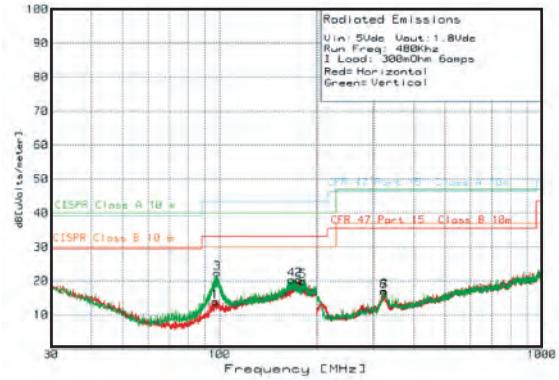


図 46. 放射、12V入力、1.8V出力、
6A負荷(EN55022 Class B)

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS84620RUQR	ACTIVE	B1QFN	RUQ	47	500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	Add to cart
TPS84620RUQT	ACTIVE	B1QFN	RUQ	47	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	Add to cart

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフトайム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert) および Green(RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける "Lead-Free" または "Pb-Free" (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。

Green (RoHS & no Sb/Br): TIにおける "Green" は、"Pb-Free" (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

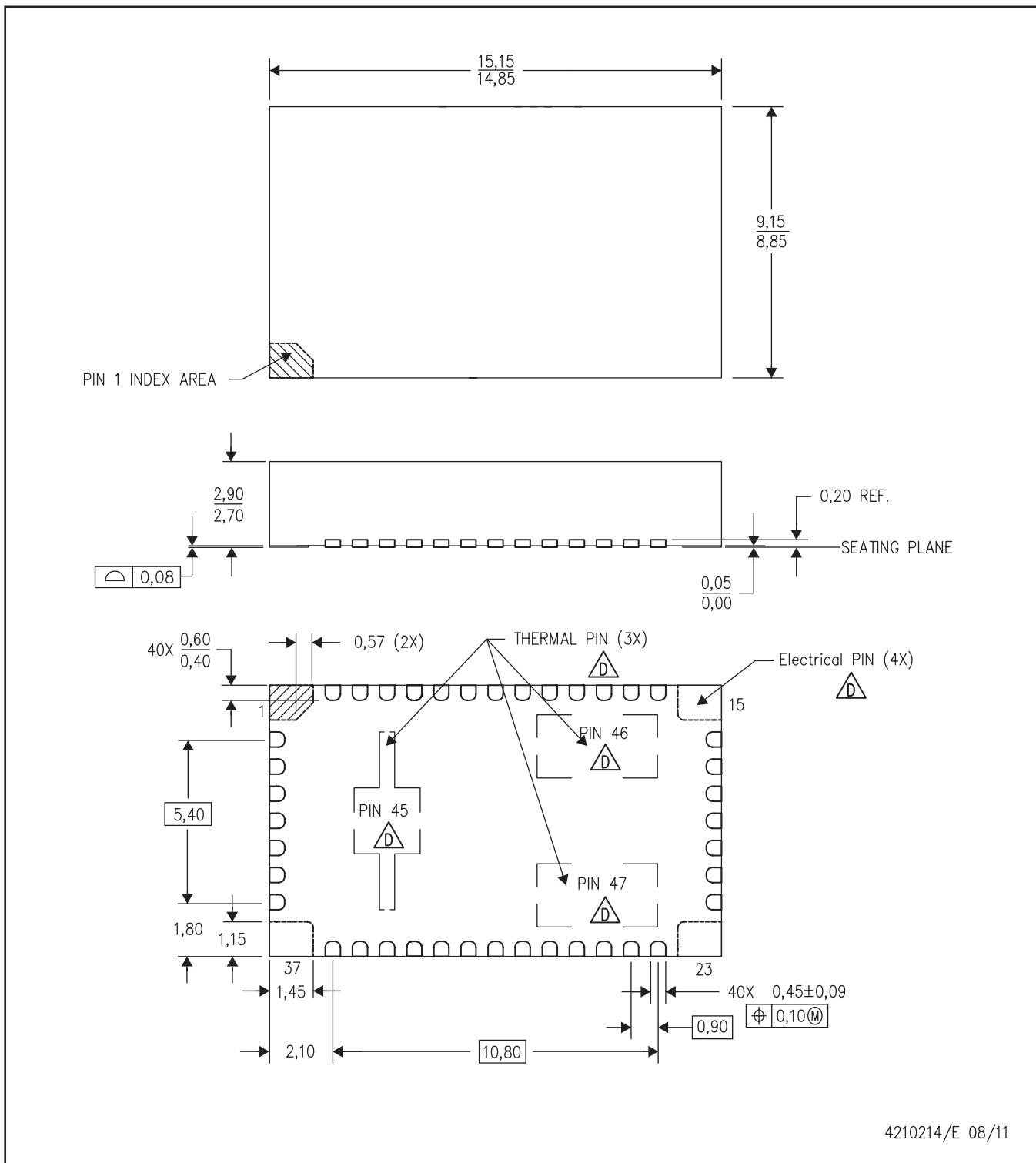
重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIバーツの購入価格の合計金額を超える責任は負いかねます。

メカニカル・データ

RUQ(R-PB1QFN-N47)

PLASTIC QUAD FLATPACK NO-LEAD



4210214/E 08/11

注: A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。

B. 図は予告なく変更することがあります。

C. QFN(クアド・フラットパック・ノーリード)パッケージ構造。

△ 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。

E. 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。

△ サーマル・パッドを外部サーマル・プレーンに接合することで、パッケージの熱特性を強化できます。

サーマルパッド・メカニカル・データ

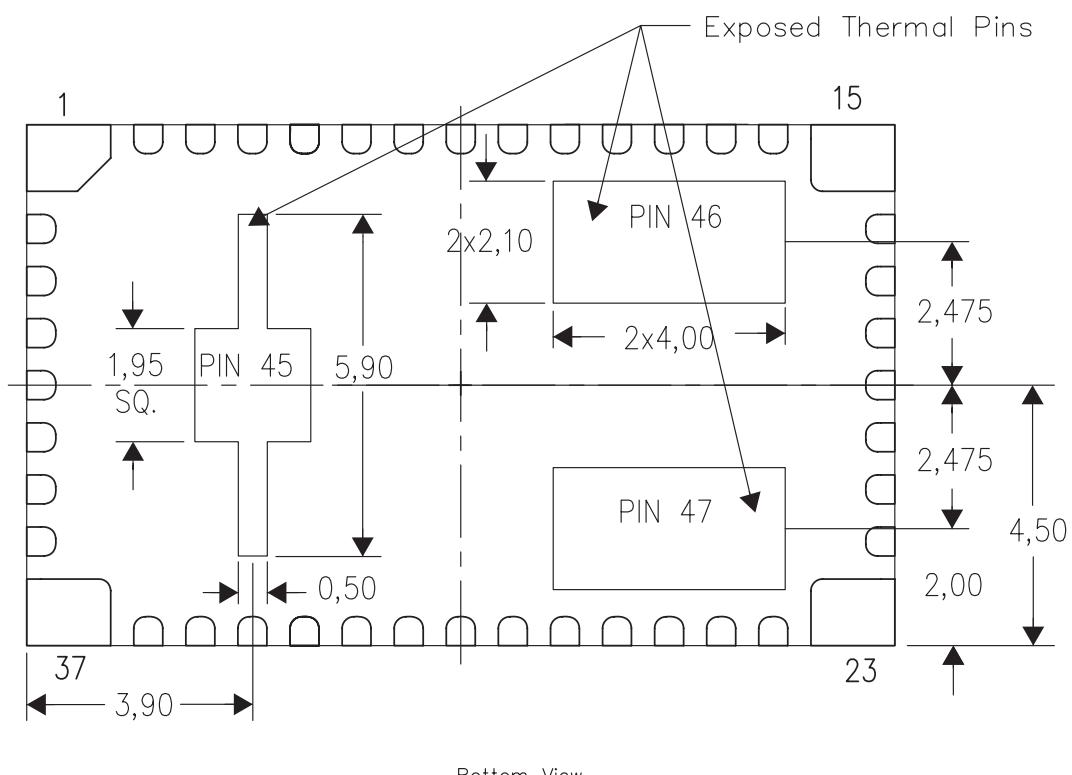
RUQ(R-PB1QFN-N47)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点について
は、アプリケーション・レポート『Quad Flatpack No-Lead Logic
Packages』(Texas Instruments文献番号SLUA271)を参照してください。
このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



注：全ての線寸法の単位はミリメートルです。

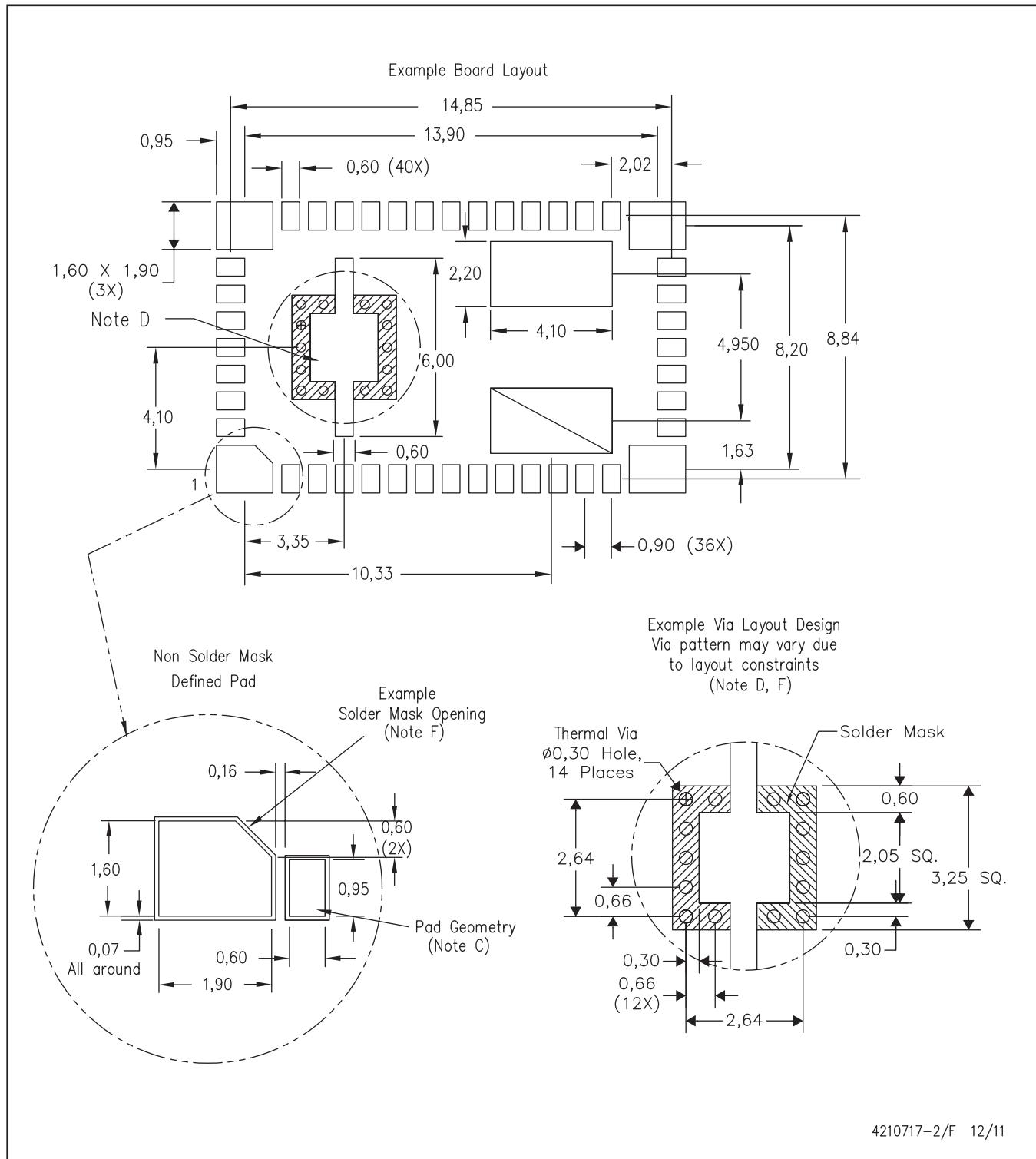
4210496/C 09/10

サーマル・ノップ寸法図

ランド・パターン

RUQ(R-PB1QFN-N47)

PLASTIC QUAD FLATPACK NO-LEAD



- 注: A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. 代替設計については、資料IPC-7351を推奨します。
D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ピア要件、および推奨基板レイアウトについては、アプリケーション・ノート「Quad Flat-Pack Packages」(TI文献番号SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
E. レーザ切断開口部の壁面を台形に、角に丸みを付けることで、ペーストの離がやすくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
F. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。
G. 推奨ステンシル設計については、P3をご参照ください。

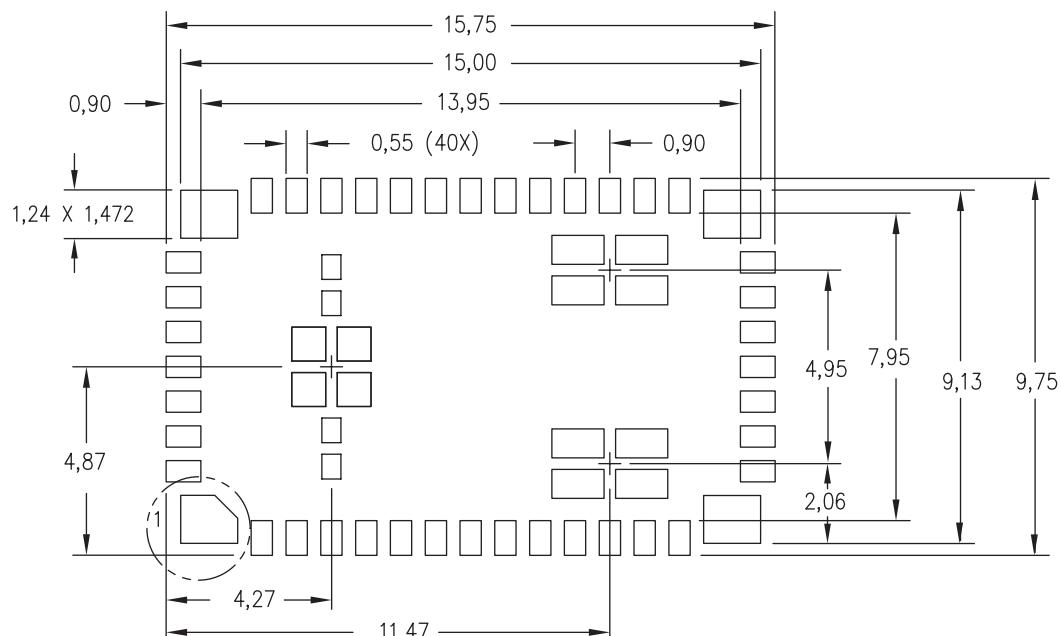
ランド・パターン

RUQ(R-PB1QFN-N47)

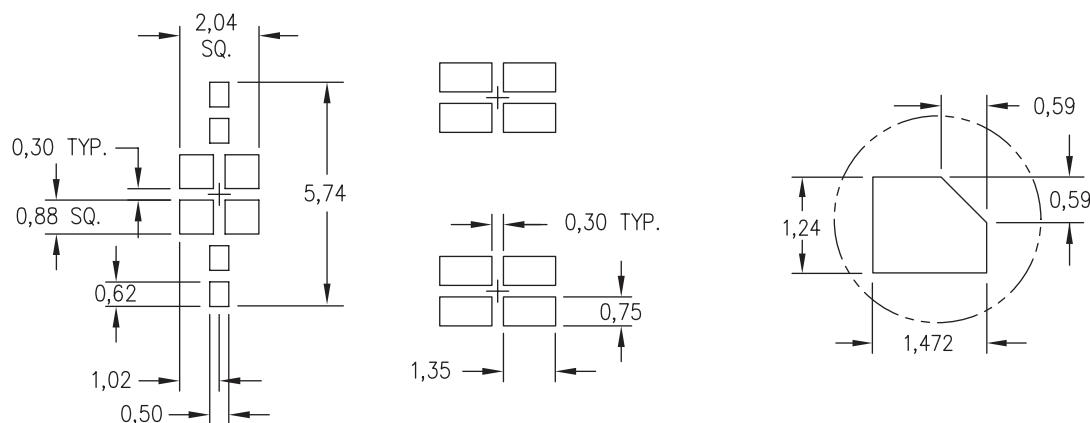
PLASTIC QUAD FLATPACK NO-LEAD

DETAIL OF SHEET 2

Example Stencil Design (Note E)
Stencil Thickness = 0,125mm



60% solder coverage on center pads



4210717-3/F 12/11

- A. 全ての線寸法の単位はミリメートルです。
- B. 図は予告なく変更することがあります。
- C. 代替設計については、資料IPC-7351を推奨します。
- D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ピア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
- E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
- F. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。

(SLVSA43A)

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS84620RUQR	Active	Production	B1QFN (RUQ) 47	500 LARGE T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQR.A	Active	Production	B1QFN (RUQ) 47	500 LARGE T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4	Active	Production	B1QFN (RUQ) 47	500 LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4.A	Active	Production	B1QFN (RUQ) 47	500 LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQRG4.B	Active	Production	B1QFN (RUQ) 47	500 LARGE T&R	Yes	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQT	Active	Production	B1QFN (RUQ) 47	250 SMALL T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620
TPS84620RUQT.A	Active	Production	B1QFN (RUQ) 47	250 SMALL T&R	Exempt	NIPDAU	Level-3-245C-168 HR	-40 to 85	TPS84620

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

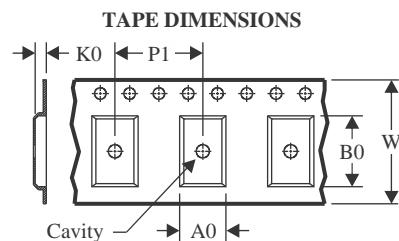
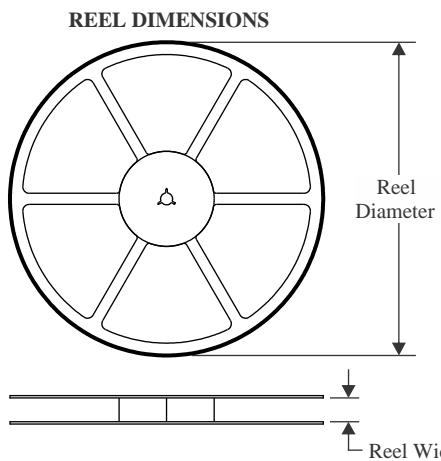
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

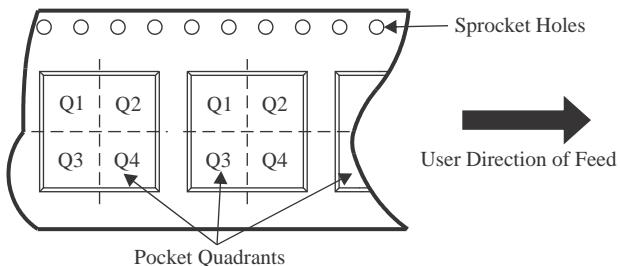
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

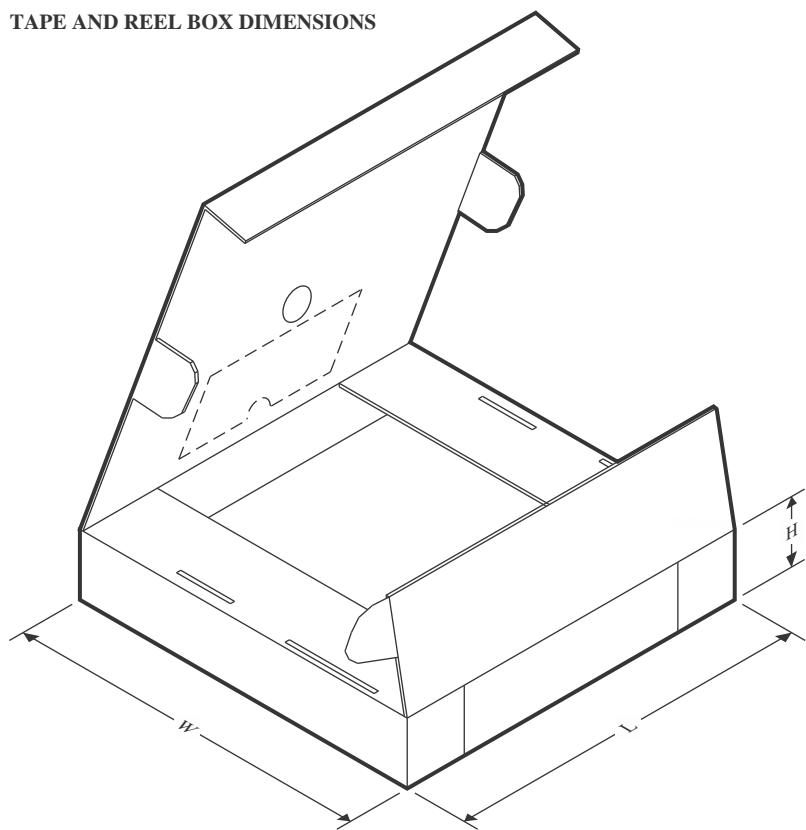
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS84620RUQR	B1QFN	RUQ	47	500	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1
TPS84620RUQRG4	B1QFN	RUQ	47	500	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1
TPS84620RUQT	B1QFN	RUQ	47	250	330.0	24.4	9.35	15.35	3.1	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS84620RUQR	B1QFN	RUQ	47	500	383.0	353.0	58.0
TPS84620RUQRG4	B1QFN	RUQ	47	500	383.0	353.0	58.0
TPS84620RUQT	B1QFN	RUQ	47	250	383.0	353.0	58.0

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025年10月