

TPS92411x、LED駆動用フローティング・スイッチ、 オフラインACリニア直接駆動、低リップル電流

1 特長

- AC電源からLEDを駆動するための高性能ソリューション
- 高力率、低全高調波歪、低電流リップルで位相調光LEDドライバの設計を単純化
- 最大70W以上のLED照明に最適
- 入力電圧範囲：7.5V～100V
- スタックブルな100V/2ΩのMOSFETブロック
- 制御されたスイッチ開閉遷移によってEMIを最小化
- TPS92410またはディスクリット・リニア・レギュレータとともに使用する設計
- 入力低電圧保護
- 出力過電圧保護 (TPS92411P)
- 低 I_Q ：200 μ A(標準)

2 アプリケーション

- LEDランプおよび電球
- LED照明
- ダウンライト

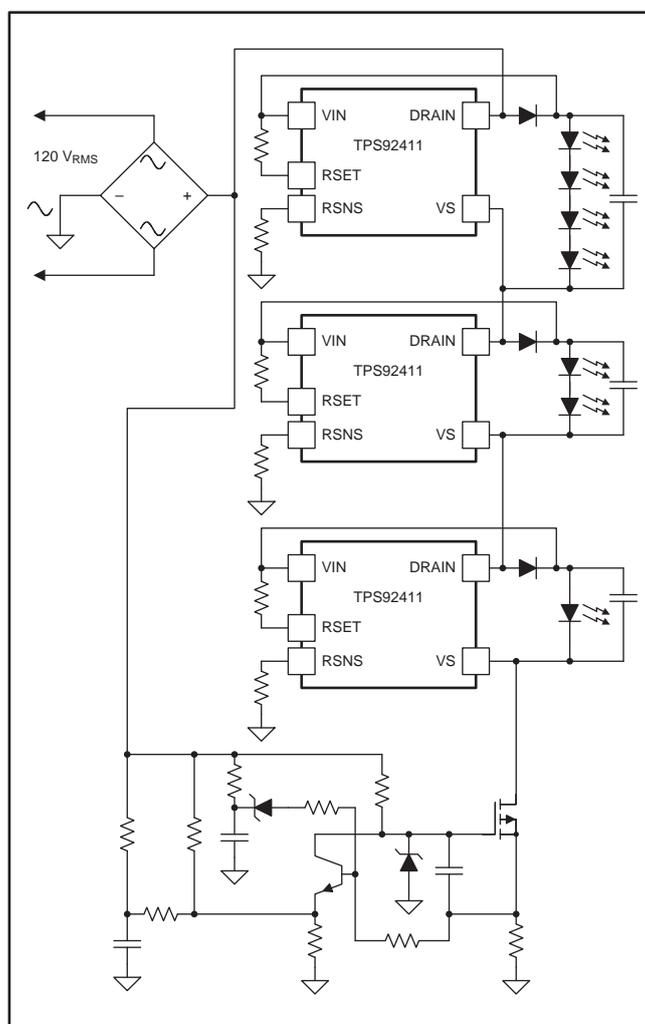
3 概要

TPS92411は、オフラインのLED照明アプリケーションに使用する100VのフローティングMOSFETスイッチです。このデバイスは、0.9以上の力率を達成可能な電流レギュレータとともに使用することで、低リップル電流のLED駆動ソリューションを構築できます。適切に設計することにより、従来のフライバック、降圧または昇圧ベースのAC/DC LEDドライバに匹敵するソリューション性能が得られます。このアプローチには誘導性部品が不要であるため、サイズとコストを削減できます。スルーレート制御付きの低周波動作により、EMIが非常に小さくなります。詳細な動作については、「アプリケーション情報」

デバイス情報⁽¹⁾

型番	パッケージ	本体サイズ(公称)
TPS92411, TPS92411P	SOT-23 (5)	2.90 mm x 1.60 mm
	SO PowerPAD (8)	4.89 mm x 3.90 mm

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。



に記載されています。

パッケージ・オプションにはSOT23-5とPSOP-8があり、小サイズに最適化、または高電力用にスケーリングできます。PSOP-8パッケージを使用すると、最大70W以上のLED照明の設計が可能です。適切な動作のために十分な電圧が印加されていることを監視するUVLO回路や、過電圧保護 (TPS92411P) などの機能も備えています。

目次

内 容

1 特長	1	8 アプリケーションと実装	9
2 アプリケーション	1	8.1 アプリケーション情報	9
3 概要	1	8.2 代表的なアプリケーション	9
4 改訂履歴	2	9 電源に関する推奨事項	14
5 ピン構成および機能	3	10 レイアウト	14
6 仕様	3	10.1 レイアウトのガイドライン	14
6.1 絶対最大定格	3	10.2 レイアウト例	14
6.2 取り扱い定格	3	11 デバイスおよびドキュメントのサポート	15
6.3 推奨動作条件	4	11.1 関連リンク	15
6.4 熱特性について	4	11.2 商標	15
6.5 電気的特性	4	11.3 静電気放電に関する注意事項	15
6.6 代表的特性	5	11.4 用語集	15
7 詳細説明	7	12 メカニカル、パッケージ、および注文情報	15
7.1 概要	7		
7.2 機能ブロック図	7		
7.3 機能説明	8		
7.4 デバイスの機能モード	8		

4 改訂履歴

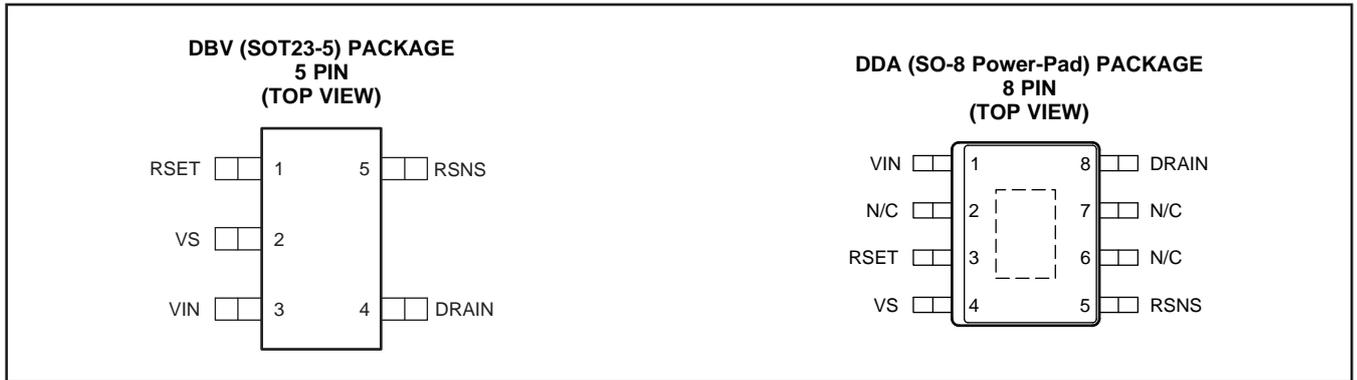
Revision A(2014年5月)からRevision Bへの変更点

「ピン構成および機能」、「取り扱い定格」の表、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスとドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」を追加1

初版(2013年10月)からRevision Aへの変更点

DDAパッケージのプレビュー指定を削除..... 3
DDAパッケージの供給情報を追加..... 3

5 ピン構成および機能



ピン機能

名前	ピン		I/O	説明
	DDA	DBV		
DRAIN	8	4	O	内部スイッチのドレイン。
N/C	2	—	—	内部接続なし。
N/C	6			
N/C	7			
VIN	1	3	I	デバイスの正電源。
VS	4	2	I/O	内部スイッチのソース。このピンは、デバイスのフローティング・グラウンドとしても機能します。
RSET	3	1	I/O	RSETピンとVINピンの間に接続する抵抗によって、スイッチを開く立ち上がりスレッシュホールドを設定します。
RSNS	5	5	I/O	RSNSピンとシステム・グラウンドの間に接続する抵抗によって、システム・グラウンドを基準としたVS電圧を検知します。
露出したサーマル・パッド				デバイスの下で直接VSピンに接続します。

6 仕様

6.1 絶対最大定格

すべての電圧はVSを基準、 $-40^{\circ}\text{C} < T_J = T_A \leq 150^{\circ}\text{C}$ 、すべての電流は指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です(特に記述のない限り)。

		MIN	MAX	UNIT
Supply voltage	VIN	-0.3	105	V
Switch voltage	DRAIN	-0.3	105	V
Junction temperature	T_J	-40	165	$^{\circ}\text{C}$

6.2 取り扱い定格

		MIN	MAX	UNIT	
T_{stg}	Storage temperature range	-65	150	$^{\circ}\text{C}$	
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾		1	kV
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾		250	V

(1) JEDECのドキュメントJEP155に、500V HBMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDECのドキュメントJEP157に、250V CDMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作温度範囲内（特に記述のない限り）

		MIN	TYP	MAX	UNIT
VIN	Input voltage	TPS92411P	7.5	94	V
		TPS92411	7.5	100	
T _J	Operating junction temperature	-40	25	150	°C

6.4 熱特性について

THERMAL METRIC ⁽¹⁾		TPS92411		UNIT
		DBV	DDA	
		5 PINS	8 PINS	
θ _{JA}	Junction-to-ambient thermal resistance ⁽²⁾	209.8	58.6	°C/W
θ _{JCTop}	Junction-to-case (top) thermal resistance ⁽³⁾	125.2	72	
θ _{JB}	Junction-to-board thermal resistance ⁽⁴⁾	38	39.1	
ψ _{JT}	Junction-to-top characterization parameter ⁽⁵⁾	15.6	21.6	
ψ _{JB}	Junction-to-board characterization parameter ⁽⁶⁾	37.1	39.1	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance ⁽⁷⁾	N/A	15	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

(2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。

(3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。JEDEC規格試験では規定されていませんが、ANSIが策定したSEMI規格のG30-88に類似した内容があります。

(4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。

(5) 接合部-上面間の特性化パラメータθ_{JT}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。

(6) 接合部-基板間の特性化パラメータψ_{JB}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。

(7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。JEDEC規格試験では規定されていませんが、ANSIが策定したSEMI規格のG30-88に類似した内容があります。

6.5 電気的特性

特に記述のない限り、 $-40^{\circ}\text{C} \leq T_J = T_A \leq 150^{\circ}\text{C}$ 、 $(V_{\text{VIN}} - V_{\text{VS}}) = 30\text{V}$ 、 $R_{\text{RSET}} = R_{\text{RSNS}} = \text{オープン}$ 、すべての電圧はVS基準です。

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
INPUT SUPPLY (VIN)						
V _{IN(ovp)}	Input overvoltage protection	TPS92411P	Rising threshold	95	100	V
			Falling threshold		96	
			Hysteresis		4	
I _Q	Bias current			200	400	μA
V _{IN(uvlo)}	Input undervoltage lockout		Rising threshold	6.5	7	V
V _{IN(hys)}	Input UVLO hysteresis			370		mV
SWITCH CONTROL (RSNS, RSET)						
I _{RSNS}	RSNS threshold current		-3.3	-4	-4.9	μA
V _{RSNS_OS}	RSNS offset voltage		165	210	255	mV
V _{RSET}	RSET threshold voltage		1.2	1.25	1.3	V
I _{RSET}	RSET current	I _{RSNS} = -20 μA, (V _{RSET} - V _{VS}) = 1.5 V	-9.3	-10	-10.7	μA
		I _{RSNS} = -40 μA, (V _{RSET} - V _{VS}) = 1.5 V	-19	-20	-21	
		I _{RSNS} = -100 μA, (V _{RSET} - V _{VS}) = 1.5 V	-47.9	-50	-52.1	
SWITCH (DRAIN, VS)						
R _{DS(on)}	On-resistance	I _{DRAIN} = 100 mA, T _J = 25°C	1	2	2.5	Ω
dv/dt _(ON)	Switch ON slew rate	(V _{DRAIN} - V _{VS}) falling 36 V to 4 V, I _{SW} = 100 mA		1		V/μs
dv/dt _(OFF)	Switch OFF slew rate	(V _{DRAIN} - V _{VS}) = rising 4 V to 36 V, I _{SW} = 100 mA		0.5		

6.6 代表的特性

特に記述のない限り、 $-40^{\circ}\text{C} \leq T_A = T_J \leq 150^{\circ}\text{C}$ 、 $(V_{\text{VIN}} - V_{\text{VS}}) = 30\text{V}$ 、すべての電圧はVS基準です。

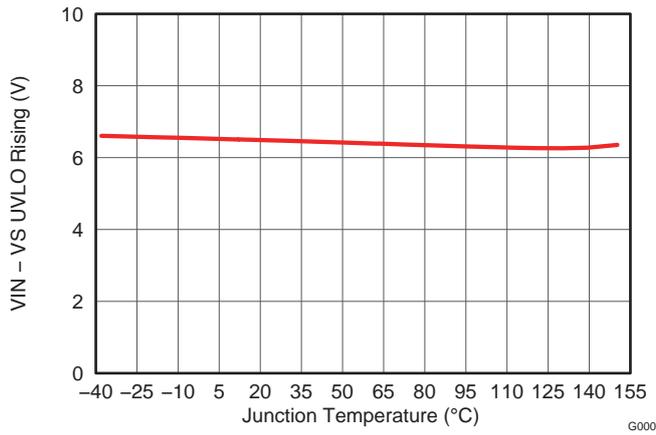


図 1. UVLO 対 温度

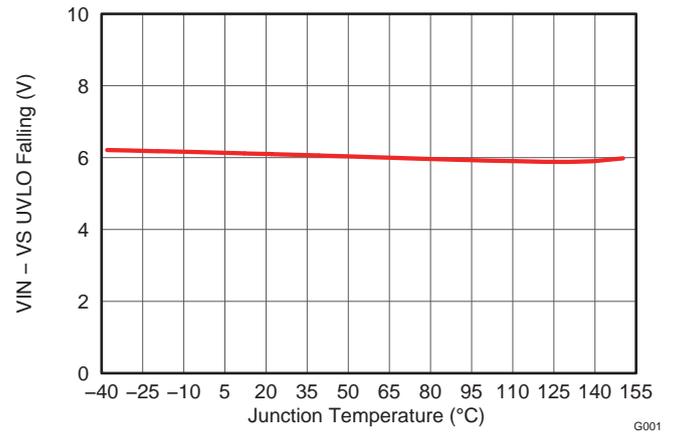


図 2. UVLO 対 温度

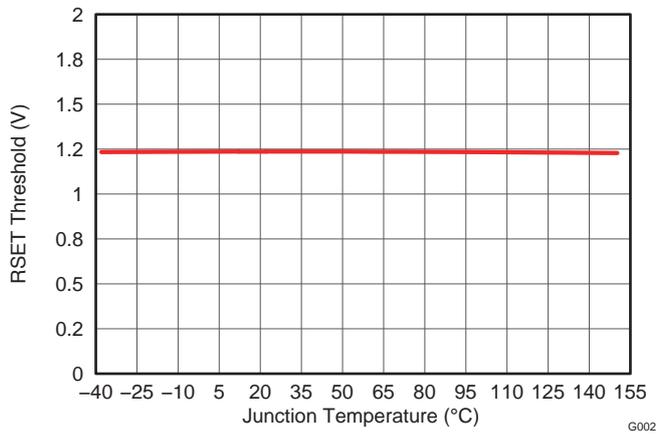


図 3. RSETスレッシュホールド 対 温度

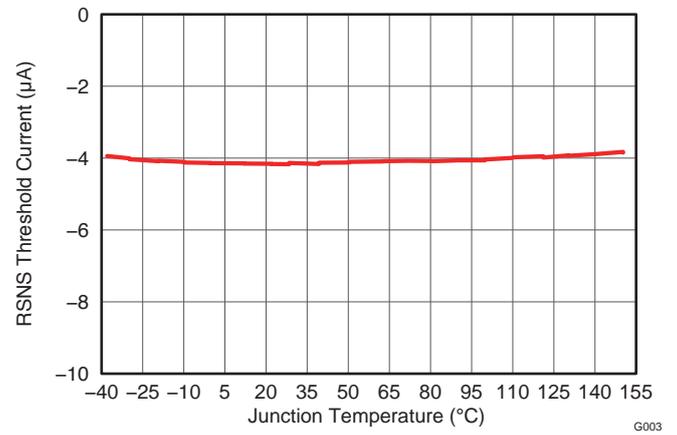


図 4. RSNSスレッシュホールド電流 対 温度

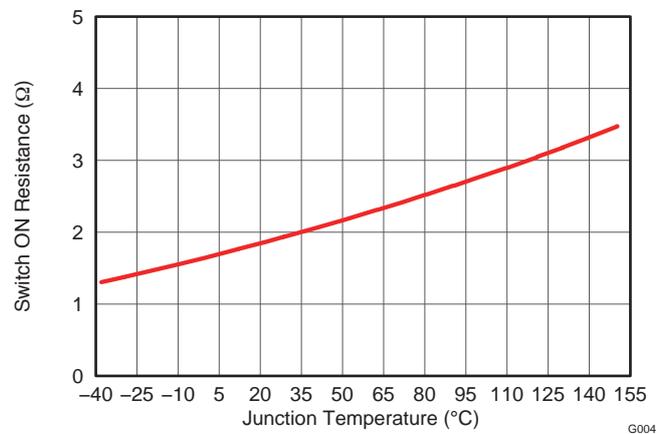


図 5. スイッチ・オン抵抗 ($R_{\text{DS(on)}}$) 対 温度

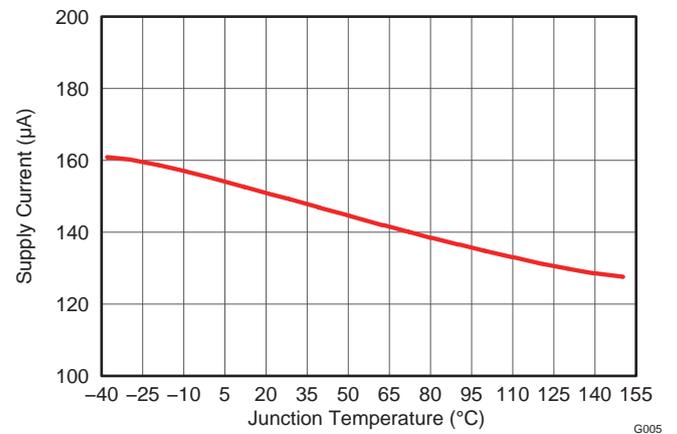


図 6. 入力電圧静止電流 対 温度

6.6 代表的特性

特に記述のない限り、 $-40^{\circ}\text{C} \leq T_A = T_J \leq 150^{\circ}\text{C}$ 、 $(V_{VIN} - V_{VS}) = 30\text{V}$ 、すべての電圧はVS基準です。

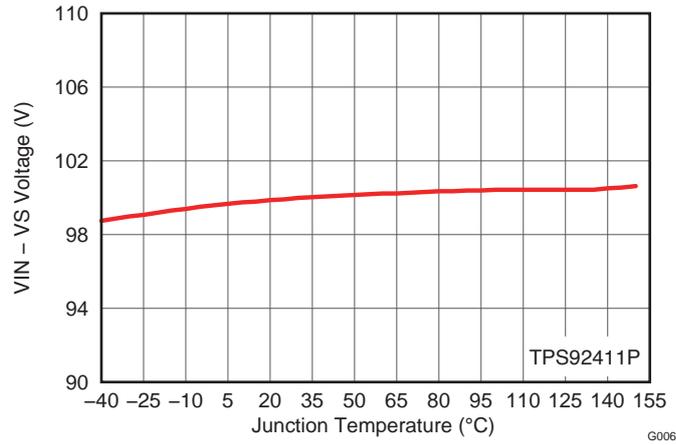


図 7. $(V_{VIN} - V_{VS})$ 過電圧スレッショルド 対 温度

7 詳細説明

7.1 概要

TPS92411は、低電力オフラインLED照明アプリケーションでリニア・レギュレータとともに使用されるよう設計された、高度なフローティング・ドライバです。オンボードの100V MOSFETスイッチにより、ライン遷移時のLED電流をシャ

トします。サイクル中にラインが遷移する際に、デバイスは重要なノードのゼロ・クロスを検出し、それを検出すると、内部スイッチを開放または短絡することで、電流をLEDスタックに流すかどうかを制御します。TPS92411は、出力電力またはLED電流を直接は制御しません。単に、電流をLEDスタックに流すかLEDスタックをバイパスさせるかを切り替えるだけです。

7.2 機能ブロック図

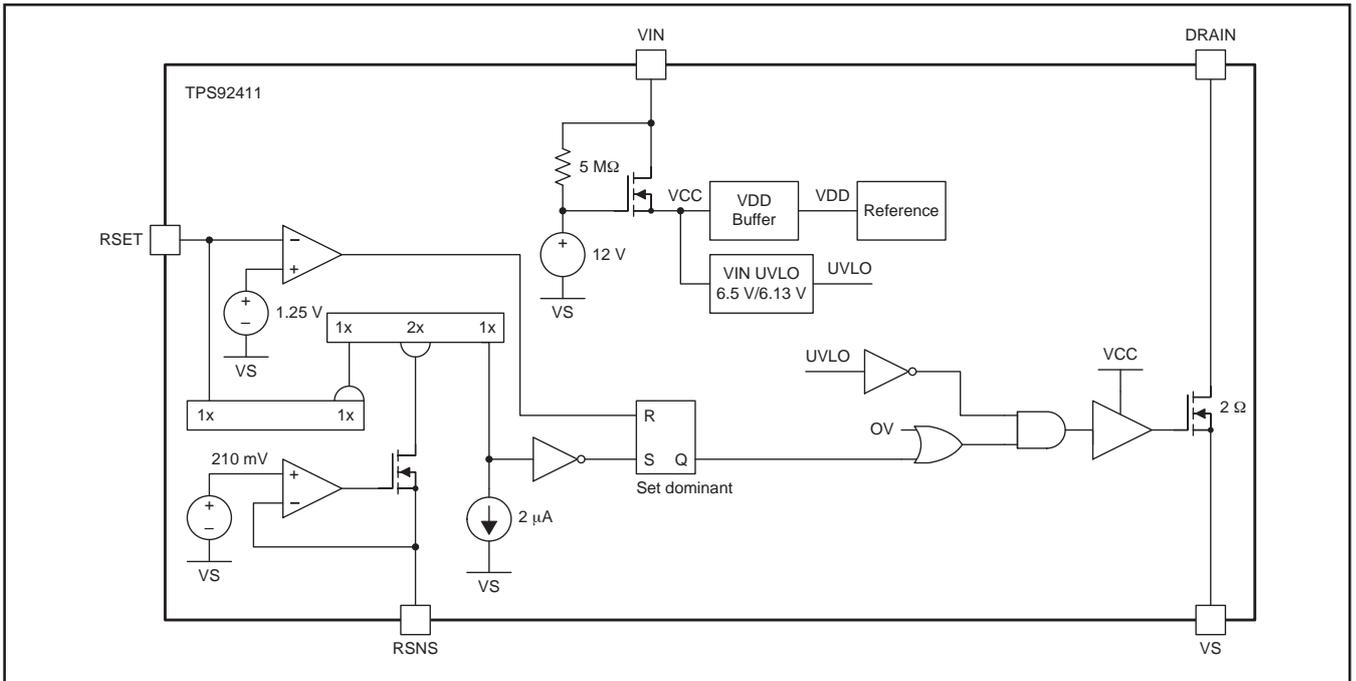


図 8. TPS92411ブロック図

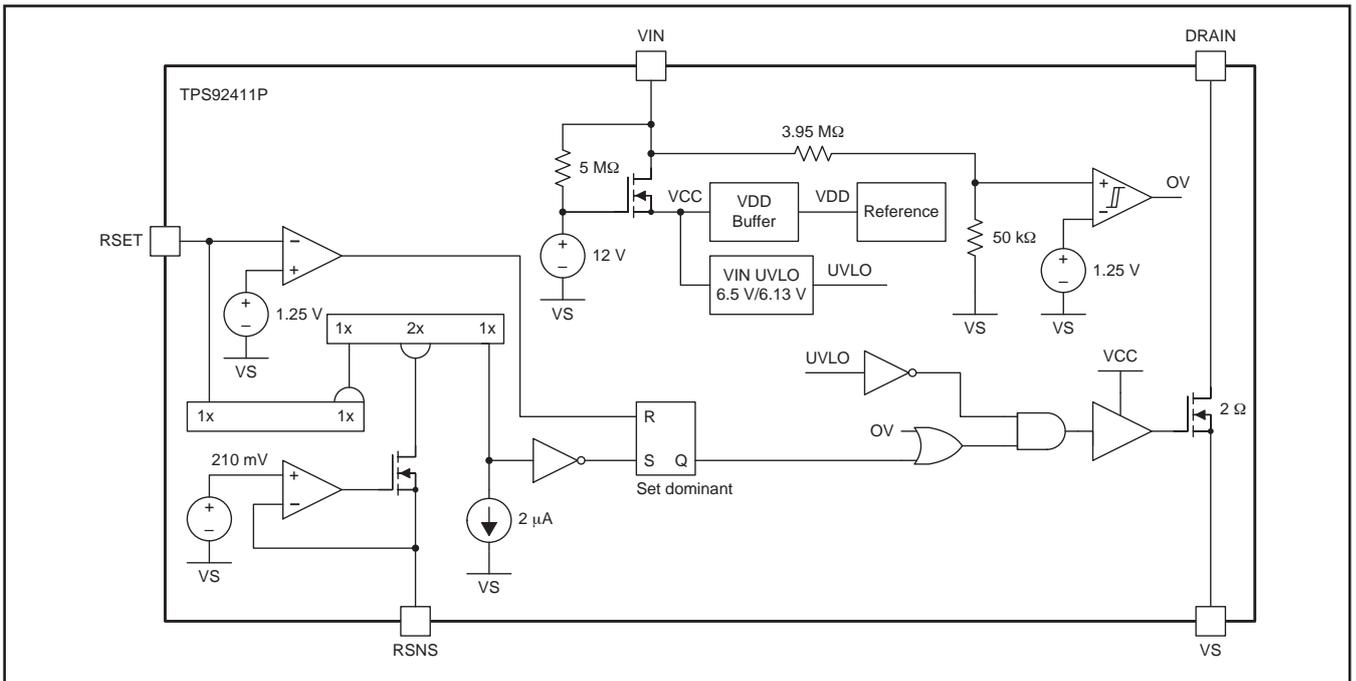


図 9. TPS92411Pブロック図

7.3 機能説明

7.3.1 過電圧保護 (OVP)

TPS92411Pに搭載されている過電圧保護 (OVP) 機能は、デバイスに加えてLEDおよび蓄積コンデンサも保護します。OVPは約100V($V_{VIN} - V_{VS}$)に設定され、スレッシュホールド電圧に達すると内部スイッチを閉じます。そのため、LEDスタック電圧は94V以下を推奨します。TPS92411では、それより高い電圧も使用できますが、公差を考慮し、105Vの絶対最大定格を超えないよう注意する必要があります。

7.3.2 入力低電圧誤動作防止 (UVLO)

TPS92411は、入力UVLO機能を備えています。VSを基準としたVINピンの電圧が6.5Vを超えるまではデバイスを動作させないことで、イネーブル後にデバイスが適切に動作するようにします。

7.3.3 LEDコンデンサ

スイッチのオン時間中にLEDに電流を供給するために、各LEDスタックにコンデンサが必要です。特定のアプリケーションに必要な最小値の計算については、提供されている計算ソフトウェア(120Vアプリケーション用にはSLVC516、230Vアプリケーション用にはSLVC517)を参照してください。このソフトウェアは、特定のアプリケーションに対する最小値を計算しますが、最高のパフォーマンスを得るには、サイズとコストの制約内で可能な限り大きな容量を使用します。これらの設計ツールは、特定のアプリケーションに対して必要な電流リップルの割合やフリッカ指数などについても最小値を計算できます。

7.3.4 ブロッキング・ダイオード

スイッチのドレイン(DRAIN)とLEDスタックのアノードとの間に、ブロッキング・ダイオードが必要です。これにより、スイッチのオン時間中にLEDコンデンサがスイッチを通して放電されるのを防ぎ、その代わりにLEDスタックを通して放電されるようにします。このダイオードは200Vの逆電圧定格を持ち、最大でリニア・レギュレータの平均電流設定値までの順方向電流を処理できる必要があります。

7.4 デバイスの機能モード

TPS92411Pには4つの機能モードがあり、TPS92411には3つの機能モードがあります。

7.4.1 入力UVLO

前節で示したように、VINがVS基準で6.5V以上に達するまで、デバイスと内部スイッチはオフに保持されます。

7.4.2 内部スイッチがオン時の動作

デバイスがUVLOスレッシュホールドを超えると、内部スイッチがオンになります。VINピンの電圧がRSETで設定されたスレッシュホールド電圧を超えるまでの間、内部スイッチはオンに維持されます。

7.4.3 内部スイッチがオフ時の動作

VINピンの電圧がRSETスレッシュホールドを超えると、内部スイッチがオフになり、すべての電流がLEDを流れて、LEDコンデンサが充電されます。VSピンの電圧がRSNSで設定されるスレッシュホールド電圧を下回るか、または過電圧事象が発生 (TPS92411Pのみ) するまでの間、スイッチはオフに保持されます。

7.4.4 過電圧動作 (TPS92411P)

LEDが障害によって開放状態になったり、OVPレベルを超えるストリング電圧が使用された場合には、デバイスはOVP動作を開始します。内部スイッチは閉じられ、VSピンを基準としたVIN電圧が通常動作の再開に十分なレベルに低下するまでの間、閉じた状態に保持されます。

8.2.1.1 設計要件

図10に示す120Vアプリケーションでは、高電圧のLEDスタックを使用してリニア・レギュレータFETでの損失を減らすことにより、最高の効率を実現します。最低電圧のスタックを最も下位に配置し、各スタックの電圧をそれぞれ下のスタックの2倍に設定することで、スタック間の電流共有効率が最大になります。この例では、20VのLEDを使用しています。これによって実質的に、最下位のスタックに合計20V、中央のスタックに合計40V、最上位のスタックに合計80Vが印加されます。RSNS抵抗を使用して低い電圧点を設定し、(ACラインの降下または上位の高電圧スタック・スイッチがオフになることで)VSピンの電圧がこのスレッシュホールドを下回ると、TPS92411スイッチがオンになり、LEDをバイパスします。オン時間中は、コンデンサからLEDに電流が供給されます。RSET電圧を使用してスレッシュホールドを設定し、入力電圧がこのスレッシュホールドを超えると、スイッチがオフになり、LEDにはラインからの電流が流れて、バイパス・コンデンサが充電されます。

8.2.1.2 詳細な設計手順

- 3つすべてのTPS92411デバイスに対して、 V_{RSNS} を4Vに設定
- 最下位スタックに対して V_{RSET} を26Vに設定 (20Vスタック +6Vのヘッドルーム)
- 中央のスタックに対して V_{RSET} を46Vに設定 (40Vスタック +6Vのヘッドルーム)
- 最上位スタックに対して V_{RSET} を86Vに設定 (80Vスタック +6Vのヘッドルーム)

整流されたACライン電圧の上昇に伴うスイッチング順序を表1に示します。図11に、各スイッチがオンまたはオフになるタイミングを示します。

8.2.1.2.1 スwitching・スレッシュホールドの設定 (RSNS、RSET)

TPS92411には、適切なLED制御のために2つのスレッシュホールド設定があります。最初の設定は、内部スイッチがオフになり、電流がLEDを流れてコンデンサが充電されるようになるタイミングを決定します。2番目の設定は、スイッチがオンになり、LEDをシャントしてコンデンサから電流が供給されるようになるタイミングを決定します。最初に、低い方のスイッチ・オン・スレッシュホールド(V_{SNS})を、RSNSピンとシステム・グランド間の抵抗(R_{RSNS})を使用して設定します。最高の効率を得るには、このスレッシュホールドを4V~6Vの範囲で設定します。次に、高い方のスイッチ・オフ・スレッシュホールド(V_{VS})を、RSETピンとVINピンの間の抵抗(R_{RSET})を使用して設定します。このスレッシュホールドは、LEDのスタック電圧(V_{LED})よりも約6V~10V高い値に設定します。誤ったスイッチングを防ぐため、RSETスレッシュホールドは、LEDのスタック電圧とRSNSスレッシュホールドの合計よりも大きくする必要があります。これらのスレッシュホールドは、式(1)および式(2)で計算される抵抗値によって設定できます。

$$R_{RSNS} = \frac{V_{SNS} + 0.21V}{|I_{RSNS}|} \quad (1)$$

$$R_{RSET} = \frac{(V_{LED} - 1.24V) \times 2 \times R_{RSNS}}{V_{VS} + 0.21V} \quad (2)$$

表 1. 整流された120VACの立ち上がりエッジでのスイッチング順序⁽¹⁾⁽²⁾

最上位80V	スタック	
	中央40V	最下位20V
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

(1) 0はスイッチ・オンを示し、LEDはバイパスされてコンデンサから電流が供給されます。

(2) 1はスイッチ・オフを示し、LEDはラインから導通してコンデンサが充電されます。

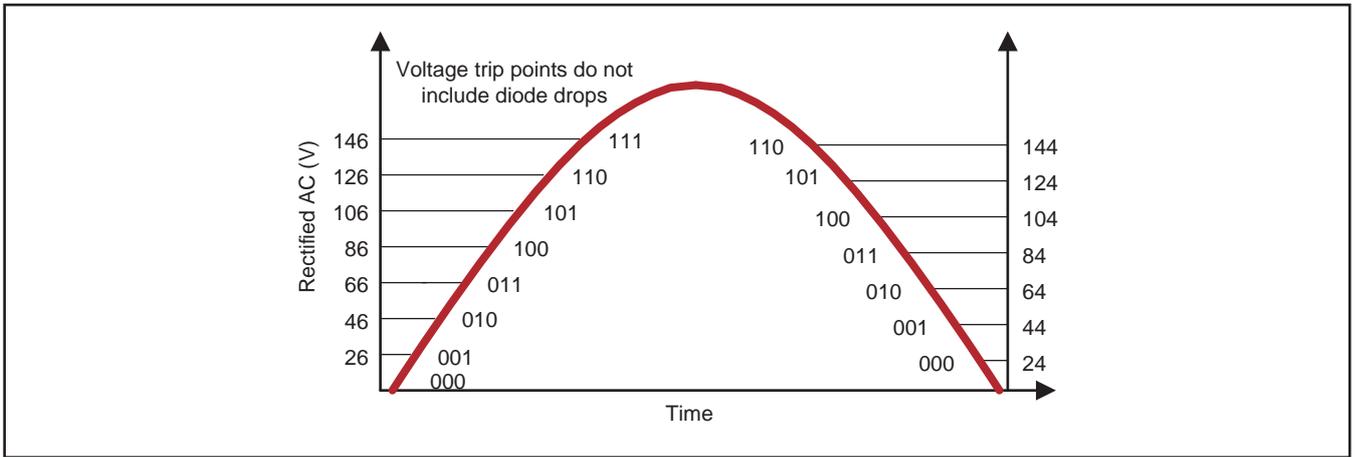


図 11. 整流された120VAC波形上のスイッチング順序

図11のリニア・レギュレータは、約2.3Vの電流センスRMS電圧を生成します。リニア・レギュレータのRMS電流は、ACラインから流れる入力電流と等しくなります。例えば、入力電力11.5Wのシステムの場合、入力電流は約0.095Aとなり、RCSに

は24Ωの抵抗を選択する必要があります。他の入力電力レベル (P_{IN}) も式 (3) から求めることができます。

$$R_{CS} = \frac{120 V_{RMS} \times 2.3 V_{RMS}}{P_{IN}} \quad (3)$$

8.2.1.3 アプリケーション曲線

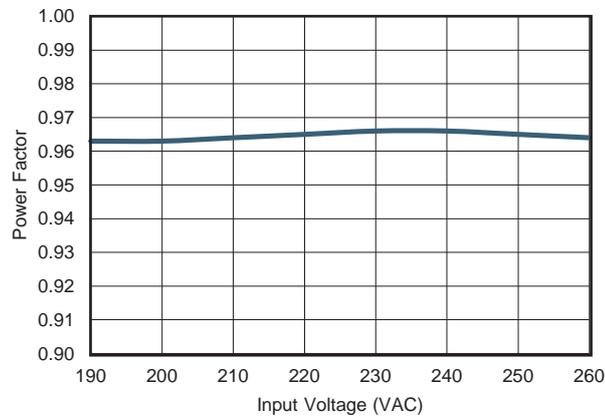


図 12. 力率 対 入力電圧

8.2.2 230VAC、位相調光、16W入力、ディスクリート・リニア・レギュレータ使用

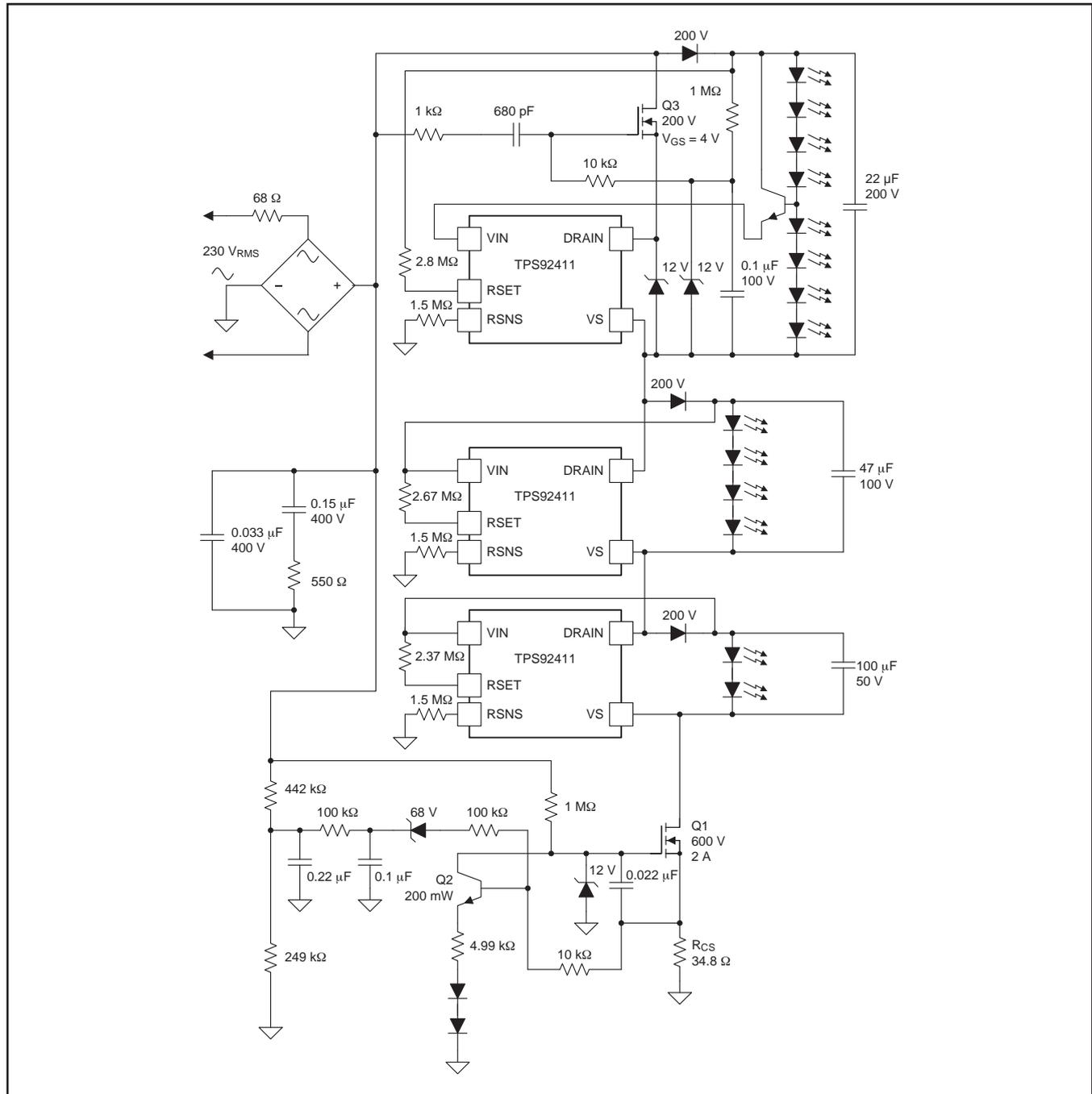


図 13. 230VAC、位相調光、16W入力、ディスクリート・リニア・レギュレータ使用

8.2.2.1 設計要件

図13に示す230Vアプリケーションでは、高電圧のLEDスタックを使用してリニア・レギュレータFETでの損失を減らすことにより、最高の効率を実現できます。最低電圧のスタックを最も下位に配置し、各スタックの電圧をそれぞれ下のスタックの2倍に設定することで、スタック間の電流共有効率が最大になります(120Vアプリケーションの場合と同様です)。この例では、最下位スタックに40V、中央スタックに80Vを設定し、最上位スタックに高電圧カスコードFETを追加して160Vを使用することにより、非常に良好な結果が得られます。RSNS

ピンを使用して低い電圧点を設定し、(ACラインの降下または上位の高電圧スタック・スイッチがオフになることで)VSピンの電圧がこのスレッシュホールドを下回ると、TPS92411スイッチがオンになり、LEDをバイパスします。オン時間中は、コンデンサからLEDに電流が供給されます。一般に、230VアプリケーションのRSET電圧スレッシュホールドは、TPS92411に接続されたLEDスタック電圧よりも約8V~12V高い値に設定します(6VのRSNS電圧に対して)。このスレッシュホールドは、より大きなヘッドルームを確保するために、120Vアプリケーションの場合よりも高く設定しています。

8.2.2.2 詳細な設計手順

- 3つすべてのTPS92411デバイスに対して、 V_{RSNS} を6Vに設定
- 最下位スタックに対して V_{RSET} を49Vに設定 (40Vスタック+9Vのヘッドルーム)
- 中央のスタックに対して V_{RSET} を89Vに設定 (80Vスタック+9Vのヘッドルーム)
- 最上位スタックに対して V_{RSET} を169Vに設定 (160Vスタック+9Vのヘッドルーム)

整流されたACライン電圧の上昇に伴うスイッチング順序を表2に示します。図14に、各スイッチがオンまたはオフになるタイミングを示します。

図14のリニア・レギュレータは、2.44Vの電流センスRMS電圧を生成します。リニア・レギュレータのRMS電流は、ACラインから流れる入力電流と等しくなります。例えば、入力電力16Wのシステムの場合、入力電流は約0.07Aとなり、 R_{CS} には34.8Ωの抵抗を選択する必要があります。他の入力電力レベル(P_{IN})も式(4)から求めることができます。

$$R_{CS} = \frac{230V_{RMS} \times 2.44V_{RMS}}{P_{IN}} \quad (4)$$

表 2. 整流された230VAC波形の立ち上がりエッジでのスイッチング順序^{(1) (2)}

スタック		
最上位160V	中央80V	最下位40V
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

- (1) 0はスイッチ・オンを示し、LEDはバイパスされてコンデンサから電流が供給されます。
 (2) 1はスイッチ・オフを示し、LEDはラインから導通してコンデンサが充電されます。

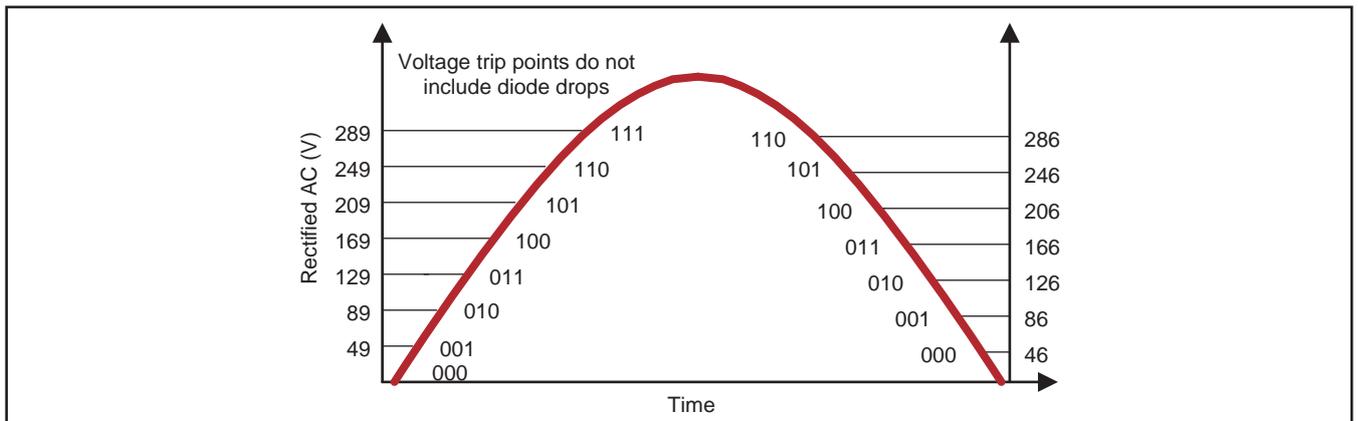


図 14. 整流された230VAC波形の立ち上がりエッジでのスイッチング順序

8.2.2.3 アプリケーション曲線

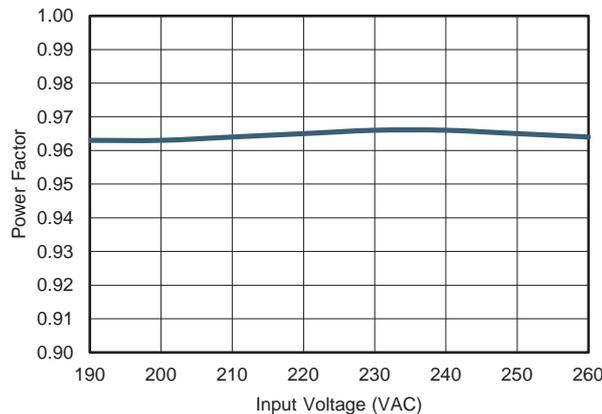


図 15. 力率 対 入力電圧

9 電源に関する推奨事項

テストの目的には、回路に必要な値よりも高い電力定格を持つベンチトップ調整可能AC電源が適しています。例えば、Hewlett Packardの6811Bまたは同等品を使用できます。安全上の理由から、絶縁型電源を推奨します。

10 レイアウト

10.1 レイアウトのガイドライン

TPS92411のレイアウトはシンプルですが、いくつかの考慮事項があります。RSET抵抗は、RSETピンとVINピンの間に直接接続し、デバイスにできる限り近づけて配置します。抵抗

とRSETピン間のパターンは、できるだけ短くする必要があります。また、寄生容量を最小限に抑えるために、RSNSピンからRSNS抵抗へのパターンもできるだけ短くします。ブロッキング・ダイオードはDRAINピンとVINピンの間に、デバイスにできる限り近づけて配置します。LEDコンデンサの配置は、アプリケーションの物理的設計によって異なりますが、寄生インダクタンスを最小限に抑えるために、設計上可能な限りTPS92411に近づけて配置する必要があります。

10.2 レイアウト例

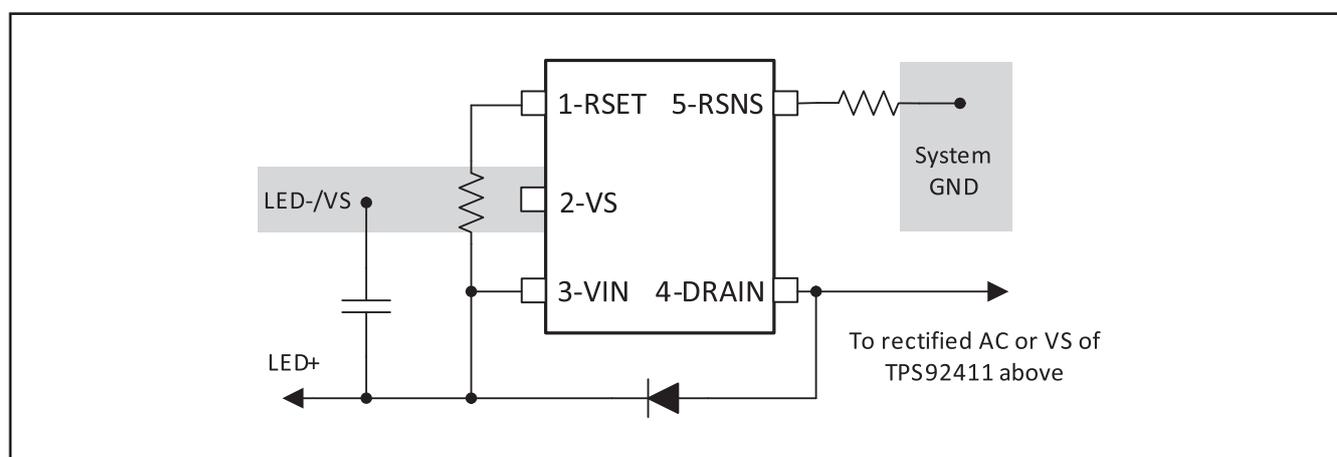


図 16. 推奨部品配置 (DBV)

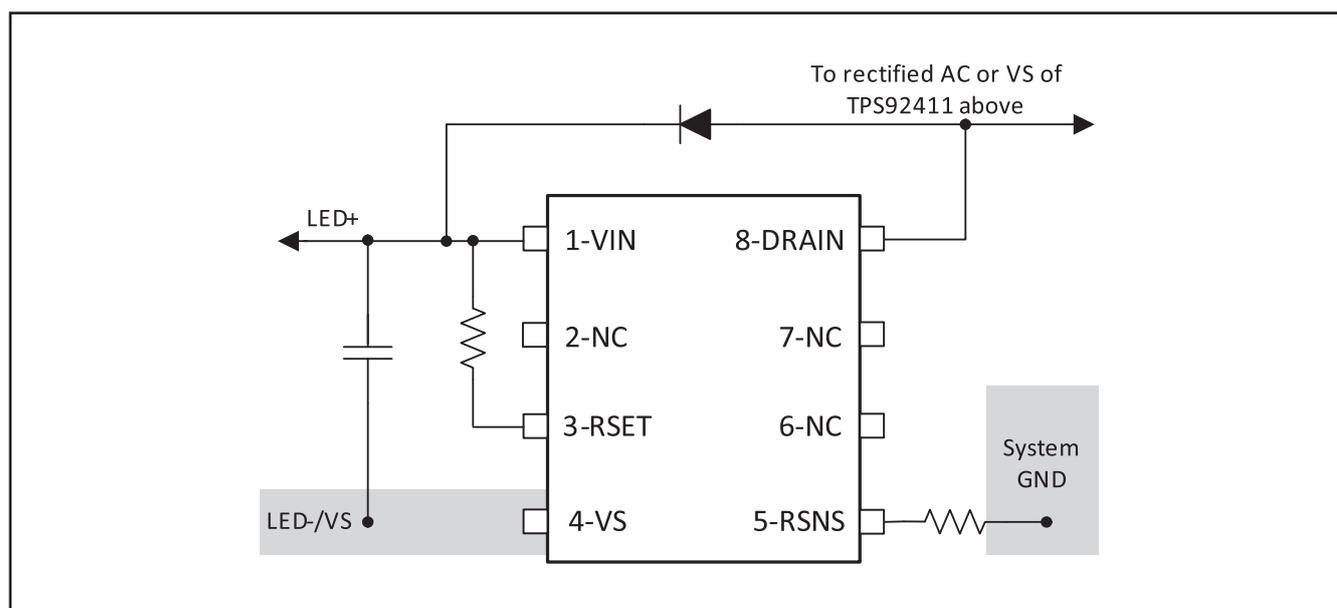


図 17. 推奨部品配置 (DDA)

11 デバイスおよびドキュメントのサポート

11.1 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 3. 関連リンク

製品	プロダクト・フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
TPS92411	ここをクリックしてください				
TPS92411P	ここをクリックしてください				

11.2 商標

すべての商標はそれぞれの所有者に帰属します。

11.3 静電気放電に関する注意事項



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

11.4 用語集

SLYZ022 — TI用語集.

この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS92411DBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 150	PB9Q	Samples
TPS92411DBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 150	PB9Q	Samples
TPS92411DDA	ACTIVE	SO PowerPAD	DDA	8	75	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	92411	Samples
TPS92411DDAR	ACTIVE	SO PowerPAD	DDA	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	92411	Samples
TPS92411PDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 150	PB8Q	Samples
TPS92411PDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 150	PB8Q	Samples
TPS92411PDDA	ACTIVE	SO PowerPAD	DDA	8	75	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	92411P	Samples
TPS92411PDDAR	ACTIVE	SO PowerPAD	DDA	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	92411P	Samples

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

(4) ロゴ、ロット追跡コード情報、またはデバイスの環境カテゴリに関連した追加のマーキングが付与される場合があります。

(5) 複数のデバイス・マーキングがある場合はカッコ内に示されます。デバイス上にはカッコ内の1つのデバイス・マーキングと区切り文字“~”のみが表示されます。行がインデントされている場合は、前の行からの続きであり、2行あわせてそのデバイスのデバイス・マーキング全体を表します。

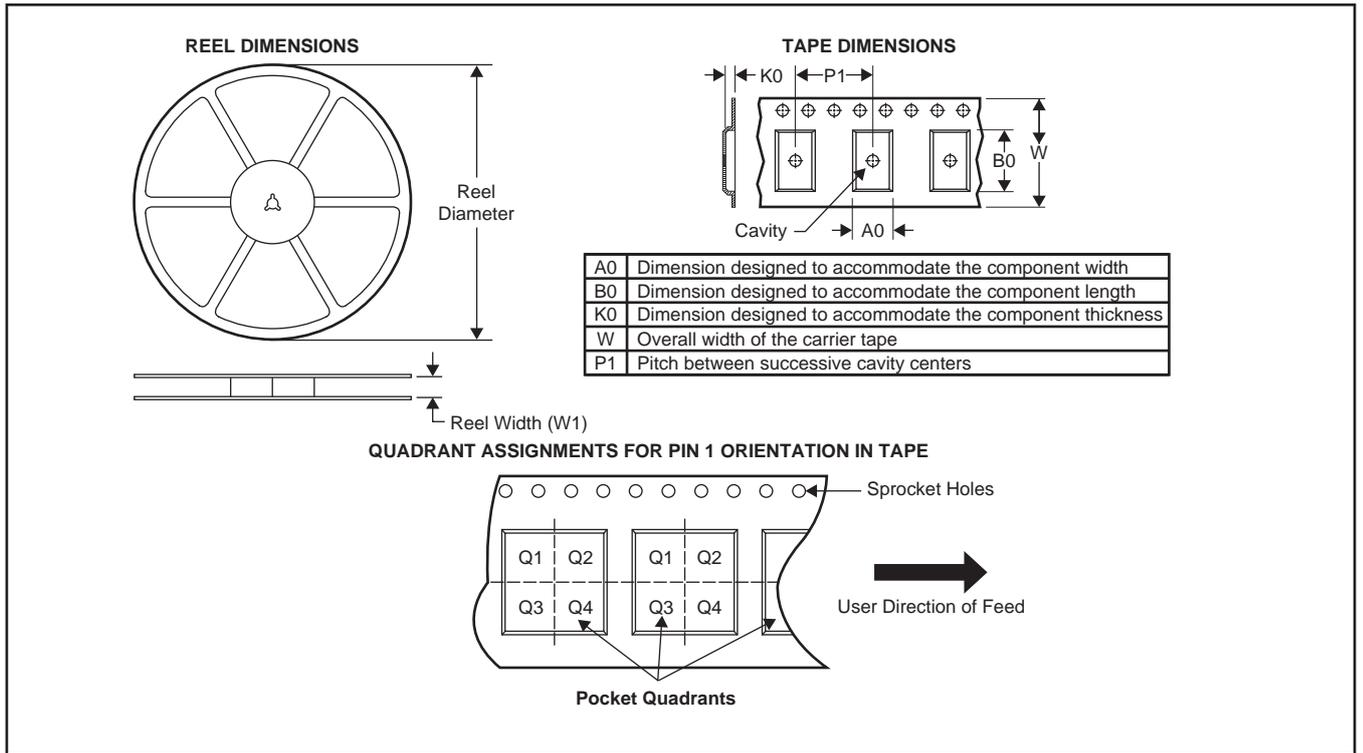
(6) リード/ボール仕上げ - 注文可能なデバイスには、複数の材料仕上げオプションが用意されている場合があります。各仕上げオプションは、縦の野線で区切られます。仕上げ値が列の最大幅を超えるときは、リード/ボール仕上げの値が2行にまたがる場合があります。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

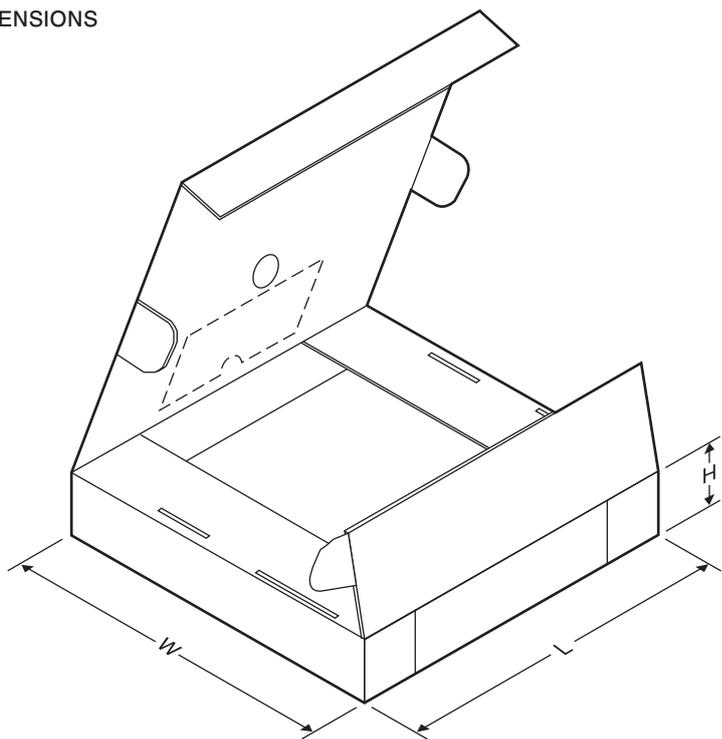


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS92411DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS92411DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS92411DDAR	SO Power PAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS92411PDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS92411PDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS92411PDDAR	SO Power PAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

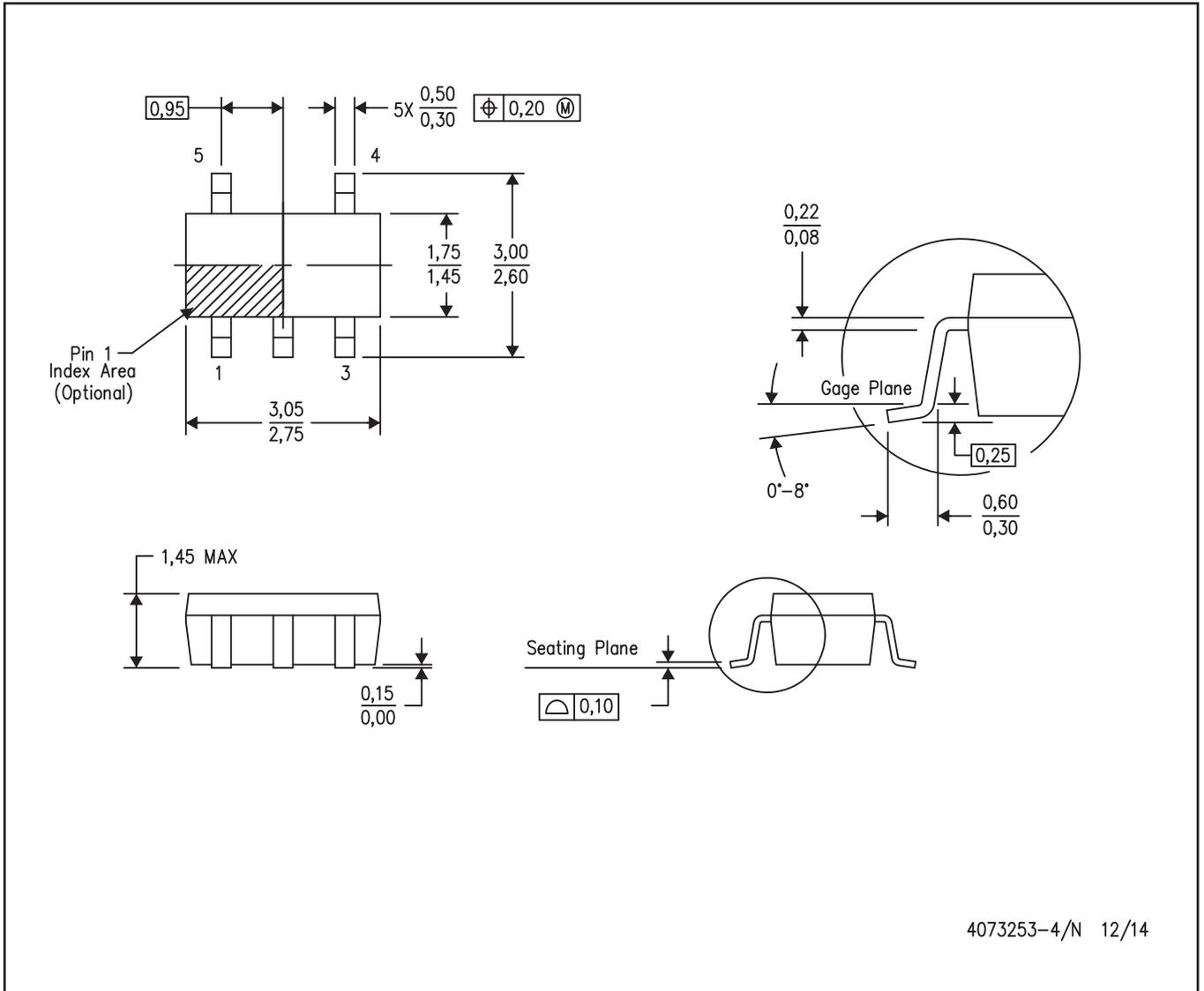
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



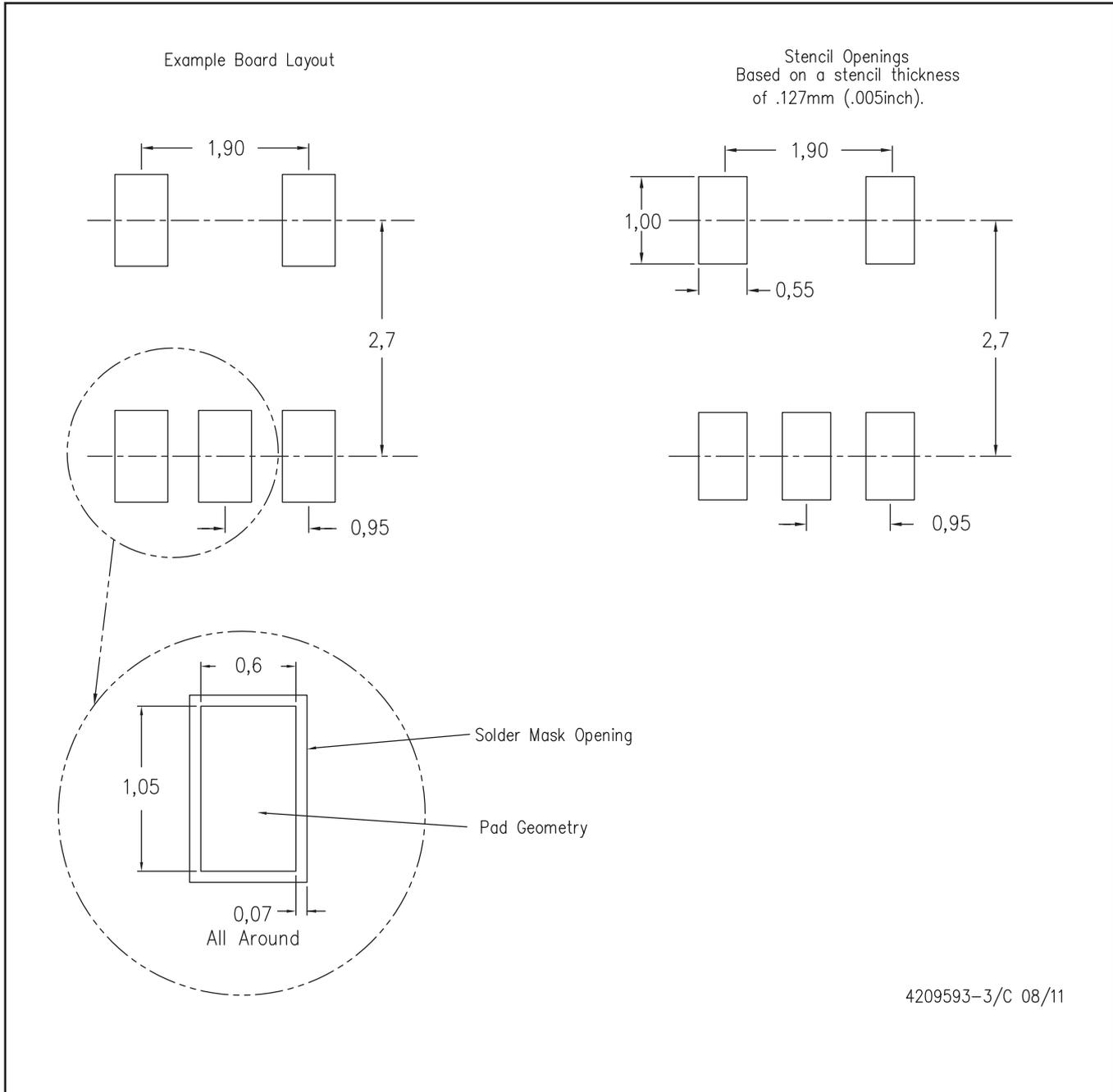
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS92411DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS92411DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS92411DDAR	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS92411PDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS92411PDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS92411PDDAR	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0

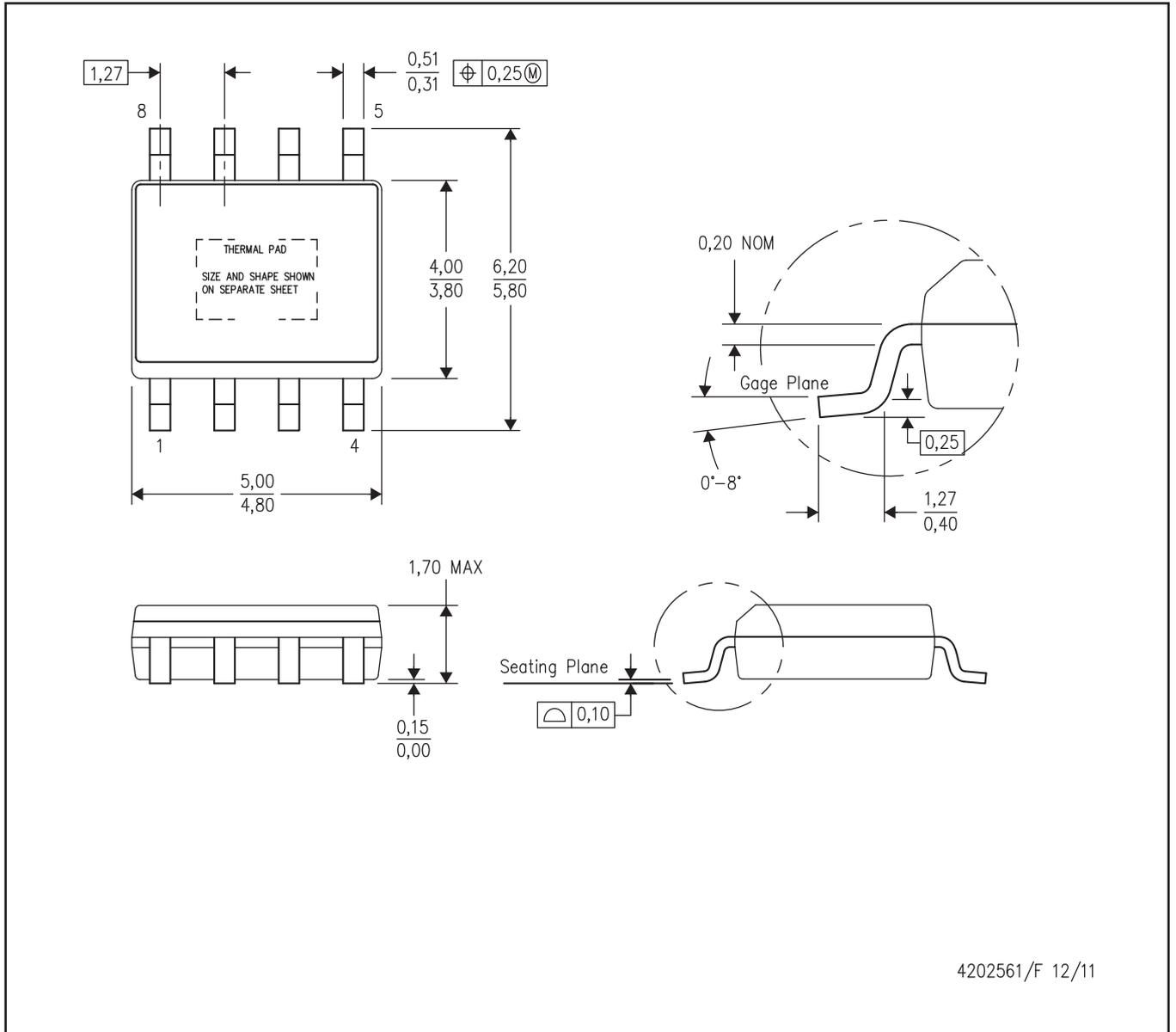


4073253-4/N 12/14

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-178 variation AAに準拠します



- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. 代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。



4202561/F 12/11

- 注：A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 F. JEDEC MS-012 variation BAに準拠します。

サーマルパッド・メカニカル・データ

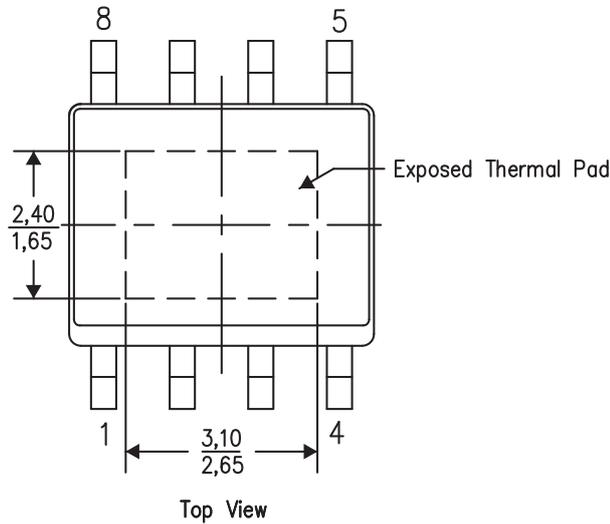
DDA(R-PDSO-G8)

熱的特性に関する資料

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002) およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

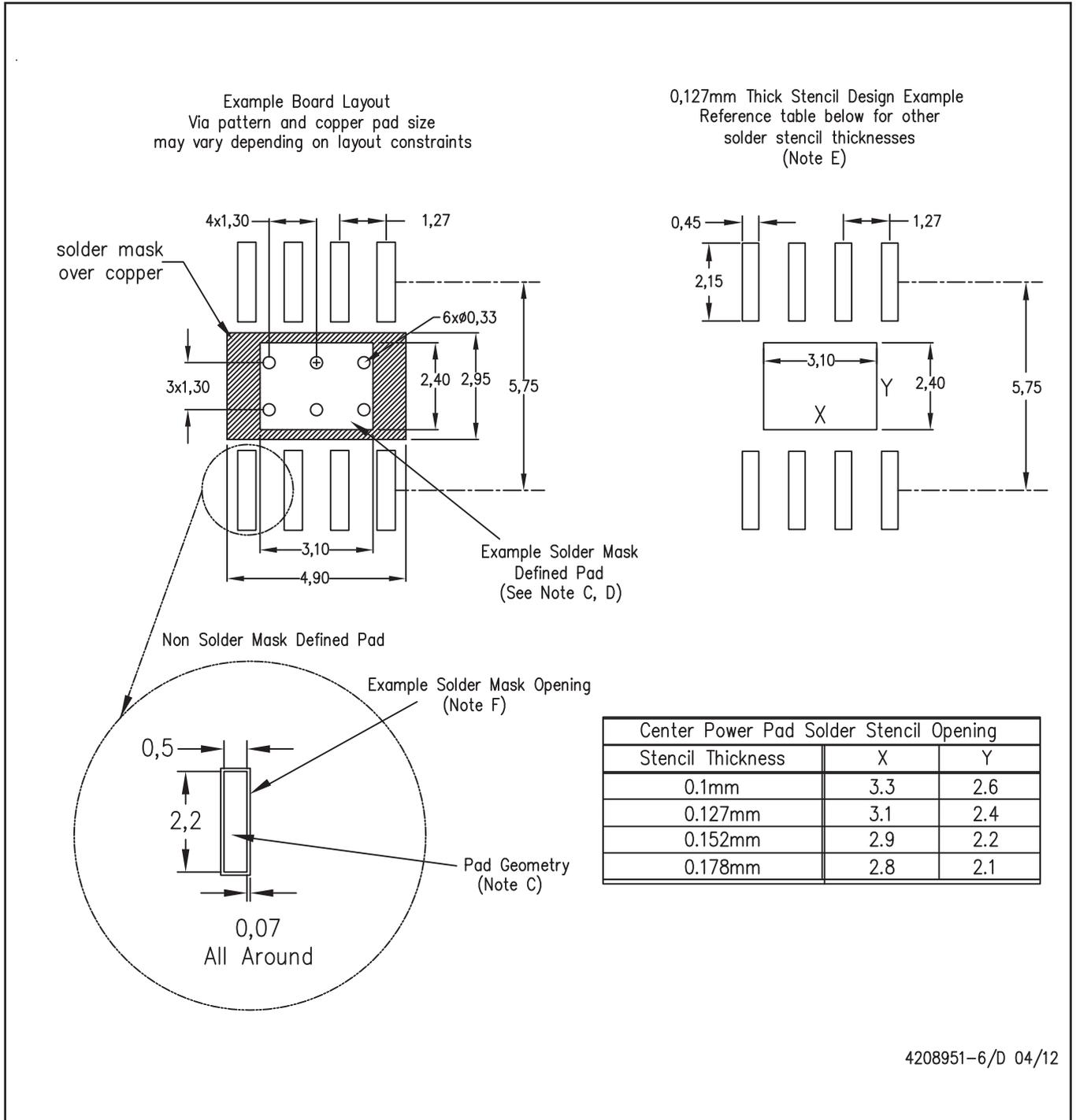
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



注：A. 全ての線寸法の単位はミリメートルです。

4206322-6/L 05/12

サーマルパッド寸法図



4208951-6/D 04/12

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLUSBQ6B)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2015, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上