

TPS99002S-Q1 システム管理および照明コントローラ

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
 - 温度グレード 2: -40°C ~ 105°C の動作時周囲温度
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 機能安全品質管理**
 - ASIL-Bまでの ISO 26262 機能安全システム設計に役立つ資料を入手可能
- テキサス・インスツルメンツの DLP® 製品向け車載システム管理デバイス:
 - 高度な電力監視、シーケンシング、保護回路
 - 2つのダイ温度モニタ、MCU 外部ウォッチドッグ タイマ、クロック周波数モニタ
 - システムの過剰輝度検出
 - パリティ、チェックサム、パスワード レジスタ保護搭載の SPI ポート
 - 独立したシステム監視用の 2 番目の SPI ポート
- オンチップの DMD ミラー電圧レギュレータ
 - +18V、+10V、-14V の DMD 制御電圧を生成
- ダイナミックレンジが広い調光および色制御: 5000:1 を超える調光比と、高いビット深度およびホワイトカラーバランスを実現
- ダイナミックレンジが広く、多くの光学デザインをサポートする、2つのトランシングピーダンス アンプ (TIA)
- フレームごとに最大 63 の時間シーケンス サンプルが可能な 12 ビット ADC
- 色およびパルス制御用の DAC およびコンパレータ機能
- LED およびシャント制御用の FET ドライバ

2 アプリケーション

- 広視野の拡張現実ヘッドアップ ディスプレイ (HUD) システム
- デジタル クラスタ、ナビゲーション、インフォテインメントのフロント ガラス ディスプレイ

3 説明

TPS99002S-Q1 システム管理および照明コントローラは、DLP394xS-Q1 チップセットの一部であり、このチップセットには、DLPC23xS-Q1 DMD ディスプレイコントローラも含まれています。このチップセットには、**ヘッドアップディスプレイ (HUD)** アプリケーションで一般的な 5000:1 のディスプレイ調光、3~15,000nit の輝度範囲、緊密な色ポイント制御という要件を十分以上にサポートするため必要なすべての機能が搭載されています。

内蔵の DMD 高電圧レギュレータは、DMD ミラー基準電圧を供給し、要求される厳しい公差を満たしています。電源シーケンス IC およびモニタは、チップセット全体について、電源オンと電源オフのイベントの確実な調整を行います。

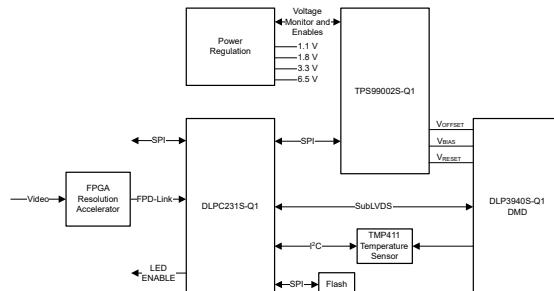
TPS99002S-Q1 照明コントローラには、12 ビット ADC、2 つの DAC (12 ビットおよび 10 ビット)、2 つの高性能フォトダイオード信号コンディショニングトランシングピーダンス アンプ (TIA) が、照明制御システムの中核コンポーネントのとして内蔵されています。この ADC は、ビデオ フレームごとに最大 63 のイベントを自動的にサンプリングできます。

高度なシステムステータス監視回路により、ディスプレイのサブシステムの動作状況をリアルタイムで確認できます。この監視回路には、2つのプロセッサ ウォッチドッグ回路、2つのダイ温度モニタ、包括的な電源モニタによる過電圧および低電圧の検出、SPI バス トランザクション上のバイト レベル パリティによるチェックサムおよびパスワード レジスタ保護、過剰輝度の監視回路、その他の内蔵テスト機能が含まれます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ
TPS99002S-Q1	HTQFP (100)	14.00mm × 14.00mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。



標準的なスタンドアロン システム

⚠️ このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6 詳細説明	26
2 アプリケーション	1	6.1 概要	26
3 説明	1	6.2 機能ブロック図	27
4 ピン構成および機能	3	6.3 機能説明	28
5 仕様	10	6.4 デバイスの機能モード	55
5.1 絶対最大定格	10	6.5 レジスタ マップ	58
5.2 ESD 定格	10	7 アプリケーションと実装	61
5.3 推奨動作条件	11	7.1 アプリケーション情報	61
5.4 熱に関する情報	11	7.2 代表的なアプリケーション	61
5.5 電気的特性 — トランジンピーダンス アンプのパラ メータ	12	8 電源に関する推奨事項	71
5.6 電気的特性:D/A コンバータ	14	8.1 TPS99002S-Q1 電源アーキテクチャ	71
5.7 電気的特性:A/D コンバータ	15	8.2 TPS99002S-Q1 の電源出力	71
5.8 電気的特性 — FET ゲートドライバ	16	8.3 電源アーキテクチャ	71
5.9 電気的特性 — フォトコンバータ	16	9 レイアウト	75
5.10 電気的特性 — 電圧レギュレータ	17	9.1 レイアウトのガイドライン	75
5.11 電気的特性 — 温度および電圧モニタ	18	10 デバイスおよびドキュメントのサポート	80
5.12 電気的特性 - 電流消費	19	10.1 デバイス サポート	80
5.13 パワーアップのタイミング要件	20	10.2 ドキュメントの更新通知を受け取る方法	80
5.14 パワーダウンのタイミング要件	22	10.3 サポート・リソース	80
5.15 タイミング要件 — シーケンサ クロック	24	10.4 商標	80
5.16 タイミング要件 — ホストおよび診断ポート SPI イン ターフェイス	25	10.5 静電気放電に関する注意事項	80
5.17 タイミング要件 - ADC インターフェイス	26	10.6 用語集	80
5.18 スイッチング特性	26	11 改訂履歴	80
		12 メカニカル、パッケージ、および注文情報	81

4 ピン構成および機能

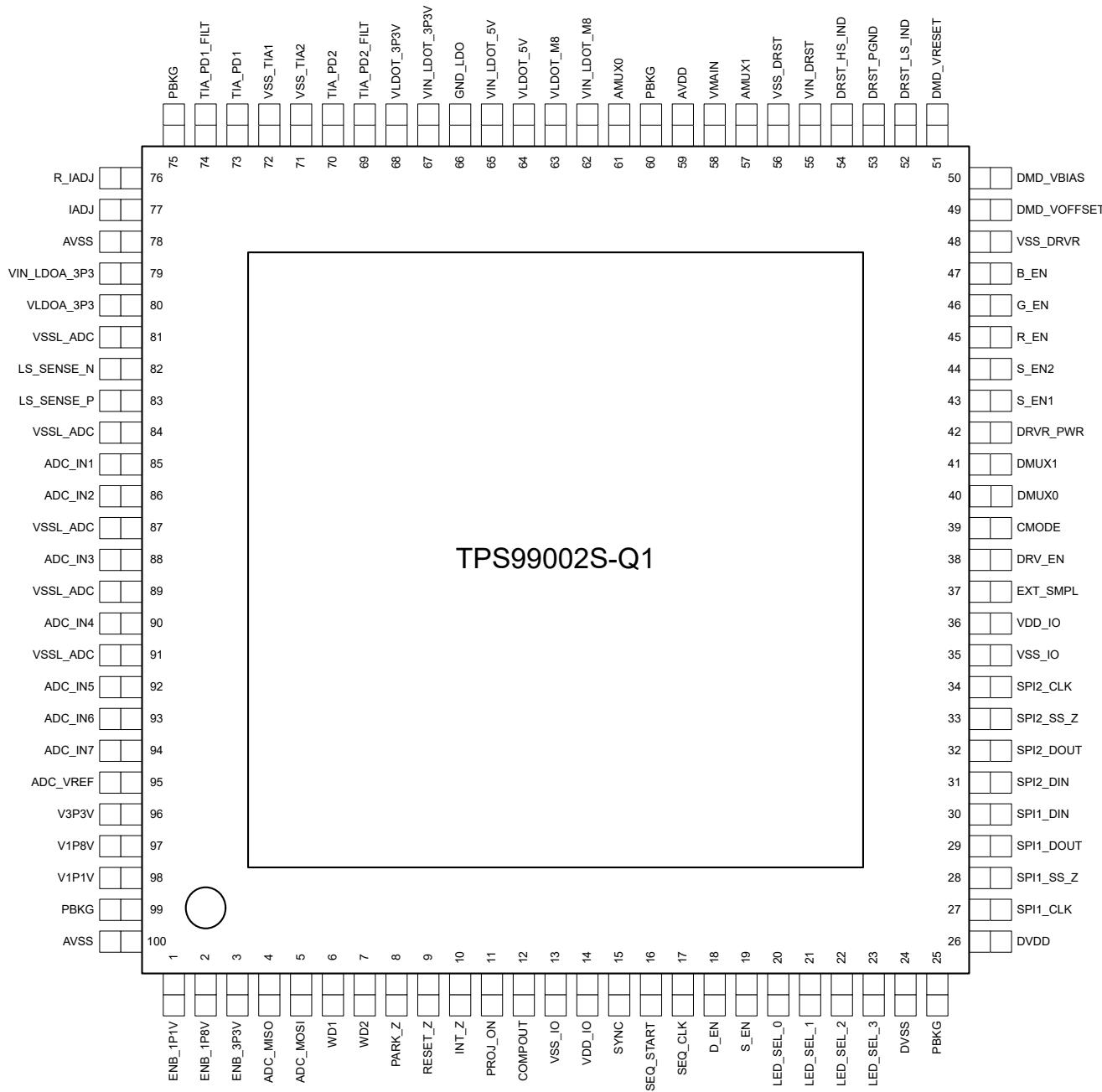


図 4-1. PZP パッケージ 100 ピン HTQFP 上面図

表 4-1. ピン機能 – 初期化、クロック、診断

ピン		タイプ	説明
番号	名称		
6	WD1	I	ウォッチドッグ割り込みチャネル 1
7	WD2	I	ウォッチドッグ割り込みチャネル 2
8	PARK_Z	O	DMD ミラー パーキング信号 (アクティブ Low)
9	RESET_Z	O	DLPC23xS-Q1 への出力をリセットします。TPS99002S-Q1 を制御。
10	INT_Z	O	DLPC23xS-Q1 (オープンドレイン) への割り込み出力信号。TPS99002S-Q1 の ENB_3P3V 信号で制御される DLPC23xS-Q1 3.3V レールまでブルアップすることを推奨します。
11	PROJ_ON	I	IC および DLP プロジェクタを有効 / 無効にする入力信号
16	SEQ_START	I	PWM シャドウ ラッチ制御: シーケンスの開始を示します
17	SEQ_CLK	I	シーケンサ クロック
40	DMUX0	O	デジタル テスト ポイント出力
41	DMUX1	O	デジタル テスト ポイント出力
57	AMUX1	O	アナログ テスト マルチプレクサ出力 1
61	AMUX0	O	アナログ テスト マルチプレクサ出力 0

表 4-2. ピン機能 — 電源とグランド

ピン		タイプ	説明
番号	名称		
13、35	VSS_IO	GND	デジタル IO インターフェイスのグランド接続
14、36	VDD_IO	電源	IO レール電源用の 3.3V 電源入力
24	DVSS	GND	デジタル コア グランドリターン
25、60、75、99	PBKG	GND	サブストレート タイと ESD のグランドリターン
26	DVDD	電源	デジタル コア電源用の 3.3V 電源入力
42	DRV_R_PWR	電源	FET ドライバ電源用 6V または 3.3V 電源入力。S_EN1、S_EN2、R_EN、G_EN、B_EN 出力に電力供給
48	VSS_DRV_R	GND	FET ドライバ電源のグランド接続
49	DMD_VOFFSET	電源	VOFFSET 出力レール。1μF のセラミック コンデンサを接地します。
50	DMD_VBIAS	電源	VBIAS 出力レール。0.47μF のセラミック コンデンサを接地します。
51	DMD_VRESET	電源	VRESET 出力レール。1μF のセラミック コンデンサを接地します。外付けダイオード経由で DRST_HS_IND に接続します。ダイオードのアノードを DMD_VRESET に接続します。
53	DRST_PGND	GND	DMD 電源用の電源グランド。グランドプレーンに接続
55	VIN_DRST	電源	DMD 電源用 6V 入力
56	VSS_DRST	GND	DMD 電源回路のグランド
59	AVDD	電源	アナログ回路用の 3.3V 電源入力
63	VLDOT_M8	電源	専用 TIA インターフェイス用 –8V LDO 出力
64	VLDOT_5V	電源	5V TIA LDO 用のフィルタ コンデンサ インターフェイス
65	VIN_LDOT_5V	電源	5V TIA LDO 用 6V 電源入力
66	GND_LDO	GND	LDO のパワー グランドリターン
67	VIN_LDOT_3P3V	電源	3.3V TIA LDO 用 6V 電源入力
68	VLDOT_3P3V	電源	3.3V TIA LDO 用のフィルタ コンデンサ インターフェイス
71	VSS_TIA2	GND	TIA2 専用グランド
72	VSS_TIA1	GND	TIA1 専用グランド
78、100	AVSS	GND	アナログ グランド
79	VIN_LDOA_3P3	電源	専用 ADC インターフェイス 3.3V LDO 電源用の 6V 電源入力
80	VLDOA_3P3	電源	専用 ADC インターフェイス 3.3V LDO フィルタ コンデンサ出力
81、84、87、89、91	VSSL_ADC	GND	外部 ADC チャネル ボンドワイヤとリード フレームの絶縁グランド
95	ADC_VREF	電源	ADC リファレンス電圧出力

表 4-3. ピン機能 — 電源管理

ピン		タイプ	説明
番号	名称		
1	ENB_1P1V	O	1.1V 外部降圧イネーブル。3.3V 出力
2	ENB_1P8V	O	1.8V 外部降圧イネーブル。3.3V 出力
3	ENB_3P3V	O	3.3V 外部降圧イネーブル。3.3V 出力
52	DRST_LS_IND	ANA	DMD 電源インダクタ (10µH) への接続。330pF、50V コンデンサを接地します。X7R を推奨
54	DRST_HS_IND	ANA	DMD 電源インダクタ (10µH) への接続
58	VMAIN	I	メイン中間電圧監視入力。外付けの抵抗デバイダを使用して、ブラウンアウト監視用の電圧入力を設定します。
62	VIN_LDOT_M8	O	専用 TIA インターフェイス -8V LDO 外部レギュレーション FET ドライブ信号
96	V3P3V	I	外部 3.3V 降圧電圧入力
97	V1P8V	I	外部 1.8V 降圧電圧入力
98	V1P1V	I	外部 1.1V 降圧電圧入力

表 4-4. ピン機能 — 照明制御

ピン		タイプ	説明
番号	名称		
12	COMPOUT	O	フォトダイオード (PD) インターフェイスの高速コンバレータ出力
15	SYNC	O	外部 LED 降圧ドライバ同期ストローブ出力
18	D_EN	I	LED インターフェイス: 降圧ハイサイド FET 駆動有効化
19	S_EN	I	LED バイパス シャント ストローブ入力
20	LED_SEL_0	I	LED イネーブル ストローブ 0 入力
21	LED_SEL_1	I	LED イネーブル ストローブ 1 入力
22	LED_SEL_2	I	LED イネーブル ストローブ 2 入力
23	LED_SEL_3	I	LED イネーブル ストローブ 3 入力
37	EXT_SMPL	I	予約済み。グランドに接続
38	DRV_EN	O	LM3409 の駆動有効化
39	CMODE	O	コンデンサの選択出力 (オーバーシュートまたはアンダーシュートを低減するため、CM モードで容量を小さくすることができます)。オープンドレイン。
43	S_EN1	O	低抵抗シャント NFET 駆動有効化 [High はシャントがアクティブを意味する]
44	S_EN2	O	高抵抗シャント NFET 駆動有効化 [High はシャントがアクティブを意味する]
45	R_EN	O	赤色のチャネル選択。ローサイド NFET を駆動します。
46	G_EN	O	緑色のチャネル選択。ローサイド NFET を駆動します。
47	B_EN	O	青色のチャネル選択。ローサイド NFET を駆動します。
69	TIA_PD2_FILT	O	TIA2 外部フィルタ コンデンサ - 低帯域幅サンプリング
70	TIA_PD2	I	TIA2 フォトダイオード カソードドライバ
73	TIA_PD1	I	TIA1 フォトダイオード カソードドライバ
74	TIA_PD1_FILT	O	TIA1 外部フィルタ コンデンサ - 低帯域幅サンプリング
76	R_IADJ	ANA	IADJ 電圧から電流への変換用外部抵抗
77	IADJ	ANA	外部 LED コントローラ駆動電流設定ポイントの調整に使用する電流出力

表 4-5. ピン機能 – シリアル ペリフェラル インターフェイス

ピン		タイプ	説明
番号	名称		
27	SPI1_CLK	I	SPI 制御インターフェイス (DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側)、クロック入力
28	SPI1_SS_Z	I	SPI 制御インターフェイス (DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側)、チップ セレクト (アクティブ Low)
29	SPI1_DOUT	O	SPI 制御インターフェイス (DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側)、送信データ出力
30	SPI1_DIN	I	SPI 制御インターフェイス (DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側)、受信データ入力
31	SPI2_DIN	I	SPI 診断ポート (2 次側)、受信データ入力。読み取り専用監視用
32	SPI2_DOUT	O	SPI 診断ポート (2 次側)、送信データ出力。読み取り専用監視用
33	SPI2_SS_Z	I	SPI 診断ポート (2 次側)、チップ セレクト (アクティブ Low)。読み取り専用監視用
34	SPI2_CLK	I	SPI 診断ポート (2 次側)、クロック入力。読み取り専用監視用

表 4-6. ピン機能 – A/D コンバータ

ピン		タイプ	説明
番号	名称		
4	ADC_MISO	O	ADC 2 線式インターフェイス - データ出力 DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側。
5	ADC_MOSI	I	ADC 2 線式インターフェイス - データ入力 DLPC23xS-Q1 プライマリ、TPS99002S-Q1 2 次側。
82	LS_SENSE_N	I	ローサイド電流検出 ADC 負入力。 表 6-2 を参照
83	LS_SENSE_P	I	ローサイド電流検出 ADC 正入力。 表 6-2 を参照
85	ADC_IN1	I	外部 ADC チャネル 1、 表 6-2 を参照
86	ADC_IN2	I	外部 ADC チャネル 2、 表 6-2 を参照
88	ADC_IN3	I	外部 ADC チャネル 3、 表 6-2 を参照
90	ADC_IN4	I	外部 ADC チャネル 4、 表 6-2 を参照
92	ADC_IN5	I	外部 ADC チャネル 5、 表 6-2 を参照
93	ADC_IN6	I	外部 ADC チャネル 6、 表 6-2 を参照
94	ADC_IN7	I	外部 ADC チャネル 7、 表 6-2 を参照

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
入力電圧	VDD_IO から VSS_IO へ	-0.3	4	V
	DVDD から DVSS へ	-0.3	4	
	AVDD から DVSS へ	-0.3	4	
	すべての「VSS」からその他の「VSS」(グランド) へ	-0.1	0.1	
	グランドへのすべてのデジタル入力信号 (WD1、WD2、ADC_MOSI、PROJ_ON、SEQ_START、SEQ_CLK、SPI1_CLK、SPI1_DIN、SPI1_SS、SPI2_DIN、SPI2_CLK、SPI2_SS、EXT_SMPL)	-0.3	3.6	
	DRV_R_PWR からグランドへ	-0.3	7.5	
	VIN_LDO_5V	-0.3	7.5	
	V3P3V を接地	-0.3	5	
	V1P8V を接地	-0.3	5	
	V1P1V を接地	-0.3	5	
	VIN_LDOA_3P3 を接地	-0.3	7.5	
	VIN_LDOD_3P3 を接地	-0.3	7.5	
	ADC_IN(7:1) を接地	-0.3	3.6	
	LS_SENSE_N および LS_SENSE_P を接地	-0.3	3.6	
	IADJ を接地	-0.3	18	
	R_IADJ を接地	-0.3	5	
	VIN_LDOD_M8 を接地	-18	0.3	
	DRST_LS_IND から DRST_PGND へ	-0.3	27	
	VIN_DRST を接地	-0.3	7.5	
	VMAIN	-0.3	7.5	
出力	INT_Z	-0.3	7.5	V
動作時の接合部温度、T _J		-40	130	°C
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	角のピン	±500	
		角のピン	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
温度					
T _A	動作時周囲温度 ⁽¹⁾	-40	105	105	°C
T _J	動作時接合部温度	-40	125	125	°C
電圧					
VDD_IO	IO 3.3V 電圧電源	3	3.3	3.6	V
DVDD	デジタル 3.3V 電源	3	3.3	3.6	V
AVDD	アナログ 3.3V 電源	3	3.3	3.6	V
ADC	ADC(7:1) 入力	0.1	1.6	1.6	V
VIN_DRST	DMD リセットレギュレータ入力	5.5	6	7	V
VIN_LDOT_5V	5V TIA LDO への電源入力。	5.5	6	7	V
VIN_LDOA_3P3V	3.3V ADC LDO への電源入力。	5.5	6	7	V
VIN_LDOT_3P3V	3.3V TIA LDO への電源入力。	5.5	6	7	V
DRVVR_PWR	ゲートドライバ電源	3	6	7	V

(1) 周囲温度 -40°C ~ 105°C、自由気流、AEC Q100 グレード 2。

5.4 热に関する情報

熱評価基準 ^{(1) (2)}	TPS99002S-Q1	単位	
	PZP (HTQFP)		
	100 ピン		
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	6.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	8.3	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	8.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	0.4	°C/W

- (1) 従来および新しい熱評価基準値の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。
(2) 動作時周囲温度は、システムの熱設計に依存します。動作時の接合部温度は、周囲温度条件において仕様範囲を超えてはなりません。

5.5 電気的特性 – トランスインピーダンス アンプのパラメータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
TIA1 および TIA2					
I_{IN_TOT}	TIA1 と TIA2 の組み合わせ入力電流	0	7 (3)	7	mA
トランスインピーダンス アンプ #1 (TIA1)					
I_{IN}	TIA 入力電流	RGB トリム $\leq 0.5x^{(1)}$	0	0.6	4.8 mA
C_{IN}	合計入力容量 ⁽²⁾	基板、コネクタ、フォトダイオード、およびケーブルから許容される入力容量	10	50	140 pF
$TRIM_{RGB}$	RGB トリム、通常フラックス システム		0.2	0.5	1 V/V
$GAINTOL_{ABS}$	TIA ゲイン許容誤差 (絶対値)	設定ごとに、規定のゲイン ターゲットの許容誤差	-20%	20%	
$GAINTOL_{REL}$	TIA ゲイン許容誤差 (相対)	他の設定との比率としての公差	3%		
TIA1 スルーレート					
TIA_{SLEW1}	低ゲイン スルーレート、出力換算	$\leq 96\text{kV/A}$ ゲイン	12		V/μs
TIA_{SLEW2}	高ゲイン スルーレート、出力換算	$> 96\text{kV/A}$ ゲイン	5		V/μs
TIA_{DELAY}	TIA パッドから COMPOUT パッドまでの遅延、DM 最小値、立ち下がりエンジ	最大スルーレート入力、20pF 負荷、トリップ ポイント全体で 100mV 最小値	40	64	ns
$TIA_{DELAYCM}$	TIA パッドから COMPOUT への遅延。CM	CM の最大電流	100		ns
TIA1 実効ゲイン					
ゲイン設定 0	Trim 1.0 に設定	0.6	0.75	0.9	kV/A
ゲイン設定 1	Trim 1.0 に設定	1.2	1.5	1.8	kV/A
ゲイン設定 2	Trim 1.0 に設定	2.4	3	3.6	kV/A
ゲイン設定 3	Trim 1.0 に設定	4.8	6	7.2	kV/A
ゲイン設定 4	Trim 1.0 に設定	7.2	9	10.8	kV/A
ゲイン設定 5	Trim 1.0 に設定	9.6	12	14.4	kV/A
ゲイン設定 6	Trim 1.0 に設定	14.4	18	21.6	kV/A
ゲイン設定 7	Trim 1.0 に設定	19.2	24	28.8	kV/A
ゲイン設定 8	Trim 1.0 に設定	28.8	36	43.2	kV/A
ゲイン設定 9	Trim 1.0 に設定	38.4	48	57.6	kV/A
ゲイン設定 10	Trim 1.0 に設定	57.6	72	86.4	kV/A
ゲイン設定 11	Trim 1.0 に設定	76.8	96	115.2	kV/A
ゲイン設定 12	Trim 1.0 に設定	115.2	144	172.8	kV/A
ゲイン設定 13	Trim 1.0 に設定	230.4	288	345.6	kV/A

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
トランジンピーダンス アンプ #2 (TIA2)					
I_{IN}	TIA 入力電流	RGB トリム $\leq 0.5x^{(1)}$	0	4.8	mA
$TRIM_{RGB}$	RGB トリム、通常フラックス システム		0.2	1	V/V
TIA2 スルーレート					
$TIA2_{SLEW}$	スルーレート、出力換算	すべてのゲイン	1		V/ μ s
TIA2 E					
ゲイン設定 0	Trim 1.0 に設定	0.6	0.75	0.9	kV/A
ゲイン設定 1	Trim 1.0 に設定	1.2	1.5	1.8	kV/A
ゲイン設定 2	Trim 1.0 に設定	2.4	3	3.6	kV/A
ゲイン設定 3	Trim 1.0 に設定	4.8	6	7.2	kV/A
ゲイン設定 4	Trim 1.0 に設定	7.2	9	10.8	kV/A
ゲイン設定 5	Trim 1.0 に設定	9.6	12	14.4	kV/A
ゲイン設定 6	Trim 1.0 に設定	14.4	18	21.6	kV/A
ゲイン設定 7	Trim 1.0 に設定	19.2	24	28.8	kV/A
ゲイン設定 8	Trim 1.0 に設定	28.8	36	43.2	kV/A
ゲイン設定 9	Trim 1.0 に設定	38.4	48	57.6	kV/A
ゲイン設定 10	Trim 1.0 に設定	57.6	72	86.4	kV/A
ゲイン設定 11	Trim 1.0 に設定	76.8	96	115.2	kV/A
ゲイン設定 12	Trim 1.0 に設定	115.2	144	172.8	kV/A
ゲイン設定 13	Trim 1.0 に設定	230.4	288	345.6	kV/A

- (1) 最大入力電流は、選択したトリム値に比例して直線的に減少し、トリムが $1.0x$ のときに $2.4mA$ の最大値が小さくなります。
- (2) 大きな容量性負荷は、システム性能に影響を及ぼすことがあります。
- (3) $7mA$ を超える結合 TIA 電流が必要なアプリケーションの詳細については、までお問い合わせください。

5.6 電気的特性 : D/A コンバータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
フォトフィードバック 12 ビット DAC					
V_{OUTDAC} Max	出力範囲の最大値	1.96	2	2.04	V
V_{OUTDAC} Min	出力範囲の最小値	-0.1	0	0.1	V
t_{SET}	セトリング タイム	±2% 以内のフルレンジのステップ応答	0	500	ns
INL	積分非直線性	-3.5	3.5	LSB	
DNL	微分非直線性	-3.5	3.5	LSB	
V_{OFF}	オフセット誤差	-100	100	mV	
$ZERO_{ERR}$	ゼロスケール誤差	-100	100	mV	
$GAIN_{ERR}$	ゲイン誤差	-5	5	%V/コード	
FS_{ERR}	フルスケール誤差	-2	2	%FSR	
$ZERO_{ERRDFT}$	ゼロスケール誤差のドリフト	-50	20	50	$\mu V/^\circ C$
$GAIN_{TEMP}$	ゲイン温度係数	-52	0	52	ppm FSR/°C
電流制御 10 ビット DAC					
V_{OUTDAC} Max	出力範囲の最大値	1.96	2	2.04	V
V_{OUTDAC} Min	出力範囲の最小値	-0.1	0	0.1	V
t_{SET}	セトリング タイム	±2% 以内のフルレンジのステップ応答	0	1000	ns
INL	積分非直線性	-2	2	LSB	
DNL	微分非直線性	-2	2	LSB	
V_{OFF}	オフセット誤差	-100	100	mV	
$ZERO_{ERR}$	ゼロスケール誤差	-100	100	mV	
$GAIN_{ERR}$	ゲイン誤差	-5	5	%V/コード	
FS_{ERR}	フルスケール誤差	-2	2	%FSR	
$ZERO_{ERRDFT}$	ゼロスケール誤差のドリフト	-50	20	50	$\mu V/^\circ C$
$GAIN_{TEMP}$	ゲイン温度係数	-52	0	52	ppm FSR/°C
過輝度検出 8 ビット DAC					
V_{OUTDAC} max	出力範囲の最大値	1.95	2	2.05	V
V_{OUTDAC} min	出力範囲の最小値	-0.1	0	0.1	V
t_{OBDAC}	過輝度 DAC 調整時間	入力コードマルチプレクサの入力が、アナログ出力で 90/10 セトリングに変化するまで		1000	μs
INL	積分非直線性	-1	1	LSB	
DNL	微分非直線性	-0.5	0.5	LSB	
V_{OFF}	オフセット誤差	-100	100	mV	
$ZERO_{ERR}$	ゼロスケール誤差	-100	100	mV	
$GAIN_{ERR}$	ゲイン誤差	-5	5	%V/コード	
FS_{ERR}	フルスケール誤差	-3	3	%FSR	
$ZERO_{ERRDFT}$	ゼロスケール誤差のドリフト	-50	20	50	$\mu V/^\circ C$
$GAIN_{TEMP}$	ゲイン温度係数	-52	0	52	ppm FSR/°C

5.7 電気的特性 : A/D コンバータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
12-BIT ADC⁽¹⁾						
V _{INPUT}	入力範囲 ⁽²⁾	0.1	1.6	1.6	V	
INL	積分非直線性	有効な入力範囲内 V _{INPUT}	-4	4	LSB	
DNL	微分非直線性		-2.5	2.5	LSB	
ENOB	有効ビット数		10	12	ビット	
t _{SAMPLE}	S/H サンプリング期間		0.4	5.2	12.8	μs
t _{DELAY}	変換開始前の S/H 遅延		0.4	2.8	μs	
t _{SHOLD}	S/H 保持期間		102.4	245	μs	
t _{CONV}	変換期間		102.4	102.4	μs	
V _{REF}	測定基準	ADC リファレンス電圧を 1.6V に 2 倍しました	0.784	0.8	0.816	V
V _{OFFS}	オフセット		-20	20	LSB	
	ゲイン誤差	ADC_IN(7:1) 入力	2	2	%FSR	

(1) ADC 仕様は、特に記述のない限り、ADC コアの動作を指し、理想的なクロックおよび IC 入力電力条件を想定します。

(2) 結果として、無効な ADC コードが 256 未満になります

5.8 電気的特性 — FET ゲート ドライバ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
LED 制御信号 FET ゲート ドライバ					
Q_{SEN}	$S_{EN1/2}$ 負荷ゲート電荷		12	16.5	nC
Z_{SEN}	$S_{EN1/2}$ プルアップ ゲート駆動出力インピーダンス	3.3V ドメイン ⁽¹⁾		12.3	Ω
		6V ドメイン ⁽²⁾		10.7	Ω
Z_{SEN}	$S_{EN1/2}$ プルダウン ゲート駆動出力インピーダンス	3.3V ドメイン ⁽¹⁾		4.85	Ω
		6V ドメイン ⁽²⁾		4.6	Ω
T_{SEN}	$S_{EN1/2}$ のプルアップ遷移時間	3.3V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽¹⁾	49.5	66	82.5
		6V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽²⁾	45	60	75
T_{SEN}	$S_{EN1/2}$ プルダウン遷移時間	3.3V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽¹⁾	20.25	27	33.75
		6V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽²⁾	18.75	25	31.25
Z_{RGB}	RGB_EN のプルアップ出力インピーダンス	3.3V ドメイン ⁽¹⁾		50.8	Ω
		6V ドメイン ⁽²⁾		43.6	Ω
Z_{RGB}	RGB_EN プルダウン出力インピーダンス	3.3V ドメイン ⁽¹⁾		4.85	Ω
		6V ドメイン ⁽²⁾		4.6	Ω
T_{RGB}	RGB_EN プルアップ立ち下がり遷移時間	3.3V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽¹⁾	198.75	265	331.25
		6V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽²⁾	180	240	300
T_{RGB}	RGB_EN プルダウン立ち下がり遷移時間	3.3V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽¹⁾	20.25	27	33.75
		6V ドメイン、最大総ゲート電荷負荷は 2.5nF ⁽²⁾	18.75	25	31.25

(1) DRVR_PWR 電源電圧は 3V~3.6V です。

(2) DRVR_PWR 電源電圧は 5.5V~7.5V です。

5.9 電気的特性 — フォトコンパレータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
フォトフィードバック コンパレータ					
V_{OFF}	オフセット電圧		-10	10	mV
T_{HYST}	ヒステリシス		10	20	mV

5.10 電気的特性 – 電圧レギュレータ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
VOFFSET レギュレータ					
V _{OUT}	出力電圧	さまざまな負荷条件	9.75	10	V
I _{OUT}	出力電流 ⁽²⁾		0.1 ⁽⁴⁾	16.3	mA
V _{PGTHRESHR}	パワーグッド レッショルド、 V _{OUT} 立ち上がり		86%		
V _{PGTHRESHF}	パワーグッド レッショルド、 V _{OUT} 立ち下がり		66%		
C _{OUT}	出力コンデンサ ⁽³⁾		1		μF
T _{DISC}	放電時間	C _{OUT} = 1μF		260	μs
VBIAS レギュレータ					
V _{OUT}	出力電圧		17.5	18	V
I _{OUT}	出力電流 ⁽²⁾		0.1 ⁽⁴⁾	1.5	mA
V _{PGTHRESHR}	パワーグッド レッショルド、 V _{OUT} 立ち上がり		86%		
V _{PGTHRESHF}	パワーグッド レッショルド、 V _{OUT} 立ち下がり		66%		
C _{OUT}	出力コンデンサ ⁽³⁾		0.47		μF
T _{DISC}	放電時間	C _{OUT} = 0.47μF		260	μs
VRESET レギュレータ					
V _{OUT}	出力電圧		-14.5	-14	V
I _{OUT}	出力電流 ^{(1) (2)}		-17.6	-0.1 ⁽⁴⁾	mA
V _{PGTHRESHR}	パワーグッド レッショルド		80%		
C _{OUT}	出力コンデンサ ⁽³⁾		1		μF
T _{DISC}	放電時間	C _{OUT} = 1μF		260	μs
負の 8V フォトダイオード LDO					
V _{IN}	入力電圧		-10		V
V _{OUT}	出力電圧	無負荷	-8.5	-8	V
I _{OUT}	出力電流		-6		mA
V _{IRIPPLE}	入力リップル			100	mVpp

- (1) VRESET 電流は、DMD と負の 8V LDO の両方に供給されます。
- (2) VOFFSET、VBIAS、VRESET は、DMD および負の 8V LDO のみに電力を供給するよう設計されており、追加の負荷には接続しないでください。
- (3) 一部のセラミックコンデンサのタイプでは、印加される DC 電圧および温度によって容量値が大幅に低下する場合があります。TI は、電圧バイアスおよび温度に対する容量損失を最小限に抑えるため、X7R 誘電体コンデンサを推奨します。また、より高い電圧定格の部品やより大きなパッケージサイズを使用すると、印加される DC 電圧での容量低減を最小限に抑えることができます。
- (4) 最小電流要件を満たすために必要なプルダウン抵抗。

5.11 電気的特性 – 温度および電圧モニタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
温度モニタ					
TEMP _{WARN}	過熱警告スレッショルド	接合部温度	135		°C
TEMP _{EMRG}	熱緊急スレッショルド	接合部温度	150		°C
1.1V 電源モニタ					
V _{TRIPN}	負のトリップ スレッショルド	負方向のみ	0.95	0.98	1.01
V _{TRIPHYST}	ヒステリシス	正方向スレッショルド、負のトリップ電圧より高い電圧		2%	
t _{GLITCH}	グリッヂ抑制	2% オーバードライブで、グリッヂのサイズは無視 (リセットなし)	20	1000	μs
1.8V 電源モニタ					
V _{TRIPN}	負のトリップ スレッショルド	負方向のみ	1.552	1.6	1.648
V _{TRIPHYST}	ヒステリシス	正方向スレッショルド、負のトリップ電圧より高い電圧		2%	
t _{GLITCH}	グリッヂ抑制	2% オーバードライブで、グリッヂのサイズは無視 (リセットなし)	20	1000	μs
3.3V 電源モニタ					
V _{TRIPN}	負のトリップ スレッショルド	負方向のみ	2.852	2.93	3.03
V _{TRIPHYST}	ヒステリシス	正方向スレッショルド、負のトリップ電圧より高い電圧		2%	
t _{GLITCH}	グリッヂ抑制	2% オーバードライブで、グリッヂのサイズは無視 (リセットなし)	20	1000	μs
AVDD、DVDD、VDDIO の電源モニタ					
V _{TRIPN}	負のトリップ スレッショルド	負方向のみ	2.74	2.86	2.98
V _{TRIPHYST}	ヒステリシス	正方向スレッショルド、負のトリップ電圧より高い電圧		2%	
t _{GLITCH}	グリッヂ抑制	2% オーバードライブで、グリッヂのサイズは無視 (リセットなし)	20	1000	μs
VMAIN システム入力電源モニタ					
V _{MAINTHRSH}	VMAIN スレッショルド	VMAIN の変換に使用される外付け抵抗デバイダ	1.2125	1.25	1.2875
t _{MAINGLITCH}	VMAIN グリッヂ抑制	2% オーバードライブ時	20	1000	μs

5.12 電気的特性 - 電流消費

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値 ⁽²⁾	単位
3.3V 電源ピンの合計:DVDD、VDD_IO、AVDD					
システム オフ	PROJ_ON low		1.5	2	mA
システム オン	表示オン状態、TIA はイネーブルなし		3.5	4	mA
TIA #1	TIA #1 を有効にしたことによる追加電流		1	1	mA
TIA #2	TIA #2 を有効にしたことによる追加電流		1	1	mA
6V 電源ピンの合計:DRVVR_PWR、VIN_DRST、VIN_LDOT_5V、VIN_LDOT_3P3V、およびVIN_LDOA_3P3V					
システム オフ	PROJ_ON low		1	2	mA
システム オン ⁽³⁾	表示オン状態、TIA はイネーブルなし		98	119	mA
TIA #1	TIA #1 を有効にしたことによる追加電流		20	25	mA
TIA #2	TIA #2 を有効にしたことによる追加電流		20	25	mA

(1) 25°C と公称電圧で実施される代表的な測定

(2) 40°C、25°C、105°C で測定。3.3V 入力は 3V、3.3V、3.6V で測定。6V 入力は 5.5V、6V、7V で測定。これらすべての条件の最大消費電流を示しています。

(3) この数値は、DMD 電圧がこのデータシートのそれぞれのセクションに記載されている最大電流を出力するときの TPS99002S-Q1 への入力時の電流を表します。この数値は、DMD 電圧レギュレータが無負荷のときに測定される電流 (標準値 3mA、最大値 56mA) と、DMD 電圧レギュレータが最大電流 (63mA) を出力したときの 6V 電源に流れる推定電流の組み合わせです。消費電流の推定値は、式 $I_{6V} = [(18/6) \times I_{VBIAS} + (10/6) \times I_{VOFFSET} + (-14/6) \times I_{VRESET}] / \eta$ で計算されます。ここで、 $\eta = 0.9$ です。この条件での TPS99002S-Q1 の消費電力を計算するには、無負荷状態からの電流に入力電圧を乗算し、さらに DMD 電圧レギュレータからの電流に入力電圧を乗算したものに $(1 - \eta)$ を乗算した値を加算します。

5.13 パワーアップのタイミング要件

			標準値	単位
t_{en_dly}	PROJ_ON から 1.1V 有効化。これには、PROJ_ON t_{glitch} 時間が含まれます。	PROJ_ON の立ち上がりエッジから 1.1V の立ち上がりエッジまでの有効化	11	ms
t_{mon1} (1) (2)	有効化がアサートされた後、1.1V レールが電圧スレッショルドに達するまでの最大時間。この遅延長は、1.1V がスレッショルドを早期に満たしても発生します。	ENB_1P1V の立ち上がりエッジから内部 1.1V モニタ テスト (3) まで	10	ms
t_{mon2} (1) (2)	有効化がアサートされた後、1.8V レールが電圧スレッショルドに達するまでの最大時間。この遅延長は、1.8V がスレッショルドを早期に満たしても発生します。	ENB_1P8V の立ち上がりエッジから内部 1.8V モニタ テスト (3) まで	10	ms
t_{mon3} (1) (2)	有効化がアサートされた後、3.3V レールが電圧スレッショルドに達するまでの最大時間。この遅延長は、3.3V がスレッショルドを早期に満たしても発生します。	ENB_3P3V の立ち上がりエッジから内部 3.3V モニタ テスト (3) まで	10	ms
t_{w1} (4)	電圧テスト完了後の RESETZ 遅延。	RESETZ 立ち上がりエッジまでの 3.3V 監視テストの完了	10	ms

- (1) システム電源設計に必要な場合は、TPS99002S-Q1 においてそれぞれのイネーブル信号をアサートする前に、V1P1V、V1P8V、V3P3V の各レールを有効化できます。必要に応じて、ENB_1P1V を、1.1V、1.8V、3.3V の外部電源イネーブルに接続できます。
- (2) 指定された時間内に電圧スレッショルドが満たされない場合、TPS99002S-Q1 は RESETZ をデアサートしません。この状況では、パワーアップ手順を完全に再起動する必要があります。
- (3) 各 TPS 監視テストは、電圧レールのそれぞれの電圧有効化から約 10ms で実行されます。電圧レールは、これまではいつでも、スレッショルド値に達することがあります。これは、各有効化の間に約 10ms が必要であることを意味します。1.1V、1.8V、3.3V のそれぞれの起動時間は、選択した設計や部品によって異なりますが、監視テストの前にこれらすべてが有効である必要があります。
- (4) t_{w1} は、3.3V レールが内部監視テスト(約 10ms)を超えると開始されます。3.3V がスレッショルド値になると、この時間は起動しません。この時間は、内部 TPS 監視が 3.3V をチェックした後に開始されます。テストに合格した後、RESETZ がデアサートされるまで 10ms の遅延が発生します。これは、3.3V イネーブルが有効になってから RESETZ がデアサートされるまでに約 20ms の遅延が発生することを意味します。

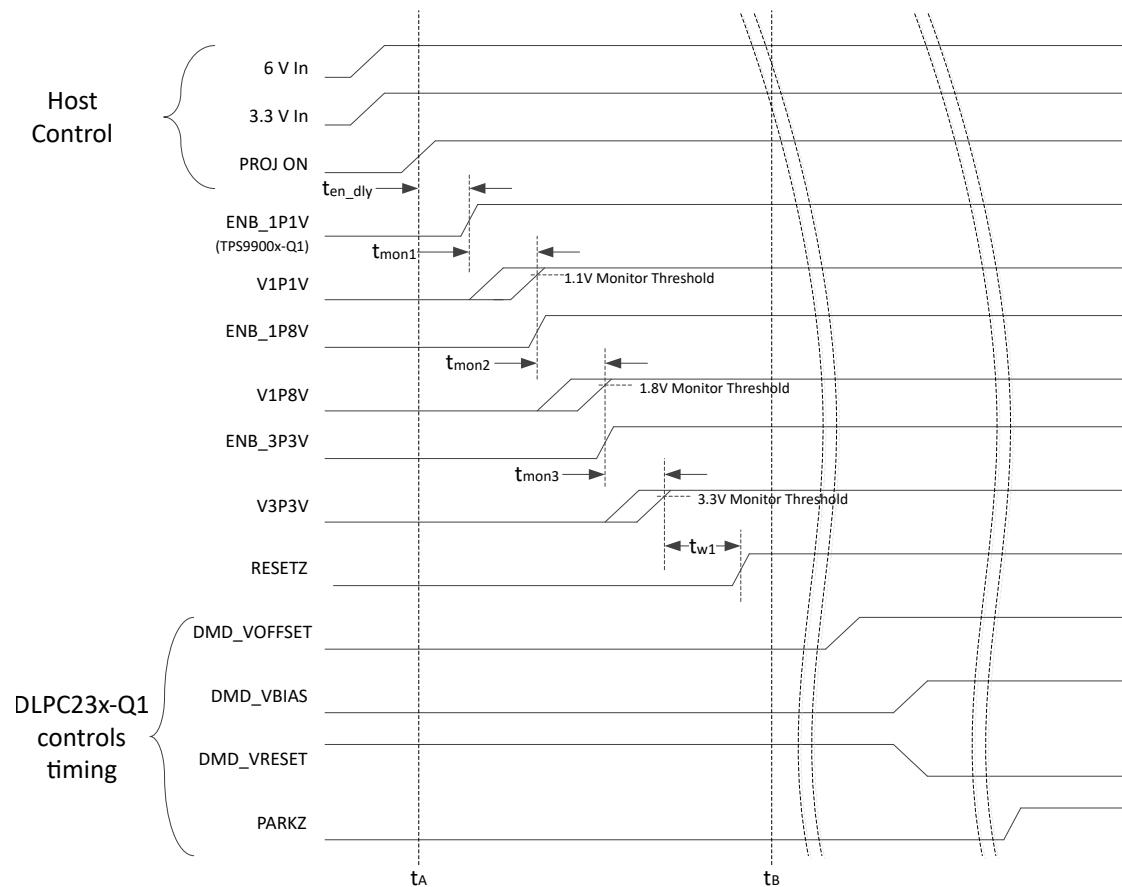


図 5-1. 起動タイミング

5.14 パワーダウンのタイミング要件

(1) を参照してください。

		最小値	標準値	最大値	単位
t_{vhold1}	VMAIN 最小スレッショルドに達した後のホスト電圧ホールド時間。 $t_{mon4} (\text{max}) + t_{park} (\text{max}) + t_{w2} (\text{max})$	6V および 3.3V の電力損失の VMAIN スレッショルド ^{(2) (3)}	900		μs
t_{vhold2}	PROJ_ON デアサー ^t 後のホスト電圧ホールド時間。 $t_{mon5} (\text{max}) + t_{park} (\text{max}) + t_{w2} (\text{max})$	6V および 3.3V の電力損失の VMAIN スレッショルド。 ^{(2) (3)}	1.78		ms
t_{mon4}	VMAIN 監視時間	PARKZ 立ち下がりエッジまでの最小電圧トリップスレッショルド	52	120	μs
t_{mon5}	PROJ_ON デアサー ^t 応答時間	PROJ_ON の立ち下がりエッジから PARKZ の立ち下がりエッジまで		1	ms
t_{park}	DMD パーク時間	DMD_VOFFSET 放電を開始するための PARKZ 立ち下がりエッジ		280	μs
$t_{discharg}_e$ ^{(4) (5)}	DMD 電圧レールの放電時間	VOFFSET $C_{out} = 1\mu\text{F}$ VRESET $C_{out} = 1\mu\text{F}$ VBIAS $C_{out} = 0.47\mu\text{F}$	260		μs
t_{w2} ⁽⁵⁾	DMD 電圧は、RESETZ デアサー ^t まで無効化されます	DMD 電圧レール放電の開始から RESETZ 立ち下がりエッジまで	500		μs

(1) パワーダウン シーケンスを開始するには、次の 2 つの方法があります。

- VMAIN 電圧は最小スレッショルドを下回っています。これは、主電源がシステムから除去されたときに、TPS99002S-Q1 がパワーダウン シーケンスを開始することが予想される場合に一般的です。パワーダウン シーケンスの開始後、6V および 3.3V の入力レールは、指定された時間にわたって動作範囲内に維持する必要があることに注意してください。
 - PROJ_ON low。これにより、ホストコントローラは TPS99002S-Q1 へのデジタル入力を介してパワーダウンを開始できます。
- (2) 6V 入力レールには、DRV_R_PWR、VIN_DRST、VIN_LDOT_5V、VIN_LDOA_3P3V、VIN_LDOT3P3V が含まれます。
- (3) 3.3V 入力レールには、VDD_IO、DVDD、AVDD が含まれます。
- (4) DMD は、VBIAS と VOFFSET の最大絶対電圧差を規定しています。この最大電圧差を下回るように、VBIAS は VOFFSET よりも早く放電する必要があります。これは、VBIAS に対してより小さい C_{out} 容量を使用することで実現され、VOFFSET よりも早く放電することができます。
- (5) 情報提供のみを目的としています。

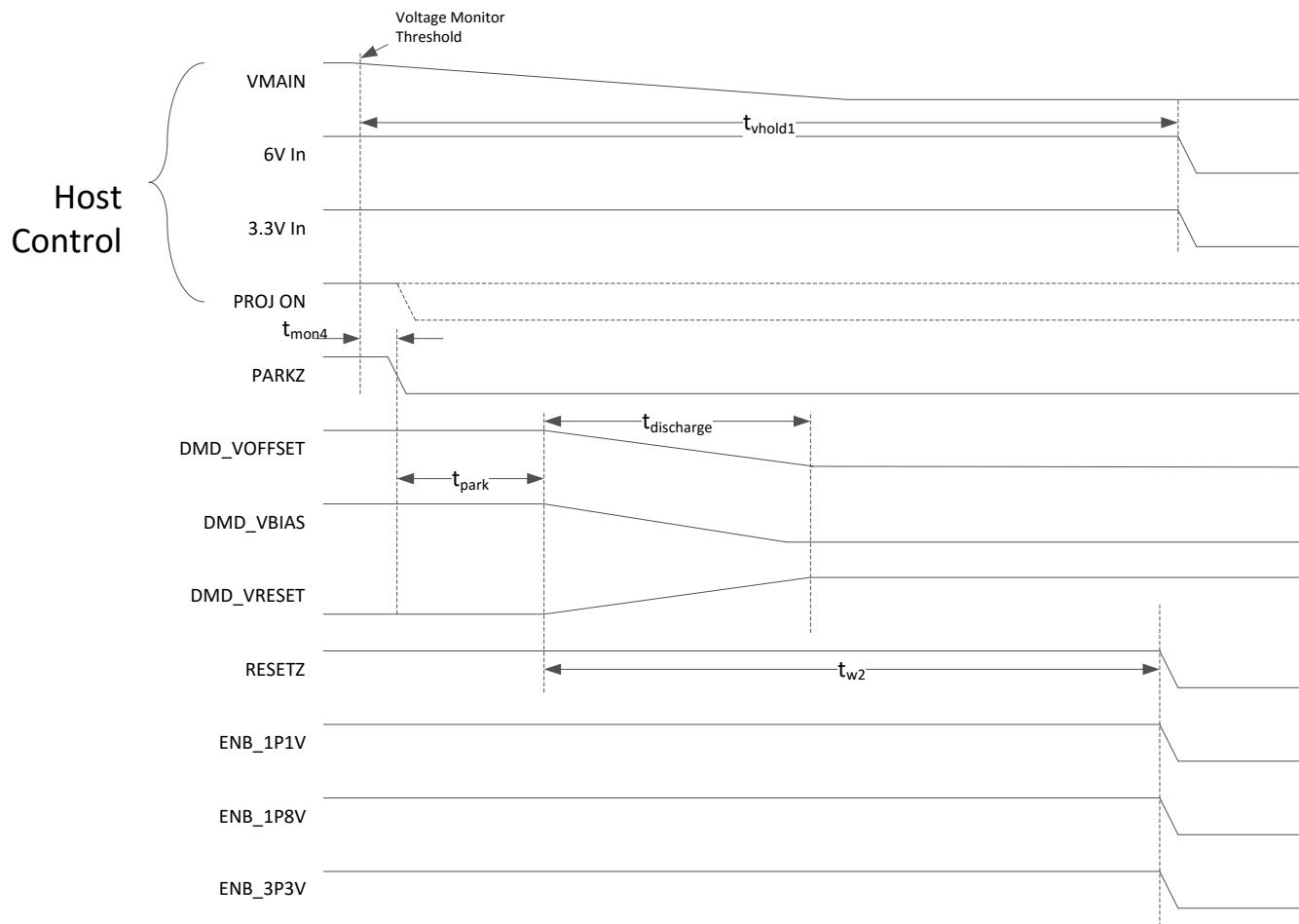


図 5-2. パワーダウンタイミング — VMAIN トリガ

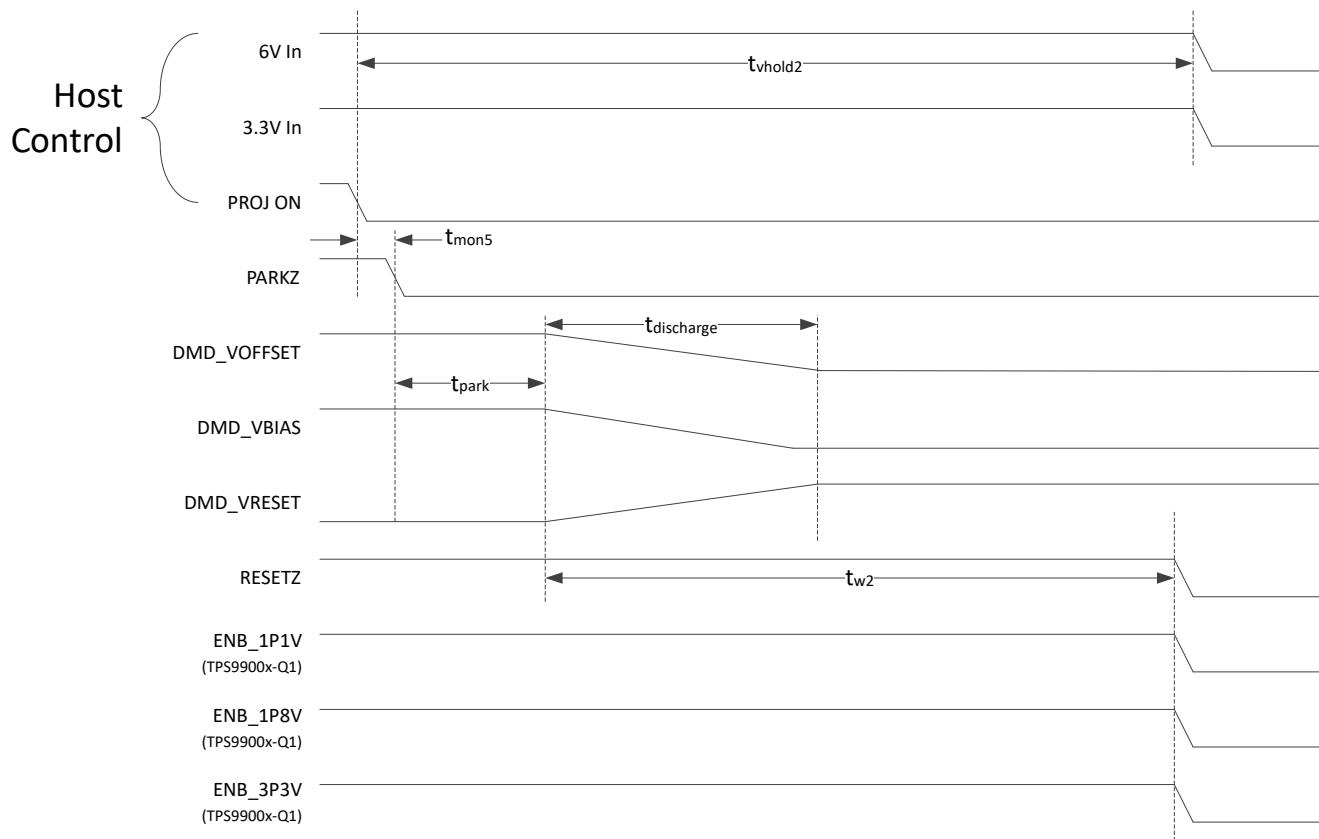


図 5-3. パワーダウン タイミング — PROJ_ON トリガ

5.15 タイミング要件 — シーケンサ クロック

		最小値	公称値	最大値	単位
f_{SEQ_CLK}	SEQ_CLK 周波数		30.00		MHz
t_{JPP}	SEQ_CLK ジッタ (ピーク ツー ピーク)	-3%	3%		
f_{SS}	SEQ_CLK で許容される拡散スペクトラム	-2%	0%		
f_{SSMOD}	SEQ_CLK スペクトラム拡散変調周波数	25	100		kHz
$f_{SSSTEPS}$	SEQ_CLK スペクトラム拡散変調周波数ステップ		50		ステップ

5.16 タイミング要件 – ホストおよび診断ポート SPI インターフェイス

		最小値	公称値	最大値	単位
$t_{SPICPER}$	SPI CLK サイクル時間	31	33		ns
$t_{SPICHIGH}$	SPI CLK High 時間	10			ns
$t_{SPICLOW}$	SPI CLK Low 時間	10			ns
$t_{SPIDOUT}$	CLK の立ち下がりから DOUT まで	0		15	ns
$t_{SSSETUP}$	SPI SS_Z から CLK 立ち上がりまでのセットアップ時間	5			ns
t_{SSHOLD}	SPI CLK 立ち上がりから SS_Z ホールド時間まで	5			ns
$t_{DINSETUP}$	SPI DIN から CLK 立ち上がりまでのセットアップ時間	5			ns
$t_{DINHOLD}$	SPI CLK の立ち上がりから DIN ホールド時間まで	5			ns

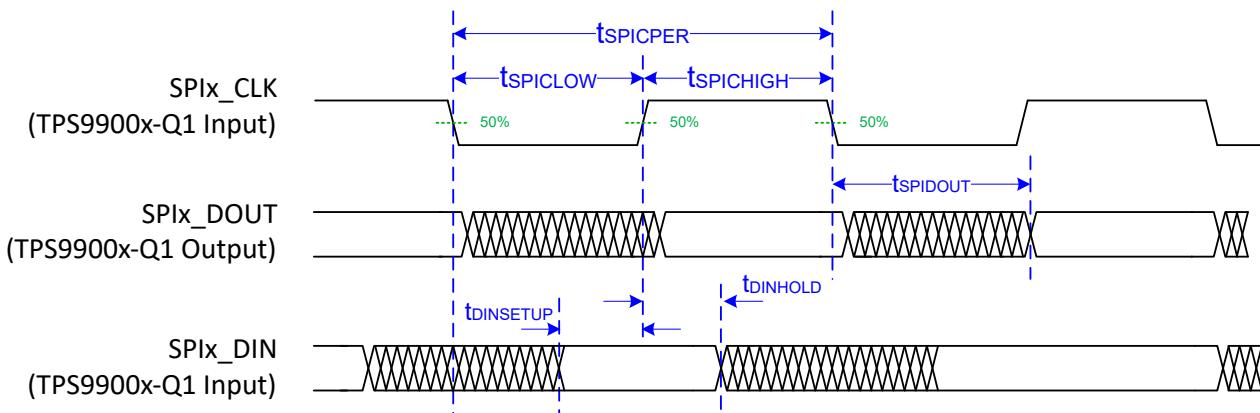


図 5-4. DLPC23xS-Q1 診断インターフェイスのタイミング

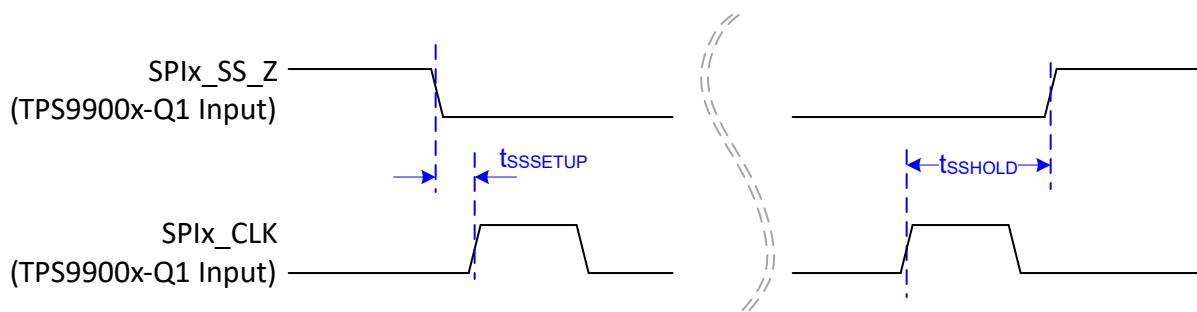


図 5-5. チップセレクトのセットアップとホールドのタイミング

5.17 タイミング要件 - ADC インターフェイス

		最小値	公称値	最大値	単位
$t_{ADC DIN SETUP}$	ADC DIN から CLK 立ち上がりまでのセットアップ時間	5			ns
$t_{ADC DIN HOLD}$	ADC CLK の立ち上がりから DIN ホールド時間まで	5			ns
$t_{ADC DOUT}$	CLK 立ち上がりから DOUT まで	0		15	ns

5.18 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
内部クロック					
f_{osc}	内部発振器の周波数		1.76	2	2.24 MHz

6 詳細説明

6.1 概要

TPS99002S-Q1 は、DLP394xS-Q1 チップセットの不可欠なコンポーネントであり、このチップセットには、DLPC23xS-Q1 DMD ディスプレイコントローラも含まれています。このリファレンス デザインには、車載固有の超ワイド調光要件をサポートするための機能があります。TPS99002S-Q1 は、高電圧、高精度の 3 レールレギュレータも備えており、コスト効率の優れた方法で DMD ミラー制御電圧 (18V, 10V, -14 V) を生成します。包括的なシステム電力モニタと DMD ミラー パーキング ソリューションを搭載しており、システムの堅牢性を向上させ、コストを削減できます。さらに、TPS99002S-Q1 は、構成可能な ADC、TIA、ウォッチドッグなど多くのシステム監視および診断機能を備えています。

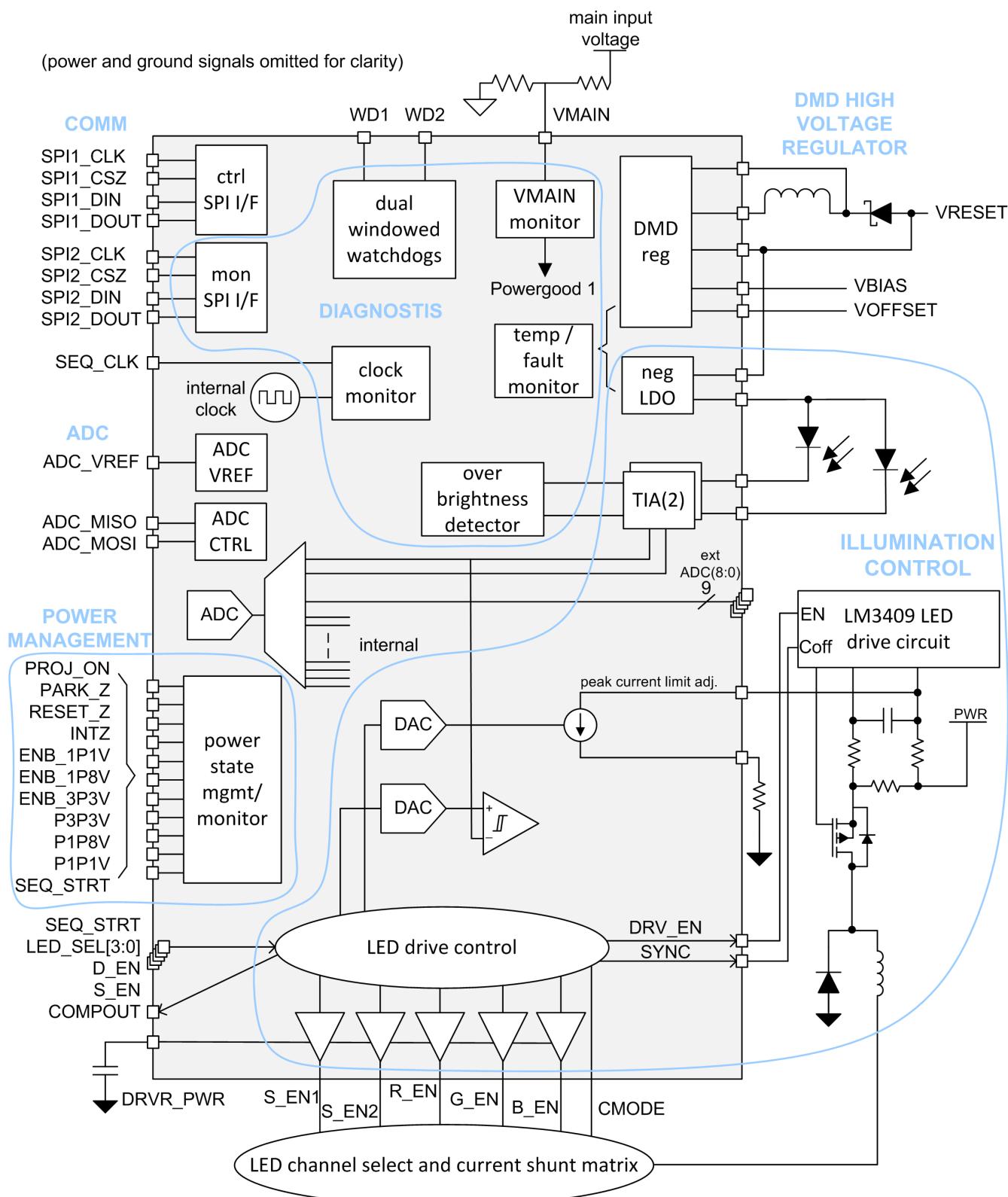
内蔵の 12 ビット ADC は、照明システム制御をサポートし、システムの動作状態に関する有用な情報を提供します。汎用 (LED 温度測定など) のために、複数の外部 ADC チャネルが含まれています。外部 ADC チャネルの 1 つには差動入力アンプが含まれ、LED 電流測定専用になっています。DLPC23xS-Q1 および TPS99002S-Q1 ADC 制御ブロックは、ビデオフレームごとに最大 63 個のサンプルをサポートし、サンプルを DMD シーケンスのタイムラインに高精度にハードウェア整列しています。この情報は、DLPC23xS-Q1 のカラー制御ソフトウェアで利用できます。このソフトウェアは、温度や LED の経年劣化による影響を緩和して、輝度と白色ポイントのターゲットを維持するために使用できます。

2 つの SPI バスが含まれています。1 つ目のバスはコマンドと制御を目的としており、2 つ目のバスはオプションの冗長システム状態監視用の読み取り専用バスです。SPI ポートは、バイトレベルのパリティチェックをサポートしています。

2 個のトランシスインピーダンス アンプを搭載しています。1 つ目の TIA は照明制御専用で、2 つ目の TIA は冗長性、周囲光検出、出力光検証など、一般的な使用に合わせて再構成可能です。過輝度検出器が内蔵されており、LED 輝度をハードウェアで冗長チェックできます。

2 つのウンドウ付きウォッチドッグ回路が搭載されており、DLPC23xS-Q1 マイクロプロセッサの動作を検証し、DMD シーケンサの動作を監視します。TPS99002S-Q1 には、オンダイ温度スレッシュホールド監視機能と、内部発振器に対する (SEQ_CLK の) 外部クロック比を検証するためのモニタ回路も含まれています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 照明制御

照明制御機能には、DLP サブシステム用に光を生成するのに必要なすべてのブロックが含まれています。このシステムは、広い調光範囲にわたって色と輝度の精密な制御が必要な車載アプリケーションをサポートするように設計されています。完全な調光ソリューションは、DLPC23xS-Q1 および TPS99002S-Q1 の両方に含まれるハードウェア機能と、DLPC23xS-Q1 に保存されている DMD シーケンス データで構成されています。これらの素子は連携して動作し、5000:1 全体で使用可能なシステム調光範囲を実現し、各色で最大 8 ビットをサポートします。

照明制御機能は 2 つの異なるモードで動作し、全調光範囲をカバーします。これらのモードは、連続モード (CM) と不連続モード (DM) です。

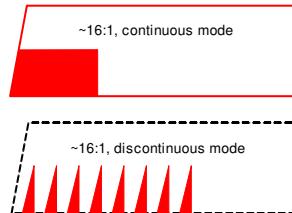


図 6-1. 連続モード動作と不連続モード動作の比較

連続モードの機能:

- 高輝度から中輝度レベル
- 各色に対して作成される矩形波光パルス
- パルス振幅とパルス幅を変化させて輝度レベルを調整

不連続モードの機能:

- 中輝度から低輝度レベル
- 各色に対して作成される一連の小さな三角波光パルス
- パルス数、パルス高さ、および LED 電流を変化させて輝度レベルを調整

照明制御ループは、リアルタイムのフォト フィードバック制御ループを介して LED に供給される電流の安定化を行います。DLP サブシステムの照明パスに、3 つの赤 / 緑 / 青 LED すべてから光を受信する位置に広帯域フォトダイオードを配置します。連続モード動作の場合、フォト フィードバックを使用してリアルタイムのヒステリシス制御ループを作成し、各 LED の輝度レベルを設定します。不連続モードでは、フォト フィードバックによって光パルスごとにピーク輝度スレッショルドが設定されます。

照明制御をサポートするため、TPS99002S-Q1 には、多数の高性能アナログおよびミックスドシグナル ブロックが内蔵されています。これらのブロックには以下が含まれます。

- フォトダイオード電流を電圧に変換し、リアルタイムの LED 輝度を表す、高性能でダイナミックレンジが非常に広いトランジスタインピーダンス アンプ (TIA)
- フォト フィードバック制御に適した高速コンパレータ
- フォト フィードバックの参照用 12 ビット DAC
- ピーク電流制限の調整用 10 ビット DAC
- 外部のハイサイド PFET 降圧コントローラ (LM3409) の同期用 Sync および駆動イネーブル出力
- LED を選択するための外部 FET ドライバと制御ロジック (FET は外部ですが、ドライバは内部です)
- 2 つの電流シャント(バイパス) パス FET 制御を使用して、色間で光が無効になっている間にインダクタ電流をプリリギュレーションするほか、不連続モードの動作を可能にします
- 専用の 2 線式ケルビング入力チャネルを搭載した多目的 12 ビット ADC ブロックで、LED 電流測定に特化しています
- DLPC23xS-Q1 と組み合わせて動作するハードウェア サンプル タイマ ブロックは、LED の電流および電圧、温度などの構成可能なハードウェア タイミング サンプルを提供します
- ほとんどのパラメータに対して RGB 固有の多重化設定を行うことで、カラーごとに独立した制御パラメータの最適化が可能になります

6.3.1.1 照明システムの高ダイナミック レンジ調光の概要

このセクションでは、一般化された概要を示し、TPS99002S-Q1 内の機能がフル チップセットとソフトウェアの高ダイナミック調光方式をどのようにサポートするかを理解するためのフレームワークを提供するた概念について説明します。

ヘッドアップ ディスプレイ (HUD) システムは通常、広い輝度範囲について、ターゲットの白色ポイント要件を満たす必要があります。広い輝度範囲をカバーするには、連続モードと不連続モードの組み合わせが必要です。連続モードでは、RGB シーケンスのデューティ サイクル、時間減衰、振幅減衰のさまざまな組み合わせを活用します。不連続モードでは、光の離散パルス数、フォトフィードバック (TIA) ゲイン、ピーク電流制限設定、光振幅 DAC 設定のさまざまな組み合わせを利用します。これらの調整は、粗調整と微調整に分類できます。

粗調整には次のものがあります。

- **照明ビン** : DMD デューティ サイクル、LED デューティ サイクル、パルス数 (DM のみ) を選択します。
- **LED 電流制限** : CM では、各 LED が動作可能な最大電流を指定します。LED の損傷を防止するために使用されます。DM では、パルスの生成に使用されるプリチャージ インダクタ電流を規定します。パルスの形状 / オーバーシュートを決定します。
- **TIA ゲイン** : TIA 設計は、幅広いフォトダイオード電流レベルに対応するため、合計 14 個の幅広いゲイン設定をサポートしています。ゲイン設定が高いと、与えられたフィードバック電圧に対する LED 出力が低くなります。

微調整には以下が含まれます。

- **フォトフィードバック DAC 設定** : この機能は、高速 12 ビット DAC を使用して実装されています。LED ターゲットの振幅を設定します。

6.3.1.2 照明制御ループ

「照明制御ループ」に、照明制御ループを示します。このループは以下の機能で構成されています。

- 外部降圧コントローラ (LM3409) と関連するディスクリート部品は、メイン LED 駆動の PFET を制御し、ハイサイド センス回路を使用してピーク電流を制御および制限します。この回路は、LED ハイサイド接続 (LED_ANODE) を駆動する制御された電流ソースを生成します。
- TPS99002S-Q1 には、10 ビットのピーク電流制限 (ILIM) 調整 DAC が内蔵されています。
- 外部 LED 駆動降圧用の同期ロジック。外部デバイスの制御されたオフ時間ピンを無効にする SYNC ピンと、外部デバイスの有効化を制御する DRV_EN。
- フォトフィードバック信号をプログラマブル リファレンスと比較するために使用される高速コンパレータ。
- 12 ビットのフォトフィードバック比較 DAC。連続動作モードと不連続動作モードの LED 光パルス ピーク スレッショルドの基準を設定します。
- リアルタイムのフォトフィードバックには、高速で低ノイズ、広いダイナミックレンジのトランシスインピーダンス アンプ (TIA1) を使用します。0.75V ~ 288V/mA のゲインをサポートし、14 の個別ゲインステップと、1.0 ~ 0.2 ゲインの RGB 固有の追加トリムを備えています。(2 個の TIA を含む。TIA1 は照明制御機能専用です)。
- 負の LDO によりコスト効率の優れたフォトダイオード逆バイアスを供給。
- ローサイド電流測定専用の差動入力を採用した 12 ビット ADC。
- RGB チャネル選択用の外部 FET ゲートドライバと、2 つのシャントバス選択用。シャントバスは、LED の周囲に導通パスを提供します。これらのバスは、LED が発光していないときのインダクタ電流を制御するために使用されます。制御ロジックとファームウェアは、光パルス間のギャップ中に LED を有効にする前に、インダクタの適切な電流レベルを確立します。

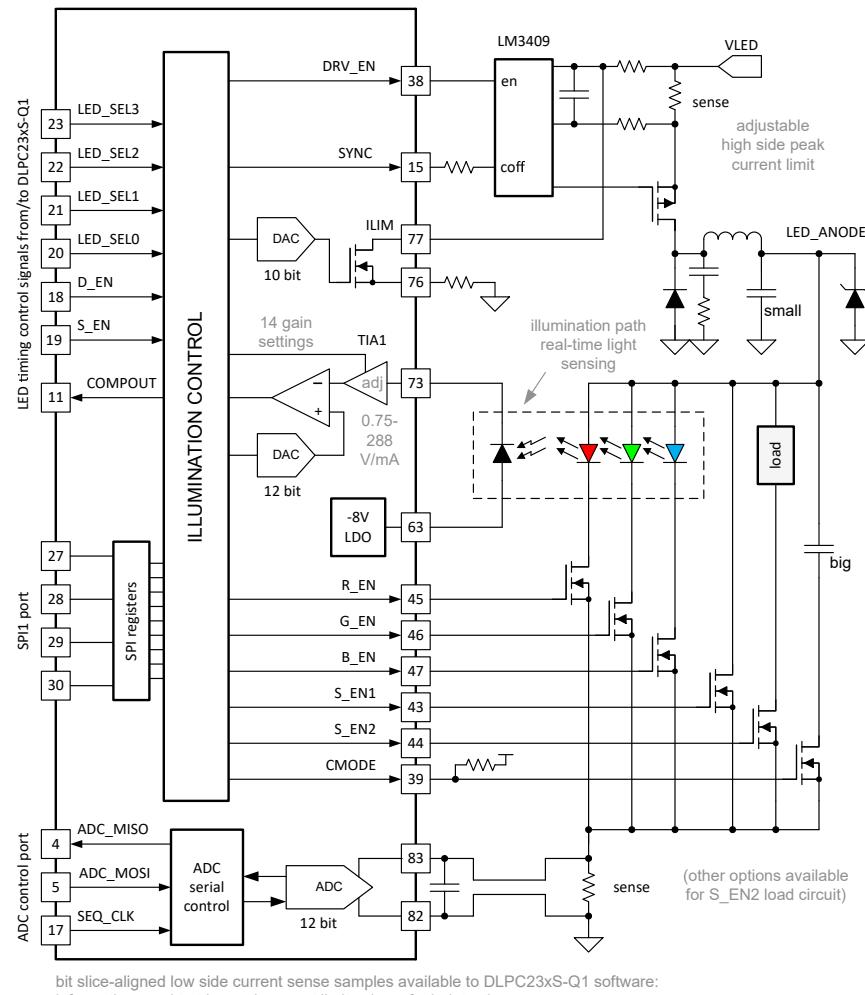


図 6-2. 照明制御ループ

6.3.1.3 連続モード動作の

連続モード (連続光出力モード) で動作している場合、ヒステリシス制御方式が利用されます。リアルタイム アナログ光振幅測定は、フォトフィードバック ループでターゲットの光レベルを維持するために使用されます。図 6-3 は、連続モードのドライバのフォトフィードバック制御ループ パスを示しています。

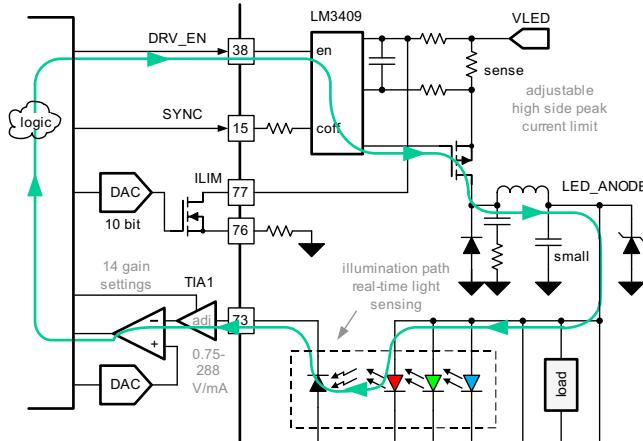


図 6-3. 連続モード フォトフィードバック パス

TPS99002S-Q1 のオンチップ アナログ コンパレータは、目標の LED 光振幅を、フォトダイオード TIA 回路から取得した実際の LED 光出力電圧と比較するために使用されます。光出力がスレッショルド (12 ビット フォトフィードバック DAC 出力により設定) を下回ると、コンパレータは High レベルを出し、DRV_EN は High になります。これによって、電源レールから LED 駆動インダクタへの接続が、LED 駆動 PFET を介して行われます。この接続により、インダクタを流れる電流が増加します。この電流は、FET が有効のとき LED を流れます。光値がスレッショルドを超えると、DRV_EN が Low になり、PFET がオフになり、ごくわずかな遅延で電源レールへの接続が切断されます。光レベルがスレッショルドを下回ると、DRV_EN が再び High になり、PFET が再びオンになり、LED により多くの電力が供給されます。LED 回路が有効である限り、このプロセスが繰り返されます。

ヒステリシス制御により、LED 電流にリップルが生じます。このリップルの振幅と周波数は、インダクタのインダクタンス、入力電圧、コンパレータのヒステリシス、ループ レイテンシの関数です。このヒステリシス制御アプローチの利点は、制御ループの無条件安定性です。

連続モード信号の例は、赤、緑、青のビット スライスの連続モード信号と光出力を示しています。LED_SEL(3:0)、D_EN、S_EN1、S_EN2 などの信号は、DLPC23xS-Q1 から送信されます。

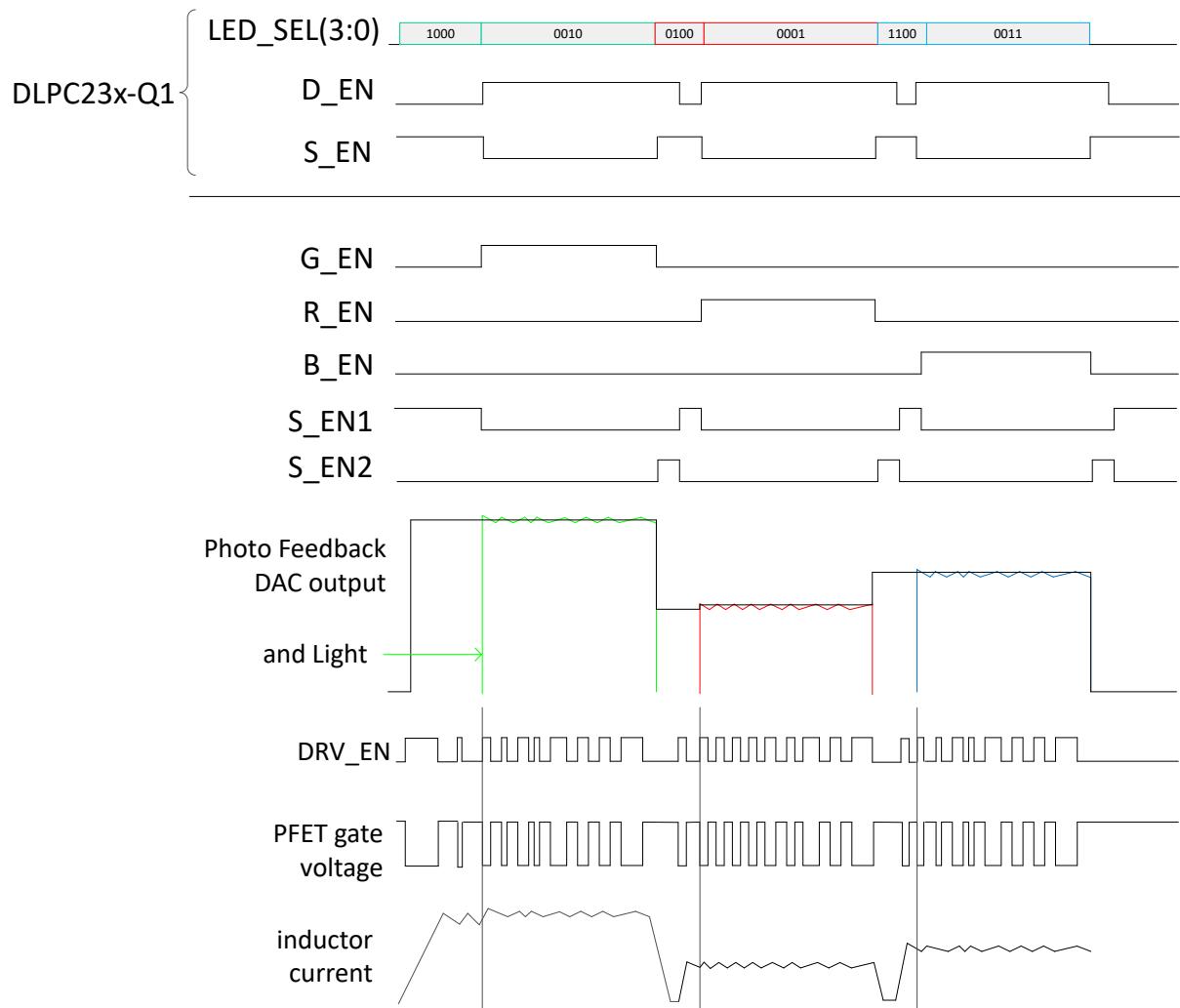


図 6-4. 連続モードの信号の例

連続モードでは、振幅 / フラックス調光とパルス時間減衰の組み合わせによって調光が実現されます。振幅調光は、フォトフィードバック DAC 出力と TIA フィードバック ゲインを調整することで行われます。時間減衰は、シャント有効化 (DLPC23xS-Q1 からの S_EN) の長さと駆動有効化 (DLPC23xS-Q1 からの D_EN) の長さを調整することで行われます (図 6-5 を参照)。100% のビットと、32:1 調光を実現するための 時間と振幅を減衰させるビットを使用した例を図 6-5 に示します。図 6-6 は、時間調光と振幅調光の組み合わせを使用して、いくつの異なる調光レベルを実現できるかを示す、より一般的な例です。

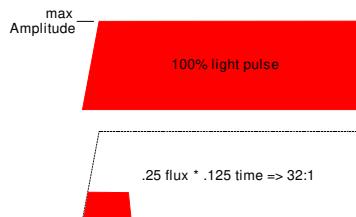


図 6-5. 連続モード調光の図 1

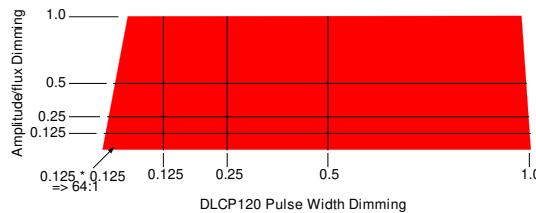


図 6-6. 連続モード調光の図 2

6.3.1.3.1 連続モードでの出力キャパシタンス

連続モードでは、TPS99002S-Q1 からの CMODE 信号が Low に設定されるため、大容量の (ほぼ $1\mu\text{F}$) コンデンサを制御する FET がオフになり、LED およびシャント FET パスと並列に小さな ($0.1\mu\text{F}$ 以下) 高周波デカップリング容量だけが残されます (照明制御ループを参照)。連続モードでより小さい容量を使用すると、コンデンサと LED の両端の電圧が急速充電され、インダクタ内の電流が LED 発光スレッショルドに達する前に目的の電流レベルをオーバーシュートしないようになります。これにより、ビットスライスの開始時に光パルスがオーバーシュートするのを防止できます。(不連続パルスモードでは、このドキュメントで後述するように、おおよそ $1\mu\text{F}$ の容量が必要です。不連続モードでは CMODE ピンを High に設定することで、LED と並列の大容量キャパシタンスを実現できます)。

6.3.1.3.2 連続モード ドライバの歪みとプランギング電流

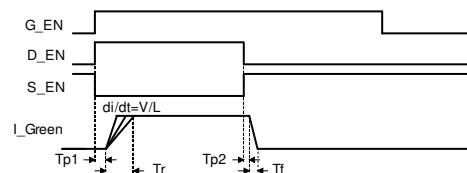


図 6-7. 第 1 世代 / レガシー システム パルス歪みの例

第 1 世代 / レガシー システム パルス歪みの例に示すように、立ち上がり (Tr) および立ち下がり (Tf) エッジ レートが等しくないことや、ターンオン (Tp1) とターンオフ (Tp2) の伝搬遅延が等しくないことにより、実際の LED 電流パルスが歪んでいます。電流パルスの立ち上がりエッジのターンオン時間は、主にインダクタ両端の電圧と目的の電流、およびインダクタ電流の初期状態の関数です。この歪みにより、パルスの時間減衰と振幅減衰の両方が、制御設定の非線形機能になります。これにより、画像アーティファクトが発生する可能性があります。

プランギング時間とは、2 つの LED セグメント間で光が output されない期間です。この時間のインダクタ電流をプランギング電流と呼びます。この電流は制御され、最適化された Tr および Tf が提供されます。

ブランкиング電流制御は、光のオーバーシュートやアンダーシュートを防止することで、画像のアーティファクトを低減します。

ブランкиング電流の期間は 2 つの部分に分割されます。1 つ目は、散逸シャントを使用して、前の光パルスからのインダクタ内の残留電流が低減される散逸フェーズです。2 番目のフェーズは、非散逸 (低直列抵抗) のシャントフェーズであり、LED に電流が印加される前に、次の光パルスに対して適切な電流までインダクタを充電します。このプロセスを次の図に示します。

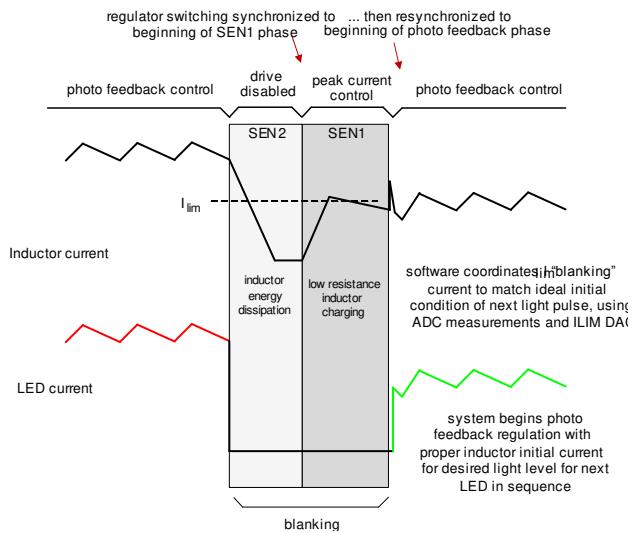
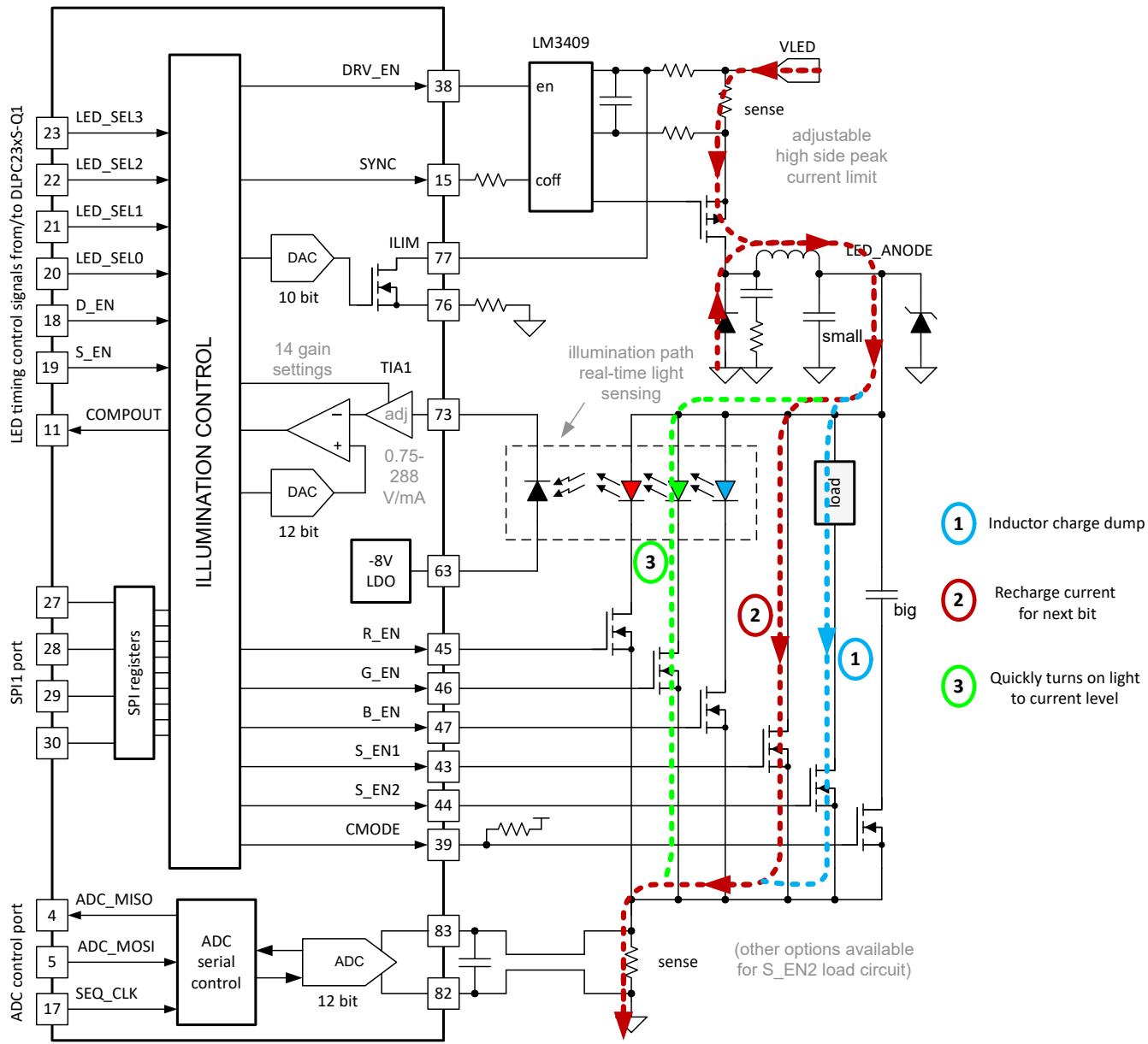


図 6-8. ブランкиング電流放電 / 充電サイクル

ブランкиング時間の最初のフェーズ中に、LED が切離されている間、シャント 2 (S_EN2) が有効になります。これにより、LED の代わりに実効抵抗が大きい負荷が配置されます。インダクタの残留エネルギーがこの負荷に消費され、インダクタ電流は急速に減少します。この機能がない場合、1 つのパルスで大電流が発生すると、次のパルスで過剰な輝度が発生する可能性があります。

ブランкиング時間の第 2 フェーズ中、LED ドライバは短絡シャント (S_EN1) を介してインダクタを充電します。ピーク電流制限に達するまで充電を続けます。ピーク電流制限は、ILIM DAC で設定されます。ピーク電流制限の設定は、DLPC23xS-Q1 ソフトウェアによって調整され、フォトフィードバック動作中の予想動作電流に一致します。(予想される電流レベルは、前のフレーム中の LED 電流の ADC 測定値から決定されます。) ブランкиング電流期間が終了すると、S_EN1 の短絡シャントがオフになり、次の LED が有効になり、DRV_EN 信号がトグルされ、システムはフォトフィードバック (ヒステリシス動作) に戻ります。インダクタは理想的な電流にプリチャージされ、システム容量が低くなるため、光出力の立ち上がりエッジは非常に高速で、安定したヒステリシス制御への移行はほぼ即座に行われます。その結果、矩形パルスが多くなります。次の図に、電流パスの図を示します。



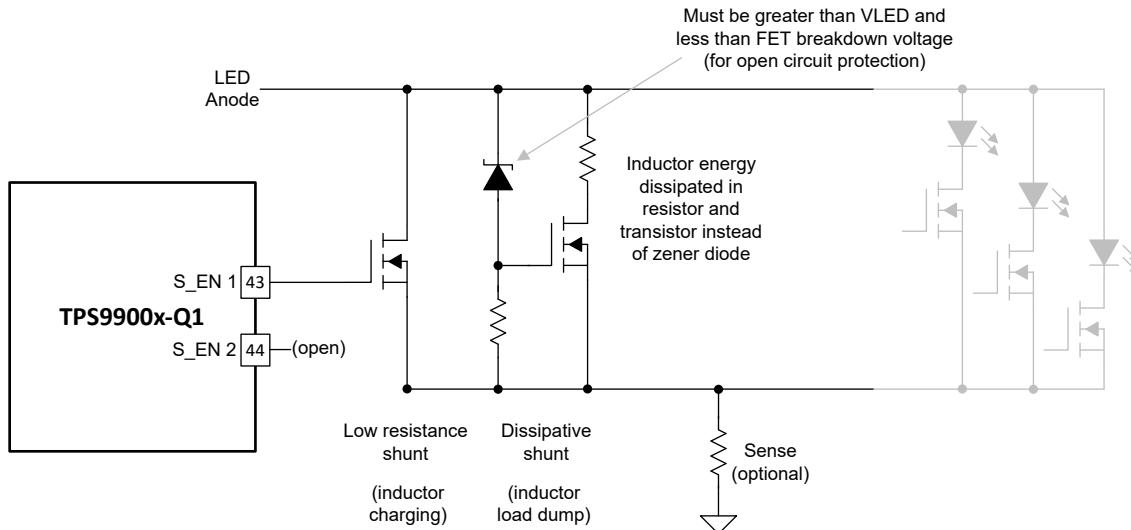


図 6-10. 散逸シャント /LED 開路保護の組み合わせ 1

この場合、LED アノード電圧がツェナー電圧を超えたとき、低消費電力のツェナー ダイオードを使用して FET をオンにします。S_EN2 イネーブルは、この構成では使用されません。代わりに、S_EN2 ブランкиング時間の間、回路を意図的に開路状態にします。その後、保護回路がオンになり、インダクタからのエネルギーが消費されます (S_EN1 シャントが有効になり LED アノード電圧が低下するまで)。この場合、エネルギーは負荷抵抗と FET を組み合わせて消費されます。LED アノード電圧が RGB 選択 FET ブレークダウン電圧を超えないように、ツェナー ダイオードおよび抵抗デバイダの選択には注意が必要です。(オプションで、負荷抵抗全体を削除できます。その後、消費電力は FET でのみ発生し、LED アノード電圧は、あらゆる条件下でツェナー電圧に近い値に維持されます)。回路の意図しないトリガを防止するため、ツェナー電圧は、入力 VLED 電源レールのワーストケース電圧より高くする必要があります。また、ツェナー電圧は、LED 選択 FET の Vds ブレークダウン電圧を下回っている必要があります。

同じ機能を持つ代替回路を以下に示します。

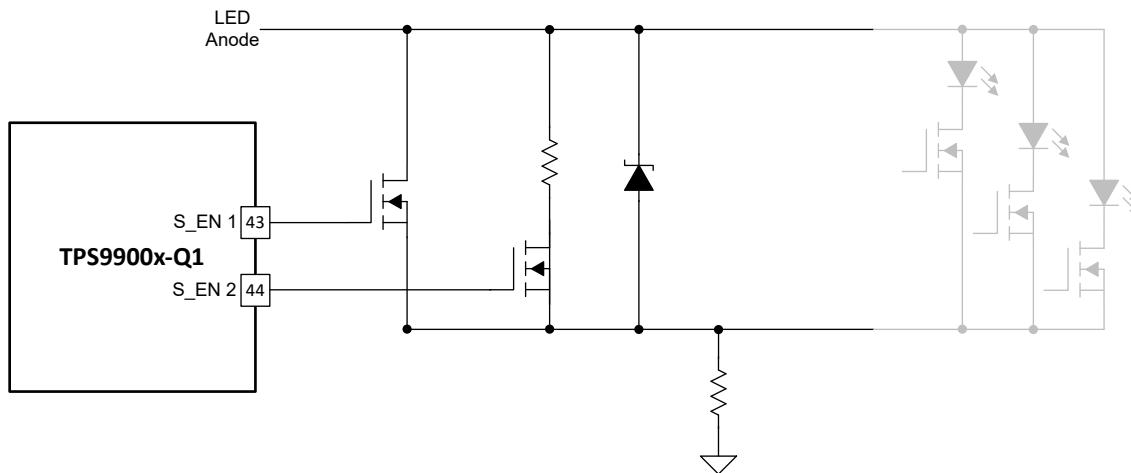


図 6-11. 散逸シャント /LED 開路保護の組み合わせ 2

この回路では、インダクタ電流が S_EN2 で制御される抵抗性経路を通って放電されます。

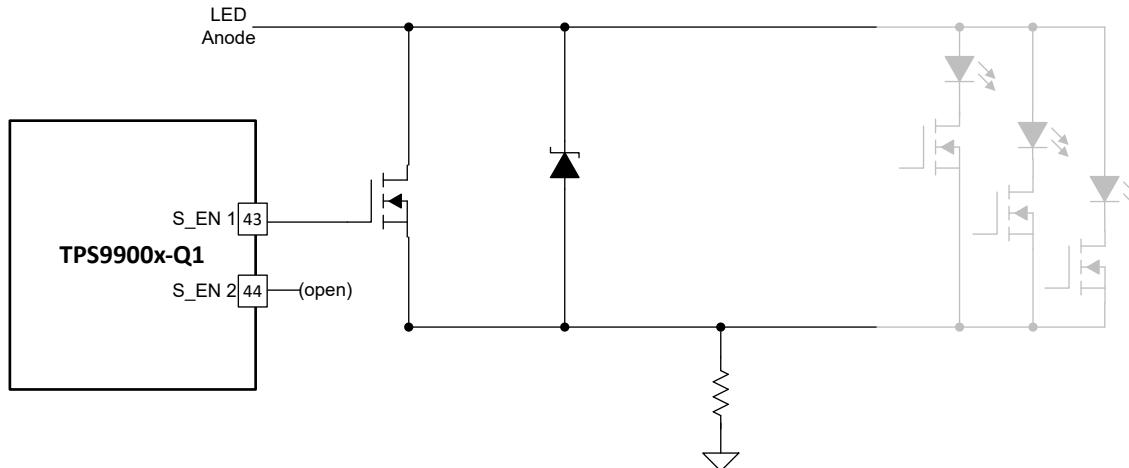


図 6-12. 散逸シャント /LED 開路保護の組み合わせ 3

この回路では、インダクタ電流がパワー ツエナーダイオードを通して放電されます。

6.3.1.3.4 連続モード コンスタント オフ タイム

連続モード動作には、コンスタント オフ タイム機能 (図 6-13 の COMPOUT_LOW 信号を参照) が含まれています。連続モード動作中、目標の光レベルが達成されると、DRV_EN 信号の制御により PFET ゲート駆動がオフになり、インダクタ電流が減少し始めると光レベルは低下し始めます。一般的なヒステリシス コントローラでは、ターン オン スレッショルドに達すると、PFET がオンになり、光 / インダクタ電流が再度増加します。スイッチング周波数は、ターン オン スレッショルドとターン オフ スレッショルド、ループ遅延、ディスクリート部品値の差に依存します (インダクタのインダクタンスと電圧が最も支配的な要因)。

TPS99002S-Q1 では、動作周波数をレギュレートするため、制御が変更されます。コンスタント オフ タイマは、TPS99002S-Q1 制御ループに含まれます。フォトフィードバック コンパレータのスレッショルドに達すると、カウンタが開始されます。カウンタの長さは調整可能です。このカウンタがアクティブの間、フォトフィードバック コンパレータの出力は無視され、PFET 駆動 (TPS99002S-Q1 からの DRV_EN 出力による) は無効になります。コンスタント オフ タイム周期カウンタがタイムアウトすると、フォトフィードバック コンパレータの出力が再度使用されて、LED 電流駆動を制御します。最小オフ時間により、ヒステリシス制御ループのスイッチング周波数の上限が規定され、回路の固有周波数から分離されます。この機能は、回路が AM 無線周波数帯域で動作しないようにするのに役立ち、また、より低いインダクタンス値のインダクタを使用できます (システムコストの削減と電力効率の向上につながります)。

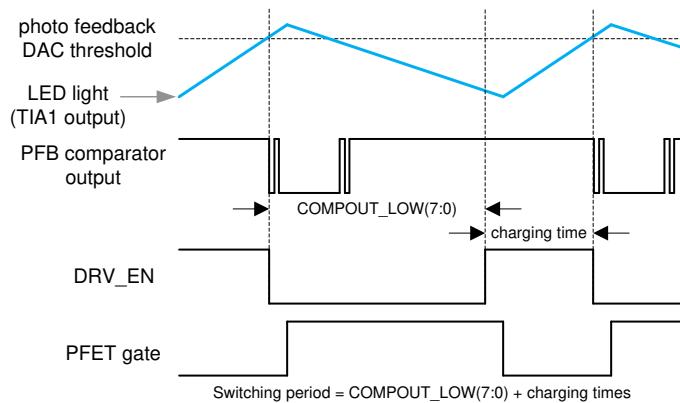


図 6-13. COMPOUT_LOW コンスタント オフ タイム

6.3.1.3.5 連続モード電流制限

連続モードでは、電流制限機能により、LED 電流仕様内で要求された光出力が実現できなかった場合の LED の損傷が防止されます。これは、高温が原因で発生する可能性があります。または LED が経年劣化し、同じ輝度を実現するためにより多くの電流が必要な場合です。実際にはこれが起らないように、十分な熱マージンと LED の寿命マージンを確保するようにシステムを設計する必要があります。

この制御方式では、LM3409 デバイスの内蔵電流制限機能と、TPS99002S-Q1 に搭載されている 10 ビット DAC ベースの調整機能を利用しています。これは、LED の電流の代替制限として機能します。電流制限に達しているか、フォトフィードバック制限に達しているかのどちらか低い方の場合、インダクタ駆動は無効になります。このピーク電流制限は LED ごとに設定でき、点灯アクティブ期間中のみ使用されます。(ランキング期間中、これは同じ構造を使用してランキング電流を制御しますが、ILIM DAC には異なる値がロードされます)。

電流調整メカニズムの回路図を、図 6-14 に示します。

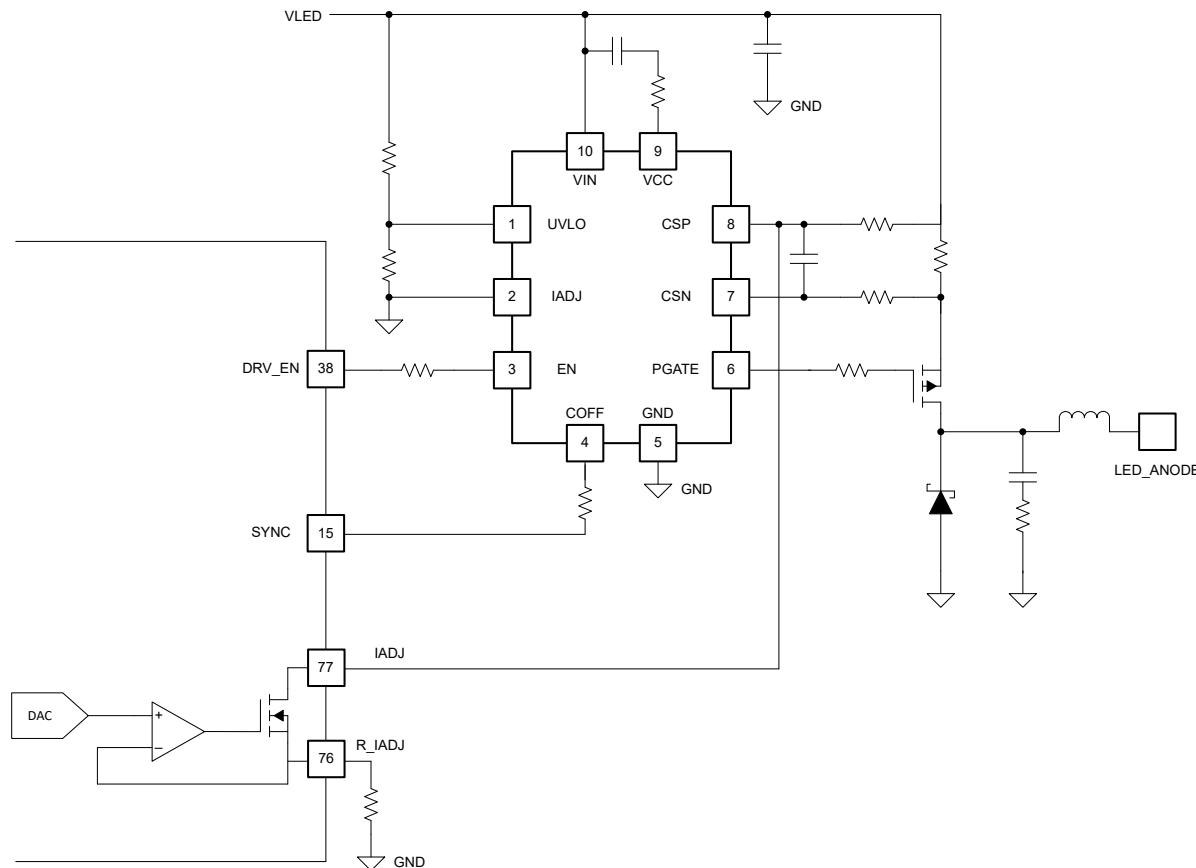


図 6-14. IADJ ピーク電流制限の回路図

設計上、LM3409 は、IADJ ピンが Low に保持され、システムがピーク電流制限モードで動作しているときに、CSP ピンと CSN ピンの間にゼロ電圧差を生成するように設計されています。CSP ピンの電圧が CSN ピンの電圧より高い場合、PGATE ドライバは High に保持されます (PFET オフ)。

ILIM DAC がゼロ以外の電圧に設定されると、TPS99002S-Q1 デバイスの IADJ ラインに電流が発生し、CSP ピンの電圧がプルダウンされます。LM3409 デバイスが有効化され、COFF ピンの状態によって PFET 駆動がオフに保持されていない場合、電流は、センス抵抗にかかる電圧によって CSN ピンが CSP ピンの電圧以上となるまで上昇し、この時点で PFET がオフになります。

TPS99002S-Q1 の IADJ ピンの配線は、PFET ドレイン ノードなどのノイズの多いスイッチング ノードから十分に絶縁されるように注意する必要があります。

6.3.1.4 不連続モードの動作

不連続モードを使用して、より低い調光レベルを実現します。図 6-15 に示すように、ビットスライス中の一定の光ブロックを、制御された振幅の一連の光パルスに置き換えます。パルス数は、DLPC23xS-Q1 ソフトウェアによって制御されます。

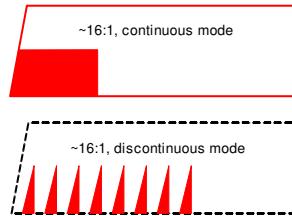


図 6-15. 等価の輝度での連続動作と不連続動作の比較

図 6-15 は、輝度が等価な 8 つのパルスを生成する不連続モード信号を示す図の例です。

不連続モードでは、コントローラはパルス間に固定的なオフ時間で離散的な光パルスを生成します。これらのパルスが生成する光の量を正確に制御して、低い調光レベルに達することができます。一様な光パルスを生成するには、次の 2 つの制御ループを使用します。

- LED を流れる前にインダクタに目的の電流レベルを作り出すためのピーク電流制限ループ。
- 目的の光パルスレベルに達したときに各パルスを終了するフォトフィードバックループ。

初期インダクタ電流とピーク光スレッショルドは、色ごとに独立して調整可能です。図 6-16 と図 6-17 を参照してください。

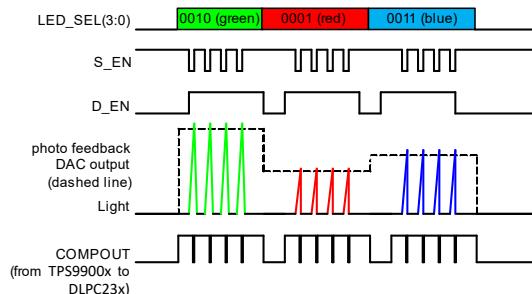


図 6-16. DLPC23xS-Q1 から TPS99002S-Q1 信号に対する不連続動作

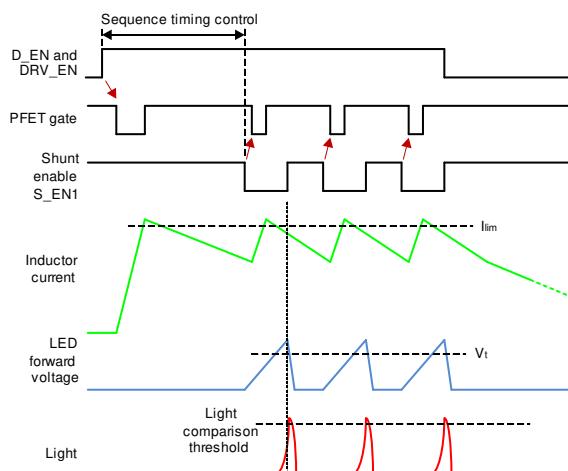


図 6-17. 不連続モード動作インダクタ電流 / LED 電圧

不連続モードは、一連の三角波光パルスで構成されます。DLPC23xS-Q1 は、パルスの合計数を要求し、カウントする役割を果たします。ビット スライスは、低抵抗のシャント イネーブル (S_EN1) がオンの状態から始まり、RGB カラーが選択されます。次に、DLPC23xS-Q1 が D_EN をアサートします。これにより、TPS99002S-Q1 は LED 電流駆動 (DRV_EN) をオンにし、(ILIM DAC でプログラムされた) ピーク電流制限に達するまで、システムはインダクタを低抵抗のシャントで充電します。その後、プログラム可能な時間が経過した後、DLPC23xS-Q1 が S_EN を Low に駆動し、選択した LED にインダクタ電流が強制的に流れます。

TPS99002S-Q1 は、DLPC23xS-Q1 から S_EN の立ち下がりエッジを検出し、DRV_EN 信号のオン / オフ / オントグルを発行します。これにより、電流がインダクタを流れ、LED アノードの電圧が上昇します。LED の順方向電圧が達成されると、光が放射され始めます。フォトフィードバック ループ (TIA、フォトフィードバック コンパレータ、フォトフィードバック DAC) が目標の光スレッショルドを超えると、S_EN1 信号が High に再度アサートされ、光パルスは終了します。

COMPOUT 信号が Low になると、DLPC23xS-Q1 にパルスが完了したことを示します。DLPC23xS-Q1 は直ちに S_EN 出力を High に設定し (これにより TPS99002S-Q1 出力 S_EN1 が High に設定されます)、その後、プログラム可能な時間長だけ待機します。その期間が経過した後、DLPC23xS-Q1 は、D_EN を Low に駆動して次のビット スライスを待つか、S_EN 出力を Low にして新しいパルスの要求を発行するかを決定します。S_EN 出力を Low にすると、TPS99002S-Q1 は S_EN1 を (LED を強制的に電流を流す) Low に設定し、DRV_EN を切り替えることで、新しいピーク制限電流パルス サイクルを要求します。このプロセスは、特定のビット スライスに対して正しいパルス数が完了するまで繰り返されます。

非常に低い輝度での動作では、TPS99002S-Q1 SYNC (LM3409 COFF) タイマは無効になります。その結果、DRV_EN は各光パルスの開始時にのみトグルされます。これにより、インダクタ電流と LED 電流が同期されます。この同期により、LED パルスの高さはあるビデオ フレームから次のビデオ フレームまでと非常に一貫性が保たれるため、ちらつきが防止されます。

6.3.1.4.1 不連続モードのパルス幅制限

TPS99002S-Q1 には、各不連続モード パルスの時間を制限する機能があります。カウントは、パルス イベント中に LED に印加される電流の時間長さを監視し、時間をプログラム可能な時間制限と比較します。ライト出力スレッショルドに達する前に時間制限が経過すると、不連続パルスは終了します。どちらの場合も (フォト レベルまたは時間制限の満了) パルスは、S_EN1 低抵抗シャントを有効にすることで終了します。これにより、フォトフィードバックのスレッショルドに達しない場合の最大輝度が制限されます。不連続パルス幅制限に対して、独立した RGB 値がサポートされます。図 6-18 にこのプロセスを示します。

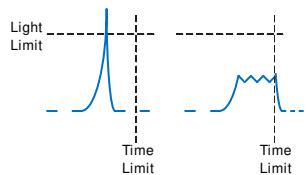


図 6-18. 不連続モードのパルス幅時間制限

6.3.1.4.2 不連続動作時の COMPOUT_LOW タイマ

不連続動作では、連続モード ケースにスイッチング周波数を設定するのと同じ COMPOUT_LOW パラメータが、不連続動作のノイズ フィルタとして機能します。この回路は、パルスの終了に等しい光スレッショルド コンパレータの最初の立ち下がりエッジでトリガれます。その後、コンパレータ出力のそれ以降のすべての立ち上がり / 立ち下がりエッジは、事前に定義された時間だけ無視され、不連続動作に対するグリッチ抑制フィルタ機能を提供し、パルス間のタイミングを制御します。

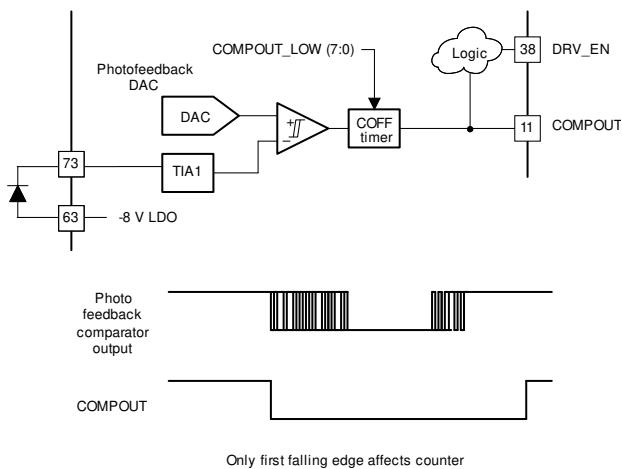


図 6-19. COMPOUT_LOW タイマを不連続動作でのグリッチ フィルタとして使用

6.3.1.4.3 不連続動作範囲内の調光

不連続モードで動作している場合、ディスプレイの輝度を低減するために、次の 2 つの調光方式が同時に使用されます。

1. フォトフィードバック DAC 設定を使用する振幅調光。
2. ビットスライスあたりのパルス数の制御 (DLPC23xS-Q1 へのコマンドを使用し、特定のルックアップ テーブル データを選択)。

図 6-20 は、LSB あたり 8 パルス (最小ビットスライス) である最も明るい LUT データ テーブルの例です。LED パルスの高さを変調して、2:1 調光比を実現しながら、LSB ごとの 8 つのパルスを維持します。より低い調光レベルにシームレスに遷移できるように、図 6-21 に示すように、LSB ごとに 4 パルスとより大きな LED 振幅を加えた値に変更します。図 6-21 の両方の場合に生成される総光はほぼ等しくなります。システム キャリブレーションを使用して、この $\frac{1}{2}$ の LED 振幅 フォトフィードバック DAC 設定を決定します。

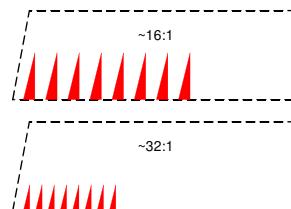


図 6-20. シーケンス内の 2:1 調光

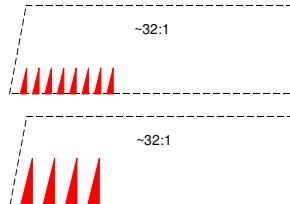


図 6-21. 不連続動作のパルス カウント変更

滑らかな調光(輝度が低下)シーケンスが継続するため、上記のプロセスは最終的に LSB あたり 1 つのパルスを使用します。図 6-22 に示すように、振幅調光は、表示輝度を絶対最小レベルまで調光するために使用されます。

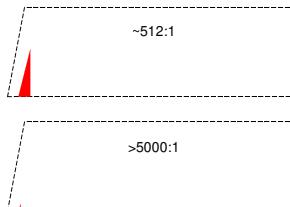


図 6-22. LSB シーケンスごとに 1 つのパルスによる不連続調光

図 6-22 に示すように、LSB ごとに単一のパルスを選択すると、残りの調光はすべて、パルス高さスレッショルド低減のみを使用して発生する必要があります。

6.3.1.4.4 複数のパルス高さによりビット深度を拡大

TPS99002S-Q1 を使用すると、特定のシーケンス内で最大 4 セットのフォトフィードバックスレッショルド設定がサポートされます。これは、より小さなサブ LSB ビット(通常の LSB より小さいビット)を生成する不連続動作時に便利です。

LED_SEL(3:0) ラインは、グループ情報と色選択(およびブランкиング電流選択)を含むようにエンコードされています。

各グループを定義して、特定のカラー ビットに対するさまざまな動作を決定できます。たとえば、グループ 0 を LSB に、グループ 1 を LSB-1 の作成に使用できます。

表 6-1. LED の選択表

LED_SEL(3:0)	名称	アクション
"0000"	OFF	ドライバ無効化モード S_EN1 強制 High RGB が Low に選択されます
"0100"	R BLANKING	LED_SEL(1:0) - "00" = ブランкиング
"1000"	G BLANKING	LED_SEL(3:2): "01" = 赤 "10" = 緑 "11" = 青
"1100"	B BLANKING	
"0001"	GRP0 RED	
"0010"	GRP0 GREEN	
"0011"	GRP0 BLUE	
"0101"	GRP1 RED	ドライバインエーブルモード: LED_SEL(3:2) - グループを定義: '00' - グループ 0 '01' - グループ 1 '10' - グループ 2 '11' - グループ 3
"0110"	GRP1 GREEN	LED_SEL(1:0): "01" - 赤 "10" - 緑 "11" - 青
"0111"	GRP1 BLUE	
"1001"	GRP2 RED	
"1010"	GRP2 GREEN	
"1011"	GRP2 BLUE	
"1101"	GRP3 RED	
"1110"	GRP3 GREEN	
"1111"	GRP3 BLUE	

グループ 1 ~ 3 の RGB 選択を使用すると、図 6-23 に示すように、シーケンス内の分数 LSB を作成できます。

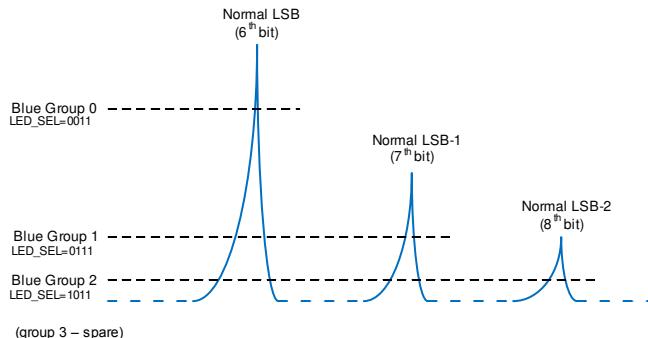


図 6-23. 不連続動作における拡張 LSB ピット深度

この機能と、絶対サイズの光パルスを小型化する機能と組み合わせることで、従来のシステムと同様に、実用的なビット深度制限を、TPS99002S-Q1/DLPC23xS-Q1 第 2 世代システムではカラーあたり標準的な 6 ビットから 7 ビットまたは 8 ビットに拡張できます。

6.3.1.4.5 TIA ゲイン調整

TIA1 のゲインを調整して、より広い調光範囲を実現できます。TIA ゲインを大きくすると、与えられたフォト フィードバック DAC レベルに対する光出力が減少します。ゲインが大きいほど輝度範囲は狭くなりますが、目的の範囲内で分解能が高くなります。

6.3.1.4.6 不連続モードでの電流制限

電流制限によって、インダクタを流れる最大電流が決定されます。電流制限を高くすると、より高いパルスの高さを実現できます。電流制限が小さいほど、各パルスの立ち上がりエッジが遅くなり、パルスのオーバーシュートが低減されます。そのため、調光レベルが低いと、電流制限は減少します。

6.3.1.4.7 不連続動作での CMODE 大容量コンデンサ モード

TPS99002S-Q1 は出力信号 CMODE を提供します。この信号は、不連続な動作におけるより大きなコンデンサのスイッチングを行う FET のゲートを駆動するために使用できます。高容量モードは、不連続動作中にのみ使用されます。(高容量は連続動作で問題を引き起こすため、そのモードでは容量を最小限に抑えることが推奨されます)。容量が大きいほど、パルス生成プロセス中に LED の順方向電圧が増加する速度が遅くなります。充電速度が遅いと、発光しない状態から完全な発光状態に遷移し、時間が長くなります。適切な容量を選択するには、良好なエッジレート制御と、パルスがスレッショルドに達するまでの合計時間との間のバランスを取る必要があります。このコンデンサの温度特性に注意する必要があります。温度範囲全体で静電容量の変動が小さいため、低温 / 高温条件で、より正確で再現性の高い結果が得られます。

利点:

- パルス安定性
- 低速のパルス エッジ レートにより、低い光出力スレッショルドをサポートしています

CMODE 大容量コンデンサを使用した充放電ループは以下のとおりです。

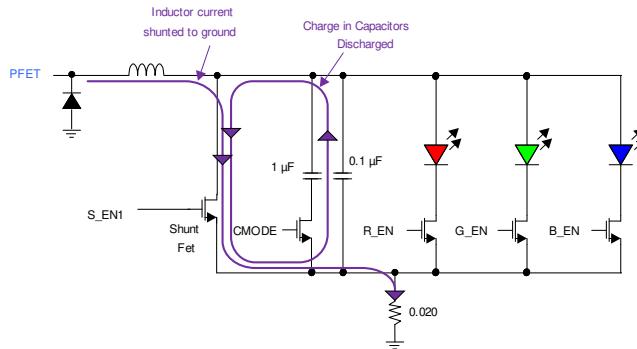


図 6-24. シャントが有効な場合の不連続モードの電流バス

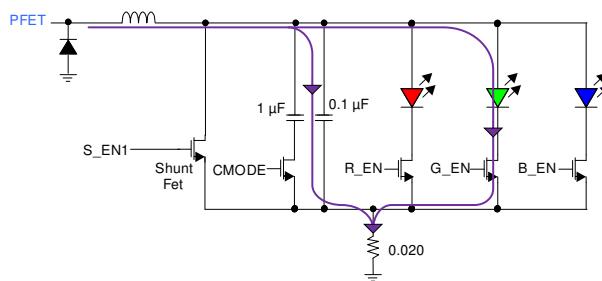


図 6-25. シャントが無効な場合の不連続モードの電流バス

6.3.2 過剰輝度検出

TPS99002S-Q1 には、過輝度状態を検出するため 2 つの方法があります。最初の方法は、ADC 測定値とフォトフィードバックコンパレータの出力を組み合わせて使用し、フォトフィードバックループ内の破損を検出します。別の方は、2 次フォトダイオードを使用して、HUD 画像のオーバー輝度を検出する方法です。

6.3.2.1 フォトフィードバックモニタ BIST

1 次側フォトダイオードを接続解除すると、LED 出力の安定化に使用される帰還ループが遮断されます。LED を無効にできるように、このフォトダイオードの接続解除を検出する必要があります。

DLPC23xS-Q1 ソフトウェアと TPS99002S-Q1 は、フォトダイオードが接続解除されていることを検出するための、フォトフィードバックモニタの内蔵セルフテスト (BIST) を実装しています。各ビデオフレームにおいて、DLPC23xS-Q1 ソフトウェアは、LED 電流と TIA 出力の ADC 測定と COMPOUT の立ち下がりエッジを使用して、フォトダイオードの接続解除を検出します。

連続モードにおいて、DLPC23xS-Q1 ソフトウェアは、すべての LED 電流が最大であるものの、TIA の測定値が最小の場合、フォトダイオードが接続解除されていると判断します。これは、LED が電流を流している一方、フォトダイオードが LED からの光出力に応答していないことを示しています。

不連続モードでは、COMPOUT エッジを使用してフォトダイオードの切断を検出します。COMPOUT の立ち下がりエッジは、LED パルスが目標スレッショルドに達したことを示します。これは、フォトダイオードが接続されている場合にのみ可能です。したがって、フォトダイオードが接続されているかどうかを確認するために、DLPC23xS-Q1 ソフトウェアによって COMPOUT エッジが検出されます。

6.3.2.2 過剰輝度 BIST

過剰輝度 BIST では、TIA2 に接続された 2 次フォトダイオードを使用して、HUD の出力画像の過輝度状態を検出します。

TIA2 の出力が、プログラマブルスレッショルドと比較されます。出力がスレッショルドを超えると、DLPC23xS-Q1 ソフトウェアはエラーをログに記録します。この BIST では、TIA2 を高帯域幅または低帯域幅構成で使用できます。

低帯域幅モードは、TIA2 出力の RC フィルタ ローパス値を提供します。フィルタの抵抗素子は TPS99002S-Q1 に組み込まれており、このコンデンサは外部コンポーネントです。低帯域幅の入力を使用する場合は、時定数がフレーム時間よりも長くなるように、コンデンサの値を予測する必要があります。

スレッショルドのハードウェア制御は、TPS99002S-Q1 の調光機能と同期していません。したがって、この機能を有効または無効にしたり、HUD の調光レベルに基づいてスレッショルドを調整したりする必要があります。

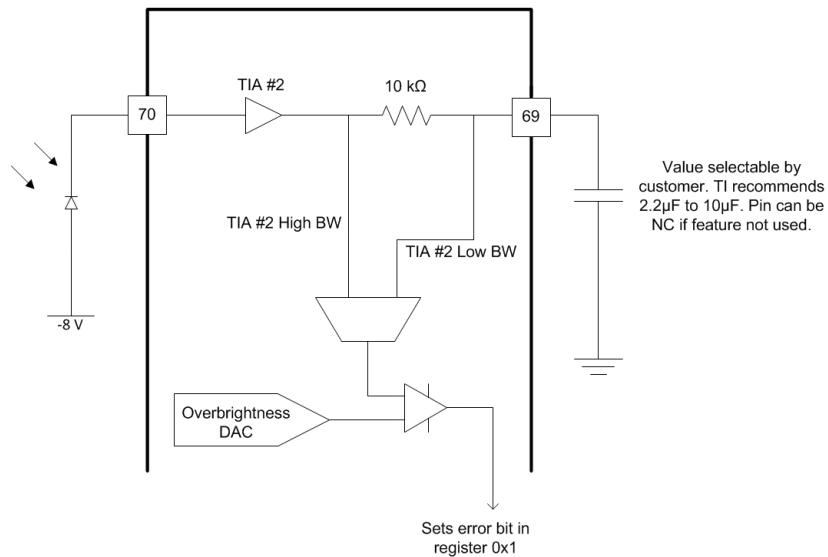


図 6-26. 過剰輝度検出回路

6.3.3 A/D コンバータ

TPS99002S-Q1 には、32:1 入力マルチプレクサとデュアル サンプル / ホールド回路を備えた 12 ビットの A/D コンバータ ブロックが内蔵されています。また、カスタム高速シリアル制御インターフェイスも搭載しており、DLPC23xS-Q1 と組み合わせて使用すると、フレームごとに最大 63 DMD シーケンス整列のサンプルを実現し、ハードウェアベースのサンプルタイミングとシャドウラッチの結果を使用できます。ハードウェア サンプルのタイミング機能とシャドウ ラッチを使用することで、DLPC23xS-Q1 プロセッサは ADC タイミング タスクから解放され、プロセッサ リソースを他の用途に解放できます。

図 6-27 に、2 つの ASIC 内の ADC コントローラ ブロックの構造を示します。

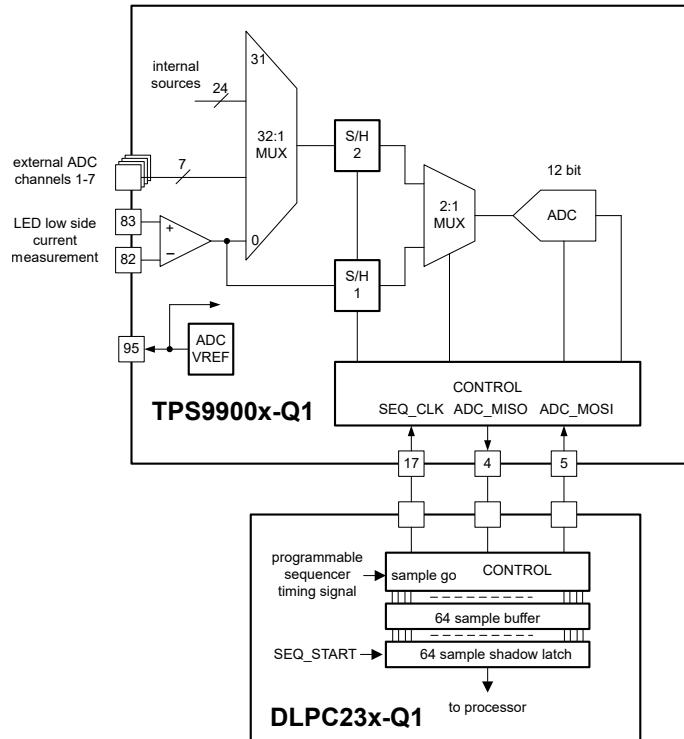


図 6-27. ADC サブシステムのブロック図

ADC ブロックには、差動ローサイド LED 電流測定用に予約された専用チャネルが含まれています。2 個のサンプル / ホールド回路が搭載されており、組み合わせた LED の電流 / 電圧測定をサポートできます。追加の 7 つの外部 ADC チャネルがサポートされています。残りの 24 マルチプレクサ入力により、内部 TPS99002S-Q1 の動作パラメータを測定できます。

注

ペアリングしたサンプルを実行すると、同時にサンプリングされますが、順次変換されるため、変換時間は 2 倍になります。

DLPC23xS-Q1 には、フレームごとに最大 63 個の ADC サンプルをサポートするカスタム ADC 制御ブロックが含まれています。サンプルは DMD シーケンサの動作と整合しており、システム構成ツールで構成可能です。この整列により、特定の光パルス (LED 電流、電圧、および TIA 出力) をシーケンス内でパルス出力でき、フレーム間で高精度に再現できます。フレームごとに最大 63 サンプルがサポートされています。63 サンプル バッファには、各フレームを更新するシャドウラッチが内蔵されています。このラッチされた出力は完全なフレーム時間の間一定に保持されるため、DLPC23xS-Q1 が情報を収集および処理する時間を確保できます。

リファレンス電圧出力は、ADC ブロックにも含まれています。これにより、ADC が変換に使用するリファレンスと一致する、低電流電圧リファレンスを提供します。この外部基準電圧を使用してサーミスタ分圧器にバイアスを印加することができ、外部基準電圧と内部基準電圧を組み合わせて使用する場合よりも高い精度を実現します。リファレンス電圧を使用するかどうかにかかわらず、このピンとグランドとの間に $0.1\mu\text{F}$ コンデンサを接続してください。

注

電流電源は制限されています。ADC_VREF 出力で規定された電流最大定格を超える負荷を使用すると、ADC が予測不能な動作をする可能性があります。

6.3.3.1 A/D コンバータ入力表

表 6-2. A/D コンバータ入力表

パラメータ	内部または外部	テスト条件 (1)	最小値	標準値	最大値	単位
チャネル 0、ゲイン	ローサイド センスアンプ	外部	ゲインを 24x に設定	22.56	24	V/V
チャネル 0、ゲイン	ローサイド センスアンプ	外部	ゲインを 12x に設定	11.28	12	V/V
チャネル 0、ゲイン	ローサイド センスアンプ	外部	ゲインを 9x に設定	8.46	9	V/V
チャネル 1、ゲイン	ADC_IN1_PAD (LED_ANODE)	外部		0.980	1.000	V/V
チャネル 2、ゲイン	ADC_IN2_PAD (VLED)	外部		0.980	1.000	V/V
チャネル 3、ゲイン	ADC_IN3_PAD	外部		0.980	1.000	V/V
チャネル 4、ゲイン	ADC_IN4_PAD	外部		0.980	1.000	V/V
チャネル 5、ゲイン	ADC_IN5_PAD (R_LED_THERM)	外部		0.980	1.000	V/V
チャネル 6、ゲイン	ADC_IN6_PAD (G_LED_THERM)	外部		0.980	1.000	V/V
チャネル 7、ゲイン	ADC_IN7_PAD (B_LED_THERM)	外部		0.980	1.000	V/V
チャネル 8、ゲイン	VBIAS	内部	TRP モード = 1	0.053	0.055	V/V
チャネル 9、ゲイン	VOFFSET	内部	TRP モード = 1	0.097	0.1	0.103
チャネル 10、ゲイン	VRESET	内部	TRP モード = 1	-0.198	-0.19	-0.182
チャネル 10、オフセット	VRESET	内部	TRP モード = 1	-2.1	-2	-1.9
チャネル 11、ゲイン	VMAIN	内部		0.52546	0.559	V/V
チャネル 12、ゲイン	DVDD	内部		0.31302	0.333	V/V
チャネル 13、ゲイン	V1.1	内部		0.65706	0.699	V/V
チャネル 14、ゲイン	V1.8	内部		0.40326	0.429	V/V
チャネル 15、ゲイン	V3.3	内部		0.2209	0.235	V/V
チャネル 16、オフセット	M8 LDO のオフセット	内部		8.15	8.400	V
チャネル 16、ゲイン	M8 LDO	内部		0.980	1.000	V/V
チャネル 17、ゲイン	外部 ADC VREF	内部		0.49	0.5	V/V
チャネル 18、ゲイン	ドライバ電源	内部		0.20398	0.217	V/V
チャネル 19、ゲイン	ダイ温度 1	内部		0.490	0.500	V/V
チャネル 20、ゲイン	ダイ温度 2	内部		0.490	0.500	V/V
チャネル 21、ゲイン	ILED 制御 DAC	内部		0.490	0.500	V/V
チャネル 22、ゲイン	フォトフィードバック制御 DAC	内部		0.490	0.500	V/V
チャネル 23、ゲイン	オーバード輝度制御 DAC	内部		0.490	0.500	V/V
チャネル 24、ゲイン	TIA1 リアルタイム	内部		0.490	0.500	V/V
チャネル 25、ゲイン	TIA1 低帯域幅	内部		0.490	0.500	V/V
チャネル 26、ゲイン	TIA2 リアルタイム	内部		0.490	0.500	V/V
チャネル 27、ゲイン	TIA2 低帯域幅	内部		0.490	0.500	V/V
チャネル 28、ゲイン	チャネルは使用されていません	内部				
チャネル 29、ゲイン	メイン バンドギャップ、0.5V	内部		0.980	1.000	V/V
チャネル 30、ゲイン	TIA1 モニタ	内部		0.980	1.000	V/V

表 6-2. A/D コンバータ入力表 (続き)

パラメータ	内部または外部	テスト条件 (1)	最小値	標準値	最大値	単位
チャネル 31、ゲイン	TIA2 モニタ	内部	0.980	1.000	1.020	V/V

(1) 変換式は $(X + \text{オフセット}) \times \text{ゲイン}$ です。X は入力電圧です。特に記述のない限り、オフセットは 0V です。

6.3.4 電源シーケンスおよび監視

TPS99002S-Q1 は、適切なパワーアップおよびパワーダウン シーケンスを実行し、DMD の長期的に信頼性の高い動作を確保するように特別に設計されています。高電圧 DMD ミラー電源には、特別な電源シーケンス順序と、パワーアップ、パワーダウン、通常動作中、電源レール (VRESET、VBIAS、VOFFSET) 間の電圧差の制限が必要です。TPS99002S-Q1 は、システム設計者向けにこれらの要件を対処します。

6.3.4.1 電力監視

メイン非同期デジタル ロジック リセット (DVDD_RSTZ) – TPS99002S-Q1 への 3.3V 電源入力のメイン電力を監視します。このモニタ出力は、TPS99002S-Q1 内のすべてのデジタル ロジックの非同期リセットとして使用されます。

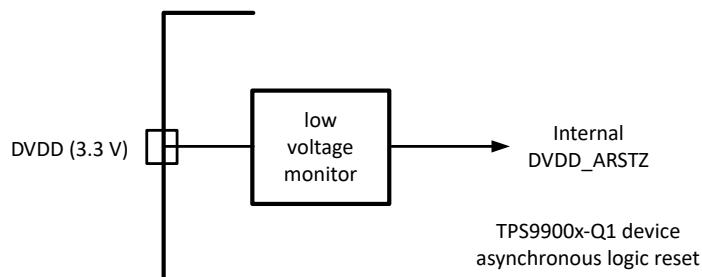


図 6-28. 内部 DVDD モニタ

PROJ_ON ピンは、DLP サブシステムのメイン オン / オフ スイッチです。1 はオン、0 はオフです。DVDD_ARSTZ が解放されると、TPS99002S-Q1 は PROJ_ON ピンのサンプリングを開始します。Low の場合、システムはオフ状態のままです。High になると、TPS99002S-Q1 は電源オン プロセス全体の進行を開始します。

TPS99002S-Q1 には、VMAIN ブラウンアウト監視機能が搭載されています。図 6-29 に示すように、電圧モニタは VMAIN 入力ピンの電圧を観測します。監視対象の電圧が高くなる可能性がある場合 (バッテリ入力など)、ピンの過電圧保護のためにツェナーが必要になることがあります。

PROJ_ON または VMAIN のどちらかを使用して、システムのオンとオフを切り替えることができ、それにより DLPC23xS-Q1 への電力が切断されます。DLPC23xS-Q1 への電力を切断せずにディスプレイのオン / オフを迅速に制御するには、DLPC23xS-Q1 組込みソフトウェアの動作モードを「スタンバイ」と「ディスプレイ」の間で変更してください。

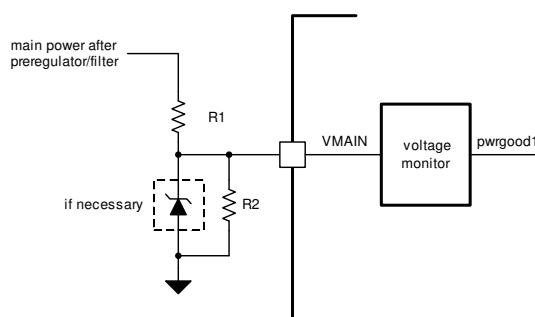


図 6-29. VMAIN ブラウンアウト監視

このモニタは、DLP サブシステムに、ユニットへの電力が供給されなくなることを早期に警告するために使用されます。システムは、DMD ミラーを停止し、VMAIN 入力電圧が固定スレッショルドを下回ると、電源オフの状態に移行します。外部

抵抗を使用して、入力電源レールを分圧する必要があります。VMAIN のブラウンアウトが発生した後、TPS99002S-Q1 のメイン電源レールは、TPS99002S-Q1 のパワーダウンが完了するまで、動作範囲内に維持する必要があります。

チップセットに供給されるメイン電源レール (6V、3.3V、1.8V、1.1V) は、リアルタイム電力モニタによっても監視されます。これらの各モニタは、図 6-30 の pwrgood2 信号を生成するために、論理的に「OR」接続されます。

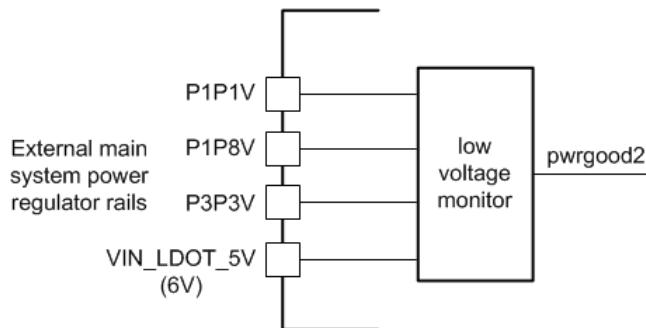


図 6-30. リアルタイム電源レール監視

さらに、TPS99002S-Q1 内のすべての電力を ADC 機能によって監視できます。DLPC23xS-Q1 ソフトウェアは、システム内のすべての電圧情報を各フレームごとに収集するように、ADC ブロックを構成します。仕様外の問題はすべて、DLPC23xS-Q1 システムステータスのシステム エラーとしてキャプチャされ、報告されます。

6.3.5 DMD ミラー電圧レギュレータ

DMD ミラー電圧レギュレータは、次の 3 つの高電圧電源レールを生成します: DMD_VRESET、DMD_VBIAS、DMD_VOFFSET。DMD レギュレータは、スイッチング レギュレータを使用し、インダクタは 3 つの電源すべてでタイムシェアリングされます。インダクタは、特定の電流レベルまで充電された後、3 つの電源のいずれかに対して放電されます。電源が追加の充電を必要としない場合、その電源に通常割り当てられたタイム スロットはスキップされ、より多くの充電を必要とする電源はすべての充電時間を受け取ります。

正常に動作させるには、各電源レールに特定のバルク容量値が必要です。コンデンサの推奨値については、「電気的特性: 温度および電圧モニタ」を参照してください。このレギュレータには、アクティブ パワーダウン / 放電回路が含まれています。タイミング要件を満たすためには、総容量 (公称値ではなく実際の容量) が、「電気的特性: 温度および電圧モニタ」に定義されているように、このレベルを実質的に超えないようにする必要があります。パワーダウンタイミングは、特定のシステム設計ごとに検証する必要があります。合計容量が小さすぎると、電源レールに過剰なリップルが発生し、DMD ミラーの動的動作に影響を及ぼす可能性があります。デバイスの動作温度予測範囲全体にわたって、推奨される最小容量を維持するためのコンデンサを使用するよう注意が必要です。ここでは、高電圧で大きな静電容量を失うことがない大型パッケージが必要です。

これらの電源で DMD が引き込む平均電流は小さいですが (最悪の場合は数十 mA)、ピーク電流は数十ナノ秒にわたって数アンペアに達する可能性があります。このピーク電流を供給するには、値の小さい高周波デカップリング コンデンサを DMD 電源入力ピンのできるだけ近くに配置する必要があります。

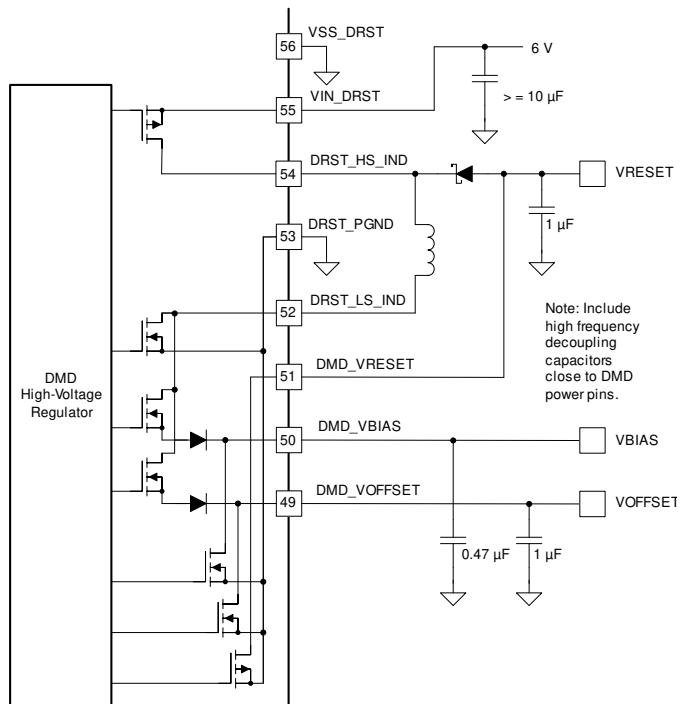


図 6-31. DMD 電圧レギュレータ回路

6.3.6 低ドロップアウト レギュレータ

TPS99002S-Q1 には、特定の内部機能専用の 4 つの低ドロップアウト レギュレータが内蔵されています。

- フォトダイオード逆バイアス用の固定 $-8V$ 負電圧レギュレータ (VIN_LDOT_M8 入力、VLDOT_M8 出力)
- 内部アナログ回路用の $5V$ 出力レギュレータ (VIN_LDOT_5V 入力、VLDOT_5V 出力)
- 内部アナログ用の $3.3V$ 出力レギュレータ (VIN_LDOT_3P3V 入力、VLDOT_3P3V 出力)
- ADC ブロック専用の $3.3V$ 出力レギュレータ (VIN_LDOA_3P3 入力、VLDOA_3P3 出力)

正出力 LDO レギュレータはすべて、LED 選択 FET ゲートドライバ電源入力 DRVR_PWR、DMD ミラー電圧レギュレータ VIN_DRST に必要とされる、同じ公称 $6V$ の入力で動作するように設計されています。ただし、専用のサブプレーンと電源フィルタリング手法を使用して、敏感なアナログ回路の電源入力をスイッチング ノイズから分離するように注意する必要があります。アナログ電源レールのノイズはシステムの調光範囲性能に直接影響するため、低輝度レベルで安定した動作が制限されます。

負の $8V$ LDO は、DMD_VRESET 電源レールを電源として使用するように設計されています。(なお、この使用法は、DMD がパワーアップ状態になるまで TIA / フォトダイオード パスは使用できないことを意味します。)

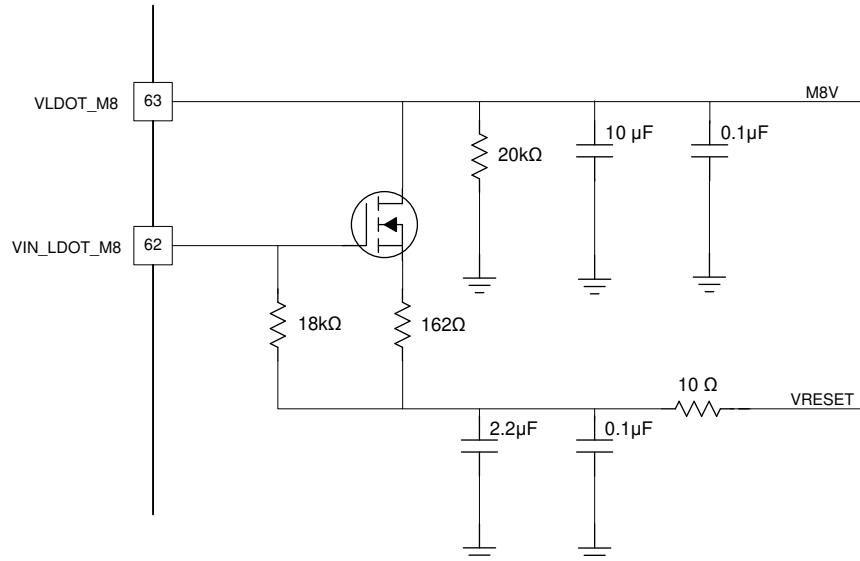


図 6-32. 負の 8V LDO 回路

注意

フォトダイオードを使用しないアプリケーションでは、-8V レギュレータは必要ありません。DLPC230 SW で-8V LDO を有効にしないオプションが選択されている場合、VLDOT_M8 と VIN_LDGT_M8 は接続解除のままにしておくことができます。これらのピンが接続されていない場合、-8V LDO が有効になっていないことを確認する必要があります。ピンが切断されている間にこのレギュレータが有効化されている場合、デバイスに永続的な損傷が発生するおそれがあります。

6.3.7 システム監視機能

6.3.7.1 ウィンドウ ウオッチドッグ回路

TPS99002S-Q1 には 2 つのウィンドウ ウオッチドッグ回路が搭載されており、DLPC23xS-Q1 内の誤動作を検出するために使用できます。

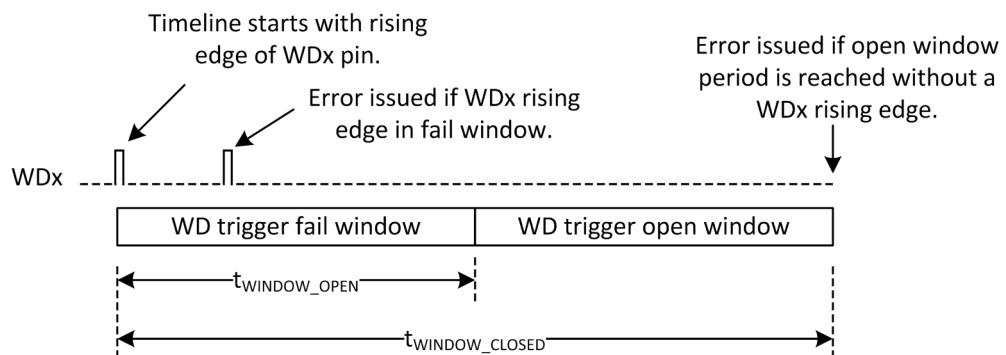


図 6-33. ウィンドウ ウオッチドッグ機能

DLPC23xS-Q1 ソフトウェアは、両方のウォッチドッグ回路を使用します。Watchdog #1 (WD1) は、DLPC23xS-Q1 からの専用 GPIO ラインへのワイヤ接続を通じて、DLPC23xS-Q1 の内部マイクロプロセッサを監視します。ウォッチドッグ #2 (WD2) は、DLPC23xS-Q1 シーケンサの動作を監視するために使用されます (SEQ_STRT ピンを監視し、WD2 入力に接続されています)。

この機能が有効になっているとき、2つのレジスタでウォッチドッグトリガ ウィンドウの開閉タイミングを制御します。プロセスは、対応する **WDx** ピンの立ち上がりエッジで開始されます。WD トリガ ウィンドウが開く前に別の立ち上がりエッジが発生すると、ウォッチドッグ エラーが発行されます。WDx で立ち上がりエッジを受信せずにオープン ウィンドウ期間の終了に達すると、エラーが発行されます。WDx の立ち上がりエッジを受信すると、このプロセスが再開されます。2つのウォッチドッグは独立しています。

6.3.7.2 ダイ温度監視

TPS99002S-Q1 には、TPS99002S-Q1 の内部温度を監視するための冗長性を目的とした 2つのオンチップ ダイ温度モニタが搭載されています。各モニタには、ダイ温度が 2つのスレッショルドのいずれかを超えたかどうかを示す出力があります。1つは警告スレッショルドを監視し、もう1つは過熱エラー スレッショルドを監視します。警告スレッショルドを超過すると、割り込みマスク レジスタの構成に応じて、プロセッサ割り込みが生成されることがあります。動作中に過熱エラーのスレッショルドを超えると、TPS99002S-Q1 は緊急シャットダウン手順を開始し、低消費電力状態で動作している間に **PROJ_ON** ピンのトグルがシステム再起動を開始するのを待ちます。オンダイの温度が警告スレッショルドを下回っていない限り、システムはパワーオン初期化の手順を続行しません。これらの温度モニタ出力ビットのステータスは、**DVDD** および **VDD_IO** 電源がオンで安定している限り、SPI バス経由で利用可能です。

6.3.7.3 外部クロック比モニタ

TPS99002S-Q1 は、内部低周波数発振器 (2MHz、システム初期化やその他のメンテナンスのために使用)、および外部高速 (30MHz) クロック **SEQ_CLK** という 2つの主要なクロック ソースで動作します。これらは、照明制御ブロック内のロジックや **ADC** など、タイミングが最も重要なアプリケーションに使用されます。TPS99002S-Q1 には、この内部クロックと外部クロックの比率を報告する機能が搭載されています。この比率は SPI バス上で利用できます。DLPC23xS-Q1 は、この比率をチェックし、予想値と比較できます。比率が正しくない場合は、DLPC23xS-Q1 発振器が正しくない高調波にロックされているか、その他の障害状態が発生している可能性があります。

6.3.8 通信ポート

6.3.8.1 シリアル・ペリフェラル・インターフェイス (SPI)

TPS99002S-Q1 には、最大 30MHz クロック レートの転送をサポートする 4 線式 SPI ポートが 2つあります。プライマリポート (SPI1) は、レジスタの読み取りと書き込みをサポートし、デバイスのプライマリ セットアップおよび制御インターフェイスとして機能します。DLPC23xS-Q1 は、システム動作中に TPS99002S-Q1 を制御する SPI1 の 1 次側です。2 次読み取り専用の 4 線式 SPI ポート (SPI2) を使用すると、システム内のオプションの 2 番目のマイコンにステータス情報を提供できます。

両方のポートに対して、**SPIx_SS_Z** は SPI ポートのアクティブ Low チップ セレクトとして機能します。SPI フレームは、**SPIx_SS_Z** ピンが Low になることによって開始され、**SPIx_SS_Z** ピンが High に駆動されると完了します。

セカンダリ SPI ポートは、読み取り専用のシステム モニタ ポートとして機能します。アドレス空間のすべてのレジスタは、このポート経由で読み取ることができます。このプロトコルは、読み取り専用であることを除いて、実質的にメイン ポートと同じであり、コマンド フィールドのパリティ エラーを報告する方法はわずかに異なります。データは、**SPI2_CLK** の立ち上がりエッジで取り込まれることに注意してください。

このポートを使用する場合は、常にトランザクション パケット全体を送信する必要があります。これを行わない場合、データの破損が生じるおそれがあります。

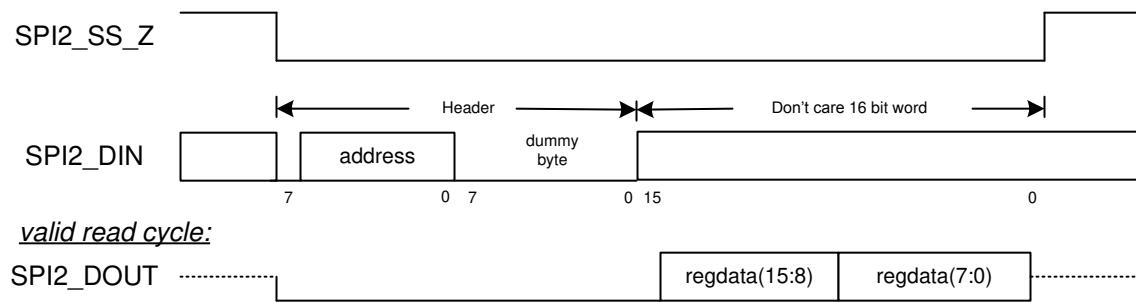


図 6-34. SPI ポート 2 プロトコル (読み取り専用)

6.4 デバイスの機能モード

図 6-35 の次の図に、TPS99002S-Q1 の機能動作モードを示します。

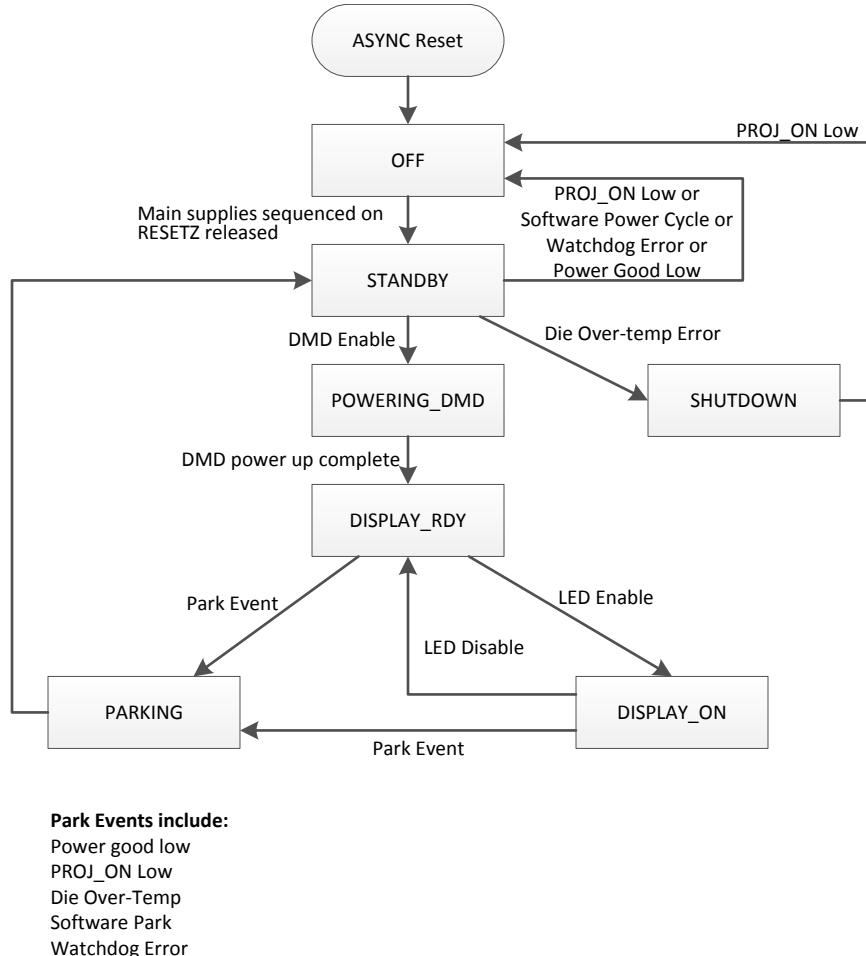


図 6-35. トップ レベル システム状態

6.4.1 OFF

デバイスの非同期内部リセットにより、システムはこの状態になります。すべての電源 (DMD 電源、1.1V、1.8V、3.3V) は非同期で無効化されており、DLPC23xS-Q1 への RESETZ 出力は Low に保持されています。内部リセットが解放されると、SPI2 を介した通信がサポートされます。

OFF 状態から終了すると、STANDBY 状態に進みます。OFF 状態を終了するには、次のすべてを満たす必要があります。

- VMAIN 入力モニタは良好なステータスを表示する必要があります。
- PROJ_ON (プロジェクタオン) 入力ピンは High である必要があります。
- ダイ温度警告は、ダイ温度が警告スレッショルドを下回っていることを示す必要があります。OFF 状態が終了すると、STANDBY に移行する前に、外部の 1.1V、1.8V、3.3V 電源が順番にオンになります。最初に 1.1V、次に 1.8V、そして 3.3V です。

1.1V、1.8V、3.3V の内部監視 (および VIN_LDOT_5V の 6V 入力) により、4 つのレールすべてが動作範囲内になるまで、STANDBY への進行を保留します。電源が良好になると、RESETZ 出力信号は特定の周期にわたって Low に保持され、DLPC23xS-Q1 に対して適切なリセットサイクルが保証された後、STANDBY に移行するために解放されます。

6.4.2 STANDBY

STANDBY 状態に移行すると、RESETZ は High に設定され、DLPC23xS-Q1 はブートプロセスを開始します。

STANDBY 状態からの終了オプションには、次のものがあります。

- ダイの過熱エラーにより、システムは SHUTDOWN 状態に移行します。STANDBY 状態で過熱エラーが発生すると、システムの異常が発生します。
- PROJ_ON が Low のとき、OFF 状態に移行します。
- ソフトウェアによってパワー サイクルが要求されました。システムは OFF 状態に進みます。
- どちらかのウォッチドッグ タイマがソフトウェアで有効になっていてエラーが発生すると、システムは OFF 状態に進みます。
- 電源が予期せず不良になり、システムは OFF 状態に進みます。
- DLPC23xS-Q1 ソフトウェアは DMD 電圧の有効化を開始します。POWERING_DMD 状態に移行します。これは、DMD 電圧有効化プロセスの最初のステップです。

STANDBY フェーズでは、DLPC23xS-Q1 ソフトウェアは DMD および DLPC23xS-Q1 シーケンサの構成ステップを実行します。このソフトウェアは、DMD の電圧有効化タイミングを担当し、必要な DMD 構成レジスタへのインターリーブ、DLPC23xS-Q1 ASIC ブロック構成ステップを実行します。DLPC23xS-Q1 ソフトウェアが DMD 電圧の有効化を開始すると、TPS99002S-Q1 は POWERING_DMD 状態に進みます。

6.4.3 POWERING_DMD

DLPC23xS-Q1 ソフトウェアが STANDBY 時に DMD 電圧の有効化を開始すると、システムは POWERING_DMD 状態に入ります。この状態では、DLPC23xS-Q1 ソフトウェアは、DMD を安全に構成および電源投入するために必要なすべての手順を実行します。

POWERING_DMD 状態を終了すると、DLPC23xS-Q1 ソフトウェアは、DMD が電源投入されていることを確認します。これにより、TPS99002S-Q1 が DISPLAY_RDY 状態に送信されます。これは、DMD 電圧有効化プロセスの最後のステップです。

電源オン中に PROJ_ON が Low に受信された場合でも、TPS99002S-Q1 は引き続き電源オンシーケンスを完了します。

6.4.4 DISPLAY_RDY

表示準備完了状態では、DLPC23xS-Q1 はいつでも照明を有効にできます。

DLPC23xS-Q1 ソフトウェアによって照明を有効にすると、TPS99002S-Q1 は DISPLAY 状態に移行します。

終了条件:

- 照明有効:DISPLAY_ON 状態に移行します。(HUD のみ)
- DMD パークイベントが発生しました。これには、消費電力が不良、PROJ_ON Low、ダイ過熱エラー、ソフトウェア パーク開始、または、ソフトウェア パワー サイクルが開始された場合を含みます。これらのイベントは、TPS99002S-Q1 を PARKING 状態に送信します。

注: ヘッドライトのみのアプリケーションの場合、TPS99002S-Q1 は DISPLAY_ON 状態に移行しません。DISPLAY_RDY のまま、照明のオンとオフを切り替えます。

6.4.5 DISPLAY_ON

システム動作中、画像が表示されています。終了条件:

- 照明無効化:DISPLAY_RDY 状態に移行します。
- 内部 DMD パークイベントが発生した (消費電力が不良、PROJ_ON Low、ダイ過熱エラー、または ソフトウェア パークが開始された、または ソフトウェアパワーサイクル開始された場合、TPS99002S-Q1 を PARKING 状態に送信します)。

6.4.6 パーキング

DMD パーキングが行われています。この状態では、(DLPC23xS-Q1 への) PARKZ 出力信号が Low にアサートされます。タイマ カウント ダウン時間後、DMD 電圧レギュレータの制御は無効になります。最後のハードウェア遅延が経過すると、次の状態は STANDBY になります。

6.4.7 シャットダウン

シャットダウン状態に移行するのは、ダイの過熱状態が発生したときのみです。切り替え可能なオンチップ アクティビティがすべて停止します。この状態からの終了条件は、PROJ_ON Low (0) または完全な電源オフのみです。この状態は、2 番目の診断 SPI ポートから読み取ることができます。すべての電源が無効化されます。

6.5 レジスタ マップ

6.5.1 システムステータス レジスタ

アドレス	名称	ビット	説明
チップリビジョン ID、R のみ、リセット値 0000			
0x00	未使用。	[15:8]	未使用。
	メジャー	[7:4]	メジャー リビジョン
	軽微	[3:0]	マイナー リビジョン
ステータス セット、R/W、リセット値 0000 (任意のビット フィールドに 1 を書き込むとフラグが設定されます)			
0x01	PG のフォルト ステータス	[15]	ユーザー レジスタ 38h のビンが設定されているときにアサートされます
	DM 最大幅制限	[14]	最大 DM パルス幅に達しています。システムの動作モードによっては、これはエラーになる場合、エラーにならない場合もあります
	VXPG 初期化	[13]	VOFS、VRST、または VBIAS 用のパワー グッド タイマが期限切れ
	メイン SPI パリティ エラー	[12]	前のコマンドで SPI1 ポート トランザクション (コマンドまたは書き込みデータ) にパリティ エラーが発生しました
	ADC ブロック エラー	[11]	ADC ブロック内のすべてのエラーの「OR」です。特定のエラーを確認するには、x0D を参照してください。
	チェックサム エラー 3	[10]	LED/ 調光コントローラセクションのチェックサム エラー
	チェックサム エラー 2	[9]	ライト センサ コンディショニング セクションのチェックサム エラー
	チェックサム エラー 1	[8]	ADC サブシステム セクションのチェックサム エラー
	WD2	[7]	ウォッチドッグ #2 エラー
	WD1	[6]	ウォッチドッグ #1 エラー
	トップ レベルの状態変更	[5]	トップ レベルのステート マシンの状態が変化したことを示します。ランダム故障により TPS99002S-Q1 が DISPLAY 状態を予期せず終了したことを示すために使用できます
	過剰輝度	[4]	輝度が過剰な検出器は、高輝度故障状態を示します
	VXPG フォルト	[3]	VOFS、VRST、または VBIAS でパワー グッド フォルトが発生すると、ハードウェアで 1 に設定されます
	ダイ過熱警告	[2]	チップの熱条件が警告レベルに達しました。温度が上昇し続けると、システムはダイ過熱エラーの温度に達し、TPS99002S-Q1 によって緊急動作が行われます
	ダイ過熱エラー	[1]	チップの熱状態が緊急 / エラーに達しました。システムを保護するために、TPS99002S-Q1 によって緊急措置が取られます。このエラー ビットは、PARKZ 出力に対してマスクできません
	PROJ_ON_LOW	[0]	プロジェクタ ON 入力ビンが Low になっています (このステータス ビットには 1 が生成されます)。

アドレス	名称	ビット	説明
一般ステータス 1、R のみ、リセット値 0000			
0x05	クロック比モニタ	[15:12]	中間スケール読み取り値 (1000±1) は、約 30MHz の外部信号が印加されたことを示します
	オープン	[11:8]	予約済み
	最終リセット (2:0)	[7:5]	最後のリセットサイクルの根本原因で、最後に OFF 状態を通過します。 「000」– 真のパワー オン サイクル、内部リセット設定 / リリース 「001」– PROJ_ON が Low 「010」– オオチドッグ タイマ 1 エラー 「011」– オオチドッグ タイマ 2 エラー 「100」– ダイ過熱エラー 「101」– SW パワー サイクルコマンド その他はすべて未使用
	トップ状態 (4:0)	[4:0]	トップ レベル ステート マシン電流状態 0x00 = SHUTDOWN 0x01 = 内部初期化 0x02 = OFF 0x03 = 内部初期化 0x04 = 1P1V の初期化 0x05 = 1P8V の初期化 0x06 = 3P3V の初期化 0x07 = RESETZ をデアサート 0x08 = STANDBY 0x09 = VOFFSET 有効化 0x0A = VBIAS 有効化 0x0B = VRESET 有効化 0x0C = DISPLAY READY 0x0D = DISPLAY ON 0x0E = パーキング初期化 0x0F = VBIAS および VRESET 無効化 0x10 = VOFFSET 無効化 0x11 = DMD 電圧放電

6.5.2 ADC 制御

アドレス	名称	ビット	説明
ADC ブロック ステータス SET、読み取り / 書き込み、リセット値 0000 (いずれかのビットフィールドに 1 を書き込むとフラグが設定されます。すべての ADC エラービットの OR が、メイン ステータスにおいて 1 つの ADC エラー ビットに供給されます。)			
0x0D	未使用。	[15:8]	予約済み
	AD3 コマンド ストップ ビット エラー	[7]	ストップ ビットが欠落していることを示します
	ADC タイムライン エラー	[6]	前のコマンドがまだ実行中のときに、新しいコマンドが受信されたことを示します
	コマンド エラー	[5]	シリアル バス コマンドでエラーが検出されました
	パリティ エラー検出	[4]	ビット ストリームのパリティ エラーが検出されました
	Ch2 アンダーフロー	[3]	チャネル 2 レジスタに表示される ADC 変換結果にアンダーフローが発生しました
	Ch2 飽和	[2]	チャネル 2 レジスタに表示される ADC 変換結果が飽和しています
	Ch1 アンダーフロー	[1]	チャネル 1 レジスタに表示される ADC 変換結果にアンダーフローが発生しました
	Ch1 飽和	[0]	チャネル 1 レジスタに表示される ADC 変換結果が飽和しています

6.5.3 一般フォルトステータス

アドレス	名称	ビット	説明
一般フォルトステータス、R のみ、リセット値 0000 の 1 はフォルトを示します			
0x38	VBIAS パワーグッド フォルト	[15]	VBIAS が最小規定電圧を下回っています
	VRST パワーグッド フォルト	[14]	VRESET が最小規定電圧を下回っています
	VOFS パワーグッド フォルト	[13]	VOFFSET が最小規定電圧を下回っています
	パワーグッド 1 フォルト	[12]	VMAIN または AVDD レールが、最小規定電圧 (論理 OR) を下回っています。
	パワーグッド 2 フォルト	[10]	1.1V、1.8V、3.3V、6V のいずれかの電源が、最小規定電圧 (論理 OR) を下回っています。
	ADC 3V LDO パワーグッド フォルト	[9]	ADC 3V LDO が最小規定電圧を下回っています
	ADC 3V LDO 過電圧 フォルト	[8]	ADC 3V LDO が最大規定電圧を上回っています
	TIA 3V LDO パワーグッド フォルト	[7]	TIA 3V LDO は最小規定電圧を下回っています
	TIA 3V LDO 過電圧 フォルト	[6]	TIA 3V LDO が最大規定電圧を上回っています
	TIA5 LDO 過電圧 フォルト	[5]	TIA 5V LDO が最大規定電圧を上回っています
	TIAM8 LDO パワーグッド フォルト	[4]	負の 8V フォトダイオードバイアス LDO が最小規定電圧を下回っています
	TIAM8 LDO 過電圧 フォルト	[3]	負の 8V フォトダイオードバイアス LDO が最大規定電圧を上回っています
	V3P3 パワーグッド フォルト	[2]	3.3V が最小規定電圧を下回っています
	V1P8 パワーグッド フォルト	[1]	1.8V が最小規定電圧を下回っています
	V1P1 パワーグッド フォルト	[0]	1.1V が最小規定電圧を下回っています

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DLP394xS-Q1 チップセットは、ヘッドアップ ディスプレイ (HUD) や高解像度ヘッドライトなど、プロジェクションベースの車載アプリケーションをサポートするよう設計されています。

DLP394xS-Q1 チップセットは、DLP394xxS-Q1 (DMD)、DLPC23xS-Q1、TPS99002S-Q1 の 3 つの部品で構成されています。DMD は、画像の形成と投射に使用される超小型ミラーで構成された光変調器です。DLPC23xS-Q1 は、DMD 用のコントローラです。入力ビデオをフォーマットし、DMD 照射用光源と DMD のタイミングを制御することで、受信したビデオを表示できます。TPS99002S-Q1 は、照射用光源 (LED またはレーザー) 用のコントローラとチップセット全体の管理 IC です。同時に、DLPC23xS-Q1 と TPS99002S-Q1 は、システムレベルの監視、診断、障害検出機能にも使用できます。

7.2 代表的なアプリケーション

このチップには、HUD とヘッドライトの 2 つの構成があります。表 7-1 に、2 つの構成間のピン接続の違いを示します。

表 7-1. HUD とヘッドライトのピン構成の違い

ピン	名称	説明	HUD	ヘッドライト
12	COMPOUT	フォトダイオード (PD) インターフェイスの高速コンパレータ出力	DLPC23xS-Q1 GPIO_02 に接続し	無接続
15	SYNC	外部 LED 降圧ドライバ同期ストローブ出力	セクション 7.2.1.2.3 を参照してください。	無接続
18	D_EN	LED インターフェイス、降圧ハイサイド FET ドライブ有効化	DLPC23xS-Q1 D_EN (GPIO_04) に接続	DLPC23xS-Q1 D_EN (GPIO_04) またはグランドに接続し
19	S_EN	LED バイパスシャントストローブ入力	DLPC23xS-Q1 S_EN (GPIO_03) に接続	DLPC23xS-Q1 S_EN (GPIO_03) またはグランドに接続
20	LED_SEL_0	LED イネーブルストローブ 0 入力	DLPC23xS-Q1 PMIC_LEDSEL_0 に接続未定:	DLPC23xS-Q1 PMIC_LEDSEL_0 またはグランドに接続
21	LED_SEL_1	LED イネーブルストローブ 1 入力	DLPC23xS-Q1 PMIC_LEDSEL_1 に接続	DLPC23xS-Q1 PMIC_LEDSEL_1 またはグランドに接続
22	LED_SEL_2	LED イネーブルストローブ 2 入力	DLPC23xS-Q1 PMIC_LEDSEL_2 に接続し	グランド
23	LED_SEL_3	LED イネーブルストローブ 3 入力	DLPC23xS-Q1 PMIC_LEDSEL_3 に接続します	グランド
38	DRV_EN	LM3409 の割り込み有効化	ドライバ選択有効化	抵抗をグランドに接続
39	CMODE	コンデンサの選択出力 (CM モードで使用する容量が小さくなり、オーバー / アンダーシュートを低減できます)。オーブンドレイン	セクション 6.3.1.4.7 を参照してください。	無接続
40	DMUX0	デジタル テスト ポイント出力	テスト ポイントに接続するか、未接続のままにします。接続しないでください。	テスト ポイントに接続するか、未接続のままにします。接続しないでください。
41	DMUX1	デジタル テスト ポイント出力	テスト ポイントに接続するか、未接続のままにします。接続しないでください。	テスト ポイントに接続するか、未接続のままにします。接続しないでください。
43	S_EN1	低抵抗シャント NFET 駆動有効化 [High はシャントがアクティブを意味する]	セクション 6.3.1.3.3 を参照してください。	シャント有効化 / 接続なし

表 7-1. HUD とヘッドライトのピン構成の違い (続き)

ピン	名称	説明	HUD	ヘッドライト
44	S_EN2	高抵抗シャント NFET 駆動有効化 [High はシャントがアクティブを意味する]	セクション 6.3.1.3.3 を参照してください。	無接続
45	R_EN	赤色のチャネル選択。ローサイド NFET を駆動し	FET イネーブル	FET 有効化 / 接続なし
46	G_EN	緑色のチャネル選択。ローサイド NFET を駆動し	FET イネーブル	FET 有効化 / 接続なし
47	B_EN	青色のチャネル選択。ローサイド NFET を駆動し	FET イネーブル	FET 有効化 / 接続なし
57	AMUX1	アナログ テスト マルチブレクサ出力 1	テスト ポイントに接続するか、未接続のままにします。接続しないでください。	テスト ポイントに接続するか、未接続のままにします。接続しないでください。
61	AMUX0	アナログ テスト マルチブレクサ出力 0	テスト ポイントに接続するか、未接続のままにします。接続しないでください。	テスト ポイントに接続するか、未接続のままにします。接続しないでください。
62	VIN_LDOT_M8	専用の TIA インターフェイス -8V (nom) LDO 外部レギュレーション FET 駆動信号、-8V レギュレータ用	セクション 6.3.6 を参照してください。	セクション 6.3.6 の説明に従って接続するか、接続しないでください (SW で NC オプションを選択)。
63	VLDOT_M8	専用の TIA インターフェイス -8 V (nom) LDO フィルタ付き電源 (安定化電圧フィードバック)	セクション 6.3.6 を参照してください。	セクション 6.3.6 の説明に従って接続するか、接続しないでください (SW で NC オプションを選択)。
76	R_IADJ	IADJ の電圧から電流への変換用外部抵抗	セクション 7.2.1.2.3 を参照してください。	グランド
77	IADJ	外部 LED コントローラ駆動電流設定ポイントの調整に使用する電流 output	セクション 7.2.1.2.3 を参照してください。	グランド
85	ADC_IN1	外部 ADC チャネル 1、表 6-2 を参照	分圧器を使用して LED アノードに接続します。	接続なし / オプション (お客様による使用)
86	ADC_IN2	外部 ADC チャネル 2、表 6-2 を参照	オプション (LED 入力電圧)	接続なし / オプション (お客様による使用)
88	ADC_IN3	外部 ADC チャネル 3、表 6-2 を参照	接続なし / オプション (お客様による使用)	接続なし / オプション (お客様による使用)
90	ADC_IN4	外部 ADC チャネル 4、表 6-2 を参照	接続なし / オプション (お客様による使用)	接続なし / オプション (お客様による使用)
92	ADC_IN5	外部 ADC チャネル 5、表 6-2 を参照	接続なし / オプション (サーミスタ)	接続なし / オプション (お客様による使用)
93	ADC_IN6	外部 ADC チャネル 6、表 6-2 を参照	接続なし / オプション (サーミスタ)	接続なし / オプション (お客様による使用)
94	ADC_IN7	外部 ADC チャネル 7、表 6-2 を参照	接続なし / オプション (サーミスタ)	接続なし / オプション (お客様による使用)

パワーアップおよびパワーダウン状態時にフローティング入力を避けるため、下表のピンにプルダウン抵抗が必要です。

表 7-2. プルダウン抵抗の要件

ピン	名称	標準値
5	ADC_MOSI	10kΩ
6	WD1	10kΩ
16	SEQ_START	10kΩ
17	SEQ_CLK	10kΩ
18	D_EN ⁽¹⁾	10kΩ
19	S_EN ⁽¹⁾	10kΩ
20	LED_SEL_0 ⁽¹⁾	10kΩ
21	LED_SEL_1 ⁽¹⁾	10kΩ
22	LED_SEL_2 ⁽¹⁾	10kΩ

表 7-2. プルダウン抵抗の要件 (続き)

ピン	名称	標準値
23	LED_SEL_3 ⁽¹⁾	10kΩ
27	SPI1_CLK	10kΩ
30	SPI1_DIN	10kΩ
31	SPI2_DIN	10kΩ
34	SPI2_CLK	10kΩ
49	DMD_VOFFSET ⁽²⁾	56kΩ
50	DMD_VBIAS ⁽²⁾	110kΩ
51	DMD_VRESET ⁽²⁾	68kΩ

(1) これらのピンが (ヘッドライト構成のように) DLPC23xS-Q1 に接続されていない場合は、プルダウン抵抗なしで直接グランドに接続できます。

(2) DMD_VOFFSET, DMD_VBIAS, DMD_VRESET の最小負荷を生成するには、抵抗プルダウンが必要です。これらの各プルダウンは、0.1mA ~ 1mA の負荷を供給する必要があります。-8V LDO を使用する場合は、DMD_VRESET のプルダウンを排除できます。TIA を 1 個または 0 個のみ使用する場合、これらのプルダウンにより 1mA まで電流が引き込まれることがあります。

7.2.1 HUD

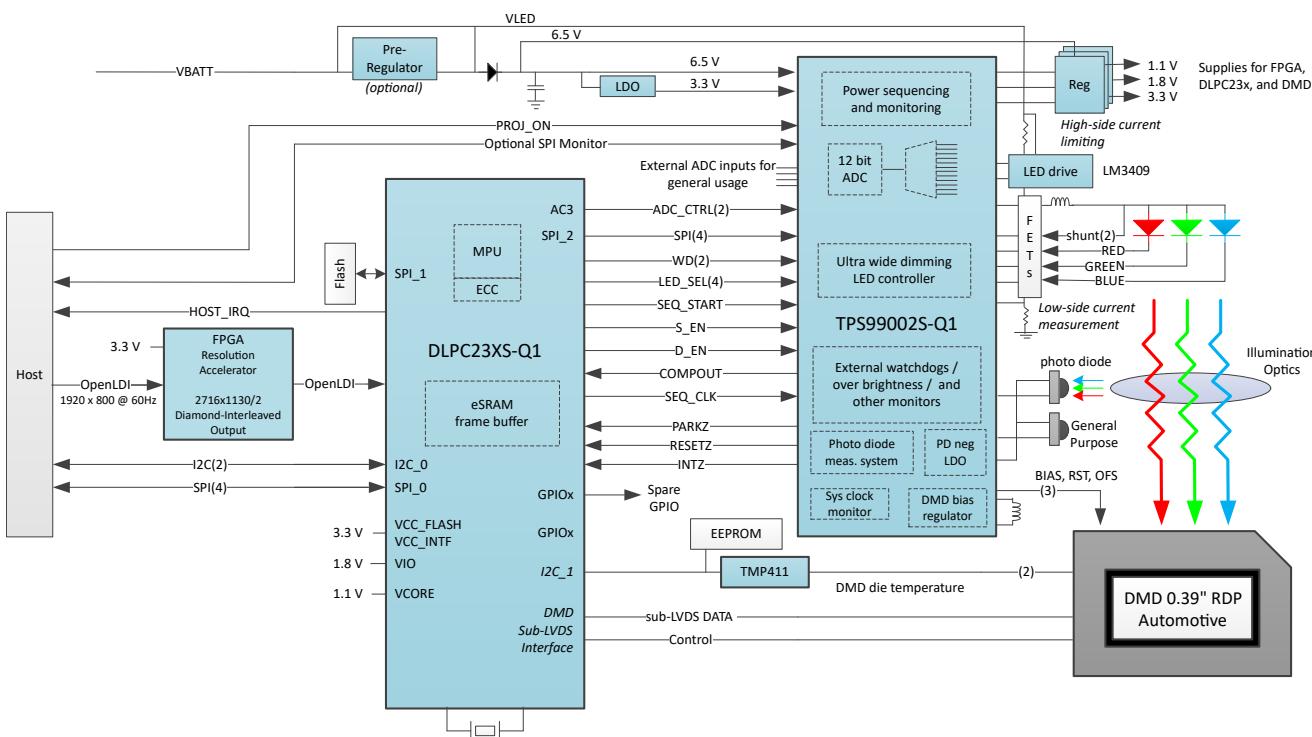


図 7-1. HUD システムのブロック図

注

TPS99002S-Q1 システム管理および照明コントローラは、DLP394xS-Q1 チップセットの一部で、このチップセットには DLPC23xS-Q1 DMD ディスプレイコントローラも含まれます。

7.2.1.1 設計要件

DLPC23xS-Q1 は、DMD および HUD 内の RGB LED のタイミング用コントローラです。この回路は、動作範囲全体にわたって HUD で要求される色と輝度を実現するために、LED の適切なタイミングと振幅を要求します。ホストから要求されたフルカラーのビデオを生成するために、DMD をこれらの LED と同期します。

DLPC23xS-Q1 は、車両のホスト プロセッサから入力を受け取ります。ホストは、コマンドを提供すると同時に、ビデオ データを入力します。読み取りおよび書き込み (R/W) コマンドは、I²C バスまたは SPI バスを使用して送信できます。R/W コマンドに使用されていないバスは、診断用の読み取り専用バスとして使用できます。入力ビデオは、OpenLDI バスまたはパラレルの 24 ビット バスで送信できます。SPI フラッシュ メモリは、DLPC23xS-Q1 の ARM コア、カラー キャリブレーション データ、およびデフォルト設定用の組込みソフトウェアを提供します。TPS99002S-Q1 は、DLPC23xS-Q1 に診断および監視情報を提供します。VarCompanionControllerName は、SPI バスと PARKZ、INTZ、RESETZ などのいくつかの他の制御信号を使用して、パワーアップ / パワーダウン シーケンスを管理します。DLPC23xS-Q1 は、温度情報のために I²C を介して TPM411 に接続します。

DLPC23xS-Q1 の出力は、TPS99002S-Q1 への LED 駆動情報、DMD への制御信号、およびホスト プロセッサへの監視情報と診断情報です。DLPC23xS-Q1 は、ホストから要求される輝度と動作温度に基づいて、LED の適切なタイミングと振幅を決定します。これは、SPI バスと、D_EN、S_EN、SEQ_START などの追加の制御信号を使用して、この情報を TPS99002S-Q1 に渡します。SubLVDS バス経由でデータを送信することで DMD ミラーを制御します。HOST_IRQ 信号を使用して、重要なエラーが発生した場合は、ホストにアラートを送信できます。

TPS99002S-Q1 は高集積のミックスドシグナル IC で、DMD 電力、LED のアナログ応答を制御し、HUD システムの監視情報と診断情報を提供します。TPS99002S-Q1 の電源シーケンスおよび監視ブロックにより、DMD が適切に起動され、高精度の DMD 電圧レールが提供され、動作中にシステムの電源レールが監視されます。これらの機能を 1 つの IC に統合することで、設計期間の短縮と複雑さの大幅な低減が可能になります。高精度のフォトダイオード (PD) 測定システムと調光コントローラ ブロックによって、LED の応答が正確に制御されます。これにより、DLP テクノロジー HUD は、システムの温度範囲全体にわたって高精度の輝度と色で非常に高い調光範囲 (5000:1 超) を実現できます。最後に、TPS99002S-Q1 には、過電圧検出などのシステムレベルの監視に設計者が使用できる複数の汎用 ADC が搭載されています。

TPS99002S-Q1 は、DLPC23xS-Q1 から入力、監視用電源レール電圧、LED の応答の測定に使用されるフォトダイオード、ホストプロセッサ、場合によっては他の複数の ADC ポートから入力を受信します。DLPC23xS-Q1 は、SPI ポートと他のいくつかの制御信号を介して TPS99002S-Q1 にコマンドを送信します。TPS99002S-Q1 には、DLPC23xS-Q1 を監視し、期待どおりに動作していることを確認するためのウォッチドギングが含まれています。TPS99002S-Q1 によって電源レールを監視することで、電源障害またはグリッチを検出し、エラーが発生した場合に DMD の適切なパワーダウンを要求します。フォトダイオードの電流は、TPS99002S-Q1 内のトランシスインピーダンス アンプ (TIA) を使用して測定および増幅されます。ホスト プロセッサは、専用の SPI バスを使用して、TPS99002S-Q1 から診断情報を読み取ることができます。さらに、ホストは PROJ_ON 信号を使用してシステムのオン / オフを要求することもできます。TPS99002S-Q1 には、過輝度や過熱検出など、他のシステム機能の実装に使用できる複数の汎用 ADC が搭載されています。

TPS99002S-Q1 の出力は、LED 駆動信号、診断情報、および DLPC23xS-Q1 へのエラー アラートです。TPS99002S-Q1 には、大出力 LED のための LM3409 降圧コントローラと、LED を制御するディスクリート ハードウェアに接続された信号があります。TPS99002S-Q1 は、2 つの SPI バス上でホストと DLPC23xS-Q1 に診断情報を出力できます。また、RESETZ、PARKZ、INTZ などの信号も備えており、パワーダウンまたはリセット シーケンスのトリガに使用できます。

DMD は、電気信号を入力 (ビデオ データ) として受信し、機械出力 (ミラー位置) を生成する微小電子機械システム (MEMS) デバイスです。DMD への電気的インターフェイスは、DLPC23xS-Q1 によって駆動される SubLVDS インターフェイスです。機械的出力は、DMD アレイ内の 130 万個を超えるミラーの状態で、±12° に傾けることができます。プロジェクション システムでは、ミラーが画像を表示するためのピクセルとして使用されます。

7.2.1.2 アプリケーション設計に関する検討事項

7.2.1.2.1 フォトダイオードに関する検討事項

システム性能を向上させるには、光パス内にフォトダイオードを配置することが重要です。フォトダイオードの配置と電気的応答を注意深く最適化することで、調光のダイナミックレンジが最も広くなります。フォトダイオードの検討事項に関する処理については、『フォトダイオードの選択および配置ガイド』(DLPA082) を参照してください。

フォトダイオードには、以下のいくつかの要因を考慮する必要があります。

• 位置:

- 理想的には、照明パス内の位置 (図 7-2) は、システムのターゲット白色ポイントで 3 つの LED のそれぞれから、強くてもバランスのとれた振幅の信号応答を生成するように配置する必要があります。検出器の理想的ではない配置による 3 つのチャネル間の不均衡により、調光システムのダイナミックレンジが制限されます。TIA は RGB トライム機能をサポートしており、不均衡なシステムの再均衡をサポートできます。この機能は、各 LED からの振幅信号応答のバランスを最適化するプロセスを完了するのに役立ちます。しかし、色の自然なバランスが実用的なのと同じくらい理想的であるように、照明経路の設計に注意することをお勧めします。
- フォトダイオードの位置を決定する際には、投影経路からの反射散乱光も追加で考慮が必要です。一定量の「オン状態」光は、投影レンズの表面や、DMD に続く光経路にある他の物体から後方に反射します。この後方散乱光によって照らされる位置にフォトダイオードを配置すると、フォトダイオードに真の照明光とこの後方散乱出力光が混在します。後方散乱光が大きい場合、照明制御ループが影響を受けます。また、バック スキヤッタはビデオ コンテンツに依存します (つまり、白い実線のパターンでは、黒の実線よりも後方散乱が多くなる場合があります)。これは、フルオン / フルオフコントラストに影響します。

• フォトダイオードの放射照度:

- フォトダイオードの放射照度が高すぎたり低すぎたりしないことも重要です。放射照度の振幅が大きいと、飽和やフォトダイオードからの応答が遅くなる可能性があります。これは、使用するために選択された特定のフォトダイオードによって異なります。TPS99002S-Q1 は負の LDO と負の電圧ソースを供給し、フォトダイオードの逆バイアスをかけるための低ノイズの -8V リファレンスを供給します。フォトダイオードの逆バイアス (光導電モード) は、ゼロバイアスの場合 (光起電力モード) と比較して、フォトダイオードが飽和せずに受け入れができる放射照度が大きくなります。一方、放射照度が小さいと、システムはフォトダイオードの暗電流などのノイズの影響を受けやすくなります。他のノイズ源 (ケーブル配線、接地などのノイズ) による潜在的な問題を回避するため、暗電流が無視できるように、フォトダイオードの電流レベルで動作するのが最善です。

• ケーブルからリモート PD 配置へ:

- フォトダイオードが離れた場所にある場合は、低容量のケーブルを使用し、ケーブル長を最小限に抑えることをお勧めします。ノイズ除去のためには少なくとも、フォトダイオードバイアス (カソード) をケーブルシールドに接続し、フォトダイオード出力 (アノード) を内部導体に接続した 1 本の導体シールドケーブルを使用します。シールドを低ノイズのグランドに接続した 2 本のシールド付き導体ケーブルを使用すると、ノイズ除去性能を向上できます。色と許容放射照度レベルの間の適切な応答バランスを実現するために、最適なフォトダイオード位置を決定する実験が必要な場合があります。セクション 5.5 に示すように、フォトダイオードの最大合計容量 (ダイオードとケーブルおよびコネクタ) を超えないように注意する必要があります。TIA 設計には、特定のソリューションに合わせて応答を最適化できるように、調整可能な帰還容量が含まれます。DLPC23xS-Q1 フラッシュ構成オプションを使用すると、この帰還容量を調整して、最適なスルーレートと安定性性能を実現できます。

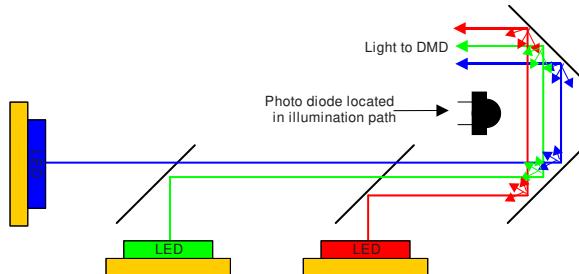


図 7-2. フォトダイオードの配置

フォトダイオードコンディショニング回路には、性能と統合性を向上させるいくつかの機能があります。

- ゲインとオフセットを表す、赤、緑、青の各パラメータ
- 選択可能な帰還容量
- 内蔵の負の LDO により、フォトダイオードの逆バイアスを供給

7.2.1.2.2 LED 電流の測定

TPS99002S-Q1 には、LED 電流測定用の専用 ADC チャネルが含まれています。セクション 6.3.1.3 セクションで説明するシステムソフトウェアのブランкиング電流管理プロセスは、この測定値に基づいて、ブランкиング電流をフォトフィードバック電流に調整します。このソフトウェアは、(色ごとに) フォトフィードバックで実際の LED 電流を測定し、ブランкиング電流を測定します。システム動作中に、各光パルスの初期電流を最適化するのに理想的なレベルにブランкиング電流設定が微調整されます。そのため、この LED 電流測定は、実用的な範囲でノイズがないことが、システム性能にとって重要です。ローサイド センス抵抗にケルビン接続を使用し、スイッチングリップルをフィルタするには、RC フィルタを推奨します(図 7-3 を参照)。ケルビン抵抗はそれぞれ 100Ω 未満とし、許容誤差は 0.5% 未満のマッチング抵抗でなければなりません。

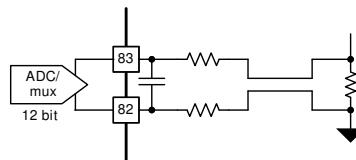


図 7-3. LED 電流測定配線

7.2.1.2.3 電流制限の設定

LM3409 の電流制限は、TPS99002S-Q1 の IADJ ピンの電流引き込みによって決定されます。この電流は、内部 DAC と、TPS99002S-Q1 の R_IADJ ピンに接続された外付け抵抗によって制御されます。ピーク電流制限の概算値は、次の式で計算できます。

$$I_{LIM} = \frac{V_{DAC}}{R_{ADJ}} * \frac{R_{CS}}{R_{HSS}}$$

ここで:

- V_{DAC} は電流制御 DAC の電圧です。
- R_{ADJ} は、LM3409 の R_IADJ ピンに接続される抵抗です。最大電流により、この回路が出力される可能性があるため、この値を 1kΩ 以上にすることを推奨します
- R_{CS} は、LM3409 の CSP ピンに接続される抵抗です。 R_{CS} には同じ値を使用します。
- R_{HSS} は、LM3409 制御回路のハイサイド センス抵抗です。

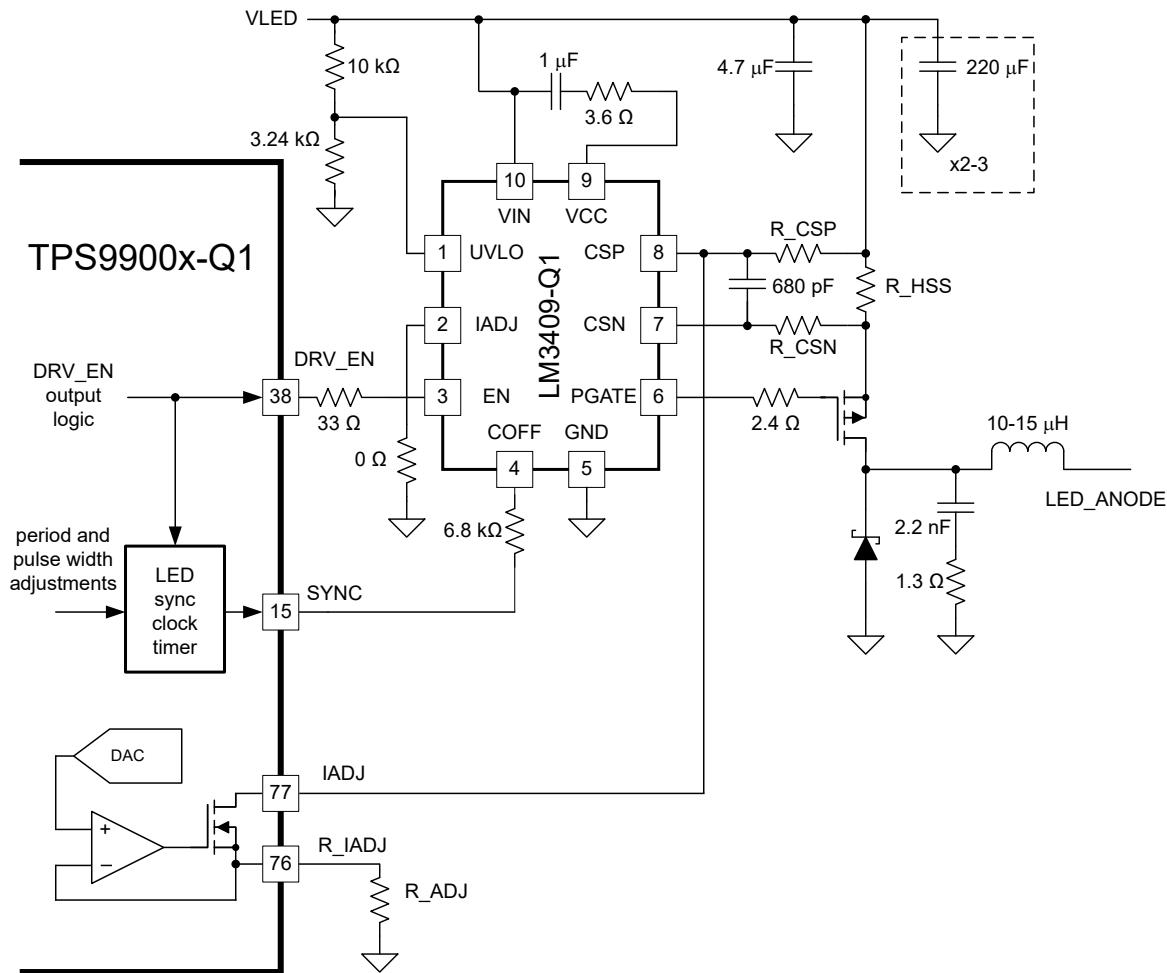


図 7-4. 電流制限構成回路

7.2.1.2.4 入力電圧変動の影響

ブランкиング電流制御により、TPS99002S-Q1 ベースのシステムは入力電圧変動による悪影響を受けにくくなりますが、(機能ブロック図に示すように) 安定したプリレギュレーション電圧ソースを使用して VLED 電源レールに電力を供給することをお勧めします。ドライバへの入力電圧の変化は、連続動作モードでのリップル波形のスルーレートまたは立ち上がりエッジに影響を及ぼします。これらの変動は、パルスごとの積分光出力の合計をわずかに変化させます。そのため、入力電圧の変化に伴ってカラー バランスと輝度に顕著な変動が生じる可能性があります。

7.2.1.2.5 不連続モードのフォトフィードバックに関する検討事項

システム設計では、フォトダイオードと並列に配置される追加静電容量、およびフォトダイオード自体の静電容量を考慮する必要があります。TPS99002S-Q1 は、非常に広範囲の総容量で機能するように設計されていますが、最小の照度レベルの輝度性能は、この容量の影響を直接受けます。TIA1 の入力容量が大きいと、この光パルス オーバーラン現象により、システムで実現可能な最小輝度が明るくなります。この結果、調光範囲の低下が生じます。(最高の性能を得るために、システム設計者はフォトダイオード、フォトダイオード ケーブル、およびコネクタ システムの総容量を最小限に抑えることができます)。

不連続モードでの光パルスのリーディング エッジは、LED と並列に接続した静電容量の充電レートによって制御されます。フォトフィードバック DAC はシャント FET をオンにするようにスレッショルドを設定し、LED から電流をシャントします。フォトフィードバック ループの遅延は、図 7-5 に示すように、光がスレッショルドよりも高く上昇します。スレッショルドに達した後に発生する光の量(緑色のハッシュ領域で表示)は、最も低い不連続モード輝度レベルでの光の大部分です。また、図 7-5 は、フォトフィードバック DAC レベルを 2 分の 1 に減少させても、スレッショルドの後に発生する光のため、光パルスの総電力が 2 分の 1 に減少することはないことを示しています。スレッショルド後の光のオーバーラン量は、フォトフィードバックのレイテンシ、インダクタの初期電流、LED と並列の容量、LED の電圧から電流への特性、およびシャント FET のタイミングの関数です。

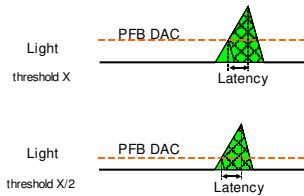


図 7-5. 不連続パルス オーバーラン

7.2.1.2.6 トランスインピーダンス アンプ(TIA、使用方法、オフセット、暗電流、範囲、RGB トリム)

TPS99002S-Q1 は、最大 2 つのシステム フォトダイオード入力をサポートしています。

TIA1 は、プライマリ フォトフィードバック チャネルとして使用されます。0.75kV/A ~ 288kV/A の範囲にわたる 14 種類の独自ゲイン設定をサポートしています。また、これらのゲイン設定は、高分解能のトリム機能により、1.0x ~ 0.2x の範囲で下方調整できます。このトリム機能には独立した RGB 設定があり、カラー リバランシングに対応しています (RGB フィードバック信号をトリミングすることで、白色光が各色の TIA 出力ではほぼ同じ電圧を生成するように調整するなど)。カラー リバランシングは、3 つのカラー チャネルすべてを動作電圧範囲内に維持し、ダイナミック レンジを最大化するのに役立ちます。図 7-6 に、TIA1 のモデルを示します。

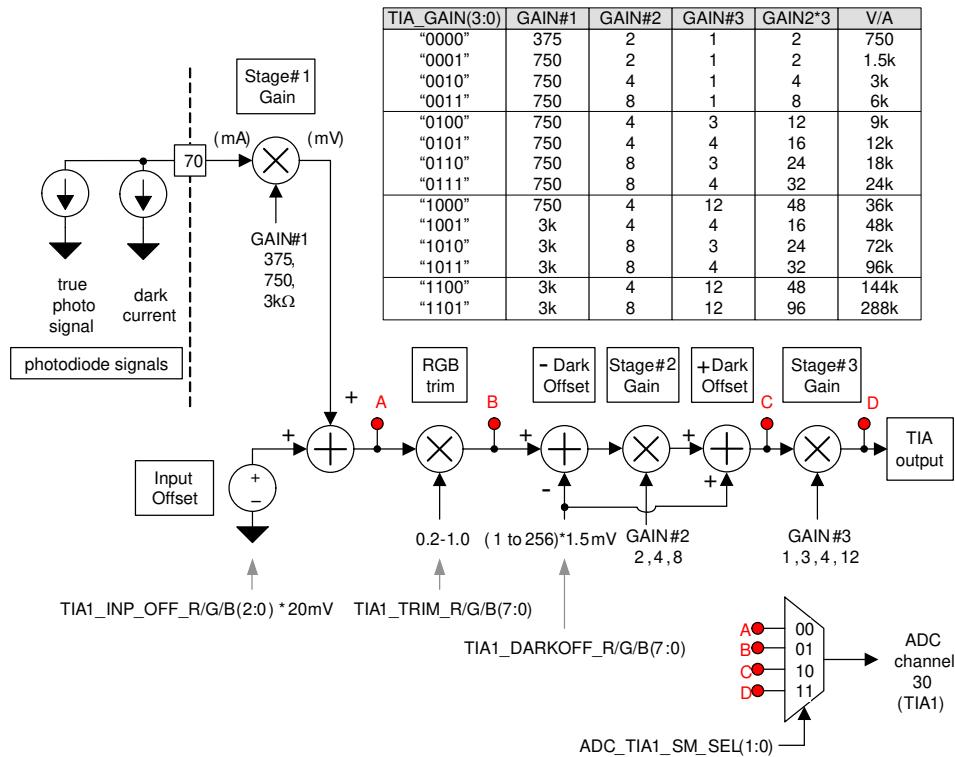


図 7-6. TIA1 トリム、オフセット、ゲイン段

TIA2 は、単一のトリム値と単一のダーク オフセット値をサポートしますが、それ以外は TIA1 と同じです。

注

TIA2 は診断目的でのみ使用し、一次的なフォト フィードバック増幅に使用することは推奨されません。TIA2 を使用してプロジェクタの出力または照明光を測定する場合、これはトリム オフセットとダーク オフセット用の多重化 RGB パラメータが不足しているため、最も高いゲイン設定と、高い色から色への電気的応答の不均衡を組み合わせて使用される状況では、その用途は一度に 1 つの色のみに制限されます。ゲインが小さい設定や、フォトダイオード応答が自然にバランスがとれている状況では、TIA2 で 3 つの色すべてを監視できる可能性があります。

トリム設定を使用して、TIA アンプの合計ゲインを低減できます。これにより、TIA を飽和させずに、より大きなフォトダイオード電流を使用できる柔軟性が得られます。たとえば、トリム設定が $0.5\times$ に制限されている場合、 0.75kV/A のゲイン選択は 0.375kV/A の実効ゲイン設定と見なすことができます。この場合、サポートされる最大フォトダイオード電流は 2 倍になります。

どちらの TIA も、幅広いフォトダイオード容量をサポートするように設計されています。可変の内部補償コンデンサ ネットワークを利用すれば、与えられたフォト ダイオードとケーブルの組み合わせについて最大の性能を得るために回路を調整できます。

両方の TIA は、個別に有効化または無効化できます。TIA が無効のとき、消費電力を最適化するために低消費電力モードに移行します。

TIA2 を使用して、過輝度検出入力、または ADC 測定ができます。2 つの出力をサポート: 1) CM ビット スライスの光パルスのフォトダイオード応答の測定に最適化された、より高い帯域幅出力、2) 1 つ以上のビデオ フレームにまたがる光束フィルタの測定に最適化された、はるかに低い帯域幅出力。TIA1 は、これらの同じ 2 つの出力に加えて、もう 1 つの出力をサポートしています。これは、リアルタイム カラー制御ループのフォト フィードバックに使用される超高帯域幅出力です。この使用事例の BW およびスルーレートの仕様については、[セクション 5.5](#) を参照してください。

TIA2 の使用可能性のある用途の 1 つは、システムレベルの輝度検出です。

8 電源に関する推奨事項

TPS99002S-Q1 は 2 つの電源入力を必要とし、複数の電力出力を供給しながら、追加の外部電源も制御します。電源アーキテクチャについては、[セクション 8.3](#) で説明します。

8.1 TPS99002S-Q1 電源アーキテクチャ

- HUD 設計では 6.5V が推奨されます。LM3409 は 6V 未満の電圧でロックアウトされるため、システム設計者は 6.5V を選択して両方のデバイスに電源を供給できます。LM3409 が TPS9900x と組み合わせて使用されていない場合 (ほとんどのヘッドライト設計と同様)、デバイスの[セクション 5.3](#) を満たす任意の電圧を使用できます。
- 3.3V (LDO を推奨)

8.2 TPS99002S-Q1 の電源出力

- DMD に必要な電圧:
 - DMD_VOFFSET
 - DMD_VBIAS
 - DMD_VRESET
- -8V フォトダイオード バイアス
- 内部で使用される LDO。これらは、外部で使用するように設計されていませんが、外付けのバイパスコンデンサが必要なため、ここでは一覧に示します。
 - 5V
 - 3.3V TIA
 - 3.3V ADC

8.3 電源アーキテクチャ

電源アーキテクチャは、照射用光源に必要な電力量によって異なります。高精度の色と白色ポイント制御が必要な HUD アプリケーションでは、電圧変動によって LED の出力が変動する可能性があるため、照明電源を事前に調整することを強く推奨します。色の影響を受けないアプリケーションでは設計者は照明ドライバを完全に分離することを選択できます。また、2 個以上の LED を直列接続して駆動する場合、事前安定化電圧は LED の電圧より高い必要があります。さまざまなアーキテクチャを以下に示します。

これらのアーキテクチャでは、LM25118 をプリレギュレータとして使用していることに注意してください。この部品は、昇降圧アーキテクチャを使用しており、6V ~ 18V のバッテリ電圧入力で必要な 6.5V を供給できます。バッテリ入力が 6.5V 出力電圧を上回ることが保証されている場合は、代わりに降圧アーキテクチャを使用でき、BOM を節約できます。

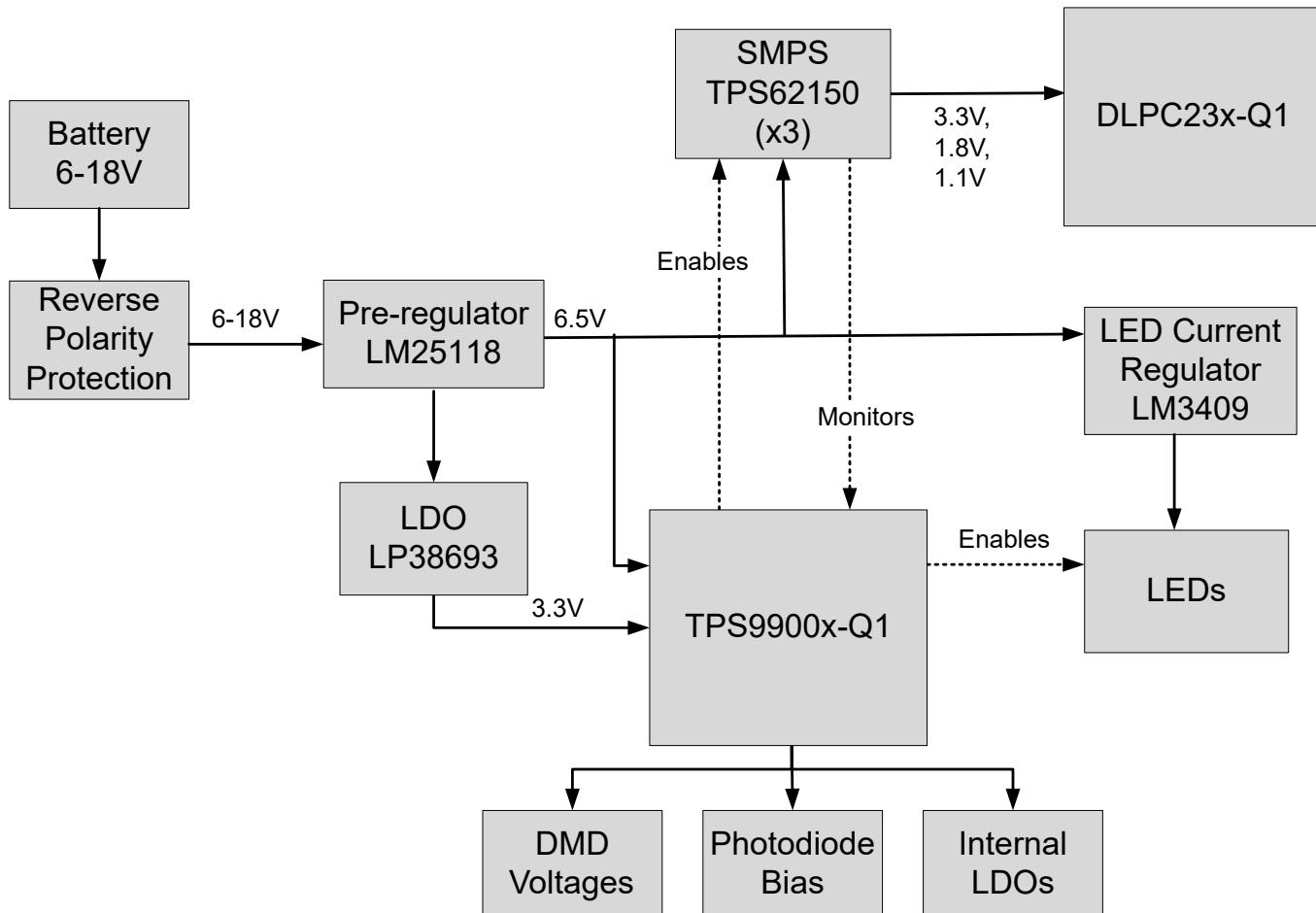


図 8-1. アーキテクチャ番号 1 : LED 順方向電圧が 5V 未満の HUD アプリケーション

このアプリケーションでは、同じプリレギュレータを使用して 6.5V レールと LM3409 に電力を供給します。LM3409 の入力電圧を 6V よりも高く維持する必要があるため、プリレギュレータは 6.5V に設定されます。

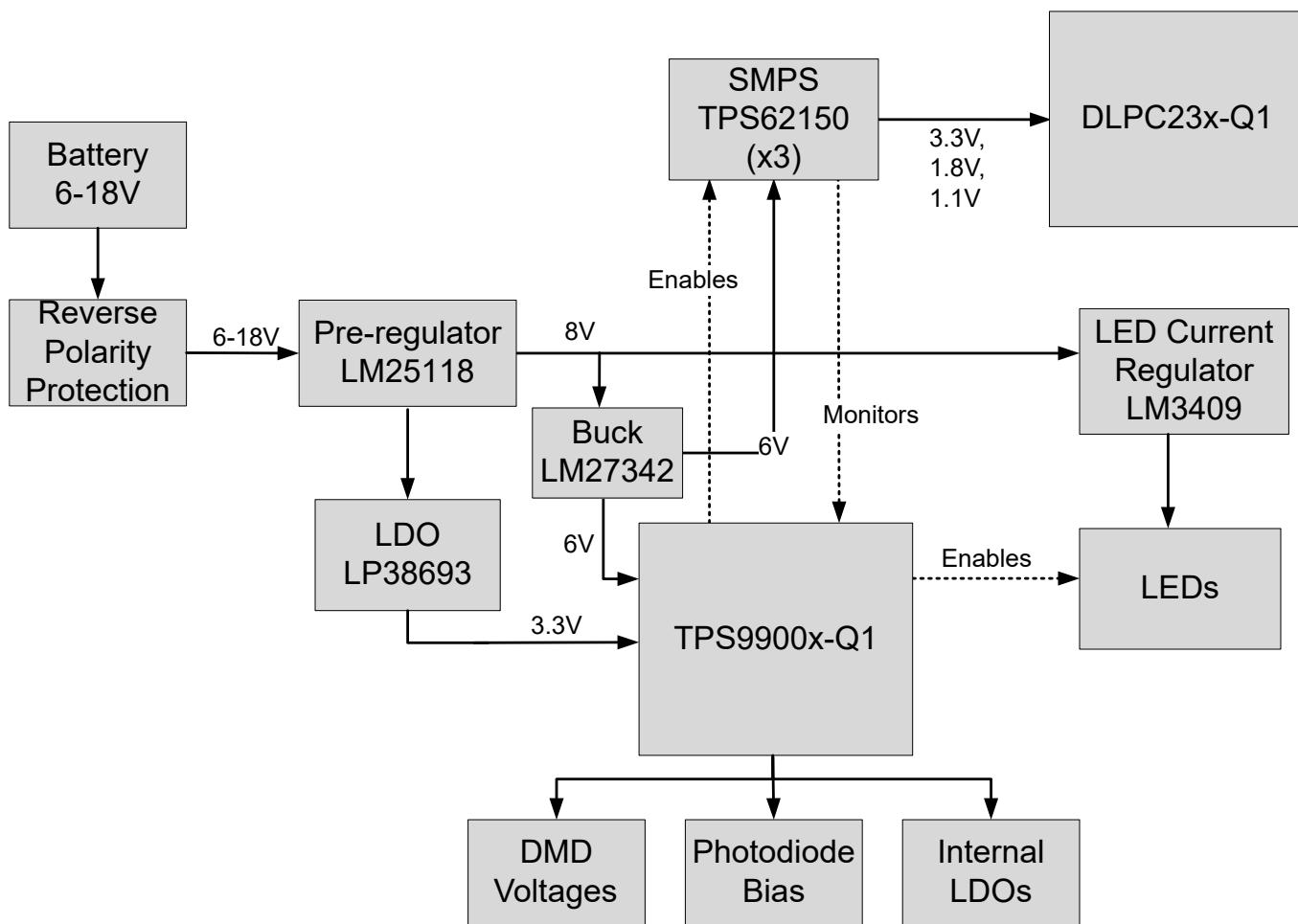


図 8-2. アーキテクチャ番号 2：直列構成の 2 個の LED を使用する HUD アプリケーション

このアプリケーションでは、直列接続された 2 つの LED を駆動するために、より高い出力電圧で動作するようにプリレギュレータを設計する必要があります。TPS99002S-Q1 には 5.5V ~ 7V の VIN が必要なため、小型の降圧レギュレータを使用して 6V 電源レールを生成します。

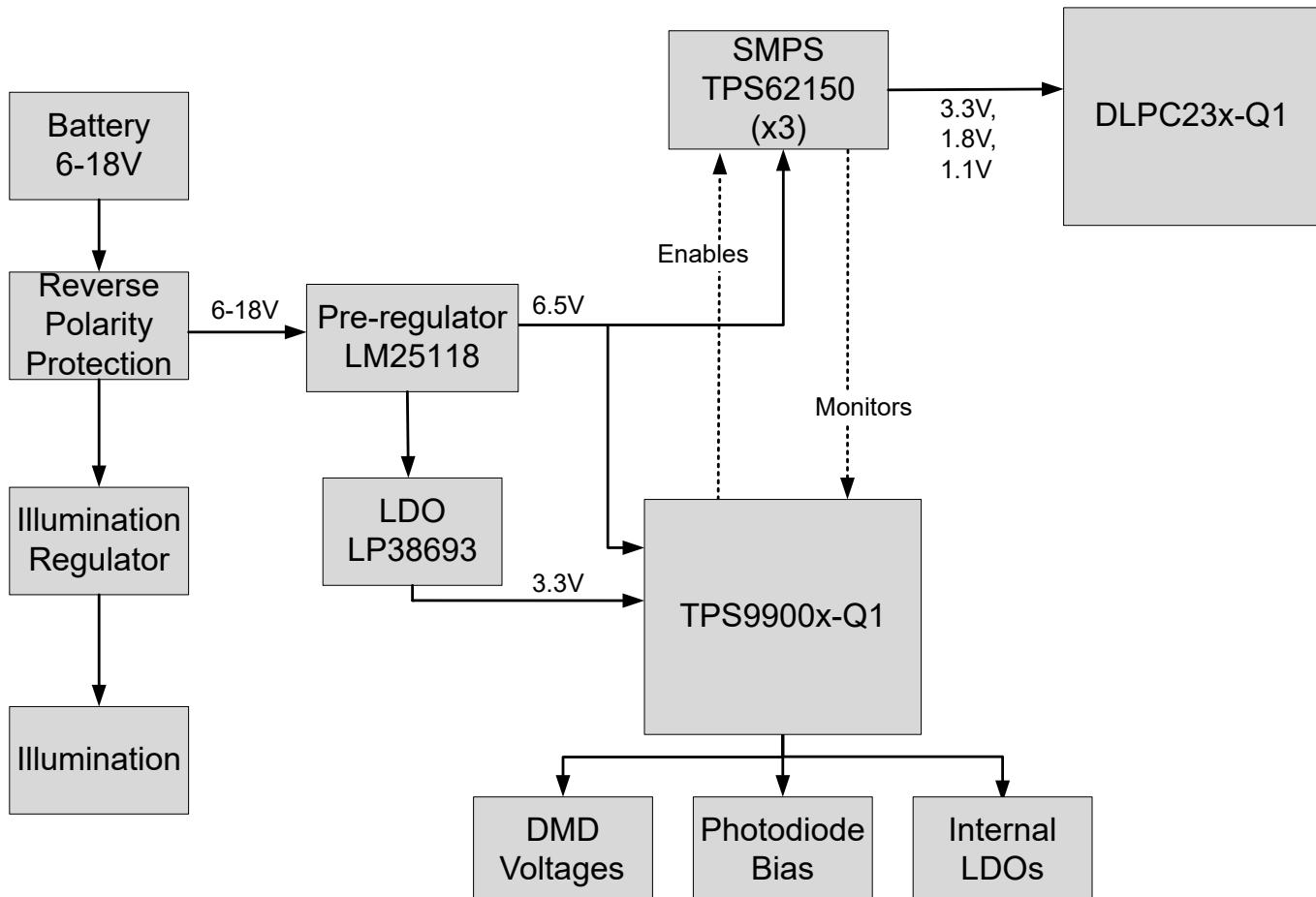


図 8-3. アーキテクチャ番号 3: 独立した照明を使用するヘッドライト アプリケーション

このアプリケーションでは、照明を駆動するために使用される電力は TPS99002S-Q1 とは分離されています。これは、照明ドライバを非常にシンプルにすることも可能なアプリケーションで実現できます。ここに LM25118 が示されていますが、照明パワー パスが切り離された状態で最大電流要件ははるかに小さいため、このアプリケーションでは別のレギュレータを選択する可能性があります。

9 レイアウト

9.1 レイアウトのガイドライン

TPS99002S-Q1 は、電源と精度を両方兼ね備えたアナログ IC です。そのため、システム内の特定の信号および回路をレイアウトするよう注意する必要があります。一般的なレイアウトのベストプラクティスに加えて、このドキュメントで説明する以下の詳細な領域に注意してください。

- 電力 / 大電流信号
- 敏感なアナログ信号
- 高速デジタル信号
- 大電力電流ループ
- ケルビン検出接続
- グランド分離

9.1.1 電力 / 大電流信号

TPS99002S-Q1 には、比較的大きな電流を切り替える 2 つのブロックが含まれています。1 つ目はスイッチング レギュレータで、DMD が使用する電圧を生成します。2 つ目は、内蔵 LED FET ゲートドライバです。

DMD レギュレータは、TPS99002S-Q1 の以下のピンで構成されます。

表 9-1. TPS99002S-Q1 DMD レギュレータ ピン

ピン	名称	ボードのピーク電流
49	DMD_VOFFSET	800mA
50	DMD_VBIAS	800mA
51	DMD_VRESET	800mA
52	DRST_LS_IND	800mA
53	DRST_PGND	800mA
54	DRST_HS_IND	800mA
55	VIN_DRST	800mA
56	VSS_DRST	800mA

これらのピンの 800mA の値は、スイッチング レギュレータ アーキテクチャの性質により、インダクタを流れるピーク電流に関係します。これらのパスの DC は、DMD が引き込む負荷電流に近くなります。

大電流 LED ゲートドライバ ピンは、以下の TPS99002S-Q1 ピンで構成されています。

表 9-2. TPS99002S-Q1 大電流 LED ゲート ドライバ ピン

ピン	名称	ボードのピーク電流
42	DRVVR_PWR	1A
43	S_EN1	1A
44	S_EN2	1A
45	R_EN	100mA
46	G_EN	100mA
47	B_EN	100mA
48	VSS_DRVVR	1A

ここでも、これらの値はピーク電流に対するものです。代表的なアプリケーションにおいて、これらの信号は約 10kHz と比較的低い平均周波数で駆動されます。FET ゲート容量が 2nF であり、FET が 6V で駆動されていると仮定すると、これらの信号の DC 流入の大きさは近似的に次のようになります。

$$I = 2 \times C \times \Delta V \times f = 2(2nF)(6V)(10kHz) = 240\mu A \quad (1)$$

電源信号とグランド信号については、この値にアクティブ FET の数を乗算する必要があり、約 1.25mA の値を得ます。

TPS99002S-Q1 によって駆動されるこれらの大電流信号に加えて、LED ドライバ電子回路には、LED が必要とする大電流を処理する他の回路が存在する可能性が高くなります。これらの電流は最大 6A に達する可能性があるので、レイアウト エンジニアも特別な考慮が必要です。PCB パターン幅要件のガイドとして、リーダーは TI のアプリケーション ノート (SLUA366) を参照してください。TI の設計で使用されている PCB パターン幅は以下のとおりです。

表 9-3. PCB のパターン幅

信号グループ	PCB のパターン幅
DMD レギュレータ	10 マイル
ゲートドライバ	5 マイル
LED ドライバ	最小 200 マイルですが、可能な限り最大化して電力の損失を低減します

9.1.2 敏感なアナログ信号

以下の信号は、TPS99002S-Q1 へのアナログ入力です。これらのアナログ入力のほとんどは DC レベルであり、ノイズの影響をある程度受けませんが、その他は TPS99002S-Q1 のリアルタイム色制御アルゴリズムの一部であるため、他の信号からのノイズ注入に対する耐性を維持する必要があります。アナログ入力ピンのリストを、以下に示します。

表 9-4. TPS99002S-Q1 アナログ入力ピン

ピン	名称	信号のタイプ
70	TIA_PD2	リアルタイム
73	TIA_PD1	リアルタイム
82	LS_SENSE_N	リアルタイム
83	LS_SENSE_P	リアルタイム
85	ADC_IN1	リアルタイム
86	ADC_IN2	DC
88	ADC_IN3	DC
90	ADC_IN4	DC
92	ADC_IN5	DC
93	ADC_IN6	DC
94	ADC_IN7	DC
96	V3P3V	DC
97	V1P8V	DC
98	V1P1V	DC

特に、フォトダイオード入力 TIA_PD1 および TIA_PD2 は、非常に高いゲイン アンプへの入力であるため、ノイズに特に敏感です。これらの信号を信号の隣のグランド パターンでノイズから遮蔽することを推奨します。

9.1.3 高速デジタル信号

TPS99002S-Q1 には 3 つのシリアル インターフェイスがあり、デバイス内外でデータを送信します。これらのインターフェイスの最大クロック速度は 30MHz です。高いレベルの EMI 放射を防止するため、これらの信号はインピーダンスが一致した低インダクタンスのパターンを使用してレイアウトされる必要があります。特に、これらのインターフェイスの 3 つのクロックは低インダクタンスである必要があります、ケーブルまたはコネクタを使用する場合は、クロック信号はグランド信号リターンの隣になければなりません。

表 9-5. DLPC23xS-Q1 から TPS99002S-Q1 への SPI1 インターフェイス

ピン	名称	機能
27	SPI1_CLK	クロック (30MHz)
28	SPI1_SS_Z	セカンダリ選択

表 9-5. DLPC23xS-Q1 から TPS99002S-Q1 への SPI1 インターフェイス (続き)

ピン	名称	機能
29	SPI1_DOUT	データ
30	SPI1_DIN	データ

表 9-6. 顧客の MCU から TPS99002S-Q1 への SPI2 インターフェイス

ピン	名称	機能
31	SPI2_DIN	データ
32	SPI2_DOUT	データ
33	SPI2_SS_Z	セカンダリ選択
34	SPI2_CLK	クロック (最高 30MHz)

表 9-7. DLPC23xS-Q1 から TPS99002S-Q1 への ADC3 インターフェイス

ピン	名称	機能
4	ADC_MISO	データ
5	ADC莫斯	データ
17	SEQ_CLK	クロック (30MHz)

クロストークを回避するため、「3W ルール」などの PCB パターン間隔要件を推奨します。このルールでは、パターンの幅が 5 マイルである場合、パターンは中心から中心まで 15 マイル以上間隔を置いて配置する必要があります。TI の PCB 設計では、標準的なパターン間隔は 20 マイルでした。

[セクション 6.3.1.4](#) セクションで説明しているように、COMPOUT 信号は、不連続モードの光パルスが完了したことを DLPC23xS-Q1 に示します。この信号は、小さな光パルスを生成するために高速な応答時間を必要とします。このため、表 9-8 で説明しているように、この信号のパターン容量は制限されることを推奨します。

表 9-8. パターン容量

ピン	名称	パラメータ	標準値	最大値	単位
12	COMPOUT	パターン容量	20	50	pF

9.1.4 大電力電流ループ

LED ドライバに電力を供給するスイッチ モード電源のアキテクチャにより、干渉を発生させる可能性がある電流ループがいくつか存在します。これらのループの影響を緩和する最善の方法は、面積を最小化することです。これらのループの位置は LED 駆動アキテクチャによって異なるため、リーダーは特定のレイアウトに関する推奨ガイドラインでこれらの部品のデータシートを参照しています。

ただし、TPS99002S-Q1 は、低輝度状態で LED を有効にする方法に固有の電流ループを追加することもあります。TPS99002S-Q1 をディスクリート パルス モードで動作させて LED の照度を低くする場合、電流は LED ドライバ内のシャント FET を流れ、他の回路にノイズを注入する可能性のある電流ループを形成します。[図 9-1](#) に、電流ループを示します。

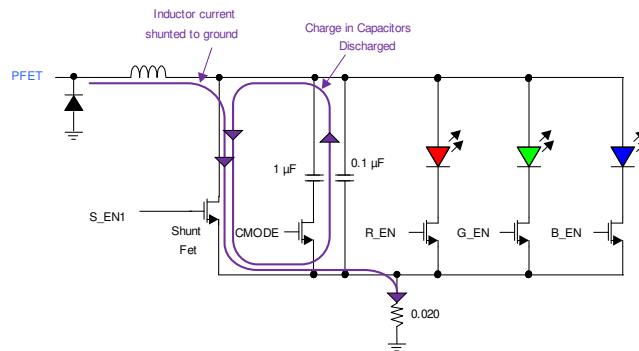


図 9-1. 不連続モードの電流ループ

この場合、正味の LED_COMMON_ANODE は、導通しているときの LED の順方向電圧であり、LOW_SIDE_SENSE はグランド電位に近い電位になります。ディスクリートパルスモードでパルスが形成されると、S_EN1 FET が LED から電流をリダイレクトし、迅速にオフになります。これにより、1μF コンデンサを放電する効果が追加され、S_EN1 FET、CMODE FET、1μF コンデンサで構成される短時間の大電流ループが形成されます。S_EN1 FET と 0.1μF コンデンサによって生成される 2 次側ループもあります。この一連の部品は、これらのループを小さくするように配置する必要があります。図 9-2 に、可能な配置の一例を示しています。

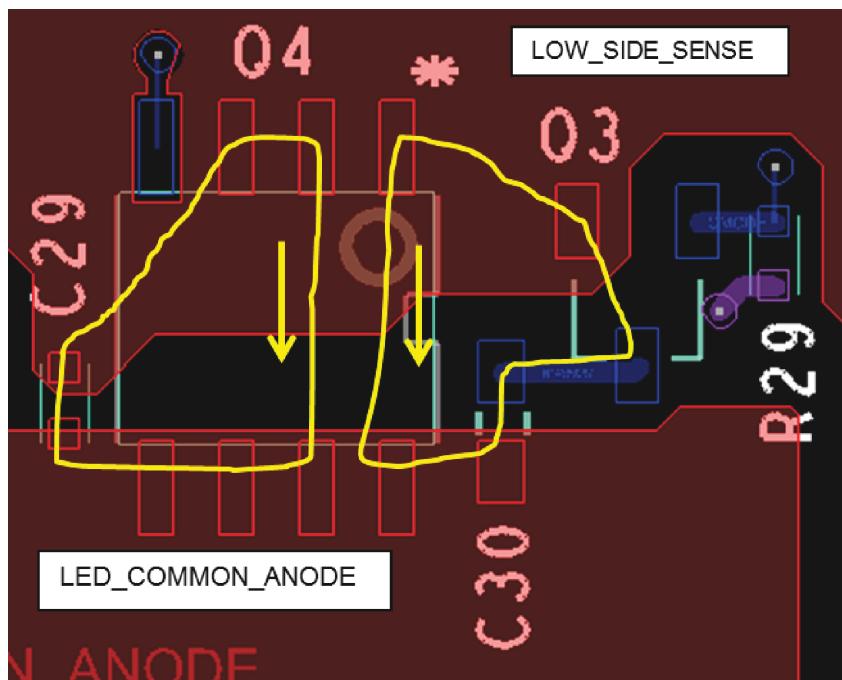


図 9-2. 大電力のレイアウト

9.1.5 ケルビン検出接続

システム設計には、信号路と直列に接続したセンス抵抗を使用して、信号路を流れる電流を測定する場所が多数あります。このような場合は、「Kelvin」接続または「Force-Sense」接続を使用して抵抗を接続する必要があります。これは、高レベルの電流を流す抵抗に 2 つの接続が行われ、抵抗の両端の電圧を測定するために 2 つの接続が別々に行われることを意味します。これにより、検出ラインが銅配線の追加抵抗の影響を受けることがなくなり、測定精度が向上します。図 9-3 に、「Force-Sense」接続例を示します。

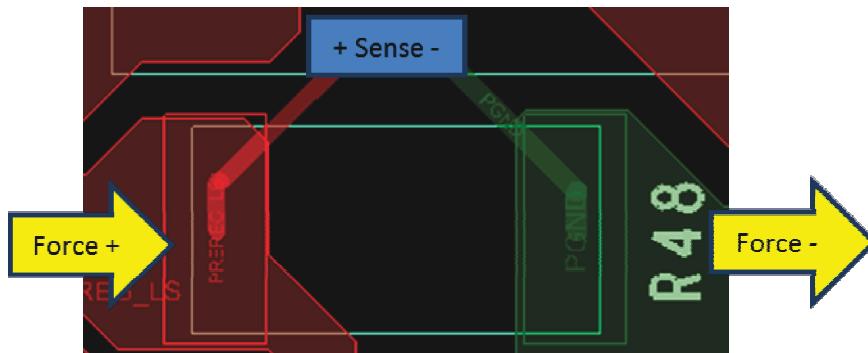


図 9-3. ケルビン検出のレイアウト

TPS99002S-Q1 は、センス抵抗を使用して、LED に供給される電流を測定します。これらの差動検出ラインは、LS_SENSE_P と LS_SENSE_N デバイスへの入力です。LS_SENSE_N はネットリストによってグランドに電気的に接続できますが、この信号はグランドプレーンの変化による影響を受けないように、個別のパターンとして配線する必要があります。

9.1.6 グランド分離

分離されたグランドプレーンは、回路のさまざまな部分から他の部分へノイズを絶縁するのに適しています。ただし、個別のグランドプレーンを使用して設計する場合、大きな誘導性ループを避けるために信号の配線方法に注意が必要があります。個別のグランドプレーンを使用する場合、TI は TPS99002S-Q1 に対して次のグランド接続を推奨します。さらに、グランドはビアまたは 0Ω 抵抗を使用して電気的に接続する必要があります。統一されたグランドプレーンを使用する場合、信号のグループを他の信号から離して配線する際のガイドラインとして、以下を使用できます。

表 9-9. TPS99002S-Q1 のグランド分離

ピン	名称	グランド
13, 35	VSS_IO	デジタル
24	DVSS	デジタル
25, 60, 75, 99	PBKG	アナログ
48	VSS_DRVR	電源
53	DRST_PGND	電源
56	VSS_DRST	電源
66	GND_LDO	アナログ
71, 72	VSS_TIA	アナログ
78, 100	AVSS	アナログ
81, 84, 87, 89, 91	VSSL_ADC	アナログ
サーマルパッド	DAP	アナログ

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

DLP® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS992STPZPRQ1	Active	Production	null (null)	1000 LARGE T&R	-	Call TI	Call TI	-	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月