TPSM852892 36V、6A、ZEN 2 スイッチャ技術搭載のフル統合型昇降圧電源モジュール

1 特長

- ZEN 2 スイッチャ
  - CISPR 32 クラス B 準拠を促進
  - VIN、VOUT、BOOT1、BOOT2 の各バイパス コンデンサを内蔵し、EMI を低減
  - ループインダクタンスを最小化するように最適化されたピン配置
  - プログラム可能なスペクトラム拡散 (オプション)
  - プログラマブルなスイッチング周波数を使用する固定周波数制御
- 広い入出力電圧範囲
  - 幅広い入力電圧範囲:3.0V ～ 36V
  - プログラム可能な出力電圧範囲:0.8V ～ 22V
  - 基準電圧精度:±1%
  - ケーブルの電圧ドループに対する可変出力電圧補償
  - 精度±5% の出力電流監視
- 全負荷範囲にわたって高効率を実現
  - V_{IN} = 12V、V_{OUT} = 20V、I_{OUT} = 2.5A で 96% の効率
  - 軽負荷時の PFM および FPWM モードをプログラム可能
- 周波数干渉とクロストークを回避
  - (オプション) クロック同期
  - プログラム可能なスイッチング周波数:400kHz～1MHz
- 豊富な保護機能
  - 出力過電圧保護
  - ヒカップ モードによる出力短絡保護
  - サーマル シャットダウン保護機能
  - 6A の平均インダクタ電流制限
- 小型ソリューション サイズ
  - 7.5mm × 7.7mm × 3.8mm の QFN パッケージ

2 アプリケーション

- レーザー距離計
- 電動外科器具
- パラメトリック測定ユニット (PMU)

3 説明

TPSM852892 は、バッテリ電圧やアダプタ電圧を電源レールに変換するために最適化された昇降圧モジュールです。TPSM852892 は 4 つの MOSFET スイッチと 1 つのパワー インダクタを内蔵しており、さまざまな用途に向けたコンパクトなソリューションを提供します。TPSM852892 は最大で 36V の入力電圧に対応できます。TPSM852892 は、昇圧モードでの動作時に 12V 入力から 50W の供給が可能です。

TPSM852892 は平均電流モード制御方式を採用しています。スイッチング周波数は、外付け抵抗により 400kHz～1MHz の範囲でプログラム可能であり、外部クロックに同期させることができます。TPSM852892 は、ピーク EMI を最小限に抑えるための拡散スペクトラム オプション機能も備えています。

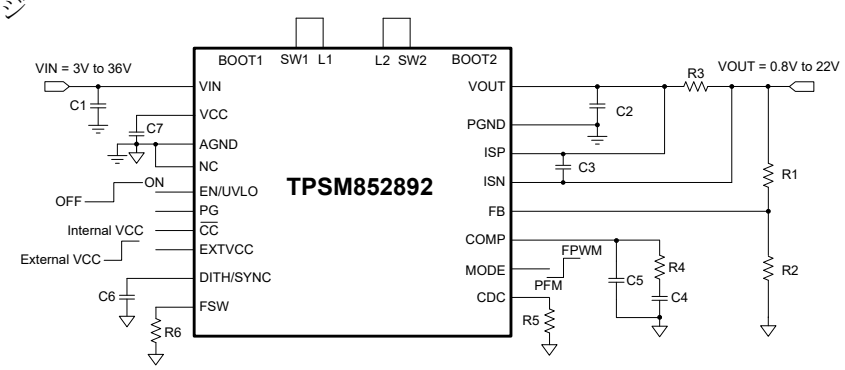
TPSM852892 には、出力過電圧保護、平均インダクタ電流制限、サイクル単位のピーク電流制限、出力短絡からの保護機能があります。また TPSM852892 は、持続的な過負荷状態での出力電流制限およびヒカップ モード保護オプション機能により、安全な動作を指定します。

TPSM852892 は ZEN 2 スイッチャ技術を用いて設計されており、低 EMI 設計を迅速かつ容易に実現できます。また、7.5mm × 7.7mm の QFN パッケージで小型のソリューションを提供します。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ
TPSM852892	RCM (QFN-FCMOD、71)	7.5mm × 7.7mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 代表的特性.....9
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....13
6.3 機能説明.....14
6.4 デバイスの機能モード.....20
7 アプリケーションと実装.....21
7.1 アプリケーション情報.....21
7.2 代表的なアプリケーション.....21
7.3 電源に関する推奨事項.....29
7.4 レイアウト.....29
8 デバイスおよびドキュメントのサポート.....31
8.1 デバイス サポート.....31
8.2 ドキュメントの更新通知を受け取る方法.....31
8.3 サポート・リソース.....31
8.4 商標.....31
8.5 静電気放電に関する注意事項.....31
8.6 用語集.....31
9 改訂履歴.....31
10 メカニカル、パッケージ、および注文情報.....31

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

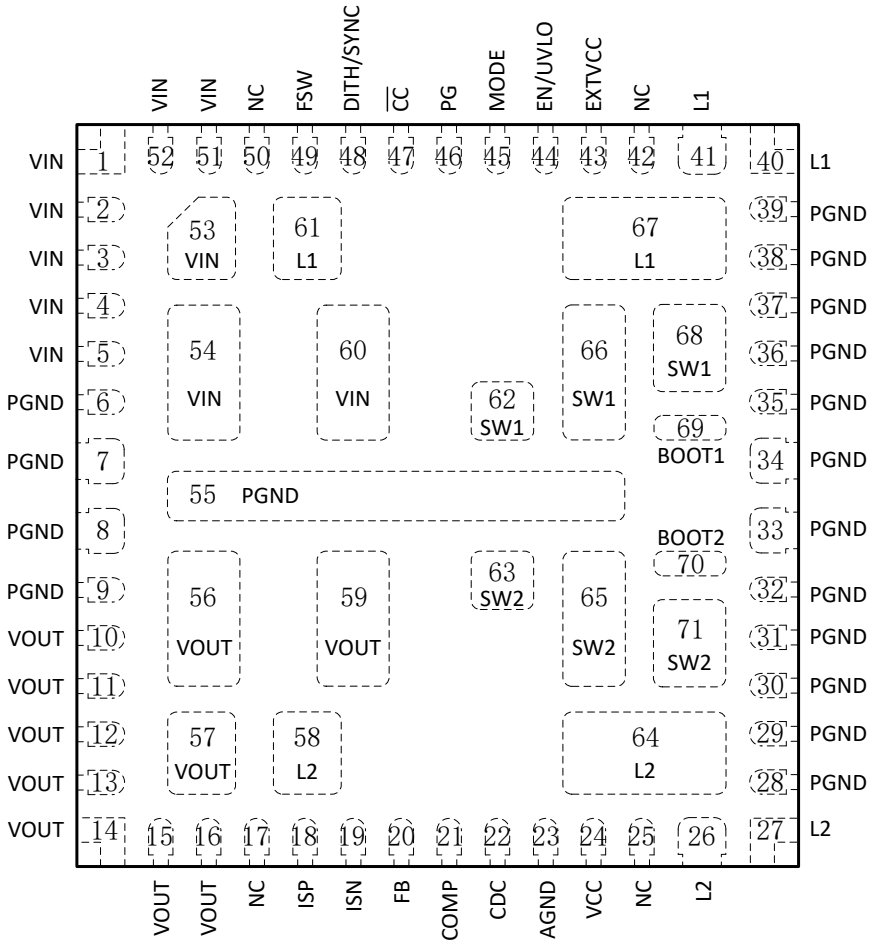


図 4-1. TPSM852892 RYQ パッケージ、71 ピン VQFN-HR (透過上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
AGND	23	-	IC の信号グランド。
BOOT1	69	O	降圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW1 ピンの間には、0.1µF のセラミック コンデンサが内蔵されています。このピンはフローティングのままにしてください。
BOOT2	70	O	昇圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW2 ピンの間には、0.1µF のセラミック コンデンサが内蔵されています。このピンはフローティングのままにしてください。
$\overline{CC}$	47	O	定電流出力は、オープン ドレイン出力を表示します。出力電流制限が発生すると、このピンは低レベルを出力します。
CDC	22	O	ISP ピンと ISN ピン間で検出された電圧に比例した電圧を出力します。このピンと AGND の間に抵抗を入れることで、ケーブル抵抗によって生じる電圧降下を補償するために、出力電圧を上げることができます。
COMP	21	O	内部のエラー アンプの出力。このピンと AGND ピンとの間にループ補償回路を接続します。
DITH/SYNC	48	I	ディザリング周波数設定と同期クロック入力。このピンとグランドとの間にコンデンサを使用して、ディザリング周波数を設定します。このピンがグランドに短絡されるか、1.2V を超える電圧に引き上げられると、ディザリング機能は動作しません。このピンに外部クロックを入力することで、スイッチング周波数を同期させることができます。

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
EN/UVLO	44	I	有効ロジック入力とプログラマブル入力電圧の低電圧ロックアウト (UVLO) 入力。ロジック "High" レベルにすると、デバイスは有効になります。ロジック "Low" レベルにすると、デバイスは無効化され、シャットダウン モードに入ります。EN/UVLO ピンの電圧がロジック "High" 電圧の 1.15V を上回った後、このピンは内部リファレンス 1.23V を持つプログラマブル UVLO 入力として機能します。
EXTVCC	43	I	VCC には内部 LDO、または外部 5V を選択します。このピンをロジック "High" 電圧に接続するか、未接続のままにすると、内部 LDO が選択されます。このピンをロジック "Low" 電圧に接続すると、VCC には外部の 5V が選択されます。
FB	20	I	出力電圧を設定するために、抵抗分圧回路の中央に接続します
FSW	49	I	このピンと AGND ピンの間に抵抗を接続することで、スイッチング周波数を設定します。
ISN	19	I	電流検出アンプの負入力。ISP ピンと ISN ピンの間に接続するオプションの電流検出抵抗により、出力電流を制限できます。検出された電圧が電流制限に達すると、ゆっくりとした定電流制御ループが動作を開始し、ISP ピンと ISN ピン間の電圧を制御し始めます。ISP ピンと ISN ピンを VOUT ピンと組み合わせて接続すると、出力電流制限機能を無効にできます。フローティングのままにしないでください。
ISP	18	I	電流検出アンプの正入力。ISP ピンと ISN ピンの間に接続するオプションの電流検出抵抗により、出力電流を制限できます。検出された電圧が電流制限に達すると、ゆっくりとした定電流制御ループが動作を開始し、ISP ピンと ISN ピン間の電圧を制御し始めます。ISP ピンと ISN ピンを VOUT ピンと組み合わせて接続すると、出力電流制限機能を無効にできます。フローティングのままにしないでください。
L1	40-41、61、67	PWR	内蔵インダクタの端子です。このピンを SW1 に接続します。
L2	26-27、58、64	PWR	内蔵インダクタの端子です。このピンを SW2 に接続します。
モード	45	I	軽負荷時の動作モード選択ピン。ロジック High 電圧に接続すると、デバイスは強制 PWM モードで動作します。ロジック Low 電圧に接続すると、デバイスは自動 PFM モードで動作します。アプリケーションでは、このピンをフローティングにできません。
NC	17、25、42、50	-	内部では未接続です。NC は AGND に接続します。
PG	46	O	電源正常状態を示すオープンドレイン出力。出力電圧が設定値の 95% を超えると、このピンは高インピーダンスになります。出力電圧が設定値の 90% 未満になると、このピンは低レベルを出力します
PGND	6-9、28-39、55	PWR	IC の電源グランド。
SW1	62、66、68	PWR	降圧側スイッチング ノード ピン。内部降圧ローサイド パワー MOSFET のドレインおよび内部降圧ハイサイド パワー MOSFET のソースに接続されます。
SW2	63、65、71	PWR	昇圧側スイッチング ノード ピン。内部昇圧ローサイド パワー MOSFET のドレインおよび内部昇圧ハイサイド パワー MOSFET のソースに接続されます。
VCC	24	O	内部電圧レギュレータ出力。このピンと AGND ピンとの間には、4.7μF を超えるセラミック コンデンサが必要です。
VIN	1-5、51-54、60	PWR	昇降圧モジュール入力。
VOUT	10-16、56-57、59	PWR	昇降圧モジュール出力。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ピンでの電圧範囲 (2)	VIN、SW1、L1	-0.3	42	V
	BOOT1	SW1–0.3	SW1+6	V
	VCC、PG、$\overline{CC}$、FSW、COMP、FB、MODE、CDC、DITH/SYNC、EXTVCC	-0.3	6	V
	VOUT、SW2、L2、ISP、ISN	-0.3	25	V
	EN/UVLO	-0.3	20	V
	BOOT2	SW2–0.3	SW2+6	V
	PG、$\overline{CC}$、FSW、COMP、FB、MODE、CDC、DITH/SYNC、EXTVCC	-0.3	VCC+0.3	V
T_J	動作時の接合部温度、T_J (3)	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。
(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±500	

(1) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲	3.0		36	V
V_{OUT}	出力電圧範囲	0.8		22	V
C_{IN}	実効入力容量範囲	4.7	22		µF
C_{OUT}	実効出力容量範囲	10	100	1000	µF
T_J	動作時接合部温度	-40		125	°C

5.4 熱に関する情報

熱評価基準[1]		TPSM852892 RCM (QFN-FCMOD) 71 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	20.8 [2]	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	N/A [3]	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	N/A [3]	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) TPSM852892EVM-136 を使用し、4 層基板、銅箔厚 (2oz/1oz/1oz/2oz)、サイズ 91mm × 66mm の PCB 上で測定
(3) EVM には適用されません。

5.5 電気的特性

T_J = -40℃ ～ 125℃、V_{IN} = 12V、V_{OUT} = 20V。標準値は、特に記述のない限り、T_J = 25℃での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		3.0		36	V
V_{VIN_UVLO}	低電圧誤動作防止スレッショルド	V_{IN} 立ち上がり	2.8	2.9	3.0	V
		V_{IN} 立ち下がり	2.6	2.65	2.7	V
I_Q	VIN ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし。V_{IN} = 3.0V ～ 24V、V_{OUT} = 0.8V, V_{FB} = V_{REF} + 0.1V、R_{FSW} = 49.9kΩ、Tj 最大 125°C		760	860	µA
	VOUT ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし、V_{IN} = 3.0V、V_{OUT} = 3V ～ 20V、V_{FB} = V_{REF} + 0.1V、R_{FSW} = 49.9kΩ、Tj 最大 125°C		760	860	µA
I_{SD}	VIN ピンへのシャットダウン電流	IC ディスエーブル、V_{IN} = 3.0V ～ 14V、Tj 最大 125℃、EXTVCC ピン フローティング		0.8	3	µA
V_{CC}	内部電圧レギュレータ出力	I_{VCC} = 50mA、V_{IN} = 8V、V_{OUT} = 20V	5.05	5.2	5.45	V
EN/UVLO						
V_{EN_H}	EN ロジック High のスレッショルド	V_{CC} = 3.0V～5.5V			1.15	V
V_{EN_L}	EN ロジック Low のスレッショルド	V_{CC} = 3.0V～5.5V	0.4			V
V_{EN_HYS}	スレッショルド ヒステリシスをイネーブル	V_{CC} = 3.0V～5.5V	0.04			V
V_{UVLO}	EN/UVLO ピンでの UVLO 立ち上がりスレッショルド	V_{CC} = 3.0V～5.5V	1.20	1.23	1.26	V
V_{UVLO_HYS}	UVLO スレッショルド ヒステリシス	V_{CC} = 3.0V～5.5V		10		mV
I_{UVLO}	EN/UVLO ピンでのソース電流	V_{UVLO} = 1.3V	4.4	5	5.6	µA
出力						
V_{OUT}	出力電圧範囲		0.8		22	V
V_{OVP}	出力過電圧保護スレッショルド		22.5	23.5	24.5	V
V_{OVP_HYS}	過電圧保護ヒステリシス			1		V
I_{FB_LKG}	FB ピンでのリーク電流	Tj 最大 125°C			100	nA
I_{VOUT_LKG}	VOUT ピンへのリーク電流	IC ディセーブル、V_{OUT} = 20V、V_{SW2} = 0V、Tj 最大 125°C		1	20	µA
基準電圧						
V_{REF}	FB ピンでの基準電圧		1.188	1.2	1.212	V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃ ～ 125℃、V_{IN} = 12V、V_{OUT} = 20V。標準値は、特に記述のない限り、T_J = 25℃での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
パワー スイッチ						
$R_{DS(on)}$	降圧側のローサイド MOSFET オン抵抗	V_{OUT} = 20V、V_{CC}=5.2V		22		mΩ
	降圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 20V、V_{CC}=5.2V		14		mΩ
	昇圧側のローサイド MOSFET オン抵抗	V_{OUT} = 20V、V_{CC}=5.2V		11		mΩ
	昇圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 20V、V_{CC}=5.2V		11		mΩ
内部クロック						
f_{SW}	スイッチング周波数	R_{FSW} = 49.9k	360	400	440	kHz
		R_{FSW} = 20k	900	1000	1100	kHz
t_{OFF_min}	最小オフ時間	昇圧モード		90	145	ns
t_{ON_min}	最小オン時間	降圧モード		90	130	ns
V_{FSW}	FSW ピンの電圧			1		V
電流制限						
I_{LIM_AVG}	平均インダクタ電流制限	TPSM852892、V_{IN} = 12V、V_{OUT} = 9V、F_{SW} = 400kHz、V_{CC} = 5.2V	5	6	7	A
$I_{LIM_PK_H}$	ハイサイドでのピーク インダクタ電流制限	TPSM852892、V_{IN} = 12V、V_{OUT} = 9V、F_{SW} = 400kHz		9		A
$I_{LIM_PK_L}$	ローサイドでのピーク インダクタ電流制限	TPSM852892、V_{IN} = 12V、V_{OUT} = 9V、F_{SW} = 400kHz		9		A
V_{SNS}	ISP と ISN ピンの間の電流ループ レギュレーション電圧		48	50	52	mV
ケーブル電圧降下補償						
V_{CDC}	CDC ピンでの電圧	R_{CDC} = 20kΩ またはフローティング、V_{ISP} – V_{ISN} = 50mV	0.95	1	1.05	V
		R_{CDC} = 20kΩ またはフローティング、V_{ISP} – V_{ISN} = 2mV		40	75	mV
I_{FB_CDC}	FB ピン シンク電流	外部出力フィードバック、R_{CDC} = 20kΩ、V_{ISP} - V_{ISN} = 50mV	7.23	7.5	7.87	µA
		外部出力フィードバック、R_{CDC} = 20kΩ、V_{ISP} - V_{ISN} = 0mV		0	0.3	µA
		外部出力フィードバック、R_{CDC} = フローティング、V_{ISP} - V_{ISN} = 50mV		0	0.3	µA
エラー アンプ						
I_{SINK}	COMP ピン シンク電流	V_{FB} = V_{REF} + 400mV、V_{COMP}=1.5V、V_{CC}=5V		20		µA
I_{SOURCE}	COMP ピン ソース電流	V_{FB} = V_{REF} - 400mV、V_{COMP}=1.5V、V_{CC}=5V		60		µA
V_{CCLPH}	COMP ピンの High クランプ電圧	FPWM モード、V_{OUT} = 1.8V～22V		1.23		V
V_{CCLPL}	COMP ピンの Low クランプ電圧	FPWM モード		0.7		V
G_{EA}	エラー アンプの相互コンダクタンス			190		µA/V
ソフト スタート						
t_{SS}	ソフト スタート時間		2.4	3.6	5.0	ms
スペクトラム拡散						
I_{DITH_CHG}	充電電流のディザリング	$V_{DITH/SYNC}$ = 1.0V、R_{FSW}= 49.9kΩ、0.9V からの電圧立ち上がり		2		µA
I_{DITH_DIS}	ディザリング放電電流	$V_{DITH/SYNC}$ = 1.0V、R_{FSW}= 49.9kΩ、1.1V からの電圧立ち下がり		2		µA

5.5 電気的特性 (続き)

T_J = -40℃ ～ 125℃、V_{IN} = 12V、V_{OUT} = 20V。標準値は、特に記述のない限り、T_J = 25℃での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{DITH_H}	ディザー High スレッショルド			1.07		V
V_{DITH_L}	ディザー Low スレッショルド			0.93		V
同期クロック						
V_{SNYC_H}	同期クロック高電圧スレッショルド				1.2	V
V_{SYNC_L}	同期クロック低電圧スレッショルド		0.4			V
t_{SYNC_MIN}	最小同期クロック パルス幅		50			ns
HICCUP						
t_{HICCUP}	ヒカップ オフ時間			76		ms
モード						
V_{MODE}	MODE ロジック high のスレッショルド	V_{CC} = 3V～5.5V			1.2	V
V_{MODE}	MODE ロジック low のスレッショルド	V_{CC} = 3V～5.5V	0.4			V
EXTVCC						
V_{EXTVCC}	EXTVCC ロジック High のスレッショルド	V_{CC} = 3V～5.5V			1.2	V
V_{EXTVCC}	EXTVCC ロジック Low のスレッショルド	V_{CC} = 3V～5.5V	0.4			V
パワー グッド						
I_{PG_H}	ハイ インピーダンス出力時に PG ピンへ流れ込むリーク電流	V_{PG} = 5V			100	nA
V_{PG_L}	PG ピンの出力低電圧範囲	シンク 4mA 電流		0.1	0.2	V
電流制限表示						
$I_{\overline{CC}_H}$	高インピーダンス出力時の $\overline{CC}$ ピンへのリーク電流	$V_{\overline{CC}}$ = 5 V			100	nA
$V_{\overline{CC}_L}$	$\overline{CC}$ ピンの出力低電圧範囲	4mA のシンク電流		0.1	0.2	V
PROTECTION						
T_{SD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり		175		°C
T_{SD_HYS}	サーマル シャットダウン ヒステリシス	T_J が Tsd を下回る		20		°C

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性

V_{IN} = 12V、T_A = 25°C、f_{SW} = 400kHz (特に記述のない限り)

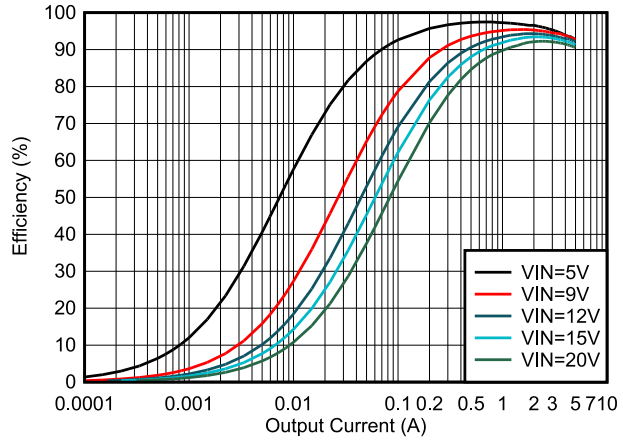


図 5-1. 効率と出力電流との関係、V_{OUT} = 5V、FPWM

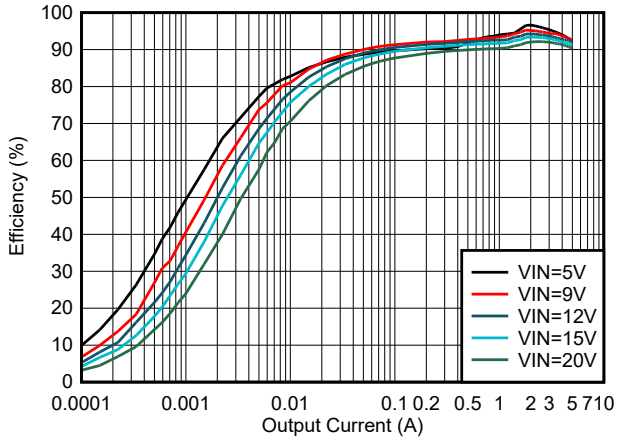


図 5-2. 効率と出力電流との関係、V_{OUT} = 5V、PFM

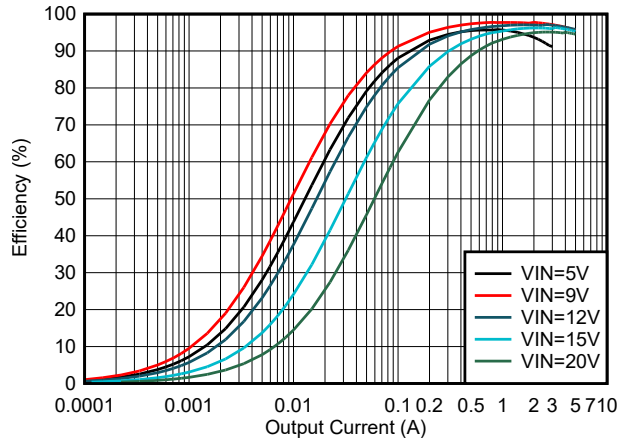


図 5-3. 効率と出力電流との関係、V_{OUT} = 9V、FPWM

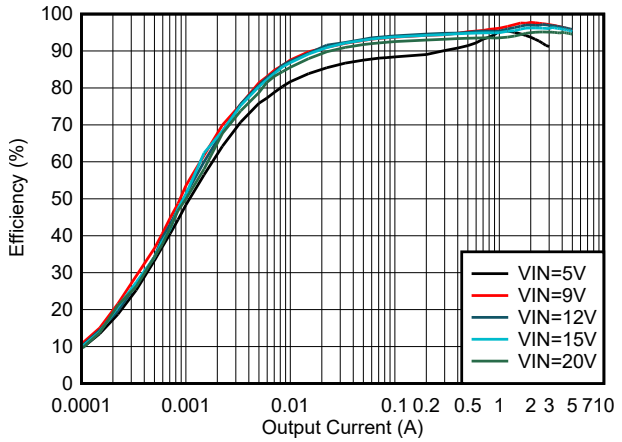


図 5-4. 効率と出力電流との関係、V_{OUT} = 9V、PFM

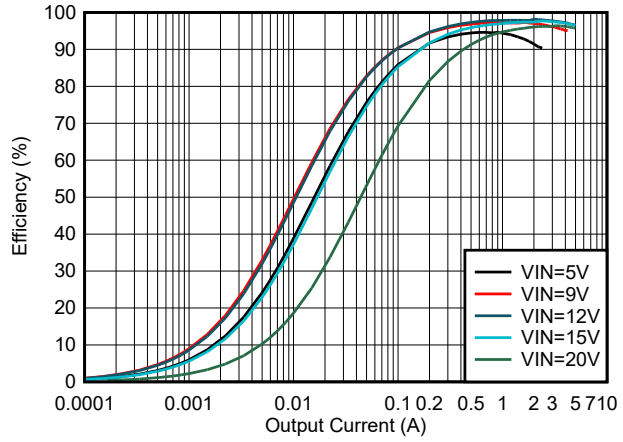


図 5-5. 効率と出力電流との関係、V_{OUT} = 12V、FPWM

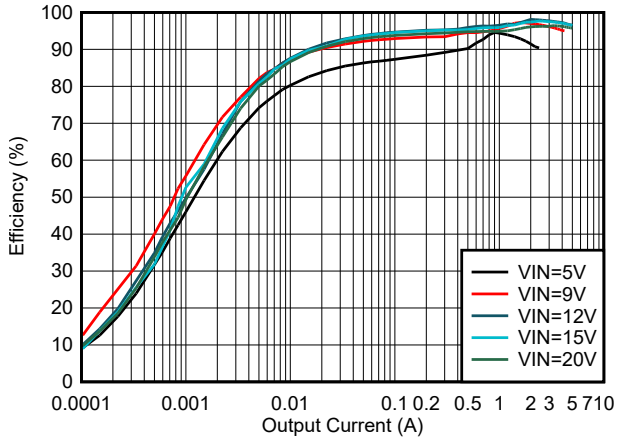


図 5-6. 効率と出力電流との関係、V_{OUT} = 12V、PFM

5.6 代表的特性 (続き)

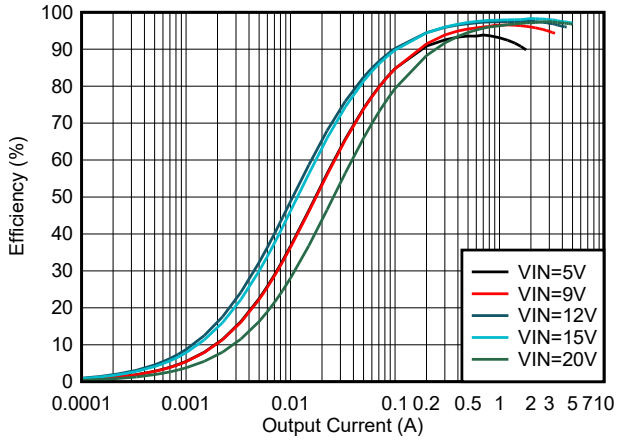


図 5-7. 効率と出力電流との関係、V_{OUT} = 15V、FPWM

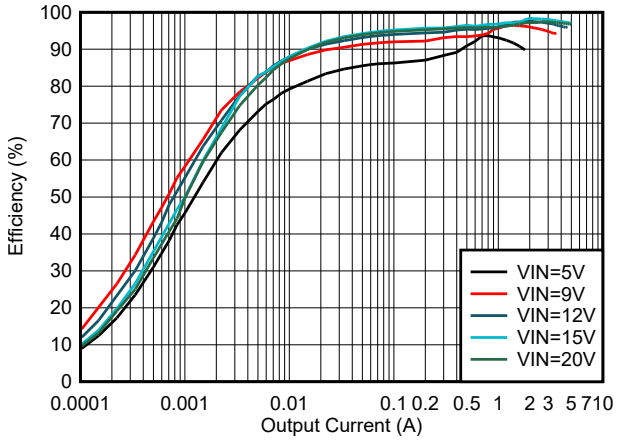


図 5-8. 効率と出力電流との関係、V_{OUT} = 15V、PFM

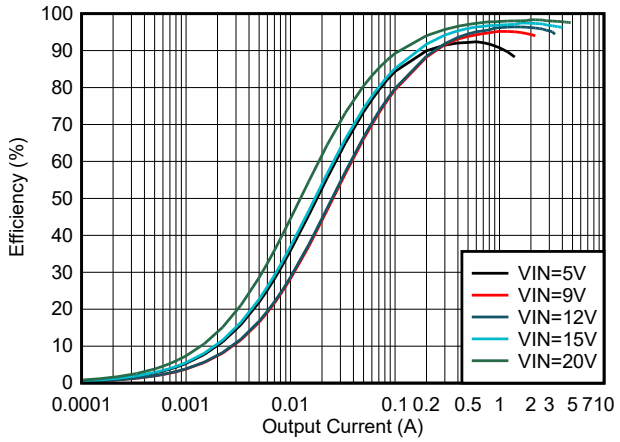


図 5-9. 効率と出力電流との関係、V_{OUT} = 20V、FPWM

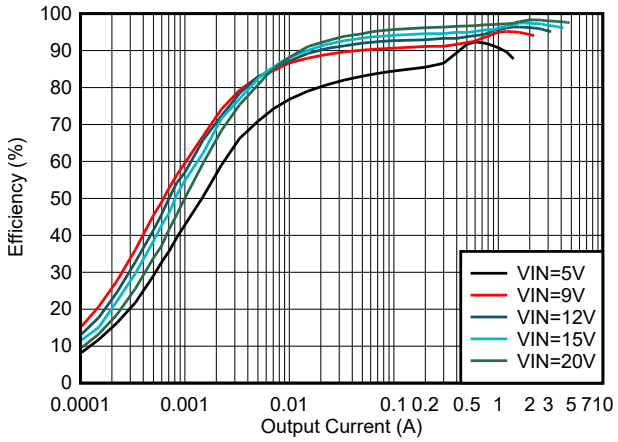


図 5-10. 効率と出力電流との関係、V_{OUT} = 20V、PFM

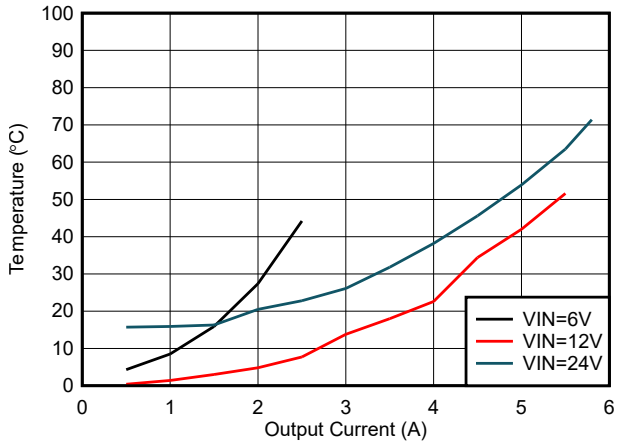


図 5-11. デバイス温度上昇と出力電流 (12V_{OUT}) との関係、FPWM

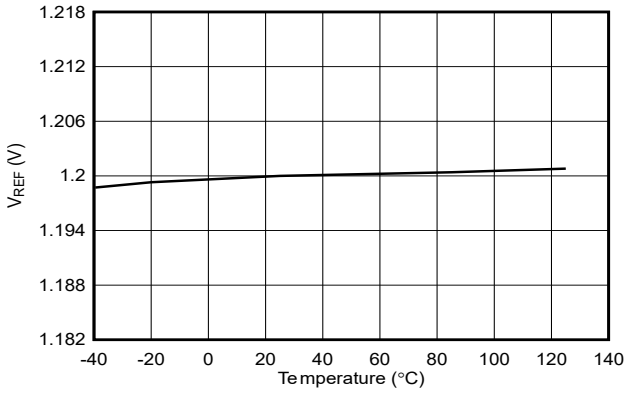


図 5-12. リファレンス電圧と温度との関係 (V_{REF} = 1.2V)

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

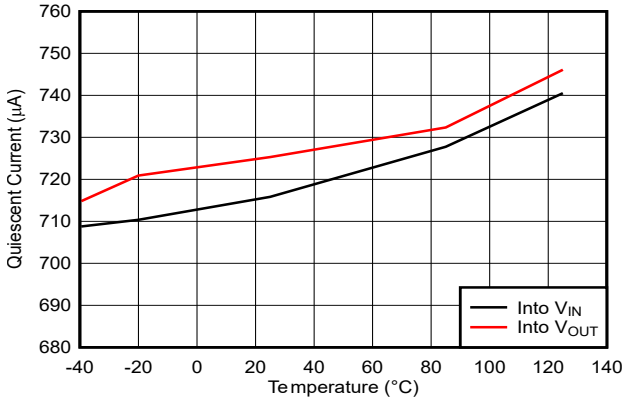


図 5-13. 静止電流と温度との関係

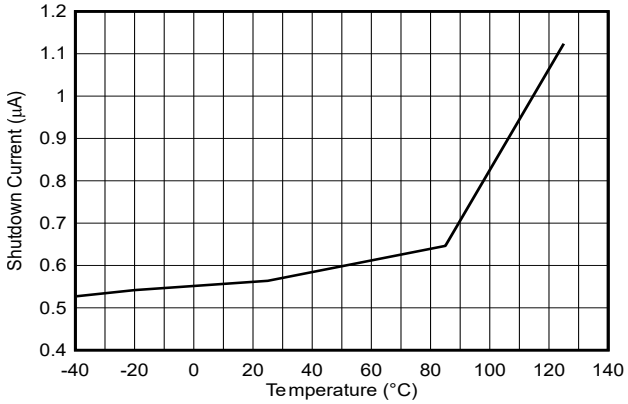


図 5-14. シャットダウン電流と温度との関係

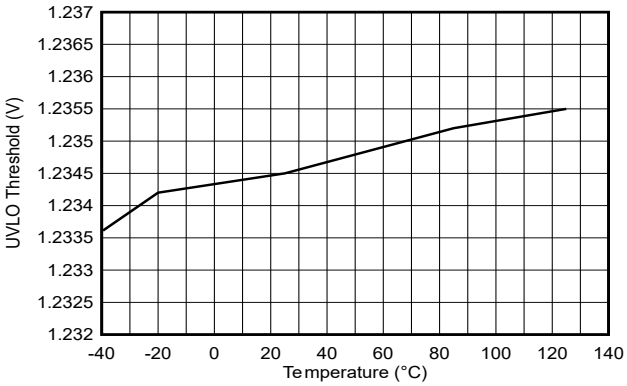


図 5-15. ENABLE/UVLO 立ち上がりスレッショルドと温度の関係

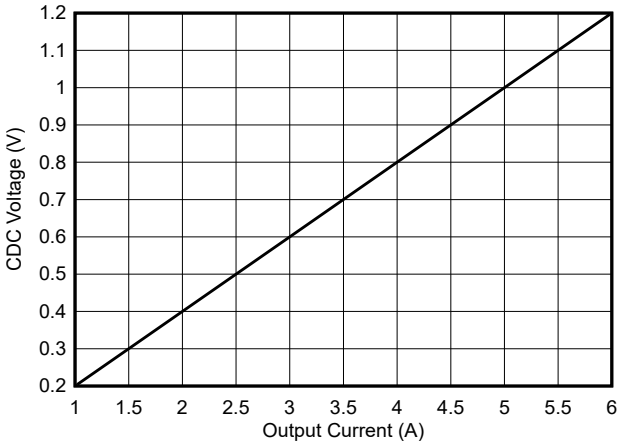


図 5-16. R_{SENSE} = 10mΩ での CDC 電圧と出力電流との関係

6 詳細説明

6.1 概要

TPSM852892 は、4 つの MOSFET と電力インダクタを内蔵した 6A の昇降圧 DC-DC モジュールです。TPSM852892 は、3.0V～36V という広い入力電圧範囲で動作でき、出力電圧は 0.8V～22V に設定できます。入力電圧と設定された出力電圧に応じて、このデバイスは降圧、昇降圧、昇圧の各モード間をスムーズに切り替えて動作します。TPSM852892 は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPSM852892 は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。

TPSM852892 は平均電流モード制御方式を採用しています。電流モード制御により、ループ補償が簡素化され、負荷過渡への迅速な応答と固有のライン電圧除去が可能になります。エラー アンプは、帰還電圧を内部リファレンス電圧と比較します。エラー アンプの出力によって、平均インダクタ電流が決まります。

内部発振器は、400kHz ～1MHz の広い周波数範囲で動作するように構成できます。内蔵オシレータは、DITH/SYNC ピンに入力された外部クロックに同期させることもできます。EMI を最小限に抑えるために、TPSM852892 は設定されたスイッチング周波数に対して ±7% の範囲で周波数をディザリングできます。

TPSM852892 は、中負荷から重負荷の電流では固定周波数 PWM モードで動作します。軽負荷時、TPSM852892 は自動的に PFM モードへ移行するようにも、PWM モードに強制固定するようにも設定できます。

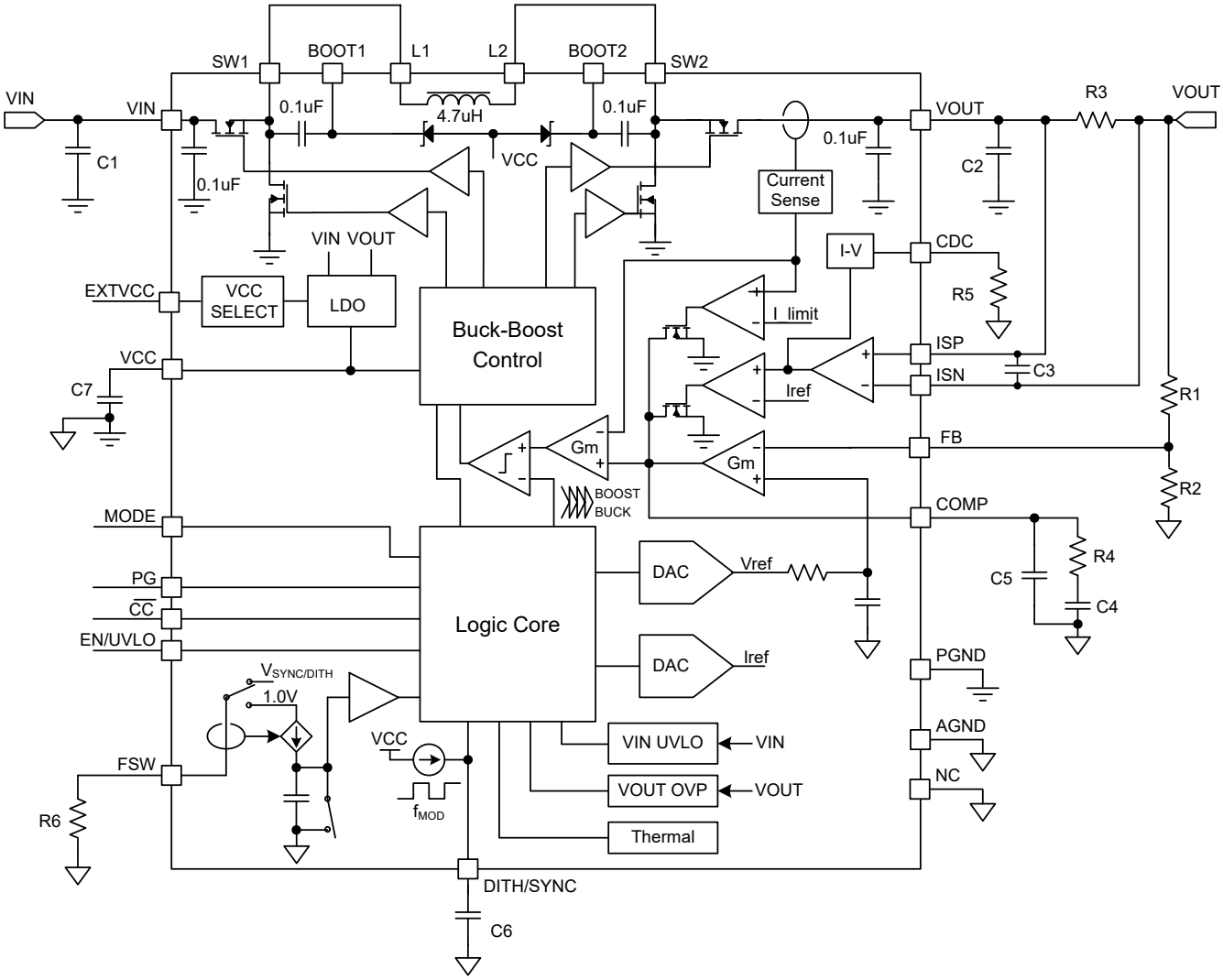
TPSM852892 には標準 6A の平均インダクタ電流制限があります。さらに、デバイスの許容範囲を超える過電流状態から保護するために、過渡時には、サイクルごとにピーク インダクタ電流を制限します。

EN/UVLO ピンでの 5μA ソース電流による 1.23V の高精度電圧スレッショルドにより、ヒステリシス付きのプログラマブル入力低電圧誤動作防止 (UVLO) がサポートされます。出力過電圧保護 (OVP) 機能は、ハイサイド FET をオフにして、TPSM852892 によって電力が供給されるデバイスの損傷を防止します。

出力短絡が発生した際に電力部品の発熱を抑えるため、デバイスはヒカップ モードを選択できます。TPSM852892 は 76ms 間オフになり、ソフト スタートアップ時に再起動します。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図


VIN
VIN
C1
0.1uF
SW1
BOOT1
L1
L2
BOOT2
SW2
0.1uF
4.7uH
0.1uF
VCC
0.1uF
Current Sense
VOUT
C2
R3
VOUT
VIN VOUT
EXTVCC
VCC SELECT
LDO
Buck-Boost Control
I-V
CDC
R5
I_limit
ISP
ISN
C3
VCC
C7
Iref
R1
Gm
Gm
FB
R2
BOOST
BUCK
MODE
COMP
R4
C5
C4
PG
CC
EN/UVLO
Logic Core
DAC
Vref
DAC
Iref
PGND
VSYNC/DITH
1.0V
VCC
VIN UVLO
VIN
AGND
FSW
VOUT OVP
VOUT
NC
fMOD
R6
Thermal
DITH/SYNC
C6

6.3 機能説明

6.3.1 VCC の電源

TPSM852892 には、VCC ピンで 5.2V に調整された電圧を出力する内部 LDO があります。V_{IN} が V_{OUT} より小さい場合、内部 LDO によって V_{IN} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{IN} が 6.2V より高い場合、LDO の電源は V_{IN} です。V_{IN} が 5.9V より低い場合、LDO の電源は V_{OUT} です。V_{OUT} が V_{IN} より小さい場合、内部 LDO によって V_{OUT} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{OUT} が 6.2V より高い場合、LDO の電源は V_{OUT} です。V_{OUT} が 5.9V より低い場合、LDO の電源は V_{IN} です。表 6-1 には、内部 LDO の電源の選択が示されています。

表 6-1. V_{CC} 電源ロジック

V_{IN}	V_{OUT}	V_{CC} LDO の入力
V_{IN} > 6.2V	V_{OUT} > V_{IN}	V_{IN}
V_{IN} < 5.9V	V_{OUT} > V_{IN}	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} > 6.2V	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} < 5.9V	V_{IN}

6.3.2 EXTVCC の電源

入力電圧と出力電圧の両方が高い場合に内部 LDO の消費電力を最小限に抑えるため、TPSM852892 には VCC ピンに外部の 5V 電源を入力して給電することができます。外部の 5V 電源は、少なくとも 100mA の出力能力を持ち、4.75V～5.5V の範囲内で安定している必要があります。EXTVCC ピンがロジック Low に接続されている場合、デバイスは外部電源を選択し、VCC ピン経由で自身に給電します。EXTVCC ピンをロジック High に接続するか、フローティングのままにすると、デバイスは内部 LDO を選択します。

6.3.3 入力低電圧誤動作防止

入力電圧が 2.6V を下回る場合、TPSM852892 は無効化されます。入力電圧が 3V を上回る場合、EN ピンを 1.3V を超える高電圧にすることで、TPSM852892 を有効にできます。

6.3.4 イネーブルおよびプログラム可能な UVLO

TPSM852892 には、デュアル機能イネーブルおよび低電圧誤動作防止 (UVLO) 回路が搭載されています。VIN ピンの入力電圧が入力 UVLO 立ち上がりスレッショルドの 3V を超え、EN/UVLO ピンが 1.15V を超えたものの、イネーブル UVLO スレッショルドの 1.23V を下回る場合、TPSM852892 はイネーブルになりますが、スタンバイ モードのままです。TPSM852892 は、起動すると MODE ピンのロジック状態を検出し始めます。

EN/UVLO ピンには正確な UVLO 電圧スレッショルドがあり、ヒステリシス付きのプログラム可能な入力低電圧誤動作防止をサポートします。EN/UVLO ピン電圧が 1.23V の UVLO スレッショルドを超えると、TPSM852892 はイネーブルされ、スイッチング動作を開始します。ヒステリシス電流 I_{UVLO_HYS} は EN/UVLO ピンから供給され、入力電圧が緩やかに変化するノイズによるオン/オフ チャタリングを防止するヒステリシスを提供します。

図 6-1 に示すように分圧抵抗を使用すると、ターンオン スレッショルドが 式 1 を使用して計算されます。

$$V_{IN(UVLO_ON)} = V_{UVLO} \times (1 + \frac{R1}{R2}) \quad (1)$$

ここで、

- V_{UVLO} は、EN/UVLO ピンの UVLO スレッショルド 1.23V です

UVLO オン スレッショルドとオフ スレッショルドの間のヒステリシスは、EN/UVLO 分圧抵抗回路の上側抵抗によって設定され、式 2 で求められます。

Copyright © 2025 Texas Instruments Incorporated

$$\Delta V_{IN(UVLO)} = I_{UVLO_HYS} \times R1 \quad (2)$$

ここで、

- I_{UVLO_HYS} は、EN/UVLO ピンの電圧が V_{UVLO} より高い場合に EN/UVLO ピンから供給される電流です

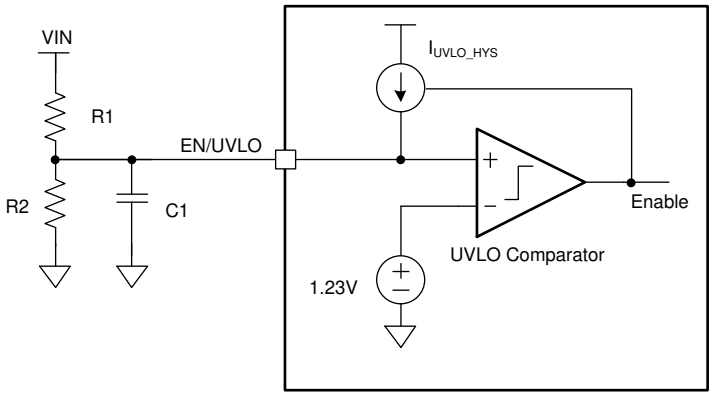


図 6-1. EN/UVLO ピンでの分圧抵抗によるプログラム可能な UVLO

NMOSFET を分圧抵抗とともに使用すると、図 6-2 に示すように、ロジック イネーブルとプログラム可能な UVLO の両方を実装できます。EN のロジック High レベルは、NMOSFET Q1 のイネーブル スレッショルドと V_{th} の合計値よりも大きい必要があります。また、Q1 は、シャットダウン モード時に UVLO 分圧抵抗を介して VIN からグランドへのリーク電流を防止します。

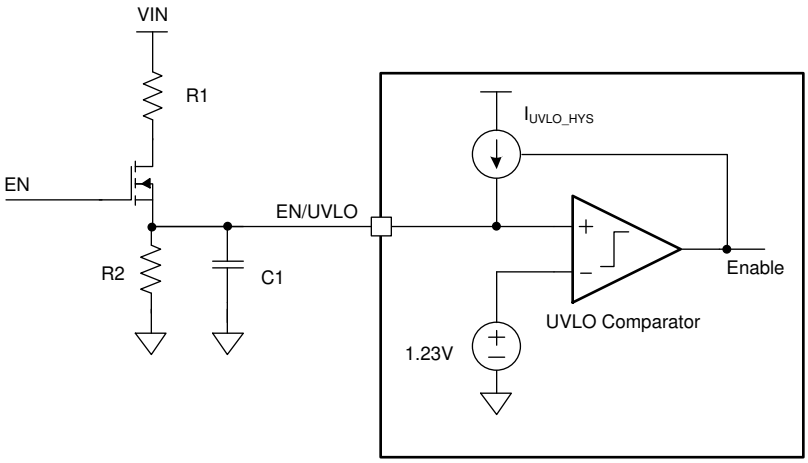


図 6-2. ロジック イネーブルおよびプログラム可能な UVLO

6.3.5 ソフト スタート

入力電圧が UVLO スレッショルドを上回り、かつ EN/UVLO ピンの電圧がイネーブル用の UVLO スレッショルドを超えると、TPSM852892 は内部リファレンス電圧を 0V から 1.2V まで 3.6ms で立ち上げることで、出力電圧のランプアップを開始します。

6.3.6 シャットダウン

EN/UVLO ピンの電圧が 0.4V を下回ると、TPSM852892 はシャットダウン モードとなり、すべての機能が無効化されます。

6.3.7 スイッチング周波数

TPSM852892 は、固定周波数の平均電流制御方式を使用しています。スイッチング周波数は、FSW ピンに抵抗を配置することで、400kHz と 1MHz の間に設定されます。内部アンプによって、このピンは 1V の一定電圧に保たれます。設定抵抗は、49.9kΩ の最大値と 20kΩ の最小値の間です。式 3 を使用して、指定されたスイッチング周波数の抵抗を計算します。

$$f_{SW} = \frac{1000}{0.05 \times R_{FSW} + 35} \text{(MHz)} \quad (3)$$

ここで、

- R_{FSW} は、FSW ピンの抵抗値 (Ω) です

ノイズに敏感なアプリケーションでは、TPSM852892 を DITH/SYNC ピンに入力された外部クロック信号に同期させることができます。30% ～ 70% の範囲内では、外部クロックのデューティサイクルを推奨します。TPSM852892 を外部クロックでスイッチングさせる場合、FSW ピンにも抵抗を接続する必要があります。DITH/SYNC ピンに入力される外部クロックの周波数は、低レベル電圧が 0.4V 未満であり、かつ抵抗で設定された対応周波数の ±30% 以内である必要があります。図 6-3 は推奨される構成です。

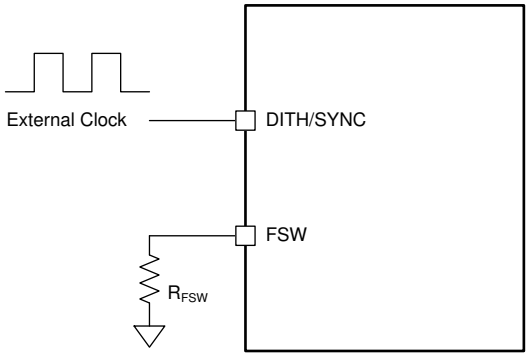


図 6-3. 外部クロック設定

Copyright © 2025 Texas Instruments Incorporated

6.3.8 スイッチング周波数のディザリング

TPSM852892 は、DITH/SYNC ピンからグラウンドへコンデンサを接続することで有効化できる、オプションのスイッチング周波数ディザリングを備えています。図 6-4 に、ディザリング回路を示します。コンデンサを充電および放電することで、DITH/SYNC ピンに 1V を中心とした三角波が生成されます。三角波形は、FSW ピンに接続された抵抗で設定された公称周波数に対して ±7% の範囲で発振器周波数を変調します。DITH/SYNC ピンの静電容量によって、変調周波数が設定されます。容量が小さいほど、発振器の周波数は大容量よりも高速に変調されます。ディザリング回路でピーク EMI を効果的に低減するには、変調レートは通常 1kHz 未満です。式 4 は、変調周波数 F_{MOD} を設定するために必要な容量値を算出します。

$$C_{DITH} = \frac{1}{2.8 \times R_{FSW} \times F_{MOD}} \ (F) \tag{4}$$

ここで、

- R_{FSW} は、FSW ピンのスイッチング周波数設定抵抗 (Ω) です
- F_{MOD} はディザリングの変調周波数 (Hz) です

DITH/SYNC ピンを 0.4V 未満、または 1.2V を超える電圧に接続すると、スイッチング周波数のディザリングは無効になります。外部の同期クロックを使用する場合も、ディザリング機能は無効になります。

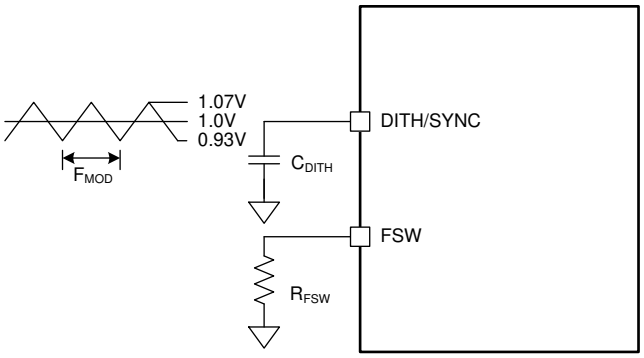


図 6-4. スイッチング周波数のディザリング

6.3.9 インダクタ電流制限

TPSM852892 は、ピーク電流と平均インダクタ電流制限の両方を実装しています。平均電流モード制御ループは、昇圧レッグのハイサイド MOSFET の電流センス情報を使用して、最大平均インダクタ電流を 6A (標準) にクランプします。

平均電流制限に加えて、過渡時にはピーク電流制限保護が実装され、デバイスの能力を超える過電流状態からデバイスを保護します。

6.3.10 内部充電パス

2 つのハイサイド MOSFET ドライバは、それぞれフローティング ブートストラップ コンデンサからバイアスされます。このコンデンサは、ローサイド MOSFET がオンになると、通常、外部と内部の両方のブートストラップ ダイオードを経由して V_{CC} により再充電されます。TPSM852892 が降圧または昇圧領域でのみ動作する場合、ハイサイド MOSFET の 1 つは常時オンになります。VOUT と BOOT2 から BOOT1 へ、または VIN と BOOT1 から BOOT2 への内部充電パスによって、ブートストラップ コンデンサは V_{CC} まで充電され、ハイサイド MOSFET はオンのままになります。

6.3.11 出力電圧設定

TPSM852892 の出力電圧は、図 6-5 に示すように、帰還抵抗を使用して構成されています。FB ピンの基準電圧を使用して、出力電圧を計算するには、式 5 を使用します。

$$V_{OUT} = V_{REF} \times (1 + \frac{R_{FB_UP}}{R_{FB_BT}}) \quad (5)$$

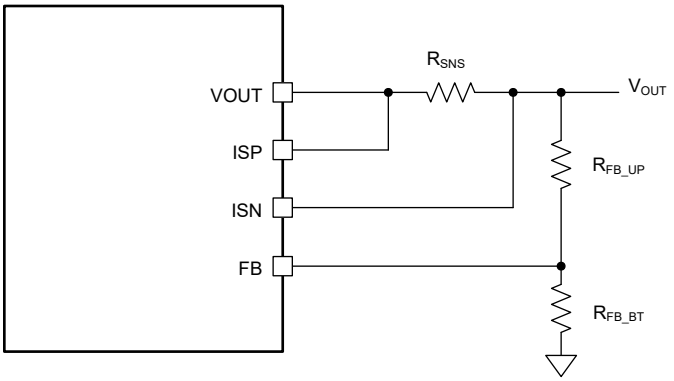


図 6-5. 出力電圧設定

TI では、アップ抵抗 R_{FB_UP} には 100kΩ を使用することを推奨します。内部リファレンス電圧 V_{REF} は 1.2V です。

6.3.12 出力電流監視およびケーブル電圧ドループ補償

TPSM852892 は、ISP ピンと ISN ピン間の出力電流検出抵抗で検出された電圧に比例した電圧を CDC ピンから出力します。式 6 には、検出された出力電流に対応する CDC ピンの正確な電圧値が示されています。

$$V_{CDC} = 20 \times (V_{ISP} - V_{ISN}) \quad (6)$$

USB ポートの出力から給電先デバイスまでのケーブルで生じる電圧降下を補償するために、TPSM852892 は、CDC ピンと AGND ピンの間に抵抗を入れることで、負荷電流に比例して出力電圧を持ち上げることができます。

出力電圧は、CDC ピンから CDC ピンの抵抗を経由する電流に比例して上昇します。帰還抵抗分圧器のアップ抵抗には 100kΩ 抵抗を使用することを推奨します。式 7 は、検出された出力電流、CDC ピンの抵抗、出力電圧帰還分圧抵抗のアップ抵抗に関連する出力電圧の上昇を示しています。

$$V_{OUT_CDC} = 3 \times R_{FB_UP} \times (\frac{V_{ISP} - V_{ISN}}{R_{CDC}}) \quad (7)$$

ここで、

- R_{FB_UP} は、出力と FB ピンとの間の抵抗デバイダのアップ抵抗です
- R_{CDC} は CDC ピンからのセンス抵抗です

R_{FB_UP} が 100kΩ の場合、出力電圧上昇と検出された出力電流の関係および CDC ピンの抵抗を図 6-6 に示します。

Copyright © 2025 Texas Instruments Incorporated

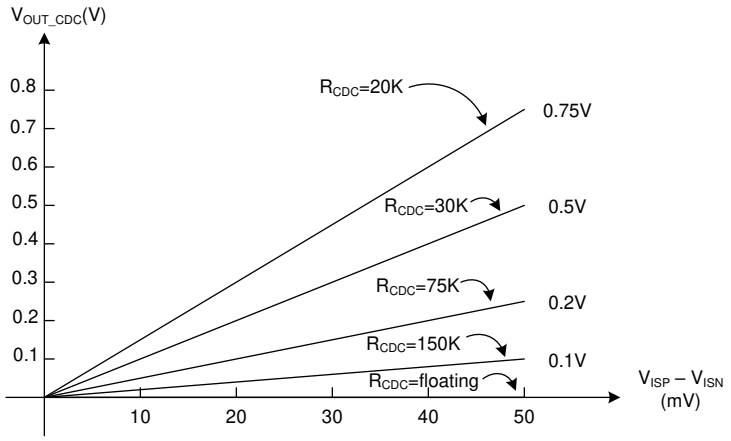


図 6-6. 出力電圧立ち上がりと出力電流との関係

6.3.13 出力電流制限

出力電流制限は、ISP ピンと ISN ピンの間に電流検出抵抗を配置することでプログラム可能です。ISP ピンと ISN ピンの間の電圧制限は 50mV に設定されています。したがって、抵抗が小さいほど電流制限が高くなり、抵抗が大きいほど、電流制限は低くなります。

ISP ピンと ISN ピンをまとめて VOUT ピンに接続すると、検出電圧が常にゼロになるため、出力電流制限は無効になります。

6.3.14 過電圧保護

TPSM852892 には、出力過電圧保護が搭載されています。VOUT ピンの出力電圧が標準で 23.5V を超えると、その出力電圧が出力過電圧保護スレッショルドより低いヒステリシス値に下がるまで、TPSM852892 は 2 つのハイサイド FET をオフにし、2 つのローサイド FET をオンにします。この機能は出力の過電圧を防ぎ、出力に接続された回路を過度の過電圧から保護します。

6.3.15 出力短絡保護機能

TPSM852892 は平均インダクタ電流制限に加え、ヒカップ モードに移行することで出力短絡保護機能を実装します。3.6ms のソフト スタートアップ時間の後、TPSM852892 は平均インダクタ電流と出力電圧を監視します。出力短絡が発生し、平均インダクタ電流が電流制限に達し、かつ出力電圧が 2ms のあいだ 0.8V を下回ると、TPSM852892 はスイッチングを 76ms (標準値) 停止し、その後 3.6ms のソフトスタートを再び実行します。出力短絡または過電流状態において、ヒカップ モードは TPSM852892 の合計消費電力を低減するのに役立ちます。

6.3.16 パワー グッド

TPSM852892 にはパワー グッド機能が含まれています。パワー グッド出力はオープンドレインの NMOS で構成されており、VCC などの適切な電源に外付けのプルアップ抵抗を接続する必要があります。VOUT が目標出力電圧の 95% に達すると、PG ピンは High になります。出力電圧が目標出力電圧の 90% を下回ると、PG ピンが Low になります。

6.3.17 定電流出力インジケーション

TPSM852892 は、定電流出力インジケーション機能を内蔵しています。$\overline{CC}$ ピンの出力はオープン ドレインの NMOS で構成されており、VCC のような適切な電源に外付けのプルアップ抵抗を接続する必要があります。ISP ピンと ISN ピン間の電圧が 50mV に達してから、$\overline{CC}$ ピンは 128us の遅延時間で Low になります。

6.3.18 サーマル シャットダウン

TPSM852892 は、サーマル シャットダウン回路によって保護されており、内部接合部温度が 175°C (標準値) を超えるとシャットダウンされます。サーマル シャットダウンが作動すると、内部ソフトスタート回路はリセットされます。接合部温度が

サーマル シャットダウン スレッショルドより 20°C 低いヒステリシス温度まで下がると、コンバータは自動的に再起動します。

6.4 デバイスの機能モード

軽負荷時には、TPSM852892 は PFM モードまたは強制 PWM モードで動作して、さまざまなアプリケーション要件を満たすことができます。PFM モードではスイッチング周波数が低下してスイッチング損失が低減されるため、軽負荷時に高い効率が得られます。FPWM モードでは、不要な低スイッチング周波数を回避するためにスイッチング周波数は変更されませんが、効率は PFM モードよりも低くなります。

6.4.1 PWM モード

MODE ピンがロジック High に接続されている場合、TPSM852892 は FPWM モードで動作し、軽負荷時でもスイッチング周波数は変化しません。負荷電流が減少すると、内部エラー アンプの出力も減少し、平均インダクタ電流が減少して入力から出力への電力供給が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。MOSFET を流れる電流がゼロであっても、ハイサイド N-MOSFET はオフになりません。したがって、インダクタ電流はゼロになった後、方向転換します。電力は出力側から入力側に流れます。この条件では効率が低くなります。しかし固定スイッチング周波数で動作するため、軽負荷時によくある低スイッチング周波数による可聴ノイズやその他の問題は発生しません。

6.4.2 パワー セーブ モード

TPSM852892 は、PFM モードにより軽負荷時の効率を向上させます。MODE ピンがロジック Low に接続されている場合、TPSM852892 は軽負荷時に PFM モードで動作できます。TPSM852892 が軽負荷時に動作する場合、内部エラー アンプの出力が減少してインダクタのピーク電流が下がり、負荷に供給される電力が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。TPSM852892 が降圧モードで動作している場合、インダクタ電流がゼロになると、降圧側のローサイド スイッチがオフになり、出力からグランドへの逆電流が防止されます。TPSM852892 が昇圧モードで動作している場合、インダクタ電流がゼロになると、昇圧側のハイサイド スイッチがオフになり、出力から入力への逆電流が防止されます。TPSM852892 は、出力電圧が低下するまでスイッチングを再開します。このように、PFM モードではスイッチング サイクルが短縮され、逆インダクタ電流による電力損失が解消されることで、軽負荷時に高い効率が実現します。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPSM852892 は、入力電圧 3.0V ～ 36V、出力電圧 0.8V ～ 22V という幅広い範囲で動作可能です。TPSM852892 は、入力電圧と設定出力電圧に応じて、降圧モード、昇降圧モード、昇圧モード間をスムーズに遷移できます。TPSM852892 は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPSM852892 は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。スイッチング周波数は外付け抵抗によって設定されます。高い電力の状況でスイッチング電力損失を低減するには、スイッチング周波数を 600kHz 未満に設定することを推奨します。

7.2 代表的なアプリケーション

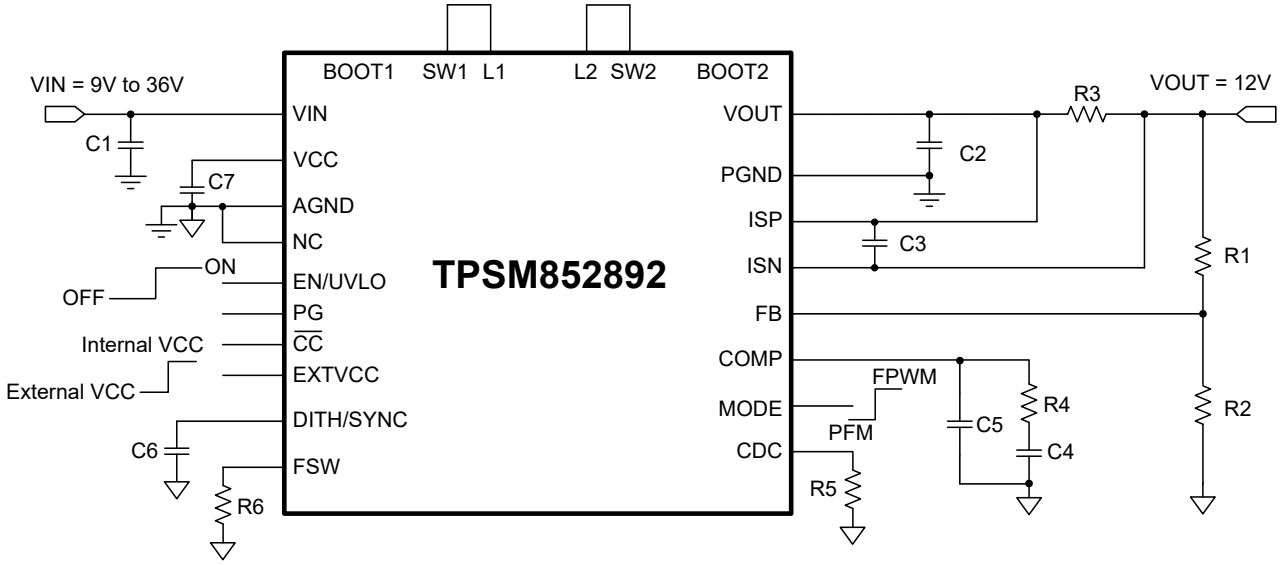


図 7-1. 9V～36V 入力の 12V 電源

7.2.1 設計要件

設計パラメータを 表 7-1 に示します:

表 7-1. 設計パラメータ

パラメータ	値
入力電圧	9V ～ 36V
出力電圧	12V
出力電流制限	3A
出力電圧リップル	±50mV
軽負荷時の動作モード	FPWM

7.2.2 詳細な設計手順

7.2.2.1 スイッチング周波数

TPSM852892 のスイッチング周波数は、FSW ピンに接続した抵抗によって設定されます。式 3 を使用して、所望の周波数に対する抵抗値を計算します。大電流アプリケーションでのスイッチング損失を低減するため、このアプリケーションでは 400kHz のスイッチング周波数に対して、1% 精度の 49.9kΩ 標準抵抗が選択されています。

7.2.2.2 出力電圧設定

出力電圧は、外付けの抵抗デバイダ (図 7-1 回路図の R1、R2) によって設定されます。出力電圧がレギュレートされている場合、FB ピンの標準電圧は V_{REF} です。R2 の値を式 8 のように計算します:

$$R2 = \frac{R1}{\left(\frac{V_{OUT}}{V_{REF}} - 1\right)} \tag{8}$$

7.2.2.3 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。入力コンデンサの RMS 電流は、式 14 で求められます。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times V_{IN}}} \tag{9}$$

ここで、

- $I_{CIN(RMS)}$ は、入力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

最大 RMS 電流は、出力電圧が入力電圧の半分のときに発生し、$I_{CIN(RMS)} = I_{OUT} / 2$ となります。セラミック コンデンサは、低 ESR で高リップル電流能力を持つため、推奨されます。合計 20µF の実効容量が、このアプリケーションの出発点として適切です。0.1µF/ 0402 サイズのセラミック コンデンサを追加し、VIN ピンと GND ピンの近くに配置します。これは、高周波ノイズを抑制し、EMI 性能の改善に役立ちます。過渡時の入力 DC 電圧を安定させるために、標準値 100µF のアルミ電解コンデンサを 1 個追加します。

7.2.2.4 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサ RMS リップル電流は、 式 15 で求められます。ここで、最小入力電圧と最大出力電圧は、最大コンデンサ電流に対応します。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \tag{10}$$

Copyright © 2025 Texas Instruments Incorporated

ここで、

- $I_{COUT(RMS)}$ は、出力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

この例では、最大出力リップル RMS 電流は 1.7A です。

出力コンデンサの ESR により、出力電圧リップルが昇圧モードの 式 16 で求められます。

$$V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN}} \times R_{COUT} \tag{11}$$

ここで、

- R_{COUT} は、出力キャパシタンスの ESR

また、このキャパシタンスにより、容量性出力電圧リップルが昇圧モードの式 17 で求められます。入力電圧が最小値に達し、出力電圧が最大値に達すると、キャパシタンスによる出力電圧リップルは最大になります。

$$V_{RIPPLE(CAP)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \tag{12}$$

通常、低 ESR、高リップル電流、小出力電圧リップルを実現するには、セラミック コンデンサとバルク電解コンデンサを組み合わせる必要があります。要求される出力電圧リップルから、式 16 および式 17 を用いて、C_{OUT} の必要最小有効容量を計算します。

0.1µF/ 0402 サイズのセラミック コンデンサを追加し、VOUT ピンと GND ピンの近くに配置します。これは、高周波ノイズを抑制し、EMI 性能の改善に役立ちます。

7.2.2.5 出力電流制限

出力電流制限は、ISP ピンと ISN ピンの間に電流検出抵抗を接続することにより実装されます。ISP ピンと ISN ピンの間の制限電圧の値は 50mV です。ISP ピンと ISN ピンの間に入れる電流検出抵抗は、出力に十分な電流制限値が設定されるように選定します。出力電流制限設定抵抗は、式 18 で与えられます。

$$R_{SNS} = \frac{V_{SNS}}{I_{OUT_LIMIT}} \tag{13}$$

ここで、

- V_{SNS} は、ISP ピンと ISN ピンの間の電流制限設定電圧です
- I_{OUT_LIMIT} は目標とする出力電流制限値です

電力損失が大きいため、電流検出抵抗には十分な電力損失許容能力があり、かつ大型パッケージのものを使用します。

7.2.2.6 ループ安定性

TPSM852892 は平均電流制御方式を使用しています。内部電流ループには、内部補償が使用されます。外部電圧ループには、外部補償が必要です。COMP ピンは内部電圧エラー アンプの出力です。COMP ピンには、抵抗とセラミック コンデンサで構成される外部補償回路が接続されています。

TPSM852892 は降圧モードまたは昇圧モードで動作します。したがって、降圧と昇圧のどちらの動作モードでもループ補償が必要です。これら両方の補償のうち、ループ安定性の観点から、全体的な補償として制限の大きい方が選択されます。一般的に降圧モードまたは昇圧モードのいずれかで動作するように設計されたコンバータの場合、右半面ゼロ (RHPZ) が存在するため、昇圧モード補償設計の方が制限が大きくなります。

昇圧モードでの電力段は式 19 でモデル化できます。

$$G_{PS}(s) = \frac{R_{LOAD} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{ESRZ}}\right) \times \left(1 - \frac{s}{2\pi \times f_{RHPZ}}\right)}{1 + \frac{s}{2\pi \times f_P}} \tag{14}$$

ここで、

- R_{LOAD} は出力負荷抵抗
- D は昇圧モードでのスイッチング デューティ サイクル
- R_{SENSE} は等価内部電流センス抵抗で、0.055Ω

出力段には、出力コンデンサと負荷抵抗によってゼロが 2 つとポールが 1 つ生成されます。式 15 と式 22 を使用して計算します。

$$f_P = \frac{2}{2\pi \times R_{LOAD} \times C_{OUT}} \tag{15}$$

$$f_{ESRZ} = \frac{1}{2\pi \times R_{COUT} \times C_{OUT}} \tag{16}$$

$$f_{RHPZ} = \frac{R_{LOAD} \times (1-D)^2}{2\pi \times L} \tag{17}$$

内部の相互コンダクタンス アンプは COMP ピンの補償回路とともに、ループの制御部分を構成します。制御部分の伝達関数を式 23 で示します。

$$G_C(s) = \frac{G_{EA} \times R_{EA} \times V_{REF}}{V_{OUT}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{COMZ}}\right)}{\left(1 + \frac{s}{2\pi \times f_{COMP1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{COMP2}}\right)} \tag{18}$$

ここで、

- G_{EA} はエラー アンプの相互コンダクタンス
- R_{EA} はエラー アンプの出力抵抗
- V_{REF} はエラー アンプへのリファレンス電圧入力
- V_{OUT} は出力電圧です。
- f_{COMP1} および f_{COMP2} は補償ネットワークのポールの周波数です
- f_{COMZ} は補償回路のゼロの周波数

合計開ループ ゲインは、$G_{PS}(s)$ と $G_C(s)$ の積です。次のステップでは、合計開ループ ゲインが 1、すなわち 0dB となるループ クロスオーバー周波数 f_C を選択します。ループ ゲインがクロスオーバー前に 0dB を上回るような周波数が高いほど、ループ応答は速くなります。一般的にループ ゲインは、スイッチング周波数の 1/10、f_{SW} または RHPZ 周波数の 1/5、f_{RHPZ} のいずれか低い方を超えない周波数で 0dB を超えることが許容されます。

そこで、R_C、C_C、C_P の値を 式 24 から 式 26 で設定します。

$$R_C = \frac{2\pi \times V_{OUT} \times R_{SENSE} \times C_{OUT} \times f_C}{(1-D) \times V_{REF} \times G_{EA}} \tag{19}$$

ここで、

- f_C は選択されたクロスオーバー周波数

Copyright © 2025 Texas Instruments Incorporated

$$C_C = \frac{R_{LOAD} \times C_{OUT}}{2 \times R_C} \tag{20}$$

$$C_P = \frac{R_{COUT} \times C_{OUT}}{R_C} \tag{21}$$

計算された C_P が 10pF より小さい場合は、オープンのままでもかまいません。

ループを、45° を超える位相マージンと 10dB を超えるゲイン マージンになるように設計すると、ラインおよび負荷の過渡時の出力電圧のリンギングが除去されます。

7.2.3 アプリケーション曲線

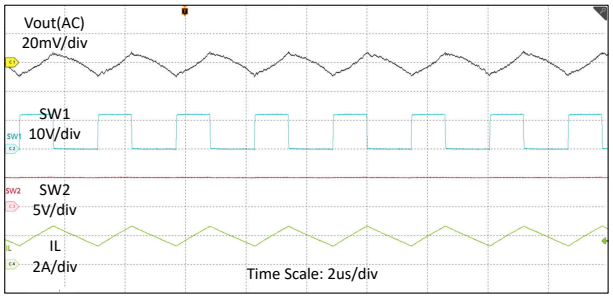


図 7-2. V_{IN} = 12V、V_{OUT} = 5V、I_O = 2A、FPWM におけるスイッチング波形

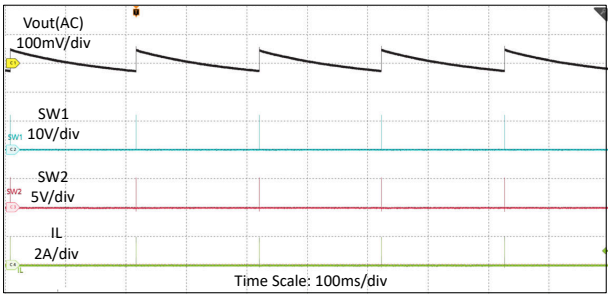


図 7-3. V_{IN} = 12V、V_{OUT} = 5V、I_O = 0A、PFM におけるスイッチング波形

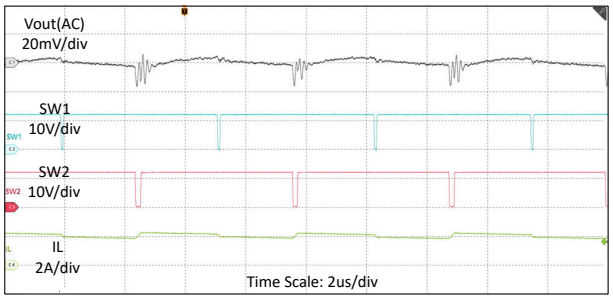


図 7-4. V_{IN} = 12V、V_{OUT} = 12V、I_O = 2A、FPWM におけるスイッチング波形

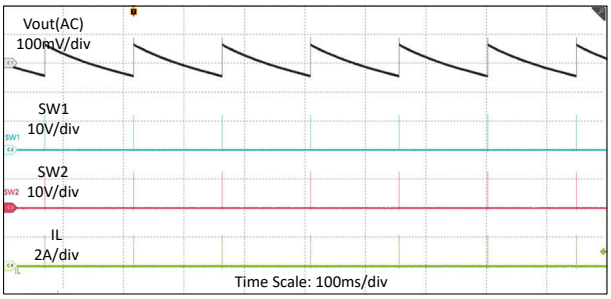


図 7-5. V_{IN} = 12V、V_{OUT} = 12V、I_O = 0A、PFM におけるスイッチング波形

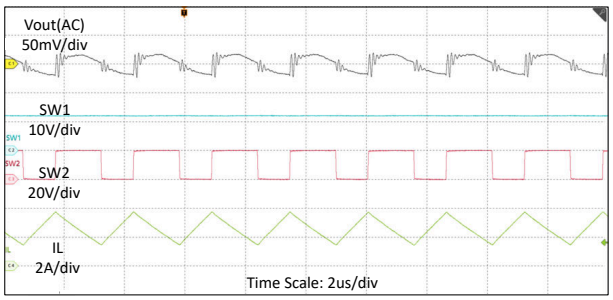


図 7-6. V_{IN} = 12V、V_{OUT} = 20V、I_O = 1.5A、FPWM におけるスイッチング波形

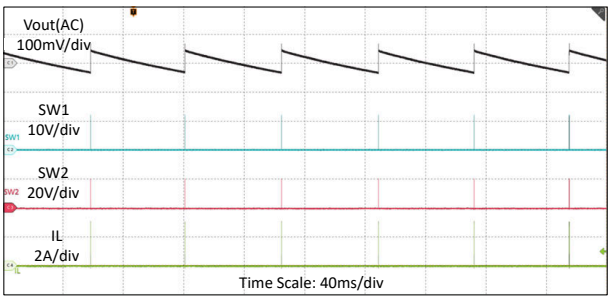


図 7-7. V_{IN} = 12V、V_{OUT} = 20V、I_O = 0A、PFM におけるスイッチング波形

7.2.3 アプリケーション曲線 (続き)

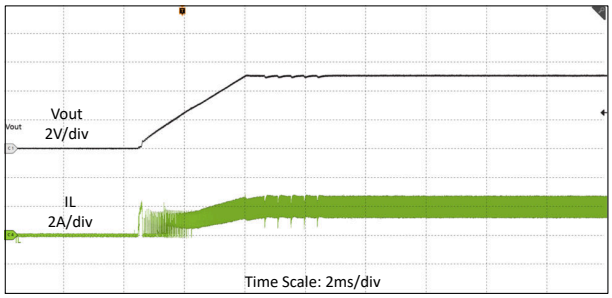


図 7-8. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 2.5Ω、FPWM におけるスタートアップ波形

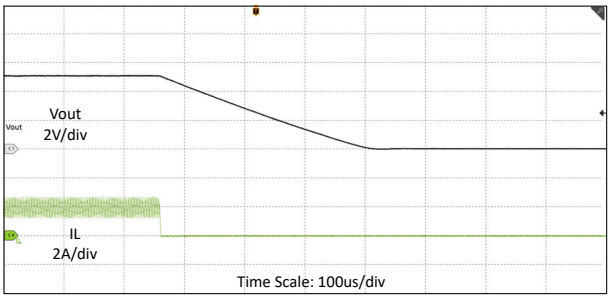


図 7-9. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 2.5Ω、FPWM におけるシャットダウン波形

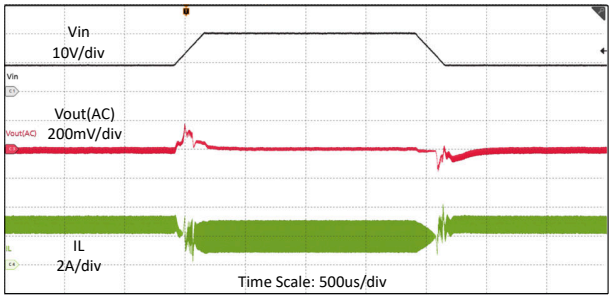


図 7-10. V_{IN} = 9V ～ 20V、V_{OUT} = 12V、I_O = 2A、スルーレート 200µs、FPWM におけるライン過渡波形

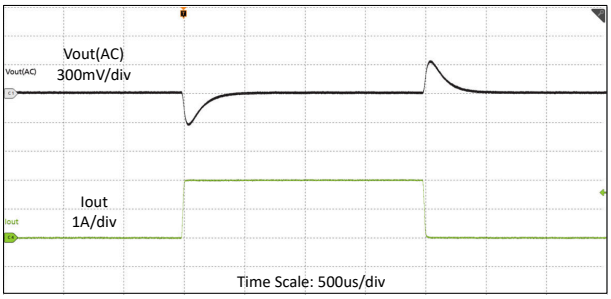


図 7-11. V_{IN} = 12V、V_{OUT} = 5V、I_O = 0A ～ 2A (スルーレート 20µs)、FPWM における負荷過渡波形

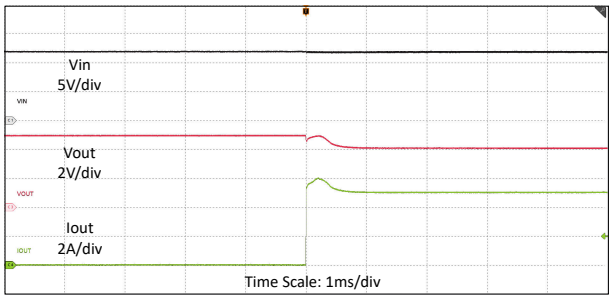


図 7-12. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 0.8Ω、R_{SNS} = 10mΩ、FPWM における出力電流制限波形

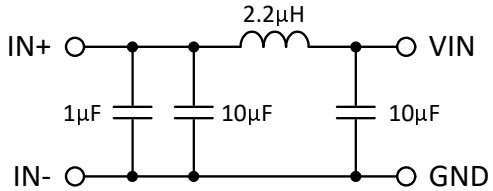


図 7-13. 推奨入力 EMI フィルタ

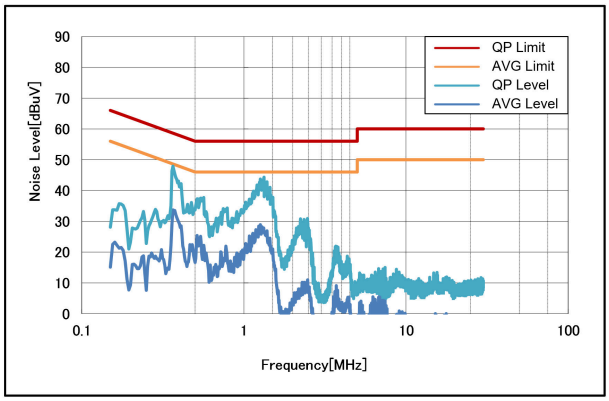


図 7-14. V_{IN} = 12V、V_{OUT} = 9V、R_{LOAD} = 3Ω、FPWM、スペクトラム拡散有効な CISPR 32 クラス B 伝導エミッション

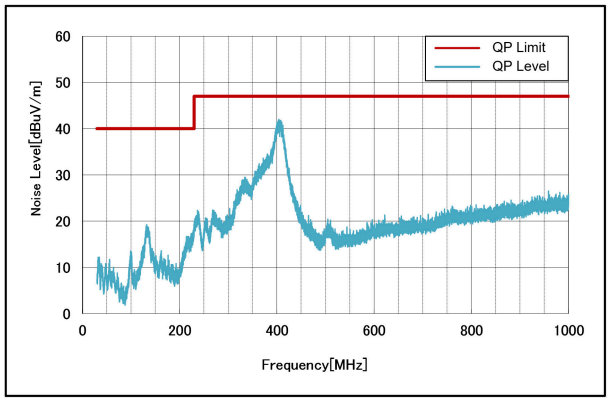


図 7-15. CISPR 32 クラス B 放射エミッション (水平) - V_{IN} = 12V、V_{OUT} = 9V、R_{LOAD} = 3Ω、FPWM、スペクトラム拡散有効

Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線 (続き)

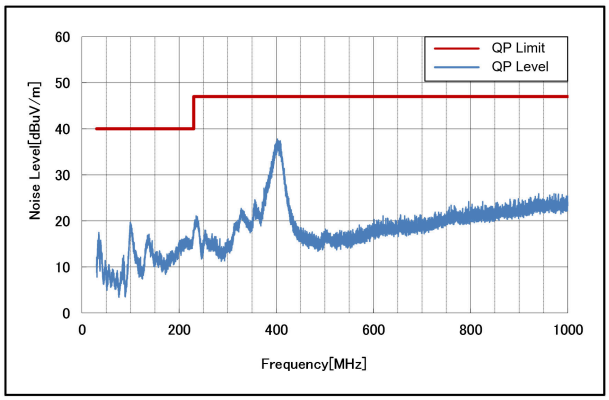


図 7-16. CISPR 32 クラス B 放射エミッション (垂直) - V_{IN} = 12V、V_{OUT} = 9V、R_{LOAD} = 3Ω、FPWM、スペクトラム拡散有効

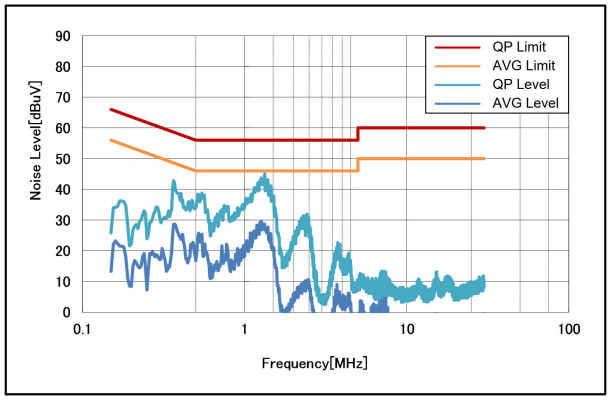


図 7-17. V_{IN} = 12V、V_{OUT} = 12V、R_{LOAD} = 6Ω、FPWM、スペクトラム拡散有効な CISPR 32 クラス B 伝導エミッション

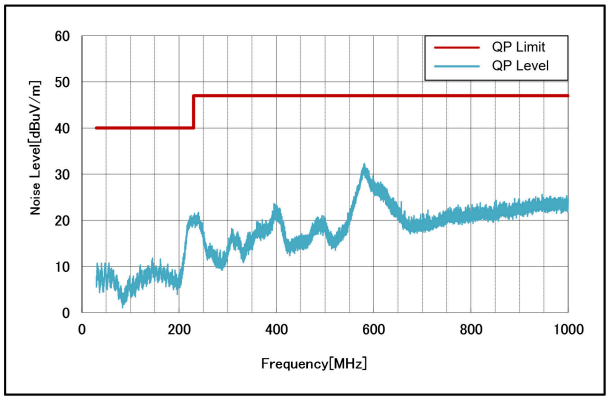


図 7-18. CISPR 32 クラス B 放射エミッション (水平) - V_{IN} = 12V、V_{OUT} = 12V、R_{LOAD} = 6Ω、FPWM、スペクトラム拡散有効

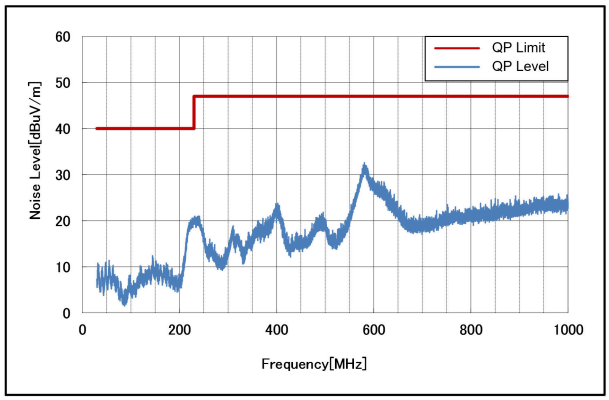


図 7-19. CISPR 32 クラス B 放射エミッション (垂直) - V_{IN} = 12V、V_{OUT} = 12V、R_{LOAD} = 6Ω、FPWM、スペクトラム拡散有効

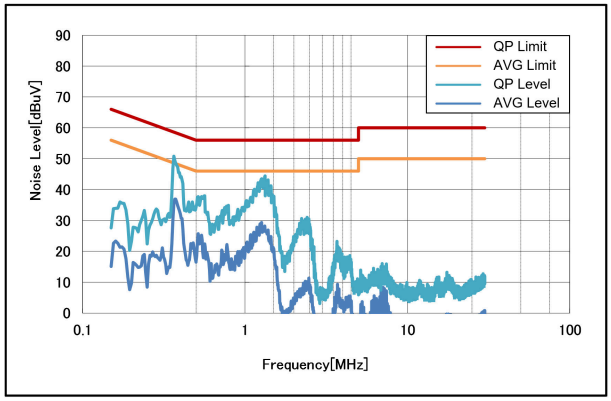


図 7-20. V_{IN} = 12V、V_{OUT} = 15V、R_{LOAD} = 10Ω、FPWM、スペクトラム拡散有効な CISPR 32 クラス B 伝導エミッション

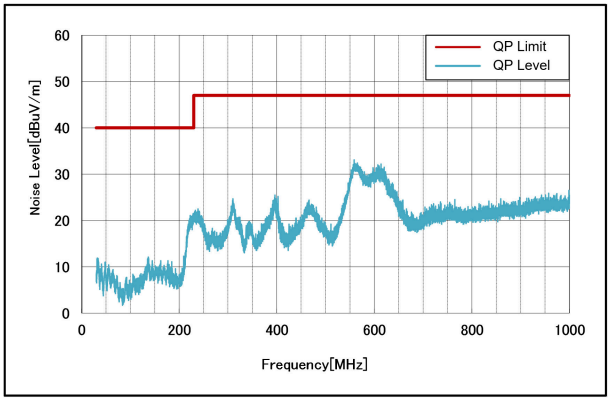


図 7-21. CISPR 32 クラス B 放射エミッション (水平) - V_{IN} = 12V、V_{OUT} = 15V、R_{LOAD} = 10Ω、FPWM、スペクトラム拡散有効

7.2.3 アプリケーション曲線 (続き)

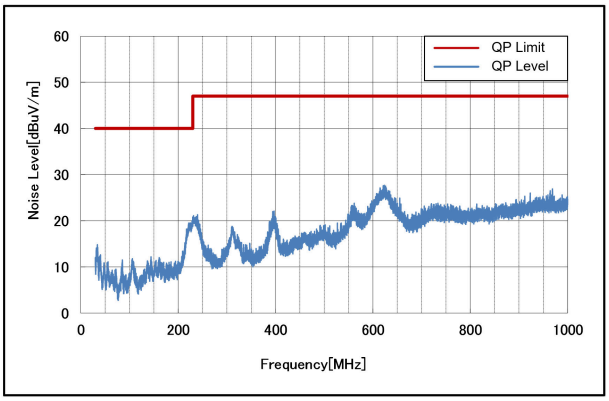


図 7-22. CISPR 32 クラス B 放射エミッション (垂直) - V_{IN} = 12V、V_{OUT} = 15V、R_{LOAD} = 10Ω、FPWM、スペクトラム拡散有効

Copyright © 2025 Texas Instruments Incorporated

7.3 電源に関する推奨事項

このデバイスは、3.0V～36V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がコンバータから数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。一般的な選択肢は、100μF のアルミ電解コンデンサです。

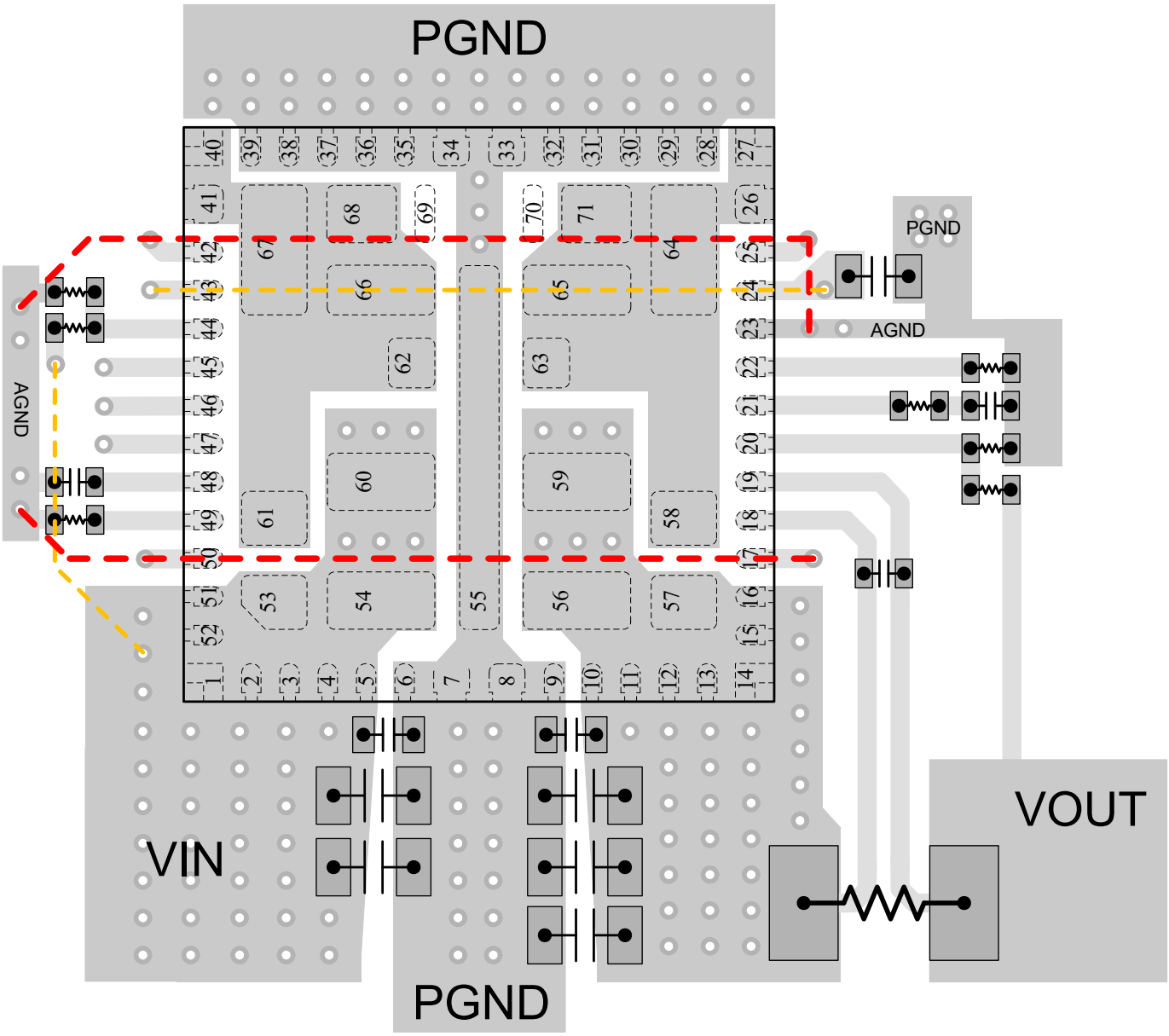
7.4 レイアウト

7.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、レイアウトは、重要な設計ステップです。レイアウトを注意深く行わないと、レギュレータで不安定性やノイズの問題が発生する可能性があります。

1. 0.1μF 小型パッケージの (0402) セラミック コンデンサは、高周波電流ループを最小限に抑えるため、VIN/VOUT ピンの近くに配置して高周波ノイズ (EMI) と効率の放射を改善します。
2. PGND ピン付近に複数の GND ビアを設けて PGND を内部グランド プレーンに接続すると熱特性も改善します。
3. SW1 と L1、SW2 と L2 のループ面積を最小限にします。これらは dv/dt が高いノードです。プレーン間カップリングを最小限にするため、スイッチング レギュレータの下にグランド プレーンを使用します。
4. 電流検出信号の ISP と ISN には、RSENSE へのケルビン接続を使用し、RSENSE の端子から IC のピンまで並行に配線します。電流センス信号のフィルタ コンデンサは、IC ピンにできるだけ近づけて配置します。
5. VCC コンデンサは、幅広の短いパターンで、IC の近くに配置します。VCC コンデンサの GND 端子は、3 ～ 4 個のビアを経由して PGND プレーンに直接接続します。
6. 電源グランドをアナログ グランドから絶縁します。PGND プレーンと AGND プレーンは、VCC コンデンサの端子に接続します。そのため、MOSFET ドライバと寄生インダクタンスに起因するノイズは、AGND および内部制御回路とは接続されません。
7. 補償部品は、可能な限り COMP ピンの近くに配置します。補償回路部品、フィードバック部品、その他の感度の高いアナログ回路は、電力部品や大電流パターンから離して配置し、アナログ信号へのノイズ結合を防ぎます。
8. 熱性能を改善するために、TPSM852892 の下にサーマルビアを設け、VIN ピンは広い VIN 領域へ、VOUT ピンは広い VOUT 領域へ、それぞれ接続することが推奨されます。

7.4.2 レイアウト例



trace on bottom layer

AGND plane on an inner layer

The first inner layer is the PGND plane

図 7-23. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
December 2025	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM852892RCMR	Active	Production	QFN-FCMOD (RCM) | 71	750 | LARGE T&R	In-Work	NIPDAU	Level-3-250C-168 HR	-40 to 125	T852892

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

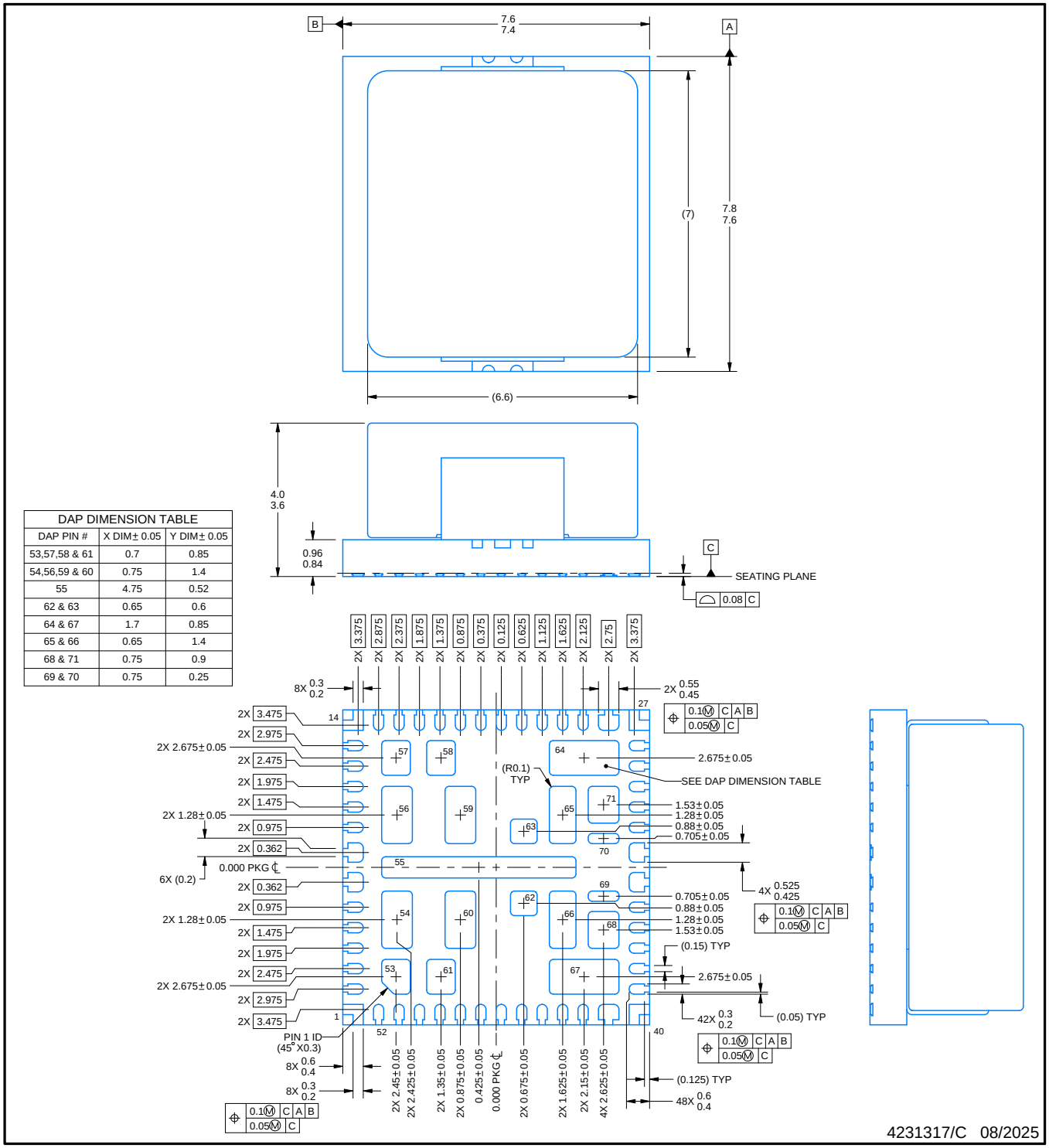
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

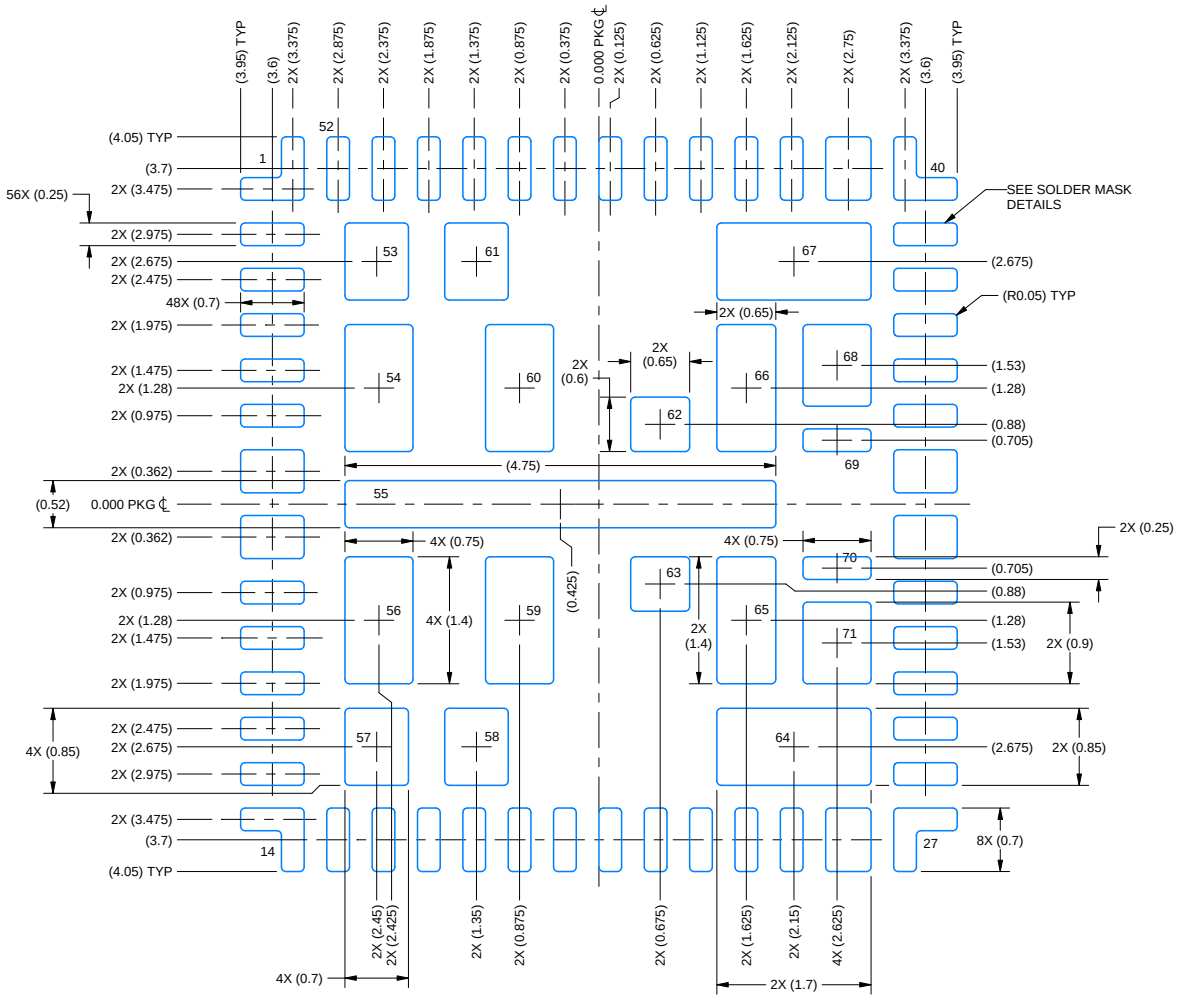
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



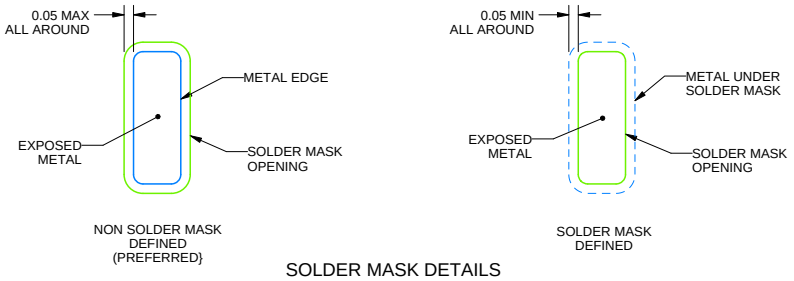
DAP DIMENSION TABLE		
DAP PIN #	X DIM± 0.05	Y DIM± 0.05
53,57,58 & 61	0.7	0.85
54,56,59 & 60	0.75	1.4
55	4.75	0.52
62 & 63	0.65	0.6
64 & 67	1.7	0.85
65 & 66	0.65	1.4
68 & 71	0.75	0.9
69 & 70	0.75	0.25

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

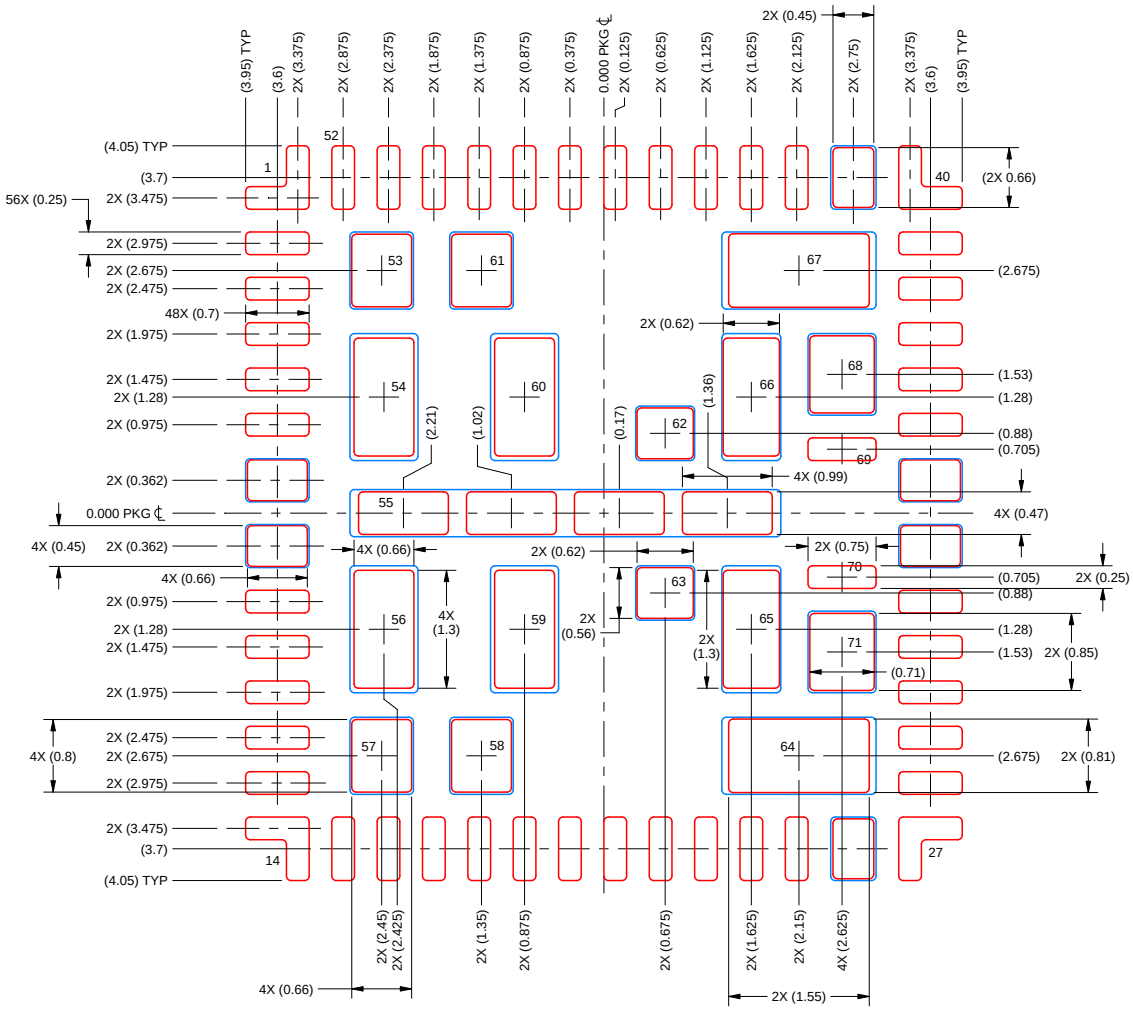


SOLDER MASK DETAILS

4231317/C 08/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 53, 57, 58, 61, 62, 63, 65, 66, 68 & 71: 89%
PADS: 54, 56, 59 & 60: 82%
PAD 55: 75%
PADS 64 & 67: 87%

4231317/C 08/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月