

TUSB1146 USB Type-C™ DisplayPort™ Alt モード、10Gbps のリニア リドライバ クロスポイント スイッチ

1 特長

- 以下をサポートする USB Type-C クロスポイント スイッチ
 - USB 3.2SSP + 2 つの DisplayPort レーン
 - 4 つの DisplayPort レーン
- USB 3.2 x1 Gen 1/Gen 2 で最大 10Gbps
- VESA®最大 10Gbps の DisplayPort 2.0 (UHBR10)
- D_DFP のピン割り当て C、D、E をサポート
- USB DFP レシーバについて、適応型または固定のイコライゼーションを選択可能。
- UFP トランスミッタでリニアおよび制限付きリドライバをサポート
- 制限付きリドライバ オプションでは、TX 電圧スイングと TX イコライゼーション制御の両方を使用可能
 - 800mVpp から 1100mVpp まで 4 レベルの TX 電圧スイング
 - TX プリシュートとディエンファシス
- 超低消費電力アーキテクチャ
- 5GHz で最大 12dB のイコライゼーション
- DisplayPort リンクトレーニングに対して透過的
- GPIO または I²C により設定可能
- Intel 独自の USB Type-C 上での DCI 能力により、クローズド シャーシ デバッグが可能
- ホットプラグ対応
- 産業用温度範囲: -40°C ~ 85°C (TUSB1146I)
- 商業用温度範囲: 0°C ~ 70°C (TUSB1146)
- 4mm × 6mm、0.4mm ピッチの WQFN パッケージ

2 アプリケーション

- ノート PC およびデスクトップ PC
- タブレット
- ドッキング ステーション

3 説明

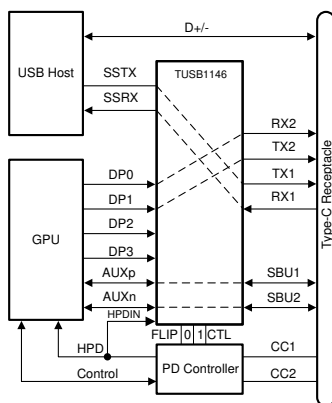
TUSB1146 は VESA USB Type-C™ Alt モードのリドライビング スイッチで、USB 3.2 で 10Gbps まで、DisplayPort 2.0 で 10Gbps までの、下流向きポート (ホスト) のデータ転送速度をサポートします。このデバイスは、USB Type-C 規格の VESA DisplayPort Alt モードから、構成 C、D、E に使用されます。このリニア リドライバはプロトコルに依存せず、HDMI Alt モードなど他の USB Type-C Alt モード インターフェイスもサポートできます。

TUSB1146 には、革新的なアダプティブ レシーバ イコライゼーション (AEQ) 機能が組み込まれています。AEQ 機能は、USB デバイスと TUSB1146 との間で最適な ISI 補償設定を自動的に見つけます。AEQ が最適な設定を検出するため、USB ホストと USB デバイスとの間の相互運用性が大幅に向上しています。TUSB1146 は単一の 3.3V 電源で動作し、商業用温度範囲と工業用温度範囲のバージョンが用意されています。

デバイス情報

部品番号	パッケージ (1)	本体サイズ (公称)
TUSB1146	RNQ (WQFN, 40)	4.00mm × 6.00mm
TUSB1146I		

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Copyright © 2018, Texas Instruments Incorporated

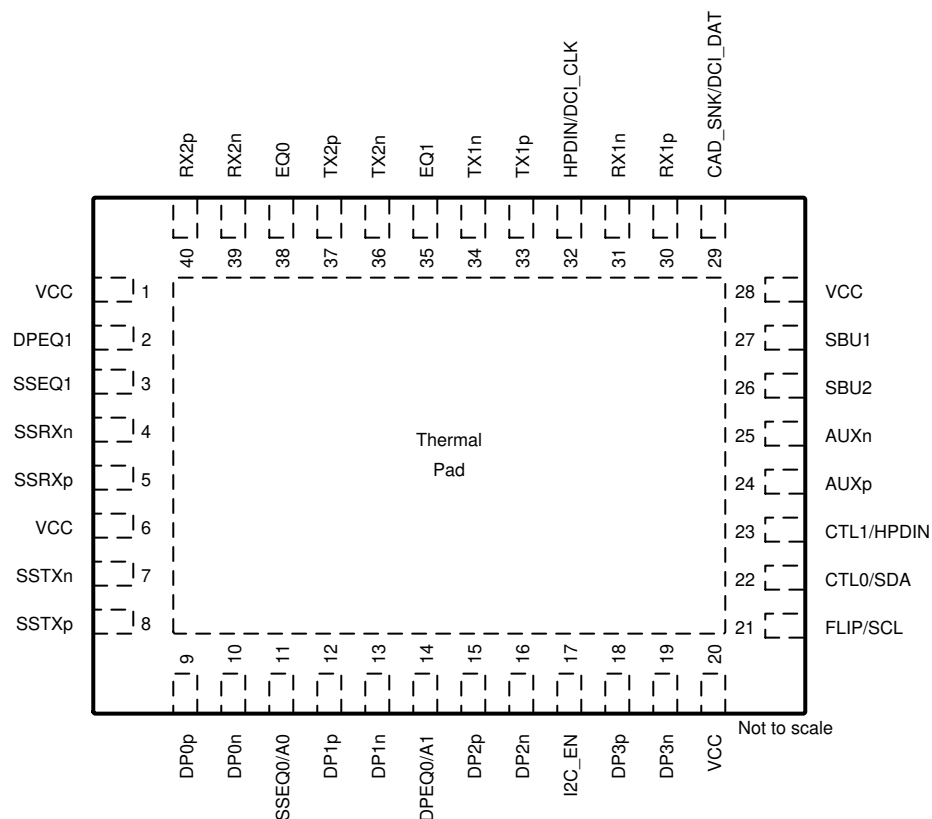
概略回路図



目次

1 特長	1	7.4 デバイスの機能モード.....	25
2 アプリケーション	1	7.5 プログラミング.....	33
3 説明	1	8 レジスタ	39
4 TUSB1146 ピン構成および機能	3	8.1 レジスタ マップ.....	39
5 仕様	6	9 アプリケーションと実装	51
5.1 絶対最大定格.....	6	9.1 使用上の注意.....	51
5.2 ESD 定格.....	6	9.2 代表的なアプリケーション.....	51
5.3 推奨動作条件.....	6	9.3 システム例.....	56
5.4 熱に関する情報.....	6	10 電源に関する推奨事項	61
5.5 電源特性.....	7	11 レイアウト	61
5.6 制御 I/O DC の電気的特性.....	7	11.1 レイアウトのガイドライン.....	61
5.7 USB および DP の電気的特性.....	9	11.2 レイアウト例.....	62
5.8 DCI の電気的特性.....	12	12 デバイスおよびドキュメントのサポート	63
5.9 タイミング要件.....	12	12.1 ドキュメントの更新通知を受け取る方法.....	63
5.10 スイッチング特性.....	13	12.2 サポート・リソース.....	63
5.11 代表的特性.....	14	12.3 商標.....	63
6 パラメータ測定情報	17	12.4 静電気放電に関する注意事項.....	63
7 詳細説明	22	12.5 用語集.....	63
7.1 概要.....	22	13 改訂履歴	63
7.2 機能ブロック図.....	23	14 メカニカル、パッケージ、および注文情報	63
7.3 機能説明.....	24		

4 TUSB1146 ピン構成および機能



Copyright © 2019, Texas Instruments Incorporated

図 4-1. RNQ パッケージ、40 ピン WQFN (上面図)

表 4-1. TUSB1146 ピンの機能

ピン		I/O	説明
名称	番号		
DP0p	9	差動 I	DisplayPort レーン 0 の DP 差動正入力。
DP0n	10	差動 I	DisplayPort レーン 0 の DP 差動負入力。
DP1p	12	差動 I	DisplayPort レーン 1 の DP 差動正入力。
DP1n	13	差動 I	DisplayPort レーン 1 の DP 差動負入力。
DP2p	15	差動 I	DisplayPort レーン 2 の DP 差動正入力。
DP2n	16	差動 I	DisplayPort レーン 2 の DP 差動負入力。
DP3p	18	差動 I	DisplayPort レーン 3 の DP 差動正入力。
DP3n	19	差動 I	DisplayPort レーン 3 の DP 差動負入力。
RX1n	31	差動 I/O	DisplayPort の差動負出力、USB3.1 ダウンストリーム側ポートの場合の差動負入力。
RX1p	30	差動 I/O	DisplayPort の差動正出力と、USB3.1 ダウンストリーム側ポートの差動正入力。
TX1n	34	差動 O	DisplayPort または USB3.1 ダウンストリーム側ポートの差動負出力。
TX1p	33	差動 O	DisplayPort または USB 3.1 ダウンストリーム側ポートの差動正出力。
TX2p	37	差動 O	DisplayPort または USB 3.1 ダウンストリーム側ポートの差動正出力。
TX2n	36	差動 O	DisplayPort または USB 3.1 ダウンストリーム側ポートの差動負出力。
RX2p	40	差動 I/O	DisplayPort の差動正出力と、USB3.1 ダウンストリーム側ポートの差動正入力。
RX2n	39	差動 I/O	DisplayPort の差動負出力、USB3.1 ダウンストリーム側ポートの場合の差動負入力。

表 4-1. TUSB1146 ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
SSTXp	8	差動 I	USB3.1 アップストリーム側ポートの差動正入力。
SSTXn	7	差動 I	USB3.1 アップストリーム側ポートの差動負入力。
SSRXp	5	差動 O	USB3.1 アップストリーム側ポートの差動正出力。
SSRXn	4	差動 O	USB3.1 アップストリーム側ポートの差動負出力。
EQ1	35	4 レベル I	このピンを EQ0 とともに使用する場合、USB レシーバ イコライザ ゲインを、下流側の RX1 および RX2 用に設定します。イコライゼーション設定の詳細については、表 7-7 を参照してください。
EQ0	38	4 レベル I	このピンを EQ1 とともに使用する場合、USB レシーバ イコライザ ゲインを、下流側の RX1 および RX2 用に設定します。イコライゼーション設定の詳細については、表 7-7 を参照してください。
CAD_SNK/DCI_DAT ⁽¹⁾	29	I/O (PD)	I2C_EN != 0 の場合、このピンは DCI データ出力として機能します。使用しない場合はオープンのままにします。I2C_EN = 0 の場合、このピンは CAD_SNK (L = AUX スヌープが有効、H = AUX スヌープが無効で、すべてのレーンがアクティブ) です。
HPDIN/DCI_CLK ⁽¹⁾	32	I/O (PD)	I2C_EN != 0 の場合、このピンは DCI クロック出力として機能します。使用しない場合はオープンのままにします。I2C_EN = 0 の場合、このピンは DisplayPort シンクから受信したホットプラグ検出の入力です。HPDIN が Low の状態が 2ms を超えると、すべての DisplayPort レーンが無効になり、AUX-to-SBU スイッチは閉じたままとなります。
I2C_EN	17	4 レベル I	I ² C プログラミング モードまたは GPIO プログラミング選択。 0 = GPIO モード (I ² C 無効)、アダプティブ EQ 無効。 R = TI テスト モード (3.3V で I ² C が有効) 、EQ0 = 「0」および EQ1 = 「0」のとき、F = I ² C は 1.8V で有効。EQ0 および EQ1 のその他の組み合わせはすべて予約済みです。 1 = 3.3V で I ² C が有効。
SBU1	27	I/O, CMOS	SBU1 の詳細を示します。このピンを Type-C レセプタクルの SBU1 ピンに DC 結合する必要があります。GND との間に 2-MΩ の抵抗も推奨されます。
SBU2	26	I/O, CMOS	SBU2 の詳細を示します。このピンを Type-C レセプタクルの SBU2 ピンに DC 結合する必要があります。GND との間に 2-MΩ の抵抗も推奨されます。
AUXp	24	I/O, CMOS	AUXp, AC カップリング コンデンサを経由して DisplayPort ソースに接続された DisplayPort AUX の正の I/O。AC カップリング コンデンサに加えて、このピンと GND の間に 100K の抵抗も必要です。このピンは AUXN とともに TUSB1146 によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
AUXn	25	I/O, CMOS	AUXn, AC カップリング コンデンサを経由して DisplayPort ソースに接続された DisplayPort AUX の負の I/O。AC カップリング コンデンサに加えて、このピンで VCC (3.3V) との間に 100K の抵抗も必要です。このピンは AUXP とともに TUSB1146 によって AUX スヌーピングに使用され、Type-C の方向に基づいて SBU1/2 にルーティングされます。
DPEQ1	2	4 レベル I	DisplayPort レシーバ EQ。DPEQ0 に加えて、このピンは DisplayPort レシーバのイコライゼーション ゲインを選択します。イコライゼーション設定の詳細については、表 7-9 を参照してください。
DPEQ0/A1	14	4 レベル I	DisplayPort レシーバ EQ。DPEQ1 に加えて、このピンは DisplayPort レシーバのイコライゼーション ゲインを選択します。I2C_EN が「0」でない場合、このピンは TUSB1146 I ² C アドレスも設定します。イコライゼーション設定の詳細については、表 7-9 を参照してください。
SSEQ1	3	4 レベル I	SSEQ0 とともに、アップストリーム側の SSTXP/N の USB レシーバ イコライザ ゲインを設定します。イコライゼーション設定の詳細については、表 7-8 を参照してください。
SSEQ0/A0	11	4 レベル I	SSEQ1 とともに、アップストリーム側の SSTXP/N の USB レシーバ イコライザ ゲインを設定します。I2C_EN が「0」でない場合、このピンは TUSB1146 I ² C アドレスも設定します。イコライゼーション設定の詳細については、表 7-8 を参照してください。
FLIP/SCL	21	2 レベル I	I2C_EN = '0' のとき、これはフリップ制御ピンです。それ以外の場合、このピンは I ² C クロックです。I ² C マスタの VCC I2C 電源への I ² C クロック プルアップに使用する場合。
CTL0/SDA	22	2 レベル I	I2C_EN = '0' のとき、これは USB3.1 スイッチ制御ピンです。それ以外の場合、このピンは I ² C データです。I ² C マスタの VCC I2C 電源への I ² C データ プルアップに使用する場合。
CTL1/HPDIN	23	2 レベル I (フェイルセーフ) (PD)	DP Alt モード スイッチ制御ピン。I2C_EN = 「0」のとき、このピンは DisplayPort 機能を有効化または無効化します。それ以外の場合、I2C_EN が「0」でない場合、DisplayPort 機能は I ² C レジスタにより有効化および無効化されます。 L = DisplayPort は無効。 H = DisplayPort は有効。 I2C_EN が「0」でない場合、このピンは DisplayPort シンクから受信したホット プラグ検出の入力です。この HPDIN の Low の状態が 2ms を超えると、すべての DisplayPort レーンが無効になり、AUX-to-SBU スイッチは閉じたままとなります。
VCC	1, 6, 20, 28	P	3.3V 電源

表 4-1. TUSB1146 ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
サーマル パッド		G	グラウンド

- (1) フェイルセーフ I/O 以外。VCC が取り外された状態でピンをアクティブに High に駆動すると、VCC ピンにリーク電圧が発生します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧範囲	V _{CC}	-0.3	4	V
任意の入力または出力ピンの電圧範囲	正入力と負入力との間の差動電圧	-2.5	2.5	V
	差動入力での電圧	-0.5	4	V
	CMOS 入力	-0.5	4	V
最大接合部温度、T _J	TUSB1146		105	°C
	TUSB1146I		125	°C
保管温度、T _{stg}		-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間さらした場合、本製品の信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{CC}	メイン電源	3.0	3.3	3.6	V
	メイン電源ランブ要件	0.1		50	ms
V _(I2C)	SDA と SCL に外部抵抗をプルアップする電源	1.7		3.6	V
V _(PSN)	V _{CC} ピンの電源ノイズ (4MHz 未満)			100	mV
T _A	TUSB1146 自由空気での動作温度	0		70	°C
	TUSB1146I 自由空気での動作温度	-40		85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TUSB1146	単位
		RNQ (WQFN)	
		40 ピン	
R _{θJA}	接合部から周囲への熱抵抗	37.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	20.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	9.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	9.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電源特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$P_{CC(Active-USB)}$	平均アクティブ電力 (USB のみ)	GEN2 データ転送時の U0 でのリンク、EQ 制御ピン = NC、10Gbps での PRBS7 パターン、 $V_{ID} = 1000mV_{pp}$ 、LINR_L3、CTL1 = L、CTL0 = H		270		mW
$P_{CC(Active-USB-DP1)}$	平均アクティブ電力 (USB + 2 レーン DP)	GEN2 データ転送時の U0 でのリンク、EQ 制御ピン = NC、10Gbps での PRBS7 パターン、 $V_{ID} = 1000mV_{pp}$ 、LINR_L3、CTL1 = H、CTL0 = H		520		mW
$P_{CC(Active-4DP)}$	平均アクティブ電力 (4 レーン DP のみ)	8.1Gbps で動作時の 4 つのアクティブな DP レーン、PRBS7 パターン、CTL1 = H、CTL0 = L、LINR_L3、		500		mW
$P_{CC(NC-USB)}$	接続されていない場合の平均電力	GEN2 デバイスは TXP/TXN に接続されていない、CTL1 = L、CTL0 = H、		3.5		mW
$P_{CC(U2U3)}$	U2/U3 における平均電力	U2 または U3 でのリンク、USB モードのみ、CTL1 = L、CTL0 = H、		2.0		mW
$P_{CC(HPDLow-4DP)}$	HPDIN = L の場合の 4 レーン DP のみの電力	CTL1 = H、CTL0 = L、HPDIN = L、		0.475		mW
$P_{CC(DISABLED-I2C)}$	I2C モードでのデバイスの電源無効	I2C_EN != 0、HPDIN = L、		0.122		mW
$P_{CC(DISABLED)}$	デバイスの電源無効	CTL1 = L、CTL0 = L、I2C_EN = 0、HPDIN = L、		0.110		mW

5.6 制御 I/O DC の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
4 レベル入力						
4 レベル V_{TH}	スレッショルド 0/R	$V_{CC} = 3.3V$		0.55		V
4 レベル V_{TH}	スレッショルド R/Float	$V_{CC} = 3.3V$		1.65		V
4 レベル V_{TH}	スレッショルド Float/1	$V_{CC33} = 3.3V$		2.7		V
I_{IH}	High レベル入力電流	$V_{CC} = 3.6V$ 、 $V_{IN} = 3.6V$	20		60	μA
I_{IL}	Low レベル入力電流	$V_{CC} = 3.6V$ 、 $V_{IN} = 0V$	-100		-40	μA
R_{PU}	内部プルアップ抵抗			48		k Ω
R_{PD}	内部プルダウン抵抗			98		k Ω
2 ステート CMOS 入力 (CTL0、CTL1、FLIP)。CTL0 と FLIP はフェイルセーフです。						
V_{IH}	High レベル入力電圧	$V_{CC} = 3.0V$	2		3.6	V
V_{IL}	Low レベル入力電圧	$V_{CC} = 3.6V$	0		0.8	V
R_{PD}	HPDIN、CADSNK の内部プルダウン抵抗		400	500	600	k Ω
R_{PD}	CTL1 の内部プルダウン抵抗		300	400	500	k Ω
I_{IH_CTL1}	CTL1 の High レベル入力電流	$V_{IN} = 3.6V$	-11		11	μA
I_{IL_CTL1}	CTL1 の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$	-1		1	μA
$I_{IH_HPD_CAD}$	HPDIN、CADSNK の High レベル入力電流	$V_{IN} = 3.6V$	-11		11	μA
$I_{IL_HPD_CAD}$	HPDIN、CADSNK の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$	-1		1	μA
$I_{IH_CTL0_FLIP}$	CTL0 および FLIP の High レベル入力電流	$V_{IN} = 3.6V$ 、 $I2C_EN = 0$	-1		1	μA
$I_{IL_CTL0_FLIP}$	CTL0 および FLIP の Low レベル入力電流	$V_{IN} = GND$ 、 $V_{CC} = 3.6V$ 、 $I2C_EN = 0$ 、	-1		1	μA
I²C 制御ピン (SCL、SDA)						

5.6 制御 I/O DC の電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH_3p3V}	3.3V の I2C レベルに構成したときの High レベル入力電圧	I2C_EN = 1	2.0		3.6	V
V_{IL_3p3V}	3.3V の I2C レベルに構成したときの Low レベル入力電圧	I2C_EN = 1	0		0.8	V
V_{IH_1p8V}	1.8V の I2C レベルに構成したときの High レベル入力電圧	I2C_EN = F	1.2			V
V_{IL_1p8V}	1.8V の I2C レベルに構成したときの Low レベル入力電圧	I2C_EN = F	0		0.6	V
V_{OL}	Low レベル出力電圧	I2C_EN = 0、 $I_{OL} = 6\text{mA}$	0		0.4	V
I_{OL}	Low レベル出力電流	I2C_EN = 0、 $V_{OL} = 0.4\text{V}$	20			mA
$I_{I(I2C)}$	入力電流	$0.1 \times V_{(I2C)} < \text{入力電圧} < 3.3\text{V}$	-1		1	μA
$C_{I(I2C)}$	入力容量				10	pF
$C_{(I2C_FM+_BUS)}$	FM+ (1MHz) での I2C バス容量				150	pF
$C_{(I2C_FM_BUS)}$	FM (400kHz) での I2C バス容量				150	pF
$R_{(EXT_I2C_FM+)}$	FM+(1MHz) で動作時の SDA と SCL の両方の外付け抵抗	$C_{(I2C_FM+_BUS)} = 150\text{pF}$	620	820	910	Ω
$R_{(EXT_I2C_FM)}$	FM+(400kHz) で動作時の SDA と SCL の両方の外付け抵抗	$C_{(I2C_FM_BUS)} = 150\text{pF}$	620	1500	2200	Ω

5.7 USB および DP の電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
USB Gen 2 差動レシーバ (RX1p/n, RX2p/n, SSTXp/n)						
$V_{(RX-DIFF-PP)}$	入力差動ピーク ツー ピーク電圧スイングの線形ダイナミックレンジ	AC 結合の差動ピーク ツー ピーク信号を、リファレンス チャネルを通過した CTLE 後で測定		1200		mVpp
$V_{(RX-DC-CM)}$	レシーバの同相電圧バイアス (DC)			0		V
$V_{RX_CM-INST}$	すべての動作条件 (オフからオン、USB 無効など) での最大瞬時 RX DC コモンモード電圧変化	200k Ω 負荷を使用して、AC カップリングコンデンサの TUSB1146 以外の側で測定。	-200		500	mV
$R_{(RX-DIFF-DC)}$	差動入力インピーダンス (DC)	TXP/TXN で GEN2 デバイスが検出された後に存在	72	90	120	Ω
$R_{(RX-CM-DC)}$	レシーバの DC コモン モード インピーダンス	TXP/TXN で GEN2 デバイスが検出された後に存在	18		30	Ω
$Z_{(RX-HIGH-IMP-DC-POS)}$	終端がディスエーブルの場合のコモン モード入力インピーダンス (DC)	TXP/TXN で GEN2 デバイスが検出されない場合に存在。GND を基準に 0 ~ 500mV の範囲にわたって測定した。	25			k Ω
$V_{(SIGNAL-DET-DIFF-PP)}$	入力差動ピーク ツー ピーク信号検出のアサートレベル	10Gbps で、入力損失なし、PRBS7 パターン		80		mV
$V_{(RX-IDLE-DET-DIFF-PP)}$	入力差動ピーク ツー ピーク信号検出のデアサートレベル	10Gbps で、入力損失なし、PRBS7 パターン		60		mV
$V_{(RX-LFPS-DET-DIFF-PP)}$	低周波数周期信号 (LFPS) 検出スレッシュホールド	最小値を下回るとスケルチが実行されます	100		300	mV
$V_{(RX-CM-AC-P)}$	ピーク RX AC 同相電圧	パッケージピンで測定			150	mV
$C_{(RX)}$	GND に対する RX 入力容量	5GHz、		0.88	1	pF
$R_{L(RX-DIFF)}$	差動リターン ロス	90 Ω で 50MHz ~ 1.25GHz、 90 Ω で 5GHz、		-19 -10		dB
$R_{L(RX-CM)}$	同相リターン ロス	90 Ω で 50MHz ~ 5GHz、		-10		dB
E_{Q_SSTX15}	5GHz での SSTX レシーバ イコライゼーション	FLIPSEL = 0, SSEQ_SEL = 15、		11.5		dB
E_{Q_RX15}	5GHz での RX1 レシーバ イコライゼーション	FLIPSEL = 0, EQ1_SEL = 15、		11.0		dB
$C_{AC-USB1}$	SSTX に外部 AC コンデンサが必要		75		265	nF
$C_{AC-USB2}$	RX1 および RX2 にオプションの外部 AC コンデンサ。		297		363	nF
USB Gen 2 差動トランスミッタ (TX1p/n, TX2p/n, SSRXp/n)						
$V_{TX(DIFF-PP)}$	トランスミッタのダイナミック差動電圧スイング範囲。			1200		mVpp
$V_{TX(RCV-DETECT)}$	レシーバの検出中に許容される電圧の変化量				600	mV
$V_{TX-CM-INST-ONOFF}$	次の動作条件での最大瞬時 TX DC 同相電圧変化: オフからオン、オンからオフ、Rx.Detect 中、U0 への接続解除、U2/U3 から U0。	200k Ω 負荷を使用して、AC カップリングコンデンサの TUSB1146 以外の側でシングルエンドを測定。	-500		800	mV
$V_{TX(CM-IDLE-DELTA)}$	U2/U3 で LFPS をアクティブに送信していない状態でのトランスミッタのアイドル同相電圧変化		-300		600	mV
$V_{TX(DC-CM)}$	トランスミッタの同相電圧バイアス (DC)		0		1	V
$V_{TX(CM-AC-PP-ACTIVE)}$	Tx AC 同相電圧 (アクティブ時)	時間と振幅の両方に関する Txp + Txn からの最大不一致			100	mVpp
$V_{TX(IDLE-DIFF-AC-PP)}$	AC 電氣的アイドル時の差動ピーク ツー ピーク出力電圧	パッケージ ピンの	0		10	mV
$V_{TX(CM-DC-ACTIVE-IDLE-DELTA)}$	U1 と U0 との間の絶対 DC 同相電圧	パッケージ ピンの場合			200	mV
$R_{TX(DIFF)}$	ドライバの差動インピーダンス		80	90	120	Ω

5.7 USB および DP の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
R _{TX(CM)}	ドライバのコモン モード インピーダンス	0 ~ 500mV の AC グランドを基準に測定	18	30	Ω
V _{SSRX-LIMITED-VODL0}	制限付きリドライバと LINR_L0 用に構成した場合の SSRX 差動ピーク ツー ピーク電圧	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 0、	800		mVpp
V _{SSRX-LIMITED-VODL1}	制限付きリドライバと LINR_L1 用に構成した場合の SSRX 差動ピーク ツー ピーク電圧	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 0、	900		mVpp
V _{SSRX-LIMITED-VODL2}	制限付きリドライバと LINR_L2 用に構成した場合の SSRX 差動ピーク ツー ピーク電圧	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 0、	1000		mVpp
V _{SSRX-LIMITED-VODL3}	制限付きリドライバと LINR_L3 用に構成した場合の SSRX 差動ピーク ツー ピーク電圧	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 0、	1100		mVpp
V _{SSRX-DE-RATIO0}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b00、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-9 を参照	-1.5		dB
V _{SSRX-DE-RATIO1}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b01、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-9 を参照	-2.1		dB
V _{SSRX-DE-RATIO2}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b10、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-9 を参照	-3.2		dB
V _{SSRX-DE-RATIO3}	制限付きリドライバおよびディエンファシスがイネーブルになるように構成されている場合の SSRX ディエンファシス。	TX_PRESHOOT_EN = 0、 TX_DEEMPHASIS_EN = 1、 TX_DEEPHASIS = 2'b11、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-9 を参照	-3.8		dB
V _{SSRX-PRESH-RATIO0}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b00、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-10 を参照	1.5		dB
V _{SSRX-PRESH-RATIO1}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b01、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-10 を参照	2.0		dB
V _{SSRX-PRESH-RATIO2}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b10、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-10 を参照	2.3		dB
V _{SSRX-PRESH-RATIO3}	制限付きリドライバおよびプリシュートがイネーブルになるように構成されている場合の SSRX プリシュートレベル。	TX_PRESHOOT_EN = 1、 TX_DEEMPHASIS_EN = 0、 TX_PRESHOOT = 2'b11、 USB_SSRX_VOD = 2'b00 (LINR_L3)、 図 6-10 を参照	2.8		dB
I _{TX(SHORT)}	TX 短絡電流	TX± は GND へ短絡		40	mA
C _{TX(PARASITIC)}	反射損失の TX 入力容量	パッケージピンで、5GHz を使用	0.9	1.25	pF
R _{LTX(DIFF)}	差動リターン ロス	90Ω で 50MHz ~ 1.25GHz	-30		dB
		90Ω で 5GHz	-21		dB

5.7 USB および DP の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{LTX(CM)}$	同相リターン ロス	90Ω で 50MHz ~ 5GHz		-10		dB
$C_{TX-AC(COUPPLING)}$	必須の外付け AC カップリング コンデンサ		75		265	nF
AC の特性						
クロストーク	TX と RX 信号のペア間の差動クロストーク	5GHz 時、EQ = 0、		-30		dB
$CP_{LF-LINRL0}$	LINR_L0 設定時の低周波数における 1dB 圧縮ポイント。	100MHz 時、200mVpp < V_{ID} < 1200mVpp		600		mVpp
$CP_{HF-LINRL0}$	LINR_L0 設定時の高周波数における 1dB 圧縮ポイント。	5GHz 時、200mVpp < V_{ID} < 1200mVpp		550		mVpp
$CP_{LF-LINRL1}$	LINR_L1 設定時の低周波数における -1dB 圧縮ポイント。	100MHz 時、200mVpp < V_{ID} < 1200mVpp		700		mVpp
$CP_{HF-LINRL1}$	LINR_L1 設定時の高周波数における 1dB 圧縮ポイント。	5GHz 時、200mVpp < V_{ID} < 1200mVpp		650		mVpp
$CP_{LF-LINRL2}$	LINR_L2 設定時の低周波数における -1dB 圧縮ポイント。	100MHz 時、200mVpp < V_{ID} < 1200mVpp		800		mVpp
$CP_{HF-LINRL2}$	LINR_L2 設定時の高周波数における 1dB 圧縮ポイント。	5GHz 時、200mVpp < V_{ID} < 1200mVpp		750		mVpp
$CP_{LF-LINRL3}$	LINR_L3 設定時の低周波数における -1dB 圧縮ポイント。	100MHz 時、200mVpp < V_{ID} < 1200mVpp		900		mVpp
$CP_{HF-LINRL3}$	LINR_L3 設定時の高周波数における 1dB 圧縮ポイント。	5GHz 時、200mVpp < V_{ID} < 1200mVpp		830		mVpp
f_{LF}	低周波カットオフ	200mVpp < V_{ID} < 1200mVpp		20	50	kHz
$t_{TX_DJ_USB}$	USB モードで動作しているときの TX 出力の確定的残留ジッタ。	最適な EQ 設定、12 インチ プリチャネル (SDD21 = -11.2dB)、1.6 インチ ポストチャネル (SDD21 = -1.8 dB)、PRBS7、10Gbps		.07		UI
$t_{TX_DJ_DP}$	DP モードで動作しているときの TX 出力の確定的残留ジッタ。	最適な EQ 設定、12 インチ プリチャネル (SDD21 = -11.2dB)、1.6 インチ ポストチャネル (SDD21 = -1.8 dB)、PRBS7、8.1Gbps		.04		UI
DisplayPort レシーバ (DP[3:0]p/n)						
$V_{ID(PP)}$	ピークツーピークの入力差動ダイナミック電圧範囲			1400		V
V_{IC}	入力同相電圧		0	1.75	2	V
$V_{RX_CM-INST}$	すべての動作条件での最大瞬時 RX DC 同相電圧変化 (オフからオン、4DP 無効など)	50Ω 負荷を使用して、AC カップリング コンデンサの TUSB1146 以外の側でシングルエンドを測定。	-300		500	mV
d_R	データレート				10	Gbps
$R_{(ti)}$	入力終端抵抗		75	90	110	Ω
$C_{(AC)}$	必須の外付け AC カップリング容量		75		265	nF
E_{Q_DP15}	4.05GHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 15、		12		dB
E_{Q_DP15}	5GHz での DP0 レシーバ イコライゼーション	FLIPSEL = 0、DP0EQ_SEL = 15、		12.3		dB
DisplayPort トランスミッタ (TX1p/n, TX2p/n, RX1p/n, RX2p/n)						
$V_{TX-INST}$	すべての動作条件での最大瞬時 TX DC 同相電圧変化 (4DP 無効など)	50Ω 負荷を使用して、AC カップリング コンデンサの TUSB1146 以外の側で測定。	-500		1000	mV
$V_{TX(DC-CM)}$	トランスミッタの同相電圧バイアス (DC)		0		1	V
AUXp または AUXn と SBU1 または SBU2						
R_{ON}	出力オン抵抗	$V_{CC} = 3.3V$ 、AUXp の $V_I = 0V \sim 0.4V$ 、AUXn の $V_I = 2.7V \sim 3.6V$	2	5.5	10	Ω
ΔR_{ON}	ペア内でのオン抵抗の不整合	$V_{CC} = 3.3V$ 、AUXp の $V_I = 0V \sim 0.4V$ 、AUXn の $V_I = 2.7V \sim 3.6V$			2.5	Ω

5.7 USB および DP の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{ON(FLAT)}$	オン抵抗の平坦性 (R_{ON} の最大値 – R_{ON} の最小値) は、 V_{CC} と温度が同じ状態で測定	$V_{CC} = 3.3V$, $AUXp$ の $V_I = 0V \sim 0.4V$, $AUXn$ の $V_I = 2.7V \sim 3.6V$			2	Ω
$V_{(AUXP_DC_CM)}$	$AUXp$ と $SBU1$ の AUX チャネル DC 同相電圧。	$V_{CC} = 3.3V$,	0		0.4	V
$V_{(AUXN_DC_CM)}$	$AUXn$ と $SBU2$ の AUX チャネル DC 同相電圧	$V_{CC} = 3.3V$,	2.7		3.6	V
$C_{(AUX_ON)}$	オン状態の静電容量	$V_{CC} = 3.3V$, $CTL1 = 1$, $V_I = 0V$ または $3.3V$		4	7	pF
$C_{(AUX_OFF)}$	オフ状態の静電容量	$V_{CC} = 3.3V$, $CTL1 = 0$, $V_I = 0V$ または $3.3V$		3	6	pF

5.8 DCI の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DCI_CLK と DCI_DATA の LVCMOS 出力						
V_{OL}	Low レベル出力電圧	$V_{CC} = 3V$, $I_{OL} = 2mA$, $C_L = 10pF$			0.45	V
V_{OH}	High レベル出力電圧	$V_{CC} = 3V$, $I_{OL} = -2mA$,	2.4			V
R_{DCI}	出力特性インピーダンス		21	25	33	Ω
t_{PERIOD}	DCI クロック周期	50% で測定	7.52			ns
t_{VALID}	DCI クロックの立ち上がりエッジから DCI データ有効まで				1	ns
t_{DCI_RISE}	DCI 出力立ち上がり時間	20%~80% で測定。	350			ps
t_{DCI_FALL}	DCI 出力立ち下がり時間	80%~20% で測定	350			ps

5.9 タイミング要件

			最小値	公称値	最大値	単位
USB3.1						
$t_{DLEEntry}$	U0 から電氣的アイドルまでの遅延	図 6-4 を参照してください。		10		ns
$t_{DLEExit_U1}$	U1 既存時間: 電氣的アイドルのブレイクから LFPS の転送まで	図 6-4 を参照してください。		6		ns
$t_{DLEExit_U2U3}$	U2/U3 終了時間: 電氣的アイドル状態のブレイクから LFPS の転送まで	図 6-4 を参照してください。		10		μs
t_{RXDET_INTVL}	切断中の RX 検出間隔				12	ms
$t_{DLEExit_DISC}$	切断終了時間			10		μs
t_{Exit_SHTDN}	シャットダウン終了時間			1		ms
$t_{AEQ_FULL_DONE}$	フル AEQ モードでの動作時に最適な EQ 設定を得るための最大時間。				300	μs
$t_{AEQ_FAST_DONE}$	高速 AEQ モードでの動作時に適切な EQ 設定を決定するための最大時間。				60	μs
t_{DIFF_DLY}	差動伝搬遅延	図 6-3 を参照してください。			300	ps
t_R, t_F	出力立ち上がり / 立ち下がり時間	出力ピンから 1.7 インチで測定された差動電圧の 20%~80% 図 6-5 を参照してください。		40		ps
t_{RF_MM}	出力立ち上がり / 立ち下がり時間の不一致	出力ピンから 1.7 インチで測定された差動電圧の 20%~80%			2.6	ps
パワーアップ						
t_{D_PG}	$V_{CC(min)}$ から内部パワー グッドが High にアサートされるまで	図 6-11 を参照してください			25	ms

			最小値	公称値	最大値	単位
t _{CFG_SU}	CFG ⁽¹⁾ ピンの設定 ⁽²⁾	図 6-11 を参照してください	250			μs
t _{CFG_HD}	CFG ⁽¹⁾ ピン ホールド	図 6-11 を参照してください	10			μs
t _{CTL_DB}	CTL1[1:0] と FLIP ピンのデバウンス	図 6-11 を参照してください			16	ms

(1) 以下のピンは CFG ピンで構成されます。I2C_EN、EQ[1:0]、JSSEQ[1:0]、および DPEQ[1:0]。

(2) 推奨される CFG ピンは、V_{CC} が最小のとき安定するようにしてください。

5.10 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
AUXp または AUXn と SBU1 または SBU2						
t _{AUX_PD}	スイッチ伝搬遅延				400	ps
t _{AUX_SW_OFF}	CTL1 からスイッチ オフになるまでのスイッチング時間。TCTL1_DEBOUNCE は含まれません	図 6-7 を参照してください。			500	ns
t _{AUX_SW_ON}	CTL1 からスイッチオンになるまでのスイッチング時間	図 6-6 を参照してください。			500	ns
t _{AUX_INTRA}	ペア内出力スキュー				100	ps
USB3.1 および DisplayPort モードの遷移要件 (GPIO モード)						
t _{GP_USB_4DP}	USB 3.1 専用モードから 4 レーン DisplayPort モードへ、またはその逆に遷移するときの CTL0 と CTL1 の最小オーバーラップ。	I2C_EN = 0。図 6-2 を参照。	4			μs
CTL1 と HPDIN						
t _{CTL1_DEBOUNCE}	H から L に遷移するときの CTL1 および HPDIN デバウンス時間。		2		10	ms
I²C						
f _{SCL}	I ² C クロック周波数				1	MHz
t _{BUF}	START 条件と STOP 条件間のバス開放時間	図 6-1 を参照してください	0.5			μs
t _{HDSTA}	リポート スタート コンディションの後のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます	図 6-1 を参照してください	0.26			μs
t _{LOW}	I ² C クロックの Low 期間	図 6-1 を参照してください	0.5			μs
t _{HIGH}	I ² C クロックの High 期間	図 6-1 を参照してください	0.26			μs
t _{SUSTA}	反復開始条件のセットアップ時間	図 6-1 を参照してください	0.26			μs
t _{HDDAT}	データ ホールド時間	図 6-1 を参照してください	0			μs
t _{SUDAT}	データ セットアップ時間	図 6-1 を参照してください	50			ns
t _R	SDA 信号と SCL 信号の両方の立ち上がり時間	図 6-1 を参照してください			120	ns
t _F	SDA 信号と SCL 信号の両方の立ち下がり時間	図 6-1 を参照してください	20 × (V _{I2C} /5.5 V)		120	ns
t _{SUSTO}	停止条件のセットアップ時間	図 6-1 を参照してください	0.26			μs
C _b	各バス ラインの容量性負荷				150	pF

5.11 代表的特性

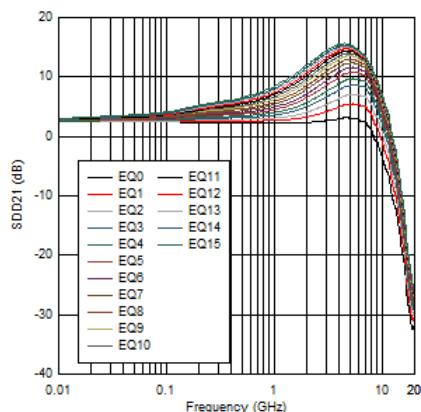


図 5-1. DisplayPort EQ 設定曲線

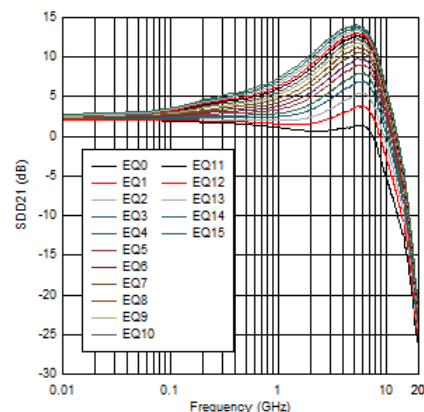


図 5-2. USB RX1 EQ 設定曲線

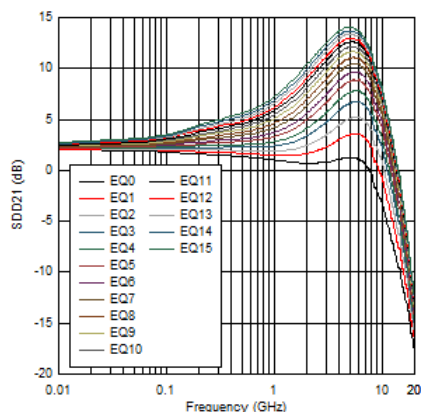


図 5-3. USB SSTX EQ 設定曲線

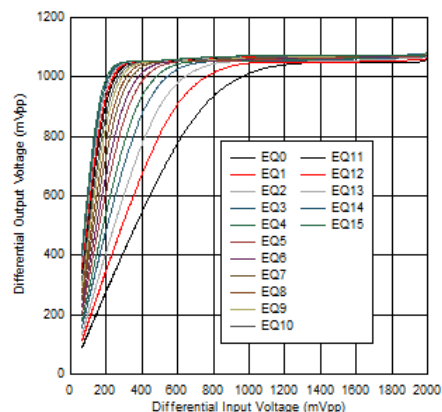


図 5-4. 4.05GHz での DisplayPort 直線性曲線

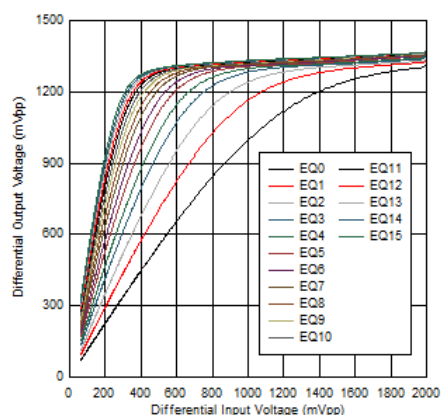


図 5-5. 5GHz での USB TX 直線性曲線

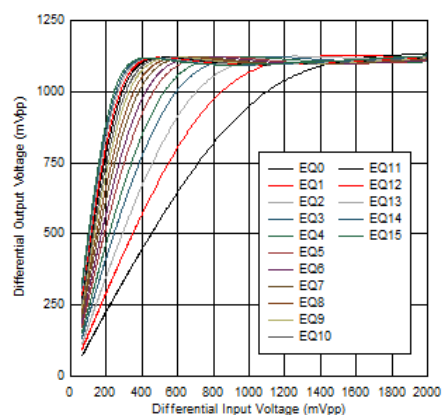


図 5-6. 5GHz での USB RX 直線性曲線

5.11 代表的特性 (続き)

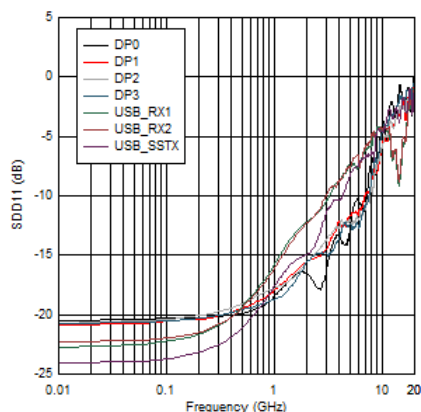


図 5-7. 入力のリターン ロス性能

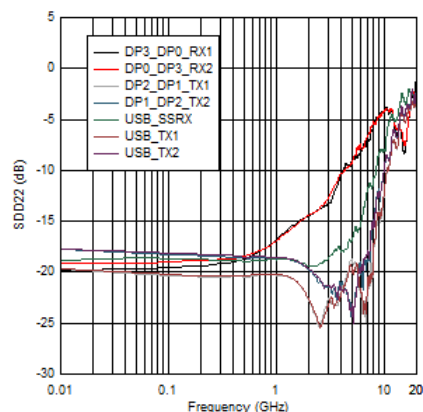


図 5-8. 出力のリターン ロス性能

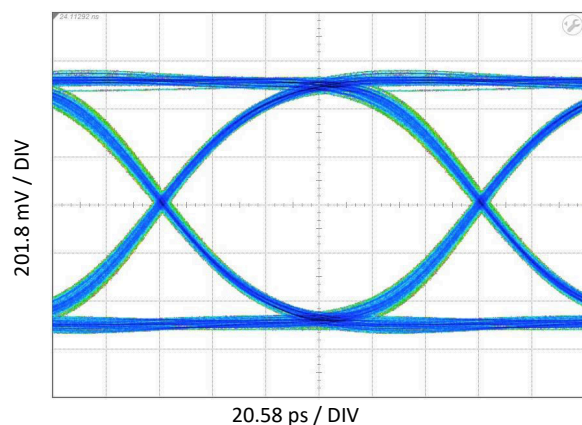


図 5-9. 8.1Gbps での 12 インチ入力 PCB トレースによる DisplayPort HBR3 のアイパターン性能

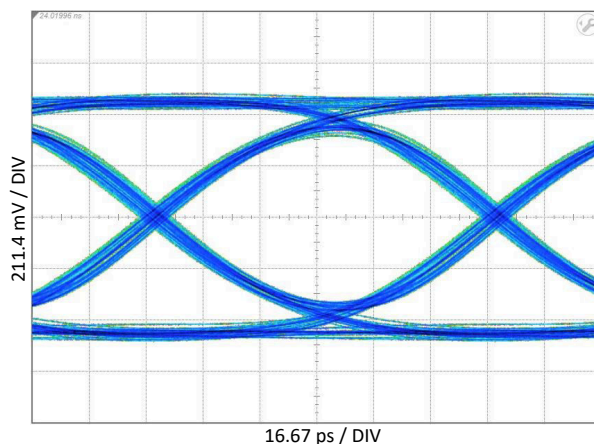


図 5-10. 10Gbps での 12 インチ入力 PCB トレースによる USB 3.1 Gen2 のアイパターン性能

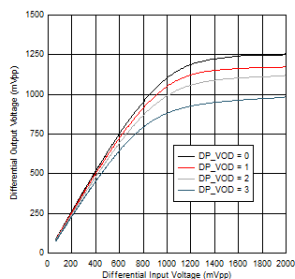


図 5-11. 100MHz での DP VOD 直線性設定

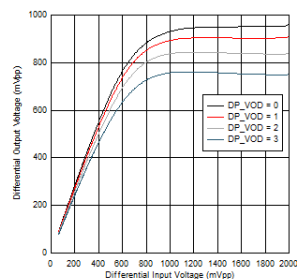


図 5-12. 5GHz での DP VOD 直線性設定

5.11 代表的特性 (続き)

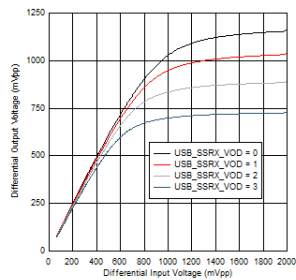


図 5-13. 100MHz での USB SSRX VOD 直線性設定

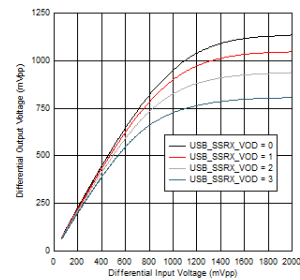


図 5-14. 5GHz での USB SSRX VOD 直線性設定

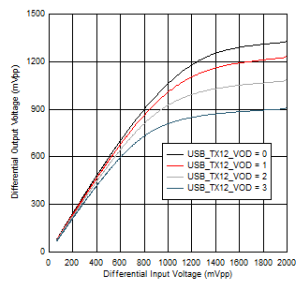


図 5-15. 100MHz での USB TX1 VOD 直線性設定

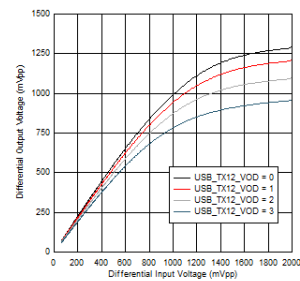


図 5-16. 5GHz での USB TX1 VOD 直線性設定

6 パラメータ測定情報

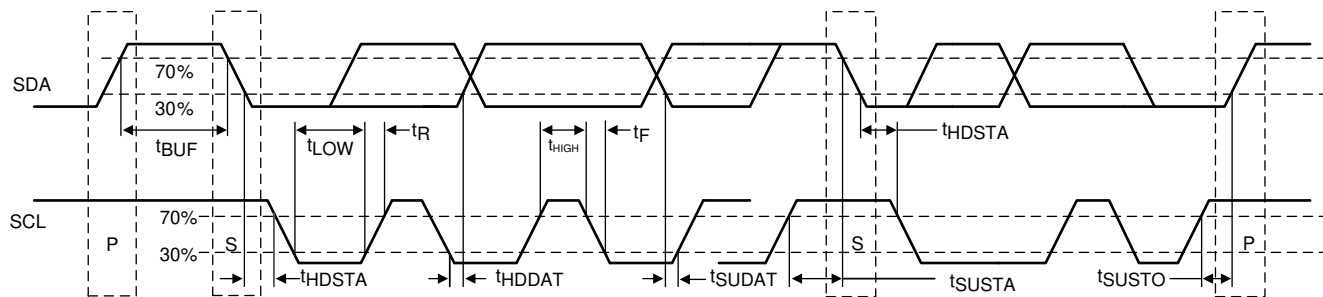


図 6-1. I²C のタイミング図の定義

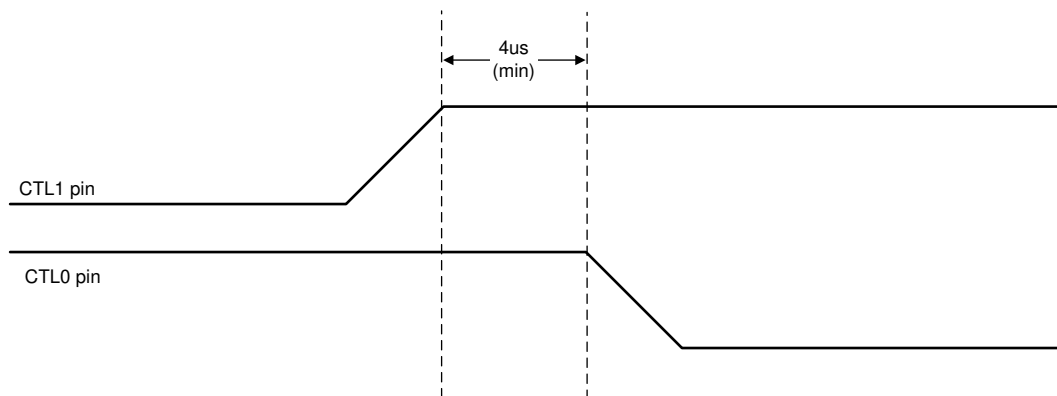


図 6-2. GPIO モードでの USB3.1 から 4 レーン DisplayPort

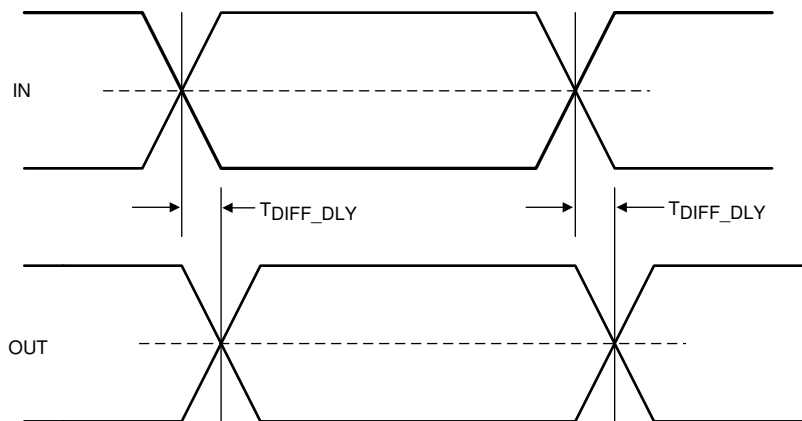


図 6-3. 伝搬遅延

6 パラメータ測定情報 (続き)

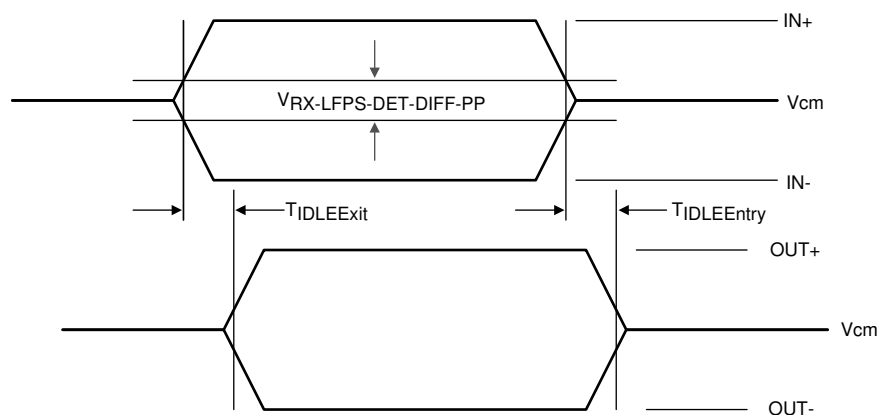


図 6-4. 電氣的アイドル モードの終了および開始遅延

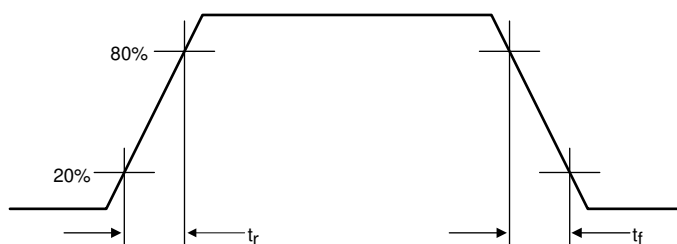
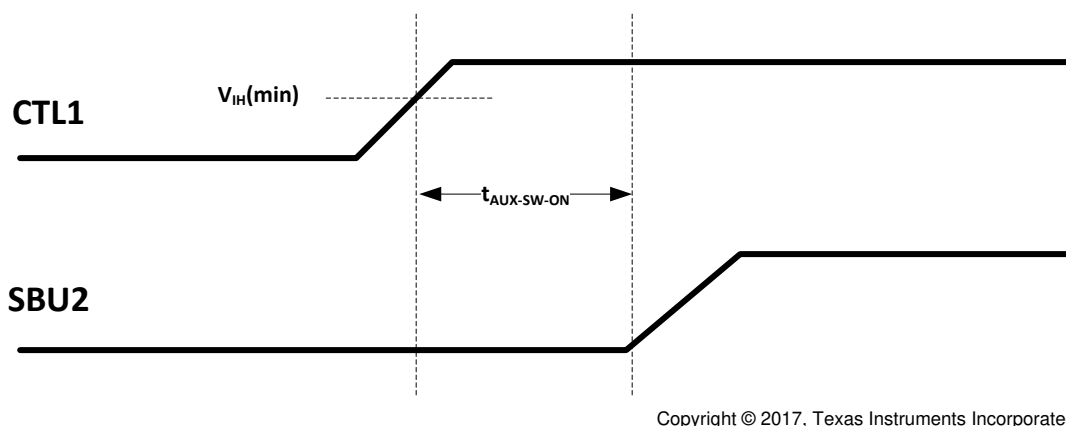


図 6-5. 出力の立ち上がりおよび立ち下がり時間



Copyright © 2017, Texas Instruments Incorporated

図 6-6. AUX から SBU へのスイッチ オンのタイミング図

6 パラメータ測定情報 (続き)

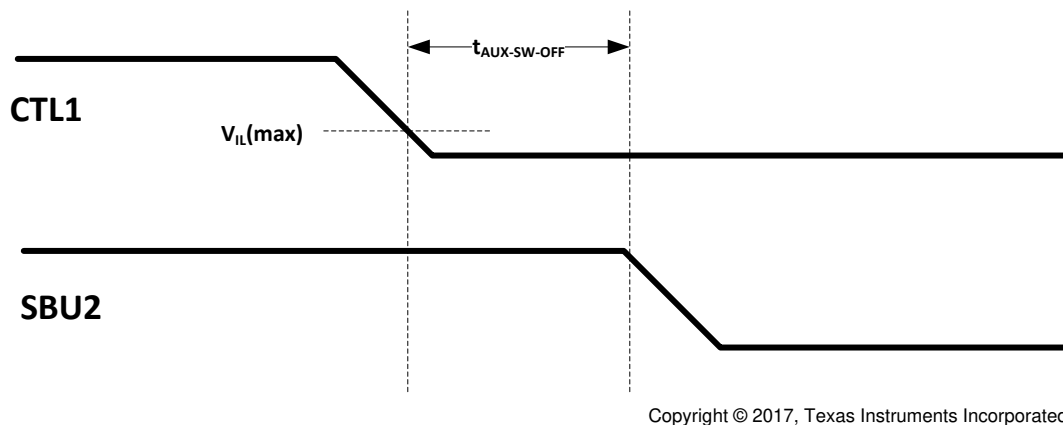


図 6-7. AUX から SBU へのスイッチ オフのタイミング図

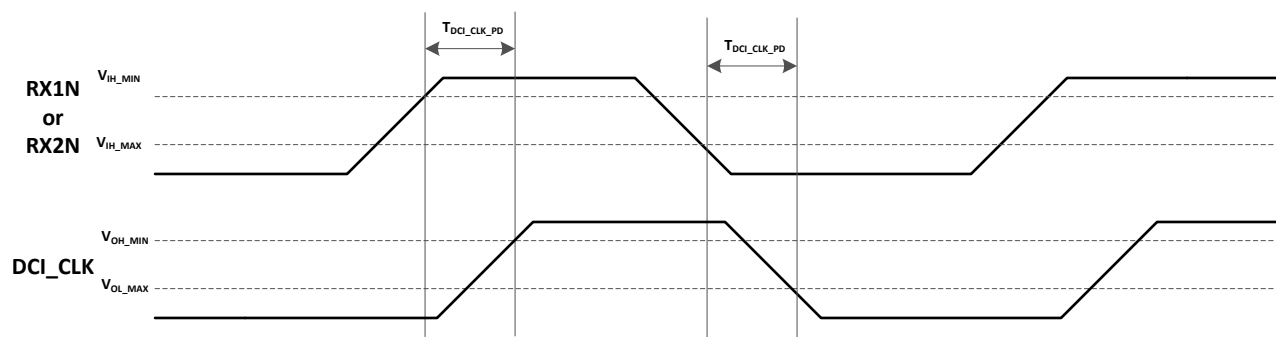
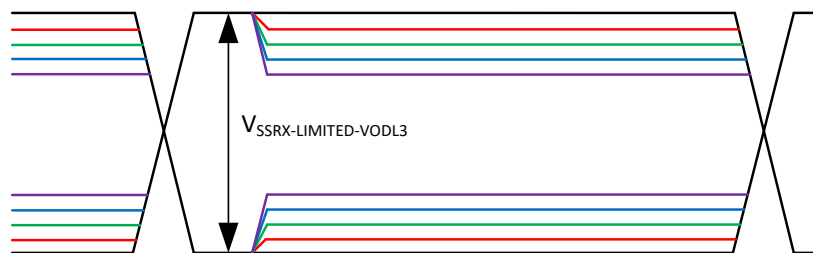


図 6-8. DCI クロックの伝搬遅延



- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 0;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 0;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 1;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 2;
- TX_PRESHOOT_EN = 0; TX_DEEMPHASIS_EN = 1; TX_DEEMPHASIS = 3;

図 6-9. SSRX 制限ディエンファシスのみ

6 パラメータ測定情報 (続き)

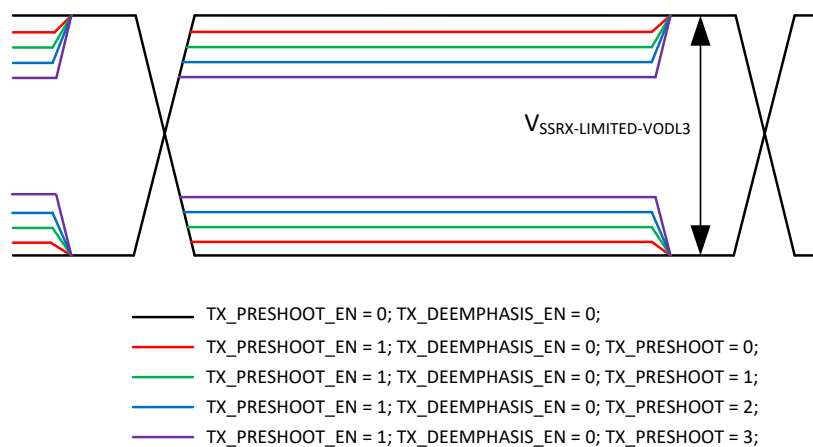


図 6-10. SSRX 制限プリシュートのみ

6 パラメータ測定情報 (続き)

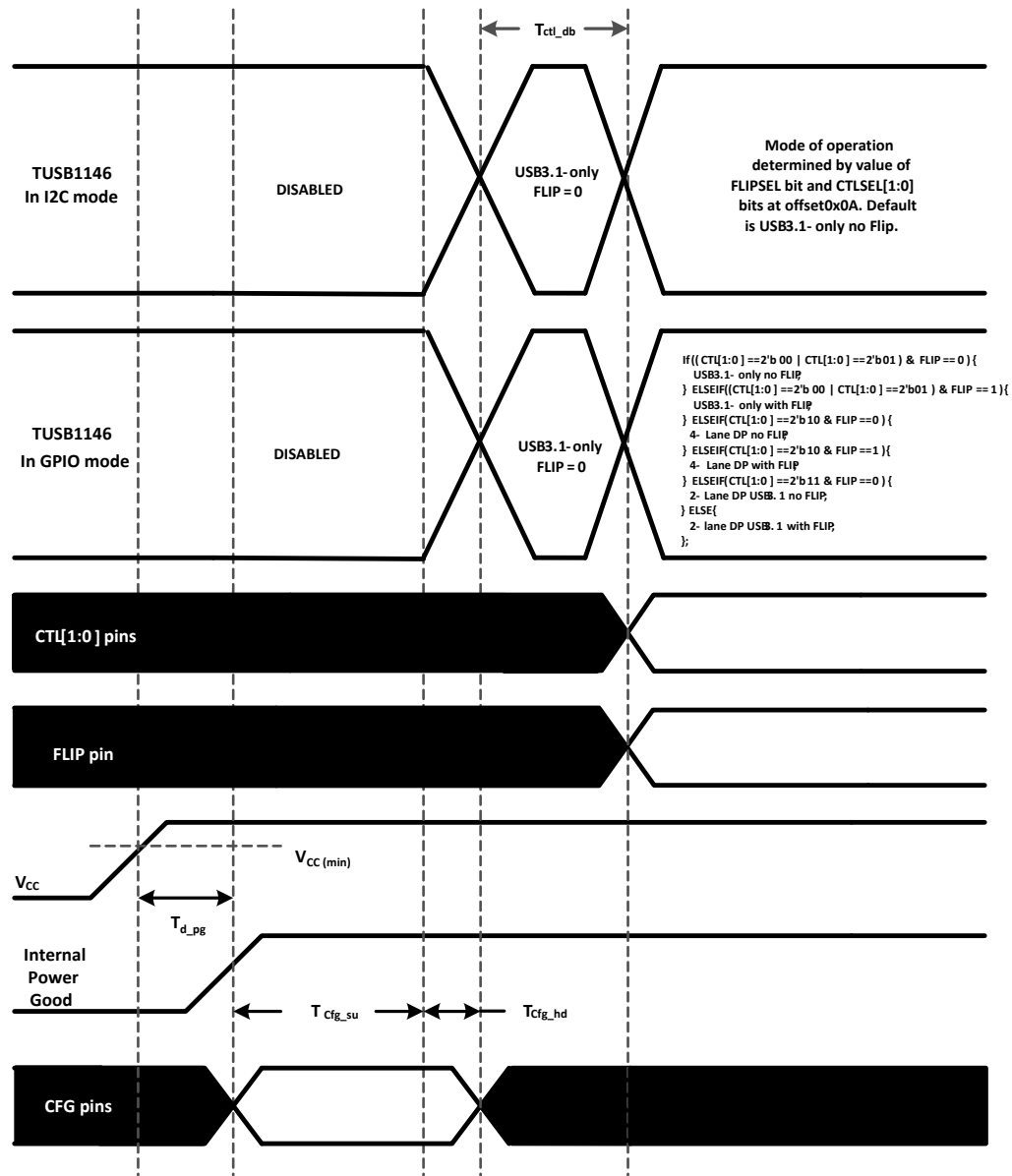


図 6-11. パワーオン タイミング

7 詳細説明

7.1 概要

TUSB1146 は VESA USB Type-C Alt モード リドライバ スイッチであり、ダウンストリーム側ポートで最高 10Gbps のデータレートに対応できます。このデバイスは、第 5 世代の USB リドライバ テクノロジーと、DFP レシーバにおける新しく革新的な適応型イコライゼーション機能を採用しています。本デバイスは、USB Type-C の VESA DisplayPort Alt モードにおける DFP 構成 C、D、および E に使用されます。

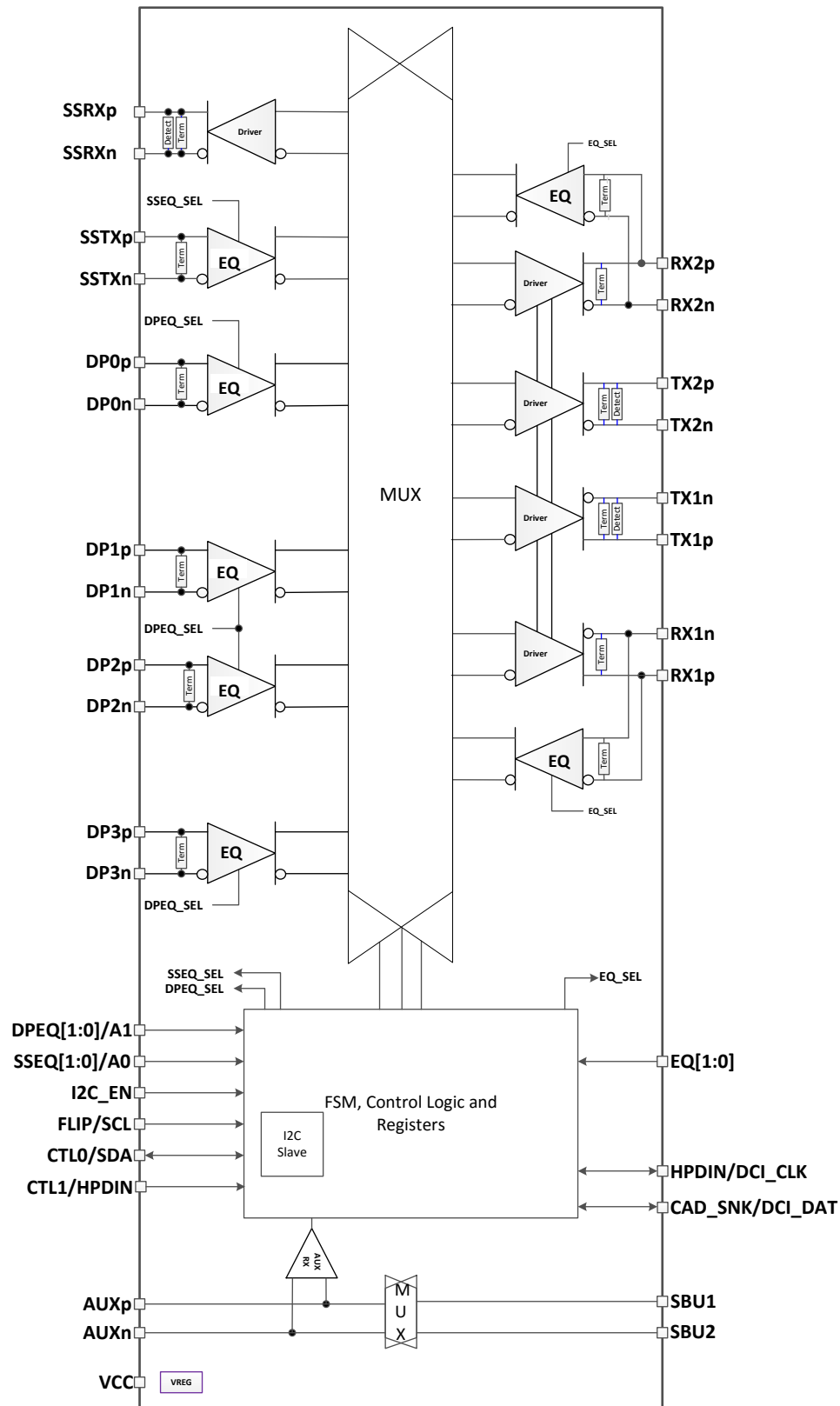
TUSB1146 は、USB 3.1 Gen1/Gen2 または DisplayPort 2.0 の信号が PCB やケーブルを通過する際に発生するシンボル間干渉 (ISI) によるケーブルおよび基板配線損失を補償するために、複数レベルの受信イコライゼーションを提供します。このデバイスには 3.3V の電源が必要です。また、商業用温度範囲と工業用温度範囲があります。

ホスト アプリケーションにおいて、TUSB1146 は USB 3.1 Gen1/Gen2 および DisplayPort バージョン 2.0 (UHBR10 までは) のトランスミッタのコンプライアンス テストおよびレシーバ ジッタ耐性テストの両方にシステムが合格することを可能にします。リドライバは、チャネル損失を補償するイコライゼーションを適用して入力データを回復し、高い差動電圧で信号を駆動します。各チャネルには、ゲイン設定を選択できるレシーバイコライザーが搭載されています。TUSB1146 レシーバ前の挿入損失量に基づいてイコライゼーションを設定する必要があります。各チャネルのイコライゼーションは、EQ[1:0]、SSEQ[1:0]、DPEQ[1:0] ピンを使用して個別に制御できます。

TUSB1146 の高度ステート マシンにより、ホストおよびデバイスに対して透過的に動作します。電源投入後、TUSB1146 は TX ペアでレシーバ検出を定期的に実行します。デバイスが USB 3.1 Gen1 / Gen2 レシーバを検出すると、RX 終端が有効になり、TUSB1146 はリドライブの準備ができます。

このデバイスの超低消費電力アーキテクチャは、3.3V の電源で動作し、性能向上を実現しています。自動的な LFPS デイエンファシス制御により、システムはさらに USB3.1 に準拠できます。

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

7.3 機能説明

7.3.1 USB 3.1

TUSB1146 は、最大 10Gbps の USB 3.1 Gen1/Gen2 データレートに対応しています。TUSB1146 は、USB で定義されたすべての電力状態 (U0、U1、U2、U3) をサポートしています。TUSB1146 は、リニア リドライバであるため、USB3.1 物理層トラフィックをデコードできません。TUSB1146 は、レシーバ終端、電気的アイドル、LFPS、および SuperSpeed 信号レートなどの実際の物理層の状態を監視し、USB 3.1 インターフェイスの USB 電力状態を判別します。

TUSB1146 は、インテリジェントな低周波数周期信号 (LFPS) 検出器を備えています。LFPS 検出器は低周波信号を自動的に検出し、レシーバのイコライゼーション機能を無効にします。LFPS を受信していない場合、TUSB1146 は EQ[1:0] ピンおよび SSEQ[1:0] ピン、または EQ1_SEL、EQ2_SEL、SSEQ_SEL レジスタに設定された値に基づいてレシーバ イコライゼーションを有効にします。

7.3.2 ディスプレイ ポート

TUSB1146 は、最大 10Gbps (UHBR10) のデータ速度で最大 4 つの DisplayPort レーンをサポートします。TUSB1146 は、DisplayPort モードに設定されている場合、DisplayPort ソースと DisplayPort シンク間を通過するネイティブ AUX トラフィックを監視します。消費電力を低減するために、TUSB1146 は AUX トランザクションの内容に基づいてアクティブな DisplayPort レーン数を管理します。TUSB1146 は、DisplayPort シンクの DPCD レジスタ 0x00101 (LANE_COUNT_SET) および 0x00600 (SET_POWER_STATE) へのネイティブ AUX 書き込みをスヌープします。TUSB1146 は、LANE_COUNT_SET に書き込まれた値に基づいてレーンを無効化 / 有効化します。SET_POWER_STATE が D3 のとき、TUSB1146 はすべてのレーンを無効化します。それ以外の場合、アクティブなレーンは LANE_COUNT_SET の値に基づきます。

DisplayPort AUX スヌーピングは、デフォルトで有効になっていますが、AUX_SNOOP_DISABLE レジスタを変更することで無効化することもできます。AUX スヌープが無効化されている場合、TUSB1146 の DisplayPort レーンの管理は、各種構成レジスタを介して制御されます。TUSB1146 が GPIO モード (I2C_EN = “0”) で有効になっている場合、CAD_SNK ピンを使用して AUX スヌープを無効にすることができます。CAD_SNK ピンが High の場合、AUX スヌープ機能は無効になり、4 本すべての DisplayPort レーンがアクティブになります。

7.3.3 4 レベル入力

TUSB1146 には、イコライゼーション ゲインを制御し、TUSB1146 をさまざまな動作モードに設定するための 4 レベル入力ピン (I2C_EN、EQ[1:0]、DPEQ[1:0]、SSEQ[1:0]) があります。これらの 4 段階入力は、抵抗分圧器を活用して 4 つの有効なレベルを設定し、より広い範囲の制御設定を可能にします。内部プルアップ抵抗およびプルダウン抵抗が存在しています。これらの内部抵抗は、外部抵抗と組み合わせることで、所定の電圧レベルを実現します。

表 7-1. 4 レベル制御ピンの設定

レベル	設定
0	オプション 1: 1KΩ (許容誤差 5%) の抵抗を GND に接続します。 オプション 2: GND に直接接続
R	20KΩ (許容誤差 5%) の抵抗を GND に接続します。
F	フロート (ピンはオープンのままにする)
1	オプション 1: 1KΩ 5% を V _{CC} に接続。 オプション 2: V _{CC} に直接接続します。

注

すべての 4 レベル入力、内部リセットの立ち上がりエッジ後にラッチされます。 $t_{\text{cfg_hd}}$ の後、消費電力を削減するため、内部プルアップおよびプルダウン抵抗が絶縁されます。

7.3.4 レシーバのリニア イコライゼーション

レシーバのイコライゼーションは、TUSB1146 の入力前にシステムでのチャネル挿入損失とシンボル間干渉を補償することを目的としています。レシーバは、高周波成分を基準として信号の低周波成分を減衰させることで、これらの損失を克服します。TUSB1146 レシーバの入力前のチャネル挿入損失に対応するように、適切なゲイン設定を選択する必要があります。2 本の 4 レベル入力ピンにより、最大 16 件のイコライゼーション設定が可能です。USB3.1 上流パス、USB3.1 下流パス、および DisplayPort には、それぞれ独自に 2 つの 4 レベル入力があります。TUSB1146 は、I²C レジスタを介して設定を調整できる柔軟性も備えています。

TUSB1146 は、USB-C 下流側ポートのレシーバ (RX1 および RX2) 向けに、3 種類のイコライザ機能を実装しています：固定 EQ、高速アダプティブ EQ (Fast AEQ)、およびフル アダプティブ EQ (Full AEQ)。デフォルトの操作は固定 EQ です。固定 EQ 動作では、USB-C レセプタクルに接続されるすべてのデバイス (ケーブルの有無を問わず) に対して、単一の設定が使用されます。高速 AEQ 機能は、ショート チャネルとロング チャネルを区別します。短いチャネルは、ケーブルなしで USB-C レセプタクルに直接接続する USB 3.1 デバイスの低損失の使用事例を表しています。長いチャネルは、USB ケーブル経由でレセプタクルに接続する USB 3.1 デバイスの損失の大きい使用事例です。高速 AEQ モードでは、TUSB1146 がチャネルの長さ (ショートまたはロング) に基づいて、あらかじめ決められた 2 つの設定のいずれかを選択します。TUSB1146 がフル AEQ に設定されている場合、TUSB1146 は USB デバイスが USB-C レセプタクルに接続されるたびに、最適なイコライゼーション設定を自動的に判定します。フル AEQ モードでは、TUSB1146 はチャネルが短い、長い、またはその中間であっても、常に最適な設定を判定します。フル AEQ 機能はデフォルトで無効になっていますが、レジスタを介して有効にできます。

7.4 デバイスの機能モード

7.4.1 GPIO モードでのデバイス構成

I2C_EN が “0” の場合、または I2C_EN が “F” かつ (EQ0 が “0” かつ EQ1 が “0” ではない) 場合、TUSB1146 は GPIO 構成になります。TUSB1146 は、次の構成をサポートしています：USB 3.1 のみ、2 レーンの DisplayPort + USB 3.1、または 4 レーンの DisplayPort (USB 3.1 なし)。CTL1 ピンは、DisplayPort を有効にするかどうかを制御します。CTL1 と CTL0 の組み合わせによって、USB 3.1 のみ、2 レーンの DisplayPort、または 4 レーンの DisplayPort が選択されます (詳細は表 7-2 を参照)。表 7-3 に基づいて、AUXp および AUXn と SBU1 または SBU2 とのマッピングが制御されます。

電源投入後 (V_{CC} を 0V から 3.3V に)、TUSB1146 はデフォルトで USB3.1 モードになります。USB PD コントローラは、Type-C ポートにデバイスが接続されていないことを検出した場合、または接続されたデバイスによって USB3.1 動作が不要と判断された場合に、CTL0 ピンを Low から High、再び Low に遷移させることで、TUSB1146 を USB3.1 モードから解除する必要があります。

表 7-2. GPIO 構成制御

CTL1 ピン	CTL0 ピン	FLIP ピン	TUSB1146 構成	VESA DisplayPort ALT モード DFP_D 設定
L	L	L	パワーダウン	—
L	L	H	パワーダウン	—
L	H	L	1 ポート USB 3.1 — フリップ機能なし	—
L	H	H	1 ポート USB 3.1 — フリップ機能あり	—
H	L	L	4 レーン DP — フリップ機能なし	C と E
H	L	H	4 レーン DP — フリップ機能あり	C と E
H	H	L	1 ポート USB 3.1 + 2 レーン DisplayPort — フリップ機能なし	D

表 7-2. GPIO 構成制御 (続き)

CTL1 ピン	CTL0 ピン	FLIP ピン	TUSB1146 構成	VESA DisplayPort ALT モード DFP_D 設定
H	H	H	1 ポート USB 3.1 + 2 レーン DisplayPort — フリップ機能あり	D

表 7-3. GPIO による AUXp/AUXn と SBU1/SBU2 のマッピング

CTL1 ピン	FLIP ピン	マッピング
H	L	AUXp → SBU1 AUXn → SBU2
H	H	AUXp → SBU2 AUXn → SBU1
L > 2ms	X	オープン

表 4 に TUSB1146 のマルチプレクサのルーティングを詳細に示します。この表は、I²C と GPIO の両方の構成モードに有効です。

表 7-4. 入力から出力へのマッピング

CTL1 ピン	CTL0 ピン	FLIP ピン	送信元	送信先
			入力ピン	出力ピン
L	L	L	該当なし	該当なし
L	L	H	該当なし	該当なし
L	H	L	RX1P	SSRXP
			RX1N	SSRXN
			SSTXP	TX1P
			SSTXN	TX1N
L	H	H	RX2P	SSRXP
			RX2N	SSRXN
			SSTXP	TX2P
			SSTXN	TX2P
H	L	L	DP0P	RX2P
			DP0N	RX2N
			DP1P	TX2P
			DP1N	TX2N
			DP2P	TX1P
			DP2N	TX1N
			DP3P	RX1P
			DP3N	RX1N
H	L	H	DP0P	RX1P
			DP0N	RX1N
			DP1P	TX1P
			DP1N	TX1N
			DP2P	TX2P
			DP2N	TX2N
			DP3P	RX2P
			DP3N	RX2N
H	H	L	RX1P	SSRXP
			RX1N	SSRXN
			SSTXP	TX1P
			SSTXN	TX1N
			DP0P	RX2P
			DP0N	RX2N
			DP1P	TX2P
			DP1N	TX2N
H	H	H	RX2P	SSRXP
			RX2N	SSRXN
			SSTXP	TX2P
			SSTXN	TX2N
			DP0P	RX1P
			DP0N	RX1N
			DP1P	TX1P
			DP1N	TX1N

7.4.2 I²C プログラミングによるデバイス構成

TUSB1146 は、I2C_EN が “0” でない場合、または I2C_EN が “F” かつ EQ0 が “0” かつ EQ1 が “0” の場合に I²C モードになります。GPIO モードで定義されているのと同じ構成が、I²C モードでも使用できます。TUSB1146 の USB3.1 および DisplayPort の構成は、表 7-5 に基づいて制御されます。表 7-6 に基づいて、AUXp および AUXn と SBU1 または SBU2 とのマッピングが制御されます。

表 7-5. I²C コントローラ制御

レジスタ			TUSB1146 構成	VESA DisplayPort ALT モード DFP_D 設定
CTLSEL1	CTLSEL0	FLIPSEL		
0	0	0	パワーダウン	—
0	0	1	パワーダウン	—
0	1	0	1 ポート USB 3.1 — フリップ機能なし	—
0	1	1	1 ポート USB 3.1 — フリップ機能あり	—
1	0	0	4 レーン DP — フリップ機能なし	C と E
1	0	1	4 レーン DP — フリップ機能あり	C と E
1	1	0	1 ポート USB 3.1 + 2 レーン DisplayPort — フリップ機能なし	D
1	1	1	1 ポート USB 3.1 + 2 レーン DisplayPort — フリップ機能あり	D

表 7-6. I²C による AUXp/AUXn と SBU1/SBU2 のマッピング

レジスタ				マッピング
AUX_SBU_OVR1	AUX_SBU_OVR0	CTLSEL1	FLIPSEL	
0	0	1	0	AUXp → SBU1 AUXn → SBU2
0	0	1	1	AUXp → SBU2 AUXn → SBU1
0	0	0	X	オープン
0	1	X	X	AUXp → SBU1 AUXn → SBU2
1	0	X	X	AUXp → SBU2 AUXn → SBU1
1	1	X	X	オープン

7.4.3 DisplayPort モード

TUSB1146 は、最大 10Gbps (UHBR10) のデータ速度で最大 4 つの DisplayPort レーンをサポートします。TUSB1146 は、GPIO 制御または I²C レジスタ制御により DisplayPort で有効化できます。I2C_EN が「0」の場合、DisplayPort は表 7-2 に基づいて制御されます。GPIO モードでない場合、DisplayPort 機能の有効化は I²C レジスタにより制御されます。

7.4.4 直線性 EQ の構成

各 TUSB1146 レシーバ レーンは、レシーバのイコライゼーションのために独立して制御します。レシーバのイコライゼーション ゲイン値は、I²C レジスタと GPIO のどちらかにより制御可能です。TUSB1146GPIO モードの場合、利用可能な各組み合わせのゲイン値の詳細をに示します。これらと同じオプションは、I²C モードでも利用可能であり、レジスタ DP0EQ_SEL、DP1EQ_SEL、DP2EQ_SEL、DP3EQ_SEL、EQ1_SEL、EQ2_SEL、および SSEQ_SEL を更新することで設定できます。

表 7-7. USB ダウンストリーム側ポート レシーバ (RX1 および RX2 ピン) のイコライゼーション制御

レジスタ:EQ1_SEL または EQ2_SEL イコライゼーション設定#	EQ1 ピンレベル	EQ0 ピンレベル	5GHz における EQ ゲインから 100MHz におけるゲインを差し引いた値 (dB)
0	0	0	-0.7
1	0	R	1.1
2	0	F	2.7
3	0	1	4.5
4	R	0	5.5
5	R	R	6
6	R	F	7.5
7	R	1	8.0
8	F	0	8.5
9	F	R	9.0
10	F	F	9.3
11	F	1	9.8
12	1	0	10.0
13	1	R	10.3
14	1	F	10.7
15	1	1	11

表 7-8. USB アップストリーム側ポート レシーバ (SSTX ピン) のイコライゼーション制御

レジスタ:SSEQ_SEL イコライゼーション設定#	SSEQ1 ピンレベル	SSEQ0 ピンレベル	5GHz における EQ ゲイン から 100MHz におけるゲイン を差し引いた値 (dB)
0	0	0	-0.5
1	0	R	1.5
2	0	F	3.1
3	0	1	4.5
4	R	0	5.5
5	R	R	6.5
6	R	F	7.5
7	R	1	8.7
8	F	0	9.0
9	F	R	9.4
10	F	F	9.8
11	F	1	10.2
12	1	0	10.5
13	1	R	10.7
14	1	F	11.0

表 7-8. USB アップストリーム側ポート レシーバ (SSTX ピン) のイコライゼーション制御 (続き)

レジスタ:SSEQ_SEL イコライゼーション設定#	SSEQ1 ピンレベル	SSEQ0 ピンレベル	5GHz における EQ ゲイン から 100MHz におけるゲイン を差し引いた値 (dB)
15	1	1	11.5

表 7-9. DisplayPort レシーバ (DP[3:0] ピン) イコライゼーション制御

レジスタ:DP0EQ_SEL、 DP1EQ_SEL、 DP2EQ_SEL、DP3EQ_SEL イコライゼーション設定#	DPEQ1 ピンレベル	DPEQ0 ピンレベル	4.05GHz における EQ ゲインから 100MHz におけるゲインを差し引 いた値 (dB)
0	0	0	0.8
1	0	R	1.3
2	0	F	2.8
3	0	1	4.1
4	R	0	5.8
5	R	R	6.2
6	R	F	7.1
7	R	1	7.9
8	F	0	8.6
9	F	R	9.2
10	F	F	9.8
11	F	1	10.3
12	1	0	10.7
13	1	R	11.2
14	1	F	11.5
15	1	1	12

7.4.5 VOD モード

TUSB1146 は、VOD (電圧出力差動) 制御に 2 つのモードを備えています: 直線性 VOD と制限付き VOD。TUSB1146 はデフォルトで直線性 VOD モードを使用しますが、I2C レジスタを使用して制限付き VOD モードに変更できます。

7.4.5.1 直線性 VOD

直線性 VOD は、TUSB1146 の直線性範囲を定義します。TUSB1146 が直線性 VOD モードの場合、出力 VOD は入力 VID の線形関数になります。たとえば、TUSB1146 の入力 (VID) の信号が 600mVpp の場合、TUSB1146 の出力の VOD は約 600mVpp になります。直線性 VOD モードは、下流パス (DisplayPort および USB) で使用できる唯一のモードです。上流パス (USB のみ) は、直線性 VOD と制限付き VOD の両方をサポートします。直線性 VOD モードは、TUSB1146 のデフォルト動作です。TUSB1146 では、4 種類の直線性 VOD 設定があります。4 つの設定はすべて、レジスタ制御により I2C モードで利用できます。

7.4.5.2 制限付き VOD

制限付き VOD モードは、実際の VOD レベルを設定するために使用され、TUSB1146 が制限付きリドライバ モードに構成されている場合に使用されます。このモードでは、VOD は入力 VID の線形機能ではなくなります。たとえば、TUSB1146 の入力 (VID) の信号が 600mVpp の場合、TUSB1146 の出力 VOD は約 1000mVpp になります (LINR_L3 が選択されていると仮定)。制限付きリドライバ モードは、アップストリーム方向 (RX1 -> SSRX および RX2 -> SSRX) でのみサポートされます。ダウンストリーム パスは常にリニア リドライバ モードで動作します。制限付きリドライバ は、I2C モードでのみ有効にできます。このモードは、GPIO モードには対応していません。TUSB1146 には、4 種類の制限付き VOD 設定があります。4 つの設定はすべて、レジスタ制御で利用できます。

7.4.6 送信イコライゼーション

TUSB1146 は、限定リドライバ モードで、SSRX トランスミッタのプレシュートおよびデエンファシス制御を提供します。TUSB1146 には、4 つのプリシュート レベルと 4 つのディエンファシス レベルがあります。これらのレベルは、I2C レジスタを変更することで変更できます。プリシュートは、SSRX_LIMIT_ENABLE ビット = 1 かつ TX_PRESHOOT_EN ビット = 1 のとき有効化されます。SSRX_LIMIT_ENABLE ビット = 1、TX_DEEPHASIS_EN = 1 のとき、ディエンファシスが有効になります。

7.4.7 USB3.1 モード

TUSB1146 は、レーシーバ終端、電気的アイドル、LFPS、SuperSpeed 信号レートなどの物理層の状態を監視し、USB3.1 インターフェイスの状態を判定します。USB 3.1 インターフェイスの状態に応じて、USB 3.1 が有効な場合 (CTL0 = H または CTLSEL0 = 1b1)、TUSB1146 は 4 つの主要な動作モードのいずれかになります: 接続解除、U2/U3、U1、U0 です。

接続解除モードは、TUSB1146 が上流側ポート (UFP) および下流側ポート (DFP) の両方で、相手側終端を検出していない状態です。接続解除モードは、4 つの各モードのうち最小消費電力モードです。TUSB1146 では、UFP と DFP の両方で相手側レーシーバ終端が検出されるまで、このモードが維持されます。TUSB1146 は、相手側終端が検出されると直ちにこのモードを終了し、U0 に移行します。

U0 モードでは、TUSB1146 は UFP および DFP で受信したすべてのトラフィックをリドライブします。U0 は、すべての USB3.1 モードの中で最も高い電力モードです。TUSB1146 は、UFP および DFP の両方で電気的アイドルが発生するまで、U0 モードのままになります。電気的アイドルを検出すると、TUSB1146 はすぐに U1 に移行します。

U1 モードは、U0 モードと U2/U3 モードの中間モードです。U1 モードでは、TUSB1146 の UFP および DFP のレーシーバ終端が有効なままになります。UFP および DFP トランスミッタの DC 同相モードが維持されます。U1 の消費電力は、U0 の消費電力と類似しています。

接続解除モードに隣接して、U2/U3 モードは次に消費電力が低い状態になります。このモードでは、TUSB1146 は定期的に遠端レーシーバ検出を実行します。UFP または DFP のいずれかで相手側レーシーバ終端が検出されない場合、TUSB1146 は U2/U3 モードを離れ、接続解除モードに移行します。有効な LFPS も監視します。有効な LFPS が検出されると、TUSB1146 は直ちに U0 モードに遷移します。U2 / U3 モードでは、TUSB1146 のレーシーバ終端はイネーブルのままですが、TX DC 同相電圧は維持されません。

7.4.8 下流側ポートの適応型イコライゼーション

TUSB1146 は、USB-C 下流側ポート レシーバ (RX1 および RX2) 用の適応型イコライザ (AEQ) 機能を実装しています。アダプティブ イコライザ機能の目的は、出力ジッタが最小限に抑えられるように、最適な EQ 値を決定することです。TUSB1146 は、2 種類のアダプティブ イコライゼーションモードを提供します: 高速 AEQ とフル AEQ。高速 AEQ とフル AEQ の選択は、レジスタによって決定されます。AEQ 機能はデフォルトで無効になっていますが、レジスタを介して有効にできます。高速アダプティブ イコライゼーション機能は、GPIO モードにおいて、I2C_EN ピンが "F" であり、かつ EQ0 ピンおよび EQ1 ピンが両方とも "0" でない場合にサポートされます。

注

AEQ 機能は、SSTX レシーバおよび DP[3:0] レシーバではサポートされていません。これらのレーシーバは固定 EQ のみをサポートします。

I2C_EN = "0" で定義される GPIO では、高速 AEQ はサポートされていません。アダプティブ EQ 機能を使用する場合、最も柔軟な構成を可能にするために、TUSB1146 を I2C モードで設定することを推奨します。

7.4.8.1 I2C モードでの高速アダプティブ イコライゼーション

高速 AEQ モードは、ショート チャネルとロングチャネルの 2 種類のチャネルを識別し、それぞれに適したレーシーバ イコライゼーション設定を選択するために使用されます。高速 AEQ は 2 つの選択肢のみを判別するため、AEQ 処理時間はフル AEQ モードよりも大幅に短くなり、USB リンクトレーニングへの影響を最小限に抑えます。

AEQ が有効で、チャンネルがショートと判定された場合、TUSB1146 は EQx_SEL (x = 1 または 2) に設定された値を使用します。TUSB1146 がチャンネルをショートでないと判定した場合、TUSB1146 は LONG_EQx レジスタ (x = 1 または 2) に設定された EQ 値に切り替えます。初期のシステム評価時には、ショート チャンネルおよびロング チャンネルの両方に対して USB3.1 RX JTOL Gen2 テストを実施し、それぞれのチャンネル構成で最も良好な結果が得られた値を EQx_SEL および LONG_EQx にプログラムすることを推奨します。

TUSB1146 は推定されるアイの高さに基づいて、短長を決定します。FASTAEQ_LIMITS レジスタにプログラムされた値によって、アイの高さの制限が決まります。このレジスタのデフォルト値を、ソフトウェアで変更して下限または上限を上げることができます。

注

EQ_OVERRIDE フィールドは、EQx_SEL および LONG_EQx にプログラムされた値を使用するために設定する必要があります。

FASTAEQ_LIMITS レジスタの値をデフォルトから 0x2 (80mV) に変更することを推奨しています。

7.4.8.2 完全適応型イコライゼーション

フル AEQ モードでは、RX1 および RX2 レシーバの最適なイコライゼーション値を見つけるために、最小の EQ 値から開始し、FULLAEQ_UPPER_EQ フィールドに設定された値までのすべての EQ 組み合わせをスイープします。デフォルトでは、16 種類すべての EQ 値 (0 から 15) をスイープします。FULLAEQ_UPPER_EQ レジスタを設定することで、EQ の組み合わせ数を削減できます。TUSB1146 は、OVER_EQ_CTRL フィールドに 0 以外の値を設定することで、TUSB1146 の前段チャンネルを補償するための過剰または不足イコライゼーションを追加または減少させることができます。OVER_EQ_SIGN = 0 の場合、TUSB1146 は OVER_EQ_CTRL に設定された値を完全適応で決定された EQ 値に加算します。OVER_EQ_SIGN = 1 の場合、TUSB1146 は OVER_EQ_CTRL に設定された値を完全適応で決定された EQ 値から減算します。たとえば、完全適応によって最適なイコライゼーション値が 4 と決定されており、OVER_EQ_CTRL が 2、さらに OVER_EQ_SIGN が 0 の場合、TUSB1146 が使用する EQ 設定は 6 になります。TUSB1146 のハードウェアは、OVER_EQ_CTRL と完全適応で決定された最適な EQ 値の合計が 15 以下になるように常に制限します。

注

フル AEQ は I2C モードでのみサポートされています。

7.5 プログラミング

7.5.1 モード間の遷移

TUSB1146 は、任意のモード (USB のみから 4DP、4DP から USB+2DP など) 間で遷移を行えます。USB-C 規格では、代替モードに入る前または退出する前に、USB セーフ状態に遷移することが求められます。USB セーフ状態は、USB と代替モード間の遷移時に、DFP、UFP、およびアクティブ ケーブルの SBU1/2 と SSTX/SSRX の電気的狀態を定義します。したがって、4 レーンの DP モードに入る前または退出する前に、最初に無効状態 (CTLSEL = 2'b00 または (CTL0 ピン = 0 かつ CTL1 ピン = 0)) に遷移することを推奨します。

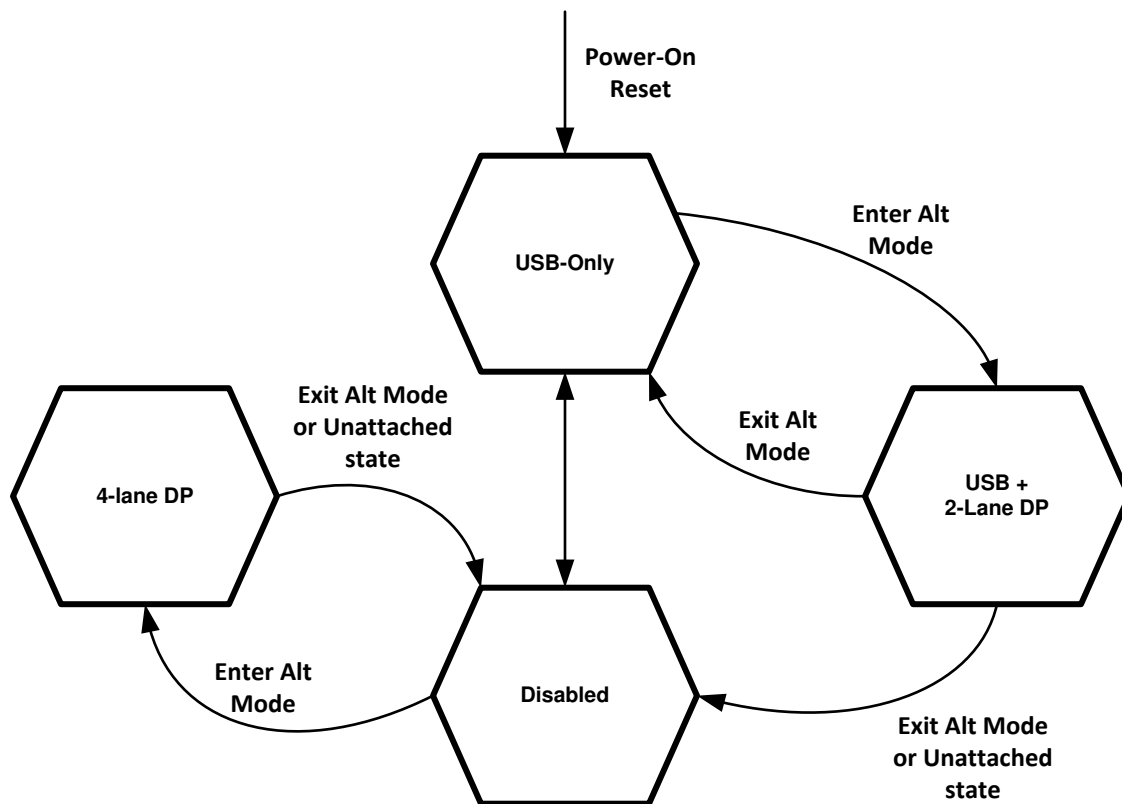


図 7-1. 推奨モード遷移

7.5.2 疑似コードの例

7.5.2.1 リニア リドライバ モード付き高速 AEQ

```

// (address, data)
// Initial power-on configuration.

(0x0A, 0x11), // EQ_OVERRIDE and USB3.1 default.
(0x1C, 0x81), // Fast AEQ enable
(0x10, 0x55), // DP lanes 0 and 1 EQ
(0x11, 0x55), // DP lanes 2 and 2 EQ
(0x1D, 0x10), // FASTAEQ_LIMITS to 80mV
(0x1E, 0x55), // USB-C Rx1/Rx2 Long channel EQ.
(0x20, 0x00), // USB-C Rx1/Rx2 Short channel EQ.

```

```
(0x21, 0x05), // SSTX receiver EQ.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
    { (0x0A, 0x11); }
Else if (USBonly_flip)
    { (0x0A, 0x15); }
Else if (Dponly_normal)
    { (0x0A, 0x12); }
Else if (Dponly_flip)
    { (0x0A, 0x16); }
Else if (DPUSB_normal)
    { (0x0A, 0x13); }
Else if (DPUSB_flip)
    { (0x0A, 0x17); }
Else // Nothing connected to Type-C
    { (0x0A, 0x10); }
```

7.5.2.2 制限付きリドライバ モードの高速 AEQ

```
// (address, data)
// Initial power-on configuration.

    (0x0A, 0x91), // EQ_OVERRIDE and USB3.1 default.
    (0x0B, 0x24), // Pre-shoot and De-emphasis control
    (0x1C, 0x81), // Fast AEQ enable
    (0x10, 0x55), // DP lanes 0 and 1 EQ
    (0x11, 0x55), // DP lanes 2 and 2 EQ
    (0x1D, 0x10), // FASTAEQ_LIMITS to 80mV
    (0x1E, 0x55), // USB-C Rx1/Rx2 Long channel EQ.
    (0x20, 0x00), // USB-C Rx1/Rx2 Short channel EQ.
    (0x21, 0x05), // SSTX receiver EQ.
    (0x32, 0x40), // VOD Control.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
    { (0x0A, 0x91); }
Else if (USBonly_flip)
    { (0x0A, 0x95); }
Else if (Dponly_normal)
    { (0x0A, 0x92); }
Else if (Dponly_flip)
    { (0x0A, 0x96); }
Else if (DPUSB_normal)
```

```

        { (0x0A, 0x93); }
Else if (DPUSB_flip)

        { (0x0A,0x97); }
Else // Nothing connected to Type-C

        { (0x0A, 0x90); }

```

7.5.2.3 直線性リドライバ モード付きフル AEQ

```

// (address, data)
// Initial power-on configuration.

        (0x0A, 0x11), // EQ_OVERRIDE and USB3.1 default.
        (0x1C, 0x83), //Full AEQ enable
        (0x10, 0x55), // DP lanes 0 and 1 EQ
        (0x11, 0x55), // DP lanes 2 and 2 EQ
        (0x20, 0x11), // USB-C Rx1/Rx2 EQ. Not used in Full AEQ
        (0x21, 0x05), // SSTX receiver EQ.

```

```

// Controls when selecting between USB and DP modes.
If (USBonly_normal)

        { (0x0A,0x11); }
Else if (USBonly_flip)

        { (0x0A, 0x15); }
Else if (Dponly_normal)

        { (0x0A, 0x12); }
Else if (Dponly_flip)

        { (0x0A, 0x16); }
Else if (DPUSB_normal)

        { (0x0A, 0x13); }
Else if (DPUSB_flip)

        { (0x0A,0x17); }
Else // Nothing connected to Type-C

        { (0x0A, 0x10); }

```

7.5.2.4 制限付きリドライバ モード付きフル AEQ

```

// (address, data)
// Initial power-on configuration.

        (0x0A, 0x91), // Limited Redriver, EQ_OVERRIDE and USB3.1 default.
        (0x0B, 0x24), // Pre-shoot and De-emphasis control
        (0x1C, 0x83), //Full AEQ enable
        (0x10, 0x55), // DP lanes 0 and 1 EQ
        (0x11, 0x55), // DP lanes 2 and 2 EQ
        (0x20, 0x11), // USB-C Rx1/Rx2 EQ. Not used in Full AEQ
        (0x21, 0x05), // SSTX receiver EQ.

```

```
(0x32, 0x40), // VOD Control.
```

```
// Controls when selecting between USB and DP modes.
If (USBonly_normal)
    { (0x0A, 0x91); }
Else if (USBonly_flip)
    { (0x0A, 0x95); }
Else if (Dponly_normal)
    { (0x0A, 0x92); }
Else if (Dponly_flip)
    { (0x0A, 0x96); }
Else if (DPUSB_normal)
    { (0x0A, 0x93); }
Else if (DPUSB_flip)
    { (0x0A, 0x97); }
Else // Nothing connected to Type-C
    { (0x0A, 0x90); }
```

7.5.3 TUSB1146 I²C アドレスのオプション

さらにプログラマビリティを高めるため、I²C を使用して TUSB1146 を制御できます。SCL ピンと SDA ピンは、それぞれ I²C クロックと I²C データに使用されます。

表 7-10. TUSB1146 I²C ターゲット アドレス

DPEQ0/A1 ピンレベル	SSEQ0/A0 ピンレベル	ビット 7 (MSB)	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0 (W/R)
0	0	1	0	0	0	1	0	0	0/1
0	R	1	0	0	0	1	0	1	0/1
0	F	1	0	0	0	1	1	0	0/1
0	1	1	0	0	0	1	1	1	0/1
R	0	0	1	0	0	0	0	0	0/1
R	R	0	1	0	0	0	0	1	0/1
R	F	0	1	0	0	0	1	0	0/1
R	1	0	1	0	0	0	1	1	0/1
F	0	0	0	1	0	0	0	0	0/1
F	R	0	0	1	0	0	0	1	0/1
F	F	0	0	1	0	0	1	0	0/1
F	1	0	0	1	0	0	1	1	0/1
1	0	0	0	0	1	1	0	0	0/1
1	R	0	0	0	1	1	0	1	0/1
1	F	0	0	0	1	1	1	0	0/1
1	1	0	0	0	1	1	1	1	0/1

7.5.4 TUSB1146 I²C スレーブ動作

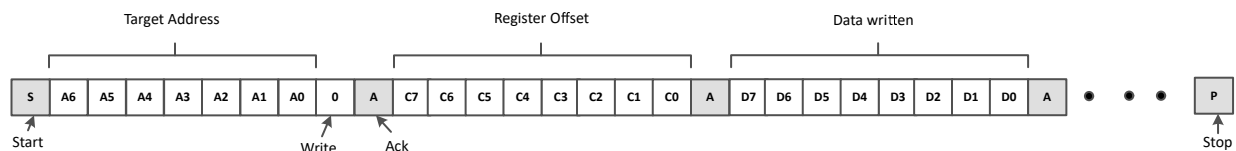


図 7-2. データ付き I²C 書き込み

TUSB1146 の I²C レジスタにデータを書き込むには、次の手順に従う必要があります (図 7-2 を参照)。

1. マスタは、スタート条件 (S) を生成することで書き込み動作を開始し、続いて TUSB1146 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB1146 が、アドレス サイクルをアクリッジします。
3. マスタは、TUSB1146 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146 が、サブアドレス サイクルをアクリッジします。
5. マスタが I²C レジスタに書き込むデータの最初のバイトを送信します。
6. TUSB1146 が、バイト転送をアクリッジします。
7. マスタは書き込むデータの追加のバイトを引き続き提示することができます。各バイト転送は、TUSB1146 からのアクリッジで完了します。
8. マスタが STOP 条件 (P) を生成して書き込み動作を終了します。

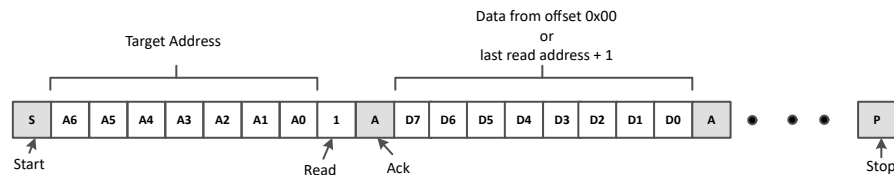


図 7-3. リピート スタートなしでの I2C 読み取り

リピート スタートを使用せずに TUSB1146 I²C レジスタを読み取るには、以下の手順に従ってください (図 7-3 を参照)。

1. マスタは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB1146 7 ビット アドレスおよび 0 値の「W/R」ビットで読み取りサイクルを示します。
2. TUSB1146 が、7 ビットのアдрес サイクルをアクリッジします。
3. アクリッジ後、マスタは引き続きクロックの送信を行います。
4. TUSB1146 は、レジスタ 00h または最後に読み取ったレジスタオフセット +1 から、メモリレジスタの内容を MSB ファーストで送信します。読み取りの前に I²C レジスタへの書き込みが発生した場合、TUSB1146 は書き込みで指定されたサブアドレスから開始します。
5. TUSB1146 は、各バイト転送の後、マスタからのアクリッジ (ACK) または非アクリッジ (NACK) を待ちます。I²C マスタは、各データ バイト転送の受信をアクリッジします。
6. ACK を受信すると、TUSB1146 はマスタがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB1146 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
7. マスタが STOP 条件 (P) を生成して書き込み動作を終了します。

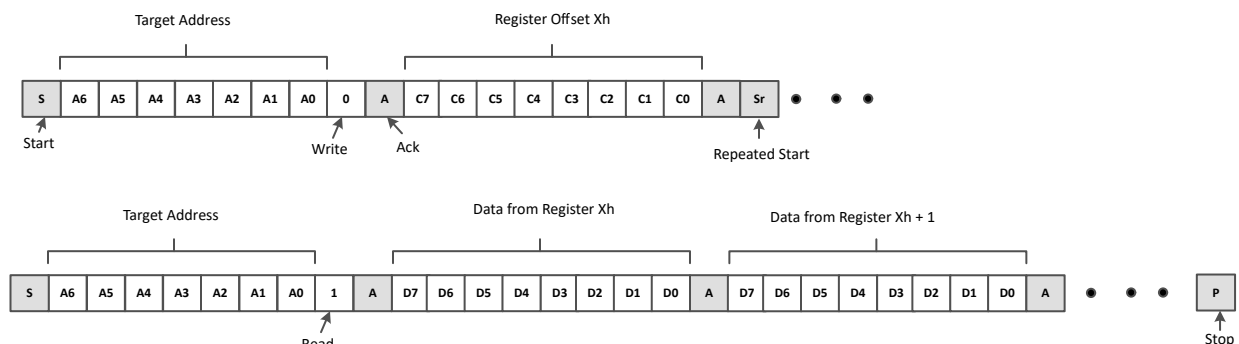


図 7-4. リピート スタートによる I2C 読み取り

リピート スタートを使用して TUSB1146 I²C レジスタを読み取るには、以下の手順に従ってください (図 7-4 を参照)。

1. マスタは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB1146 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB1146 が、7 ビットのアドレス サイクルをアクノリッジします。
3. マスタは、TUSB1146 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146 がレジスタのオフセット サイクルをアクノリッジします。
5. マスタにリピート スタート条件 (Sr) が提示されます。
6. マスタは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB1146 7 ビット アドレスおよび 1 値の「W/R」ビットで読み取りサイクルを示します。
7. TUSB1146 が、7 ビットのアドレス サイクルをアクノリッジします。
8. TUSB1146 は、レジスタ オフセットからメモリ レジスタの内容を MSB ファーストで送信します。
9. TUSB1146 は、各バイト転送後にホストからのアクノリッジ (ACK) または非アクノリッジ (NACK) を待つ必要があります。I²C ホストは、各データ バイト転送の受信をアクノリッジします。
10. ACK を受信すると、TUSB1146 はマスタがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB1146 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
11. マスタが STOP 条件 (P) を生成して読み出し動作を終了します。

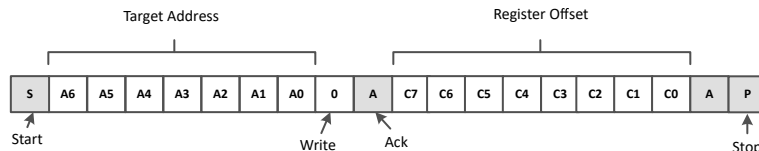


図 7-5. データなしでの I2C 書き込み

I²C 読み出しの開始サブアドレスを設定するには、次の手順に従う必要があります (図 7-5 を参照)。

1. マスタは、スタート条件 (S) を生成することで書き込み動作を開始し、続いて TUSB1146 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB1146 が、アドレス サイクルをアクノリッジします。
3. マスタは、TUSB1146 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB1146 がレジスタのオフセット サイクルをアクノリッジします。
5. マスタが STOP 条件 (P) を生成して書き込み動作を終了します。

注

初回の電源投入後、リード手順でレジスタ オフセットが指定されていない場合 (図 7-3 を参照)、読み取りはレジスタ オフセット 00h から開始され、I²C マスタが読み取り動作を終了するまで、レジスタをバイト単位で順次読み取ります。読み取り動作中、TUSB1146 I2C マスタから ACK を受信したかどうかにかかわらず、最後に転送されたバイトの I²C 内部レジスタ アドレスを自動的にインクリメントします。

8 レジスタ

8.1 レジスタ マップ

8.1.1 TUSB1146 のレジスタ

表 8-1 に、TUSB1146 レジスタの一覧を示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なし、レジスタの内容は変更しないでください。

表 8-1. TUSB1146 のレジスタ

オフセット	略称	レジスタ名	セクション
0xA	General_1	汎用レジスタ	表示
0xB	DCI_TXEQ_CTRL	DCI および TX EQ 制御	表示
0x10	DP01EQ_SEL	DisplayPort レーン 0 および 1EQ 制御	表示
0x11	DP23EQ_SEL	DisplayPort レーン 2 および 3EQ 制御	表示
0x12	DisplayPort_1	AUX スヌープ ステータス	表示
0x13	DisplayPort_2	DP レーン有効化 / 無効化制御	表示
0x1C	AEQ_CONTROL1	AEQ 制御	表示
0x1D	AEQ_CONTROL2	AEQ 制御	表示
0x1E	AEQ_LONG	長いチャネルの Aeq 設定	表示
0x20	USBC_EQ	RX1 および RX2 レシーバの EQ 制御	表示
0x21	SS_EQ	SSTX レシーバの EQ 制御	表示
0x22	USB3_MISC	その他の USB3 制御	表示
0x24	USB_STATUS	USB ステート マシンのステータス	表示
0x32	VOD_CTRL	VOD の直線性と Aeq 制御	表示
0x3B	AEQ_STATUS	フル Aeq および高速 Aeq ステータス	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. TUSB1146 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
WS	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1.1 General_1 レジスタ (オフセット = 0xA) [リセット = 0x1]

General_1 を表 8-3 に示します。

[概略表](#)に戻ります。

このレジスタは、USB モードと DisplayPort モードの切り替え、および MUX の向きを選択するために使用されます。ピンの代わりに EQ レジスタを使用するには、ソフトウェアが EQ_OVERRIDE ビットを設定する必要があります。

表 8-3. General_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SSRX_LIMIT_ENABLE	R/W	0x0	SSRX トランスミッタ用の限定リドライバ モードを有効にします。 0x0 = リニア リドライバ 0x1 = リドライバ制限
6	予約済み	R	0x0	予約済み
5	SWAP_HPDIN	R/W	0x0	HPDIN がどのピンから派生するかを制御します。このビットを設定する副作用として、DCI 機能が無効になることに注意してください。したがって、DCI サポートが必要な場合は、このフィールドをクリアにしたままにしておく必要があります。 0x0 = HPDIN はデフォルト位置にあります 0x1 = HPDIN 位置が交換されます (ピン 23 からピン 32 へ、またはピン 32 からピン 23 へ)。
4	EQ_OVERRIDE	R/W	0x0	このフィールドを設定すると、ソフトウェアはピンからサンプリングされた値ではなく、レジスタからの EQ 設定を使用できます。 0x0 = EQ ピンのサンプリングされた状態に基づく EQ 設定。 0x1 = 各 EQ レジスタにプログラムされた値に基づく EQ 設定。
3	HPDIN_OVERRIDE	R/W	0x0	HPDIN ピンの状態をオーバーライドします。 0x0 = HPD_IN ピンに基づく HPD_IN。 0x1 = HPD_IN High。
2	FLIP_SEL	R/W	0x0	このフィールドは方向を制御します。 0x0 = 通常の向き 0x1 = 反転方向。
1-0	CTLSEL	R/W	0x1	DP モードと USB モードを制御します。 0x0 = ディセーブル。USB3 および DisplayPort のすべての RX と TX が無効になります。 0x1 = USB3.1 のみ有効化。 0x2 = DisplayPort の 4 レーンを有効化。 0x3 = USB3.1 と 2 つの DisplayPort レーン。

8.1.1.2 DCI_TXEQ_CTRL レジスタ (オフセット = 0xB) [リセット = 0x6C]

表 8-4 に、DCI_TXEQ_CTRL を示します。

概略表に戻ります。

このレジスタは、制限リドライバ モードが有効化されている場合、SSRX のプリシュートおよびディエンファシス レベルを制御します。

表 8-4. DCI_TXEQ_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	TX_PRESHOOT	R/W	0x1	SSRX TX プリシュートレベル (プリカーソル)。 0x0 = 1.5dB 0x1 = 2dB 0x2 = 2.3dB 0x3 = 2.8dB
5	TX_PRESHOOT_EN	R/W	0x1	SSRX TX プリシュート (プリカーソル) が有効です。 SSRX_LIMIT_ENABLE = 1 の場合のみ有効です。 0x0 = ディスエーブル (0dB) 0x1 = イネーブル
4-3	TX_DEEPHASIS	R/W	0x1	SSRX TX ディエンファシス レベル (ポストカーソル) 0x0 = -1.5dB 0x1 = -2.1dB 0x2 = -3.2dB 0x3 = -3.8dB
2	TX_DEEPHASIS_EN	R/W	0x1	SSRX TX ディエンファシス (ポストカーソル) が有効です。 SSRX_LIMIT_ENABLE = 1 の場合のみ有効です。 0x0 = ディスエーブル (0dB) 0x1 = イネーブル
1-0	DCI_CTL	R/W	0x0	FSM またはソフトウェアで DCI 機能を有効にするかどうかを制御します。 0x0 = FSM によって DCI を制御する 0x1 = RX1P/N を使用して DCI を有効にする 0x2 = RX2P/N を使用して DCI を有効にする 0x3 = DCI は無効です。

8.1.1.3 DP01EQ_SEL レジスタ (オフセット = 0x10) [リセット = 0x0]

DP01EQ_SEL を表 8-5 に示します。

[概略表](#)に戻ります。

このレジスタは、DisplayPort レシーバ 0 および 1 のレシーバ イコライゼーション設定を制御します。

表 8-5. DP01EQ_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DP1EQ_SEL	RH/W	0x0	フィールドは DP レーン 1 ビンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ビンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 1 の EQ 設定を変更できます。

表 8-5. DP01EQ_SEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DP0EQ_SEL	RH/W	0x0	フィールドは DP レーン 0 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 0 の EQ 設定を変更できます。

8.1.1.4 DP23EQ_SEL レジスタ (オフセット = 0x11) [リセット = 0x0]

DP23EQ_SEL を表 8-6 に示します。

[概略表](#)に戻ります。

このレジスタは、DisplayPort レシーバ 2 および 3 のレシーバ イコライゼーション設定を制御します。

表 8-6. DP23EQ_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DP3EQ_SEL	RH/W	0x0	フィールドは DP レーン 3 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 3 の EQ 設定を変更できます。
3-0	DP2EQ_SEL	RH/W	0x0	フィールドは DP レーン 2 ピンの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは DPEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて DP レーン 2 の EQ 設定を変更できます。

8.1.1.5 DisplayPort_1 レジスタ (オフセット = 0x12) [リセット = 0x0]

DisplayPort_1 を表 8-7 に示します。

[概略表](#)に戻ります。

このレジスタは、AUX スヌーピングを有効にするときの AUX スヌーピングのステータスを示します。

表 8-7. DisplayPort_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6-5	SET_POWER_STATE	RH	0x0	このフィールドは、DPCD アドレス 0x00600 への AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌーピング値に基づいて DP レーンをイネーブルまたはディスエーブルにします。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル / ディスエーブルは DPx_DISABLE レジスタの状態によって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。
4-0	LANE_COUNT_SET	RH	0x0	このフィールドは、DPCD アドレス 0x00101 レジスタへの AUX 書き込みのスヌーピング値を表します。AUX_SNOOP_DISABLE = 0b のとき、スヌープ値で指定された DP レーンをイネーブルにします。未使用の DP レーンは、電力を節約するためディスエーブルされます。AUX_SNOOP_DISABLE = 1b の場合、DP レーンのイネーブル / ディスエーブルは DPx_DISABLE レジスタによって決定されます。ここでは、x = 0、1、2、または 3 です。CTLSEL1 が 1b から 0b に変化すると、このフィールドはハードウェアによって 0h にリセットされます。

8.1.1.6 DisplayPort_2 レジスタ (オフセット = 0x13) [リセット = 0x0]

DisplayPort_2 を表 8-8 に示します。

[概略表](#)に戻ります。

このレジスタを使用すると、AUX スヌーピングと個別の DP レーンのイネーブルとディスエーブルを制御できます。

表 8-8. DisplayPort_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AUX_SNOOP_DISABLE	R/W	0x0	AUX スヌーピング値またはレジスタに基づいて DP レーンを有効にするかどうかを制御します。 0x0 = AUX スヌープは有効です。 0x1 = AUX スヌープは無効です。DP レーンはレジスタによって制御されます。
6	予約済み	R	0x0	予約済み
5-4	AUX_SBU_OVR	R/W	0x0	このフィールドは、CTL1 および FLIP に基づいて AUXP/N と SBU1/2 の接続および切断を上書き制御します。このフィールドを 01b または 10b に変更すると、CTLSEL1 および FLIPSEL レジスタの状態に関係なく、AUX から SBU への信号の通過が可能になります。 0x0 = CTLSEL1 および FLIPSEL によって決定される AUX/SBU 接続 0x1 = AUXP -> SBU1、AUXN -> SBU2 0x2 = AUXP -> SBU2、AUXN -> SBU1 0x3 = AUX から SBU がオープン。
3	DP3_DISABLE	R/W	0x0	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 3 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 3 の機能には影響しません。 0x0 = DP レーン 3 は有効です。 0x1 = DP レーン 3 は無効です。
2	DP2_DISABLE	R/W	0x0	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 2 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 2 の機能には影響しません。 0x0 = DP レーン 2 は有効です。 0x1 = DP レーン 2 は無効です。
1	DP1_DISABLE	R/W	0x0	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 1 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 1 の機能には影響しません。 0x0 = DP レーン 1 は有効です。 0x1 = DP レーン 1 は無効です。

表 8-8. DisplayPort_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	DP0_DISABLE	R/W	0x0	AUX_SNOOP_DISABLE = 1b の場合に、このフィールドを使用して DP レーン 0 を有効化または無効化できます。AUX_SNOOP_DISABLE = 0b の場合、このフィールドを変更してもレーン 0 の機能には影響しません。 0x0 = DP レーン 0 は有効です。 0x1 = DP レーン 0 は無効です。

8.1.1.7 AEQ_CONTROL1 レジスタ (オフセット = 0x1C) [リセット = 0xF0]

AEQ_CONTROL1 を表 8-9 に示します。

概略表に戻ります。

このレジスタは、アダプティブ EQ を有効にし、高速アダプティブ EQ とフル アダプティブ EQ を選択するために使用されます。

表 8-9. AEQ_CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FULLAEQ_UPPER_EQ	R/W	0xF	フル AEQ モードをチェックするための最大 EQ 値
3	USB3_U1_DISABLE	R/W	0x0	このフィールドを設定すると、電氣的アイドルが検出されたときに U1 ではなく U3 に移行する可能性があります。 0x0 = 電氣的アイドルの後に U1 が移行。 0x1 = 電氣的アイドルの後に U3 が移行。
2-1	AEQ_MODE	R/W	0x0	高速適応モードと 2 フル適応モードのどちらかを選択します 0x0 = 高速 AEQ。 0x1 = EQ ごとに中間点でヒットをカウントしたフル AEQ。 0x2 = 高速 AEQ。 0x3 = EQ が 0 の場合のみ中間点でヒットをカウントしたフル AEQ。
0	AEQ_EN	R/W	0x0	USB ダウンストリーム側ポートのアダプティブ EQ を有効にするかどうかを制御します。 0x0 = AEQ ディセーブル 0x1 = AEQ イネーブル

8.1.1.8 AEQ_CONTROL2 レジスタ (オフセット = 0x1D) [リセット = 0x20]

AEQ_CONTROL2 を表 8-10 に示します。

概略表に戻ります。

このレジスタを使用すると、高速 AEQ 制限の制御と、フル AEQ 機能で使用される最終的な EQ 値を追加または低減できます。

表 8-10. AEQ_CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OVER_EQ_SIGN	R/W	0x0	OVER_EQ_CTRL フィールドの符号を選択します。 0x0 = 正 0x1 = 負
6	予約済み	R	0x0	予約済み
5-3	FASTAEQ_LIMITS	R/W	0x4	ショート チャネルとロング チャネルを決定するための DAC の上限 / 下限を選択します。 0x0 = ±0mV 0x1 = ±40mV 0x2 = ±80mV 0x3 = ±120mV 0x4 = ±160mV 0x5 = ±200mV 0x6 = ±240mV 0x7 = ±280mV
2-0	OVER_EQ_CTRL	R/W	0x0	このフィールドは、このフィールドにプログラムされた値によって AEQ を増減します。たとえば、フル AEQ 値は 6 で、このフィールドは 2 にプログラムされ、OVER_EQ_SIGN = 0 にプログラムされている場合、使用される EQ 値は 8 になります。このフィールドは、フル AEQ モードでのみ使用されます。 0x0 = 0 または -8 0x1 = 1 または -7 0x2 = 2 または -6 0x3 = 3 または -5 0x4 = 4 または -4 0x5 = 5 または -3 0x6 = 6 または -2 0x7 = 7 または -1

8.1.1.9 AEQ_LONG レジスタ (オフセット = 0x1E) [リセット = 0x77]

AEQ_LONG を表 8-11 に示します。

[概略表](#)に戻ります。

このレジスタは、高速 AEQ が有効なときに、長いチャネル設定で使用される EQ をプログラムするために使用されます。

表 8-11. AEQ_LONG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	LONG_EQ2	R/W	0x7	AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、長いチャネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX2) の EQ 設定を選択します。このフィールドにプログラムされた値によって、長いチャネル構成で最適な Rx JTOL 結果が得られます。

表 8-11. AEQ_LONG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	LONG_EQ1	R/W	0x7	AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、長いチャネルが検出されたとき、USB ダウンストリーム側ポート 2 (RX1) の EQ 設定を選択します。このフィールドにプログラムされた値によって、長いチャネル構成で最適な Rx JTOL 結果が得られます。

8.1.1.10 USBC_EQ レジスタ (オフセット = 0x20) [リセット = 0x0]

USBC_EQ を表 8-12 に示します。

[概略表](#)に戻ります。

このレジスタは、DFP のレシーバ イコライゼーション設定 (RX1 および RX2) を制御します。

表 8-12. USBC_EQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	EQ2_SEL	RH/W	0x0	AEQ_EN = 0 の場合、このフィールドは USB-C レセプタクルに面した USB3.1 RX2 レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは EQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて RX2p/n ピンの EQ 設定を変更できます。AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、短いチャネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX2) の EQ 設定を選択します。このフィールドにプログラムされた値によって、短いチャネル構成で最適な Rx JTOL 結果が得られます。
3-0	EQ1_SEL	RH/W	0x0	AEQ_EN = 0 の場合、このフィールドは USB-C レセプタクルに面した USB3.1 RX1 レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは EQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて RX1p/n ピンの EQ 設定を変更できます。AEQ_EN = 1 かつ AEQ_MODE = x0 の場合、短いチャネルが検出されたとき、USB ダウンストリーム側ポート 1 (RX1) の EQ 設定を選択します。このフィールドにプログラムされた値によって、短いチャネル構成で最適な Rx JTOL 結果が得られます。

8.1.1.11 SS_EQ レジスタ (オフセット = 0x21) [リセット = 0x0]

SS_EQ を表 8-13 に示します。

[概略表](#)に戻ります。

このレジスタは、UFP (SSTX) のレシーバ イコライゼーション設定を制御します。

表 8-13. SS_EQ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0	予約済み
3-0	SSEQ_SEL	RH/W	0x0	このフィールドは、USB ホストに面した USB3.1 SSTX レシーバの EQ を選択します。EQ_OVERRIDE = 0b の場合、このフィールドは SSEQ[1:0] ピンのサンプリングされた状態を反映します。EQ_OVERRIDE = 1b のとき、ソフトウェアはこのフィールドに書き込まれた値に基づいて SSTXp/n ピンの EQ 設定を変更できます。

8.1.1.12 USB3_MISC レジスタ (オフセット = 0x22) [リセット = 0x44]

USB3_MISC を表 8-14 に示します。

[概略表](#)に戻ります。

表 8-14. USB3_MISC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RxD_START_TERM	R/W	0x0	ウォームリセット後および SS.Inactive へ移行時の RX 検出開始時の終端設定。 0x0 = 終端を維持します。tusb1046 と同じです 0x1 = 終端をオフにします。接続解除の場合にローカル RxD とリモート RxD との競合によるコンプライアンス違反を回避します。接続が維持されている場合は、次の状態がポーリングでした。
6	LFPS_EQ	R/W	0x1	EQ1_SEL、EQ2_SEL、SSEQ_SEL に基づいた EQ の設定を、受信された LFPS 信号に適用するかどうかを制御します。 0x0 = LFPS を受信する場合、EQ をゼロに設定 0x1 = LFPS を受信する場合、関連するレジスタによって EQ を設定。
5	U2U3_LFPS_DEBOUNCE	R/W	0x0	受信 LFPS をデバウンスするかどうかを制御します。 0x0 = U2/U3 が終了する前に LFPS のデバウンスはありません。 0x1 = U2/U3 が終了する前に LFPS の 200µs デバウンスはありません。
4	DISABLE_U2U3_RXDET	R/W	0x0	U2/U3 状態で Rx.Detect を実行するかどうかを制御します。 0x0 = U2/U3 での Rx.Detect は有効です。 0x1 = U2/U3 での Rx.Detect は無効です。
3-2	DFF_RXDET_INTERVAL	R/W	0x1	このフィールドは、ダウンストリーム側ポート (TX1P/N および TX2P/N) の Rx.Detect の間隔を制御します。 0x0 = 4ms 0x1 = 6ms 0x2 = 36ms 0x3 = 84ms
1	DIS_WARM_RESET_RXD	R/W	0x0	デバイスがウォームリセット中にポーリングを開始すると、ウォームリセット後のレシーバ検出をディスエーブルにします。 0x0 = ウォームリセット後にレシーバ検出を実行するかどうかは、その他の設定によって異なります。 0x1 = ウォームリセット中にデバイスがポーリングを開始したことを USB FSM が検出した場合、レシーバ検出を行いません。
0	USB_COMPLIANCE_CTRL	R/W	0x0	コンプライアンス モードの検出が FSM によって決定されるか、ディスエーブルになるかを制御します 0x0 = FSM によって決定されるコンプライアンス モード。 0x1 = コンプライアンス モードはディスエーブル。

8.1.1.13 USB_STATUS レジスタ (オフセット = 0x24) [リセット = 0x41]

USB_STATUS を表 8-15 に示します。

[概略表](#)に戻ります。

表 8-15. USB_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	USB_FASTAEQ_STAT	RH	0x0	AEQ_EN = 1 かつ Aeq_Mode = x0 の場合、このステータス フィールドは短い EQ 設定と長い EQ 設定のどちらが使用されているかを示します。 AEQ_EN = 0 の場合、このフィールドは常にデフォルト 0h になります。 0x0 = 短いチャネル EQ を使用。 0x1 = 長いチャネル EQ を使用。
6	USB_AEQDONE_STAT	RH	0x1	このフィールドは Aeq がアクティブの間は Low で、完了すると High になります。U0_STAT および Aeq_EN = 1 のとき、または FORCE_Aeq_EN = 1 で HW が FORCE_Aeq を 0 にリセットしたときに有効です。 0x0 = Aeq が動作中 0x1 = Aeq が完了
5	AEQ_HC_OVERFLOW	RH	0x0	13 ビット Aeq ヒット カウンタのオーバーフロー ステータス
4	予約済み	R	0x0	予約済み
3	CM_ACTIVE	RH	0x0	コンプライアンス モードのステータス。 0x0 = USB3.1 コンプライアンス モードではありません。 0x1 = USB3.1 コンプライアンス モードです。
2	U0_STAT	RH	0x0	U0 のステータス。U0 状態に移行する場合に設定します。
1	U2U3_STAT	RH	0x0	U2/U3 のステータス。U2/U3 状態に移行する場合に設定します。
0	DISC_STAT	RH	0x1	接続解除ステータス。接続解除状態に移行する場合に設定します。

8.1.1.14 VOD_CTRL レジスタ (オフセット = 0x32) [リセット = 0x40]

VOD_CTRL を表 8-16 に示します。

[概略表](#)に戻ります。

このレジスタは、UFP と DFP の両方に対するトランスミッタの出力の直線性範囲を制御します。デバイスが制限付きリドライバ用に構成されている場合 (SSRX_LIMIT_ENABLE フィールドが設定されている)、USB_SSRX_VOD は SSRX 制限ドライバの VOD レベルを制御します。

表 8-16. VOD_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	LFPS_TX12_VOD	R/W	0x1	LFPS 送信時の TX1 または TX2 の VOD 直線性制御。 0x0 = LINR_L3 (最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0 (最低)

表 8-16. VOD_CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	DP_VOD	R/W	0x0	DP ノブスの VOD 直線性制御。 0x0 = LINR_L3 (最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0 (最低)
3-2	USB_TX12_VOD	R/W	0x0	USB 下流側ポート (TX1 および TX2) 用の VOD 直線性制御。 0x0 = LINR_L3 (最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0 (最低)
1-0	USB_SSRX_VOD	R/W	0x0	USB 上流側ポート (SSRX) の VOD 直線性制御。 SSRX_LIMIT_ENABLE = 1 の場合、このフィールドは SSRX の限定 VOD を制御します。 0x0 = LINR_L3 (最高) 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0 (最低)

8.1.1.15 AEQ_STATUS レジスタ (オフセット = 0x3B) [リセット = 0x0]

AEQ_STATUS を表 8-17 に示します。

[概略表](#)に戻ります。

このレジスタは、AEQ 機能のステータスを示します。

表 8-17. AEQ_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0x0	予約済み
4	DONE_STAT	RH	0x0	このフラグは、DAC 待機タイマが満了すると設定されます。
3-0	AEQ_STAT	RH	0x0	最適 EQ は、フル AEQ の完了後に FSM によって決定されています。このフィールドには、高速 AEQ に使用される EQ も示されます。このフィールドには、OVER_EQ_CTRL フィールドにプログラムされた値が含まれます。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TUSB1146 は、PCB トレースやケーブルなどの受動媒体を通じた信号減衰によって引き起こされるシンボル間干渉 (ISI) ジッタを補償するために特別に設計されたリニアドライバです。TUSB1146 は 4 つの独立した DisplayPort 2.0 入力、1 つの上流向き USB 3.1 Gen1/Gen2 入力、そして 2 つの下流向き USB 3.1 Gen1/Gen2 入力を備えており、これにより 16 通りの異なるイコライゼーション選択肢を通じて、これら 7 つの入力すべてで ISI を補正するように最適化できます。TUSB1146 を USB3.1 ホスト/DisplayPort 2.0 GPU と USB3.1 Type-C レセプタクルの間に配置することで、信号整合性の問題を補正し、より堅牢なシステムを実現できます。

9.2 代表的なアプリケーション

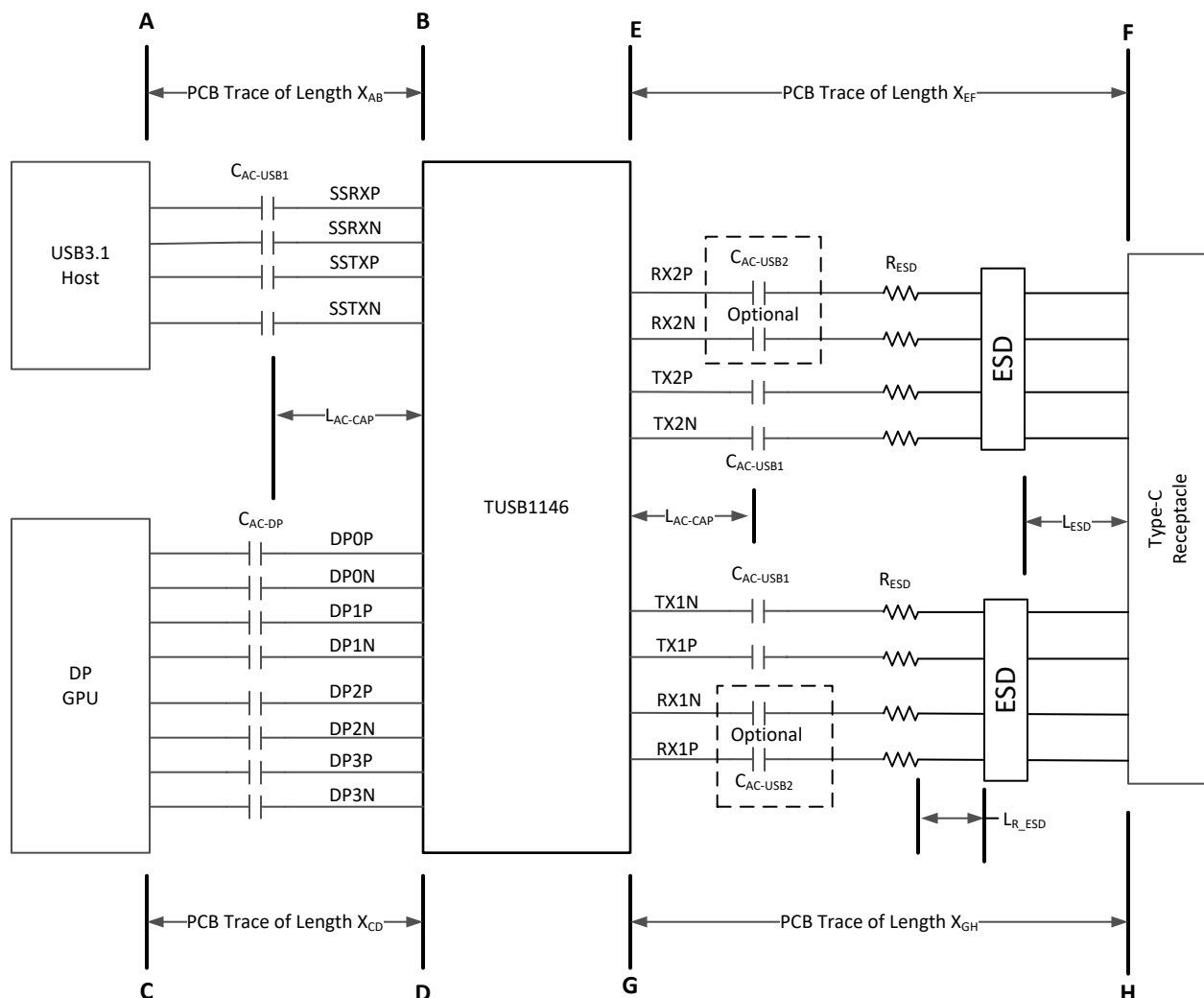


図 9-1. ホスト アプリケーション内の TUSB1146

9.2.1 設計要件

この設計例では、表 9-1 に示すパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ		値
10Gbps USB3.1 プリチャネル A から B PCB へのパターン長、 X_{AB} 。図 9-1 を参照してください。		2 インチ $\leq X_{AB} \leq$ 12 インチ - [(X_{EF} または X_{GH}) のうちの最大値]
10Gbps DP プリチャネル C から D への PCB パターン長、 X_{CD} 。図 9-1 を参照してください。		4 インチ $\leq X_{CD} \leq$ 14 インチ - [(X_{EF} または X_{GH}) のうちの最大値]
10Gbps USB および DP のポストチャネル E から F 間の PCB パターン長、 X_{EF} 。図 9-1 を参照してください。		最大 4 インチ
10Gbps USB および DP のポストチャネル G から H 間の PCB パターン長、 X_{GH} 。図 9-1 を参照してください。		最大 4 インチ
TUSB1146 から AC コンデンサの最小距離、 L_{AC-CAP}		0.4inches
USB-C レセプタクルから ESD コンポーネントまでの最大距離、 L_{ESD}		0.5inches
ESD 成分から直列抵抗 (R_{ESD}) の最大距離、 L_{R_ESD} 。		0.25inches
DCI サポート (Y/N)		あり
$C_{AC-USB1}$ AC カップリング コンデンサ (75nF ~ 265nF)		220nF
$C_{AC-USB2}$ AC カップリング コンデンサ (297nF ~ 363nF)	DCI をサポート	AC コンデンサなし。RX1 および RX2 は、USB-C レセプタクルと DC 結合する必要があります。
	DCI はサポートされていません	オプション: • RX1 および RX2 は、USB-C レセプタクルと DC 結合されます • R_{RX} 抵抗付きの 330nF AC 結合 • R_{RX} 抵抗なしの 330nF AC 結合
オプションの R_{RX} 抵抗 (220k Ω ±5%)		未使用
C_{AC-DP} AC カップリング コンデンサ (75nF ~ 265nF)		220nF
R_{ESD} (0 Ω ~ 2.2 Ω)		1 Ω
V_{CC} 電源 (3V ~ 3.6V)		3.3V
I ² C モードまたは GPIO モード		I ² C モード。(I2C_EN pin != "0")
1.8V または 3.3V I2C インターフェイス		3.3V I2C。1K Ω 抵抗を使用して I2C_EN ピンを 3.3V にプルアップします。

9.2.2 詳細な設計手順

TUSB1146 デバイスの代表的な用途を図 9-2 に示します。このデバイスは、その GPIO ピンやその I²C インターフェイスで制御できます。以下の例では、Type-C PD コントローラを使用して、I²C インターフェイス経由でデバイスを構成しています。I²C モードに構成し、システムが DCI をサポートしていない場合、ピン 29 と 32 は未接続のままにできます。システムで DCI がサポートされている場合は、22 Ω の抵抗 DCI_CLK と DCI_DAT を経由して、適切な PCH GPIO ピンに接続します。I²C モードでは、各レシーバのイコライゼーション設定は I²C レジスタにより独立して制御可能です。このため、イコライゼーション ピン (EQ[1:0]、SSEQ[1:0]、DPEQ[1:0]) はすべて未接続のままにすることが可能です。これらのピンが未接続の場合、DPEQ0/A1 および SSEQ0/A0 がピン レベル「F」になるため、TUSB1146 の 7 ビットの I2C スレーブ アドレスは 0x12 になります。別の I2C スレーブ アドレスが必要な場合は、DPEQ0/A1 および SSEQ0/A0 ピンを、必要な I2C スレーブ アドレスを生成するレベルに設定します。

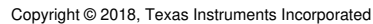


図 9-2. アプリケーション回路

9.2.2.1 USB および DP アップストリーム側ポート (USB ホスト / DP GPU から USB-C レセプタクルへ) の構成

USB および DP の下流方向で TUSB1146 を設定するには、プレチャネル (X_{AB} および X_{CD}) の挿入損失 (SDD21) を理解する必要があります。GPIO モードの場合は TUSB1146 の DPEQ[1:0] ピンおよび SSEQ[1:0] ピン、I2C モードの場合は SSEQ_SEL および DPEQx_SEL レジスタを、5GHz におけるプレチャネルの挿入損失レベルに設定してください。5GHz での FR4 トレース挿入損失の一般的な目安は、インチあたり約 -1dB です。この経験則を使用して、USB (X_{AB}) のプリチャネルが 8 インチの場合、TUSB1146 SSEQ は -8dB にプログラムする必要があります。DP (X_{CD}) のチャネル前挿入損失が 10 インチである場合、DPEQ を -10dB にプログラムする必要があります。USB SSEQ の設定については表 7-8 を、DP EQ の設定については表 7-9 をそれぞれ参照してください。

9.2.2.2 USB ダウンストリーム側ポート (USB-C レセプタクルから USB ホストへ) の構成

9.2.2.2.1 固定イコライゼーション

固定 EQ 動作では、USB-C レセプタクルに接続されるすべてのデバイス (USB ケーブルの有無を問わず) に対して、単一の EQ 設定が使用されます。ポスト チャネル ($\text{MIN}(X_{EF}, X_{GH})$) の損失よりも約 4dB ~ 5dB 高い値に、GPIO モードの場合は TUSB1146 の EQ[1:0] ピンを、I2C モードの場合は EQ1_SEL および EQ2_SEL を設定することを推奨しています。たとえば、ポスト チャネルが 0.5 インチの場合、5GHz において 1 インチあたり -1dB を想定すると、EQ1_SEL および EQ2_SEL を 4.5 ~ 5.5dB の範囲でプログラムする必要があります。設定の最適化を行うために、USB3.1 Rx JTOL のロング チャネルおよびショート チャネル テストを実施することを推奨します。USB 3.1 ホストによっては、ロング チャネル テストとショート チャネル テストの両方を満たす単一の EQ 設定が不可能な場合があります。その場合は、高速 AEQ モードの使用を推奨します。

9.2.2.2.2 高速な適応型イコライゼーション

高速適応型 EQ は、ショート チャネルとロング チャネルを判別し、検出されたチャネルに基づいてあらかじめ設定された EQ 設定を選択します。高速 AEQ は GPIO モードと I2C モードの両方で使用できますが、TUSB1146 が I2C モードに設定されている場合は、この機能を使用することを強く推奨します。I2C モードでは、AEQ_MODE = 0 および AEQ_EN = 1 の場合、高速 AEQ がイネーブルになります。

ショート チャネルに使用する EQ 設定は、EQ1_SEL レジスタおよび EQ2_SEL レジスタにプログラムする必要があります。ポスト チャネル ($\text{MIN}(X_{EF}, X_{GH})$) の損失よりも約 1dB ~ 2dB 大きくこれらのレジスタをプログラムすることを推奨しています。たとえば、ポスト チャネルが 0.5 インチの場合、5GHz において 1 インチあたり -1dB の挿入損失を想定すると、EQ1_SEL および EQ2_SEL を 1.5 ~ 2.5dB の範囲でプログラムする必要があります。最適なショート チャネル設定を見つけるために、USB3.1 Rx JTOL のショート チャネル テストの実施を推奨しています。

ロング チャネルに使用する EQ 設定は、LONG_EQ1 と LONG_EQ2 に設定する必要があります。ポスト チャネル ($\text{MIN}(X_{EF}, X_{GH})$) の損失よりも約 4dB ~ 5dB 大きくこれらのレジスタをプログラムすることを推奨しています。たとえば、ポスト チャネルが 0.5 インチの場合、5GHz において 1 インチあたり -1dB を想定すると、LONG_EQ1 および LONG_EQ2 を 4.5dB ~ 5.5dB の範囲でプログラムする必要があります。最適なロング チャネル設定を見つけるために、USB3.1 Rx JTOL のロング チャネル テストの実施を推奨しています。

9.2.2.2.3 完全適応型イコライゼーション

フル AEQ モードでは、TUSB1146 はチャネルが短い、長い、またはその中間であっても、常に最適な設定を判定します。フル AEQ 機能は、デフォルトでは無効になっています。AEQ_MODE = 1 かつ AEQ_EN = 0x1 または 0x3 の場合、フル AEQ が有効になります。

9.2.3 アプリケーション曲線

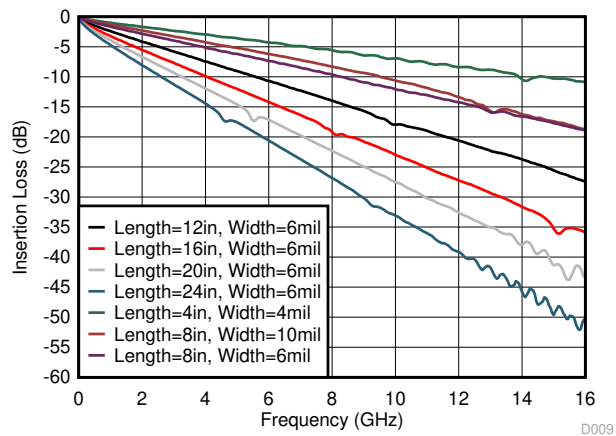
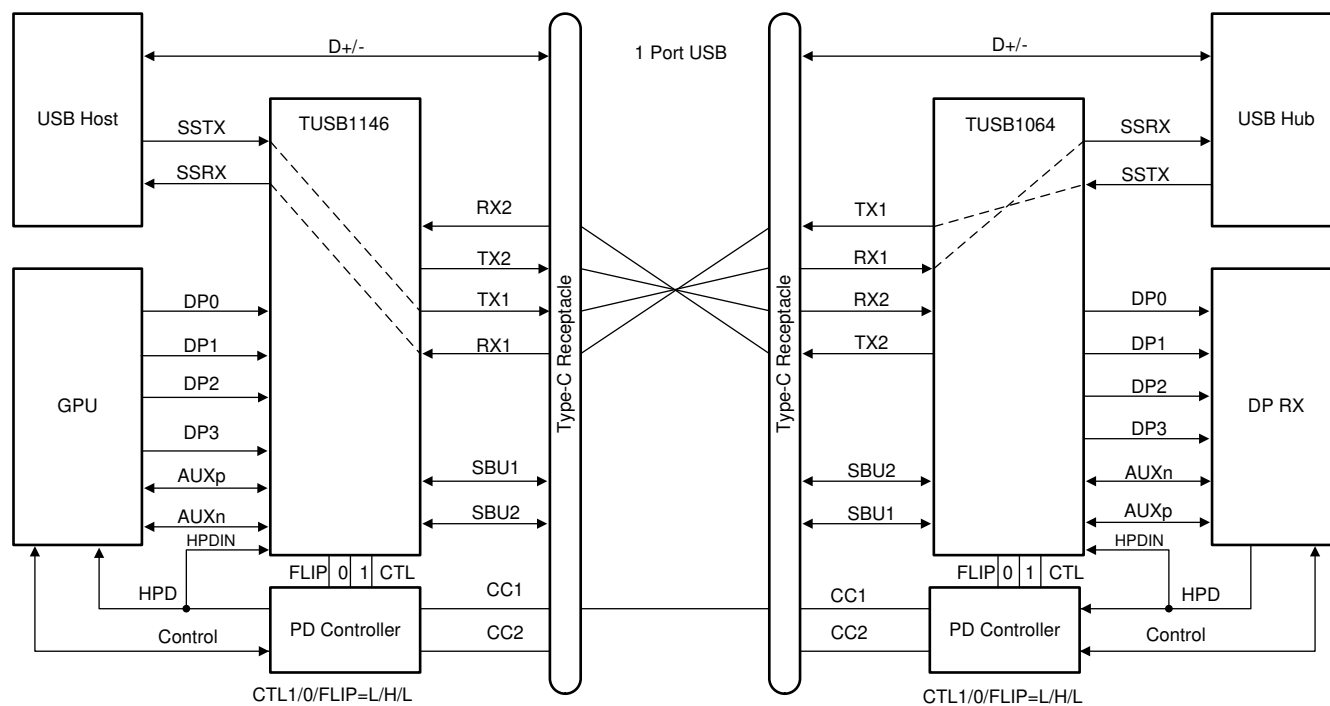


図 9-3. FR4 PCB トレースの挿入損失

9.3 システム例

9.3.1 USB 3.1 のみ

TUSB1146 は、CTL1 ピンが Low で CTL0 ピンが High のときのみ USB3.1 です。



Copyright © 2018, Texas Instruments Incorporated

図 9-4. USB3.1 のみ - フリップ機能なし (CTL1 = L、CTL0 = H、FLIP = L)

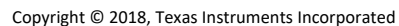
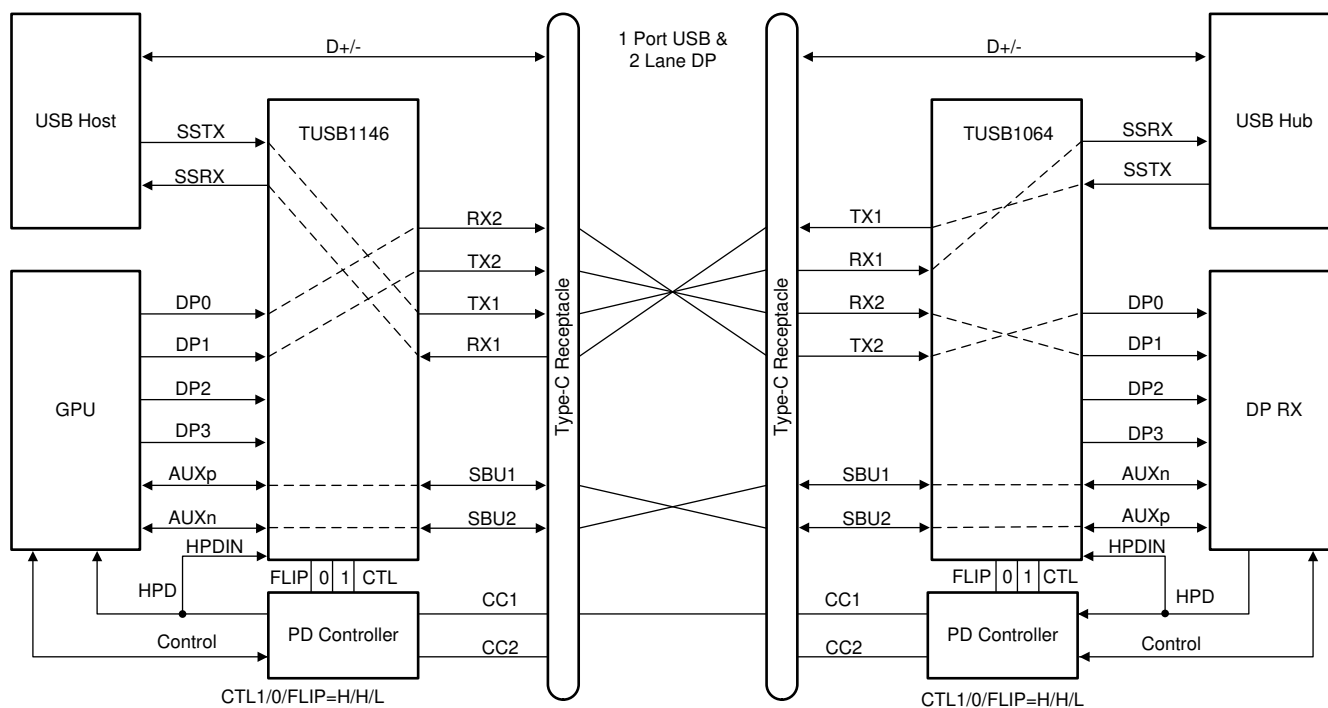


図 9-5. USB3.1 のみ - フリップ機能あり (CTL1 = L、CTL0 = H、FLIP = H)

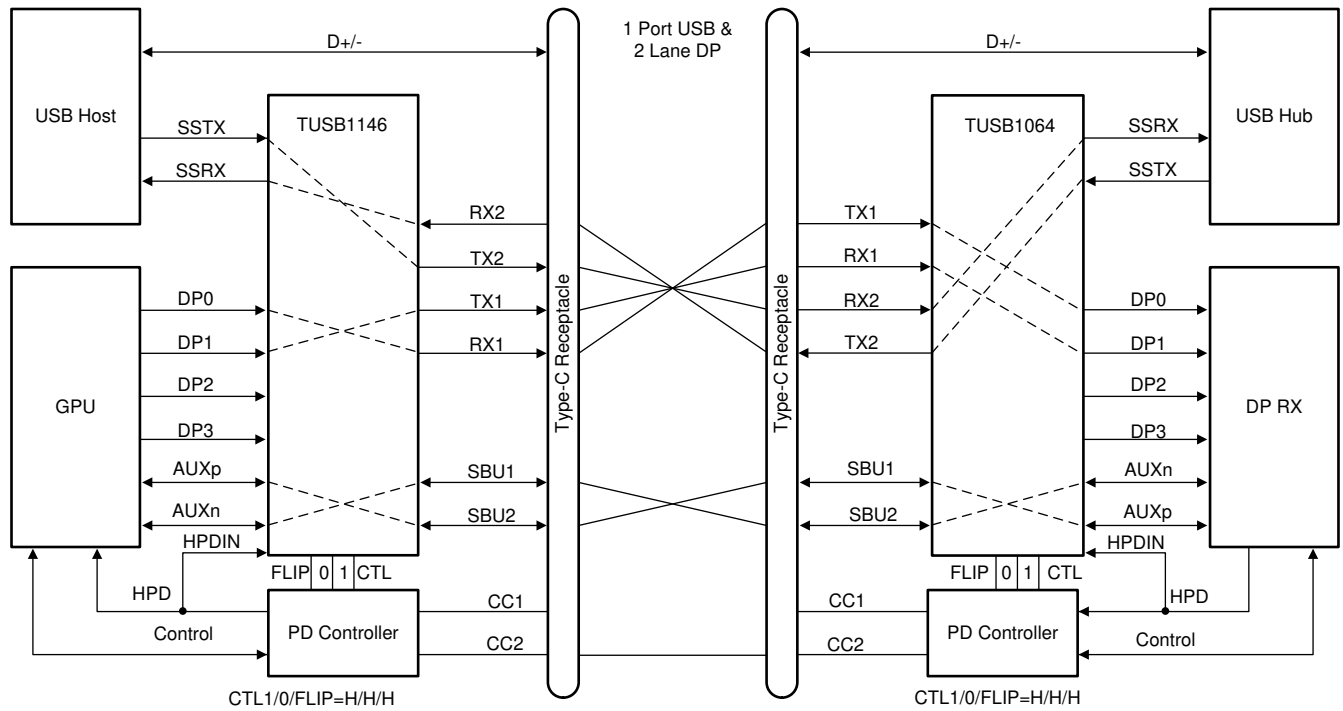
9.3.2 USB 3.1 および 2 レーンの DisplayPort

TUSB1146 は CTL1 ピンが High で CTL0 ピンが High のとき、USB3.1 と DisplayPort モードの 2 レーンで動作します。



Copyright © 2018, Texas Instruments Incorporated

図 9-6. USB3.1 + 2 レーン DP – フリップ機能なし (CTL1 = H、CTL0 = H、FLIP = L)

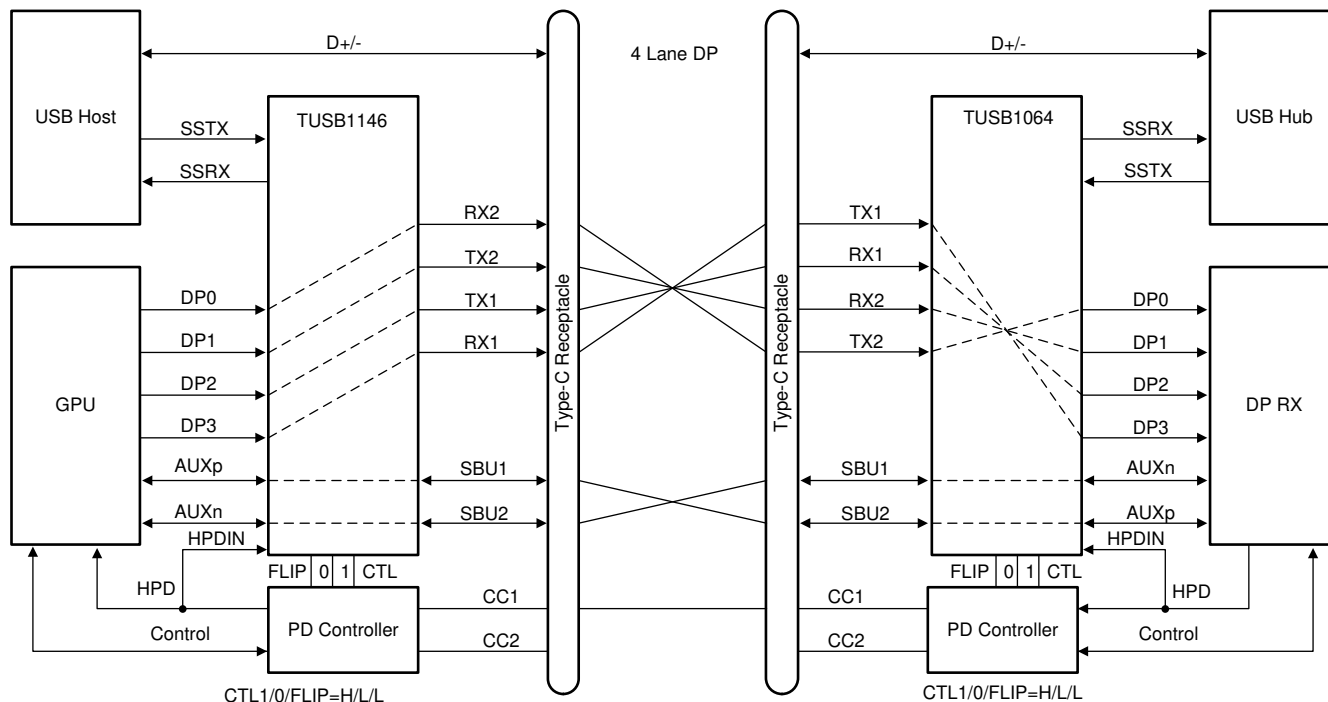


Copyright © 2018, Texas Instruments Incorporated

図 9-7. USB 3.1 + 2 レーン DP – フリップ機能あり (CTL1 = H、CTL0 = H、FLIP = H)

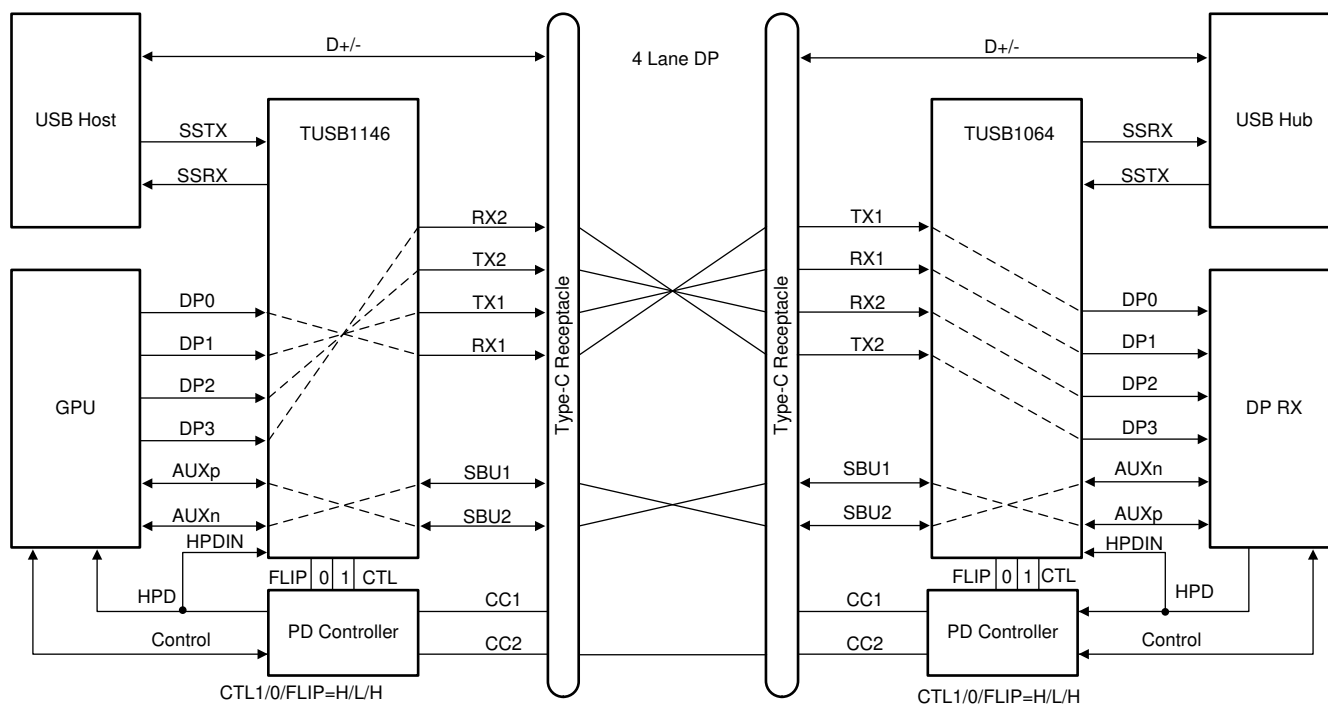
9.3.3 DisplayPort のみ

TUSB1146 は、CTL1 ピンが High で CTL0 ピンが Low のとき、4 レーンの DisplayPort 専用モードで動作します。



Copyright © 2018, Texas Instruments Incorporated

図 9-8. 4 レーン DP – フリップ機能なし (CTL1 = H、CTL0 = L、FLIP = L)



Copyright © 2018, Texas Instruments Incorporated

図 9-9. 4 レーン DP – フリップ機能あり (CTL1 = H、CTL0 = L、FLIP = H)

10 電源に関する推奨事項

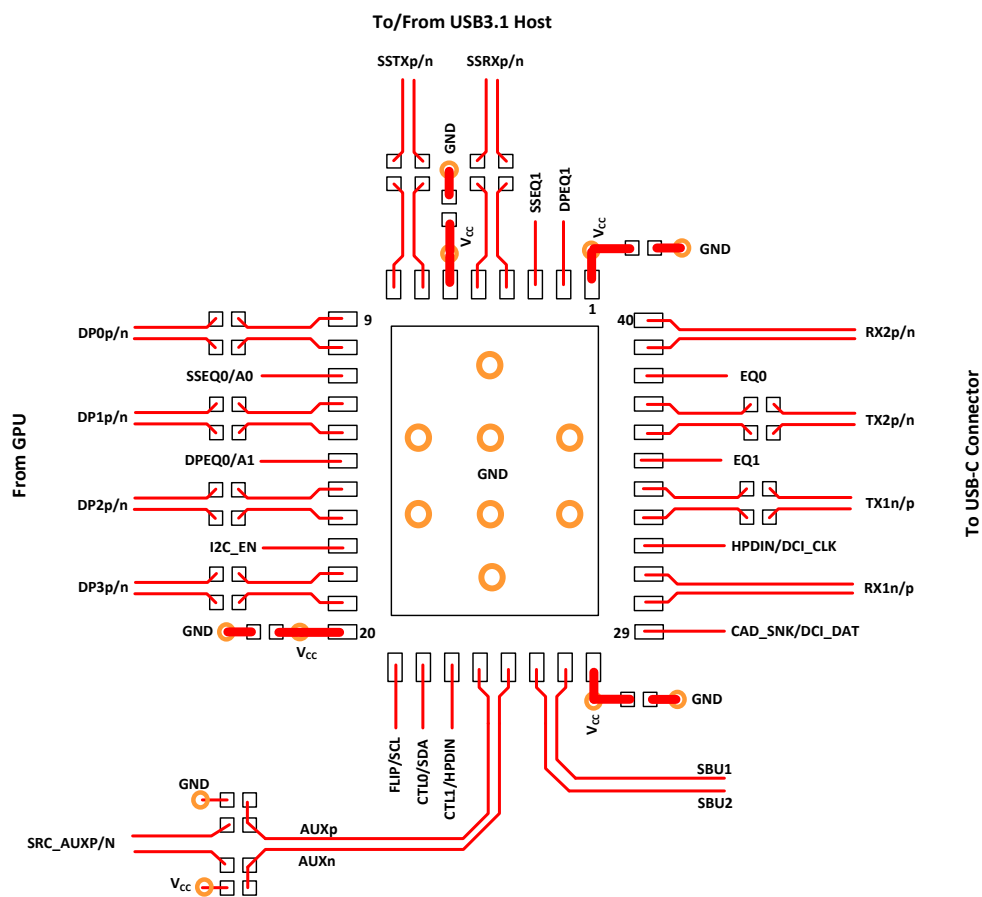
TUSB1146 は、3.3V 電源で動作するように設計されています。**絶対最大定格** 表に記載されているレベルより上のレベルは使用しないでください。高い電圧のシステム電源を使用する場合、電圧レギュレータを使用して 3.3V に降圧することができます。デカップリング コンデンサを使用すると、ノイズを低減し、電源のインテグリティを向上させることができます。各電源ピンに 0.1μF コンデンサを使用する必要があります。

11 レイアウト

11.1 レイアウトのガイドライン

1. SSTXP/N、SSRXP/N、RX1P/N、RX2PN、TX1P/N、TX2P/N の各ペアは、 $\pm 10\%$ の許容範囲で制御された 90Ω の差動インピーダンスで配線する必要があります。
2. DP[3:0]P/N ペアについて、90Ω の差動インピーダンス ($\pm 10\%$) で制御された配線を行う必要があります。
3. SSTXP/N と SSRXP/N の間には、ペア間の長さ合わせ要件はありません。
4. GPU から TUSB1146 を経由して USB-C レセプタクルに至るまでの DP レーン (DP[3:0]) 間の長さのずれは、100mil 未満に保つ必要があります。
5. その他の高速信号から遠ざけます。
6. ペア内配線 (P と N の間) は 5mil 未満にする必要があります。
7. 配線長を一致させるための調整は、配線長の不一致が発生している場所の近くで行う必要があります。
8. 各ペアは、信号配線幅の 3 倍以上離す必要があります。
9. 差動配線での曲げの使用は最小限に抑える必要があります。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135 度以上とする必要があります。こうすることで、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
10. すべての差動ペアは同じ層に配線します。
11. ビアの数は最小限に抑える必要があります。ビアの数を 2 以下にすることを推奨しています。
12. グランド プレーンに隣接する層に配線を配置します。
13. 差動ペアは、プレーンの割れ目の上には配線しないようにします。
14. テスト ポイントを追加することは、インピーダンスの不連続性をもたらすため、信号性能に悪影響を及ぼします。テスト ポイントを使用する場合、テスト ポイントを連続的かつ対称的に配置する必要があります。差動ペアにスタブを形成するような方法で配置するべきではありません。
15. USB-C レセプタクルの SuperSpeed ピンの下にリファレンス プレーンの開口部を設け、レセプタクルの容量効果を最小限に抑えることを強く推奨します。
16. AC 結合コンデンサの下にリファレンス プレーンの開口部を設けることを強く推奨します。

11.2 レイアウト例



Copyright © 2018, Texas Instruments Incorporated

図 11-1. レイアウト例

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

12.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

12.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

VESA® is a registered trademark of Video Electronics Standards Association Corporation California.

すべての商標は、それぞれの所有者に帰属します。

12.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2020) to Revision A (June 2026)

Page

- | | |
|------------------------------------|---|
| ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
|------------------------------------|---|

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB1146IRNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146IRNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146IRNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146IRNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146IRNQTG4	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146IRNQTG4.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	UB11
TUSB1146RNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UB11
TUSB1146RNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UB11
TUSB1146RNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UB11
TUSB1146RNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	UB11

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

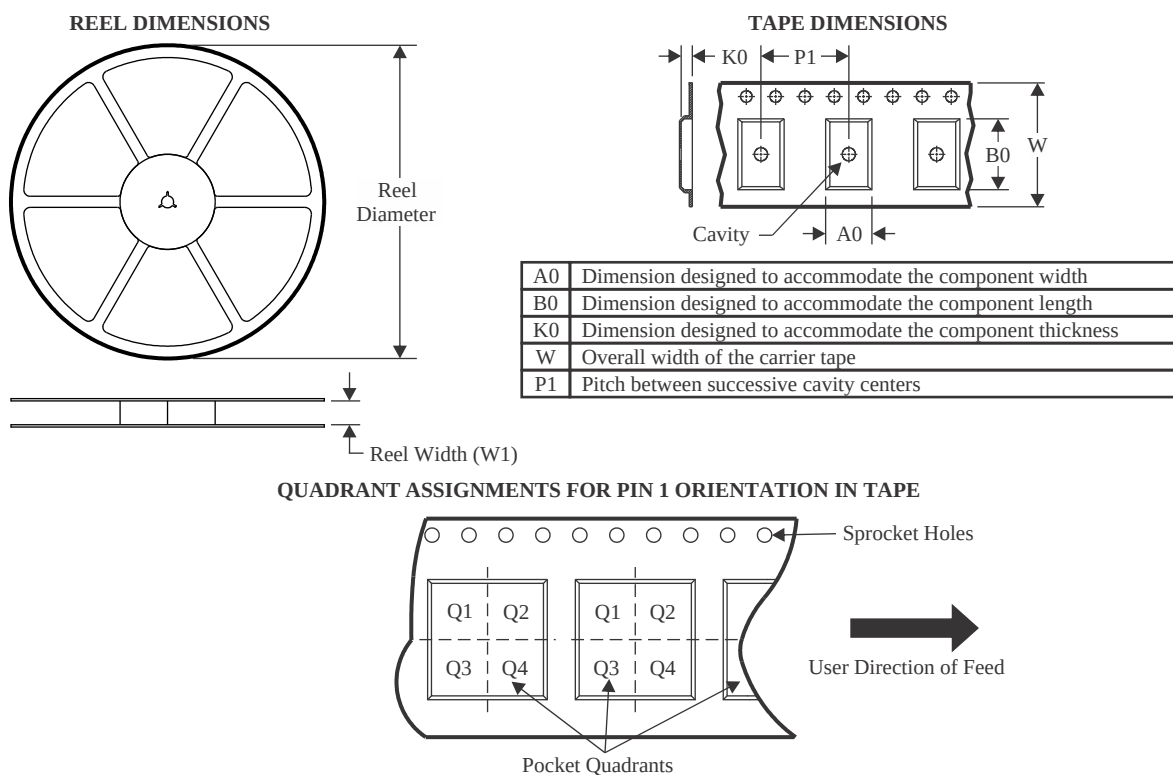
OTHER QUALIFIED VERSIONS OF TUSB1146 :

- Automotive : [TUSB1146-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

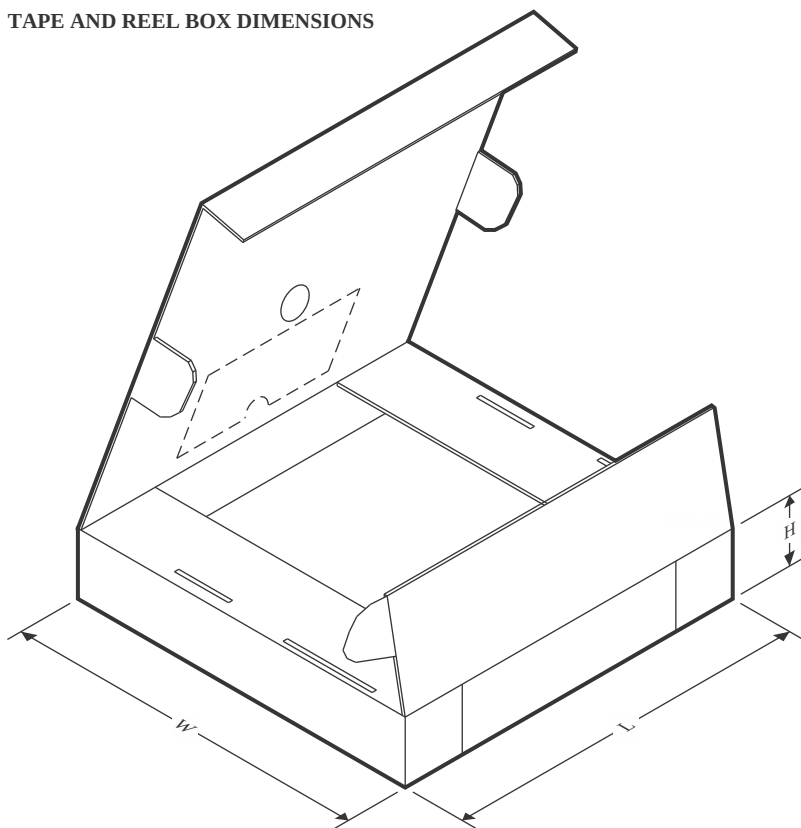
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB1146IRNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1146IRNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1146IRNQTG4	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1146RNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TUSB1146RNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

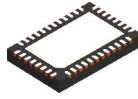
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB1146IRNQR	WQFN	RNQ	40	3000	367.0	367.0	35.0
TUSB1146IRNQT	WQFN	RNQ	40	250	210.0	185.0	35.0
TUSB1146IRNQTG4	WQFN	RNQ	40	250	210.0	185.0	35.0
TUSB1146RNQR	WQFN	RNQ	40	3000	367.0	367.0	35.0
TUSB1146RNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

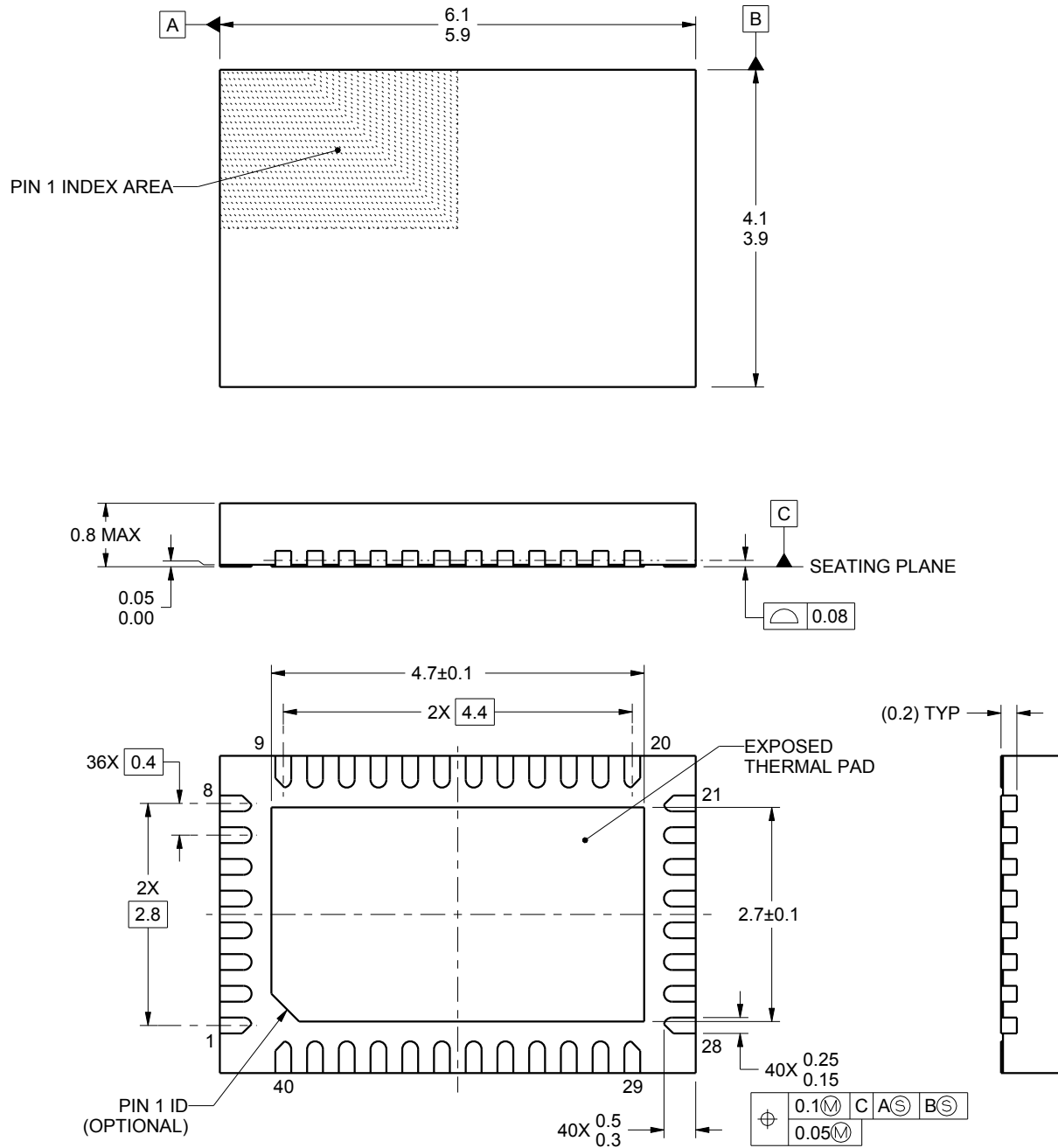
RNQ0040A



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222125/B 01/2016

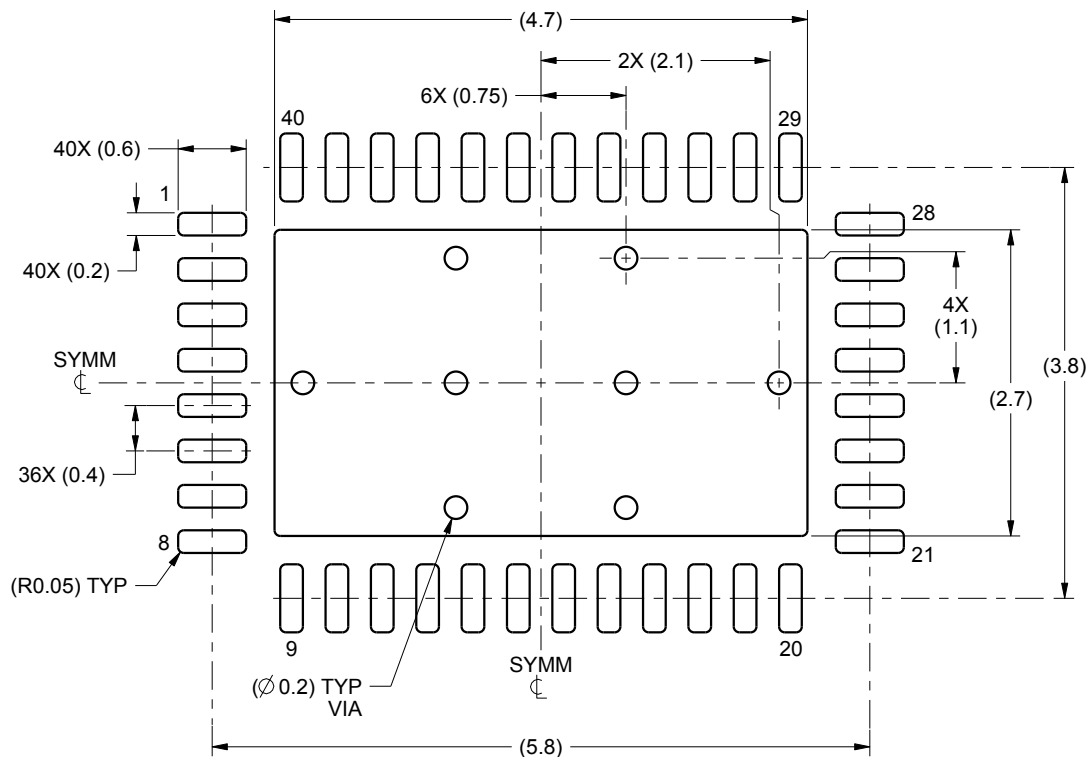
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

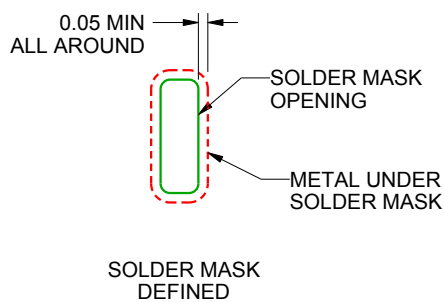
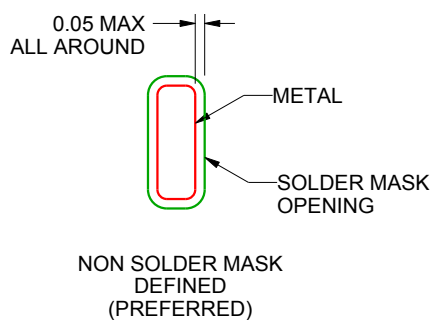
RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

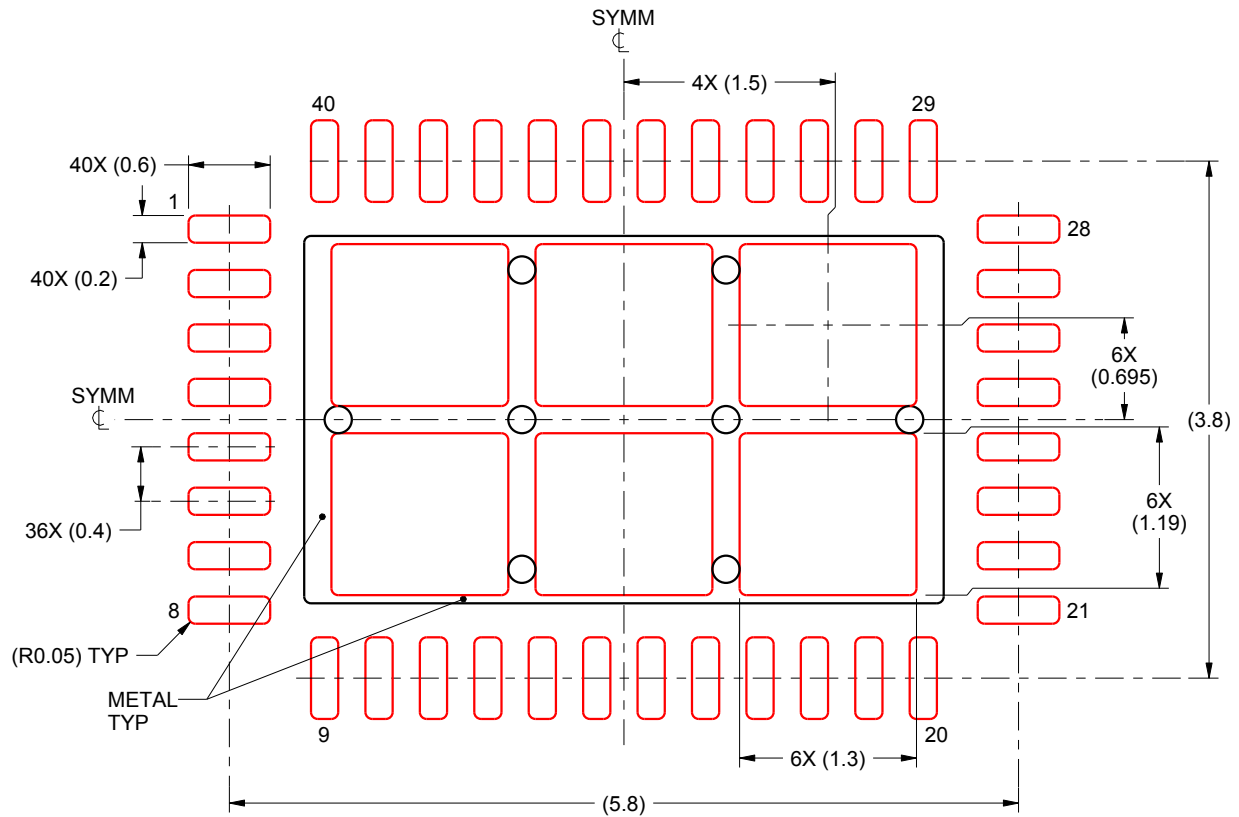
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
73% PRINTED SOLDER COVERAGE BY AREA
SCALE:18X

4222125/B 01/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月