TUSB2E221 USB 2.0-eUSB2 デュアル リピータ

1 特長

- USB 2.0 および eUSB2 (rev 1.2) 準拠
- ロースピード (LS)、フルスピード (FS)、ハイスピード (HS) をサポート
- クラス最高の高速合計ジッタ:20ps
- レジスタ アクセス プロトコル レセプタ対応
- 独立型デュアル リピータ
- 2:2 クロスバー マルチプレクサ (DSBGA パッケージのみ)
- ホスト モードおよびデバイス モード (DRD) をサポート
- VIOSEL ピンを使用して、1.2V～1.8V の制御または I^2C レベルを選択
- I^2C かストラップ ピンかを自動検出
  - USB 2.0 ハイスピード チャネル補償設定用の 3 本のストラップ ピン
  - I^2C デバイス インターフェイスを使用すると、より柔軟な設定が可能
- さまざまなデバイス バリアントを用意
  - eUSB2 1.0V または 1.2V 信号インターフェイス
  - 4 つの eUSB2 トレース損失補償レベルで多様な製品フォーム ファクタに対応:2.5、5、7.5、10 インチ
- 自動再開 ECR と L2 割り込み再開モードをサポート
- CTA-936 USB Carkit UART のサポート
- オプションの BC1.2 CDP バッテリ充電および検出サポート
- デバッグ用 EQ ピンのオプションの GPIO モードと、EQ0/1 経由の I^2C ↔ GPIO
- I^2C からアクセスできる製造試験用のデバッグ機能

2 アプリケーション

- 通信機器
- エンタープライズ システム
- ノート PC およびデスクトップ PC
- 産業用
- タブレット
- ポータブル エレクトロニクス

3 概要

TUSB2E221 は、低電圧プロセスを使用する新しいプロセッサに USB 2.0 準拠ポートを実装できます。

TUSB2E221 は、デバイス モードとホスト モードの両方をサポートする USB の eUSB2-USB 2.0 リピータです。TUSB2E221 は、USB ロースピード (LS) 信号、フルスピード (FS) 信号、ハイスピード (HS) 信号をサポートしています。

TUSB2E221 は、1.2V のシングルエンド信号で動作する eUSB2 eDSPr または eUSPr と接続するように設計されています。

TUSB2E221 は、堅牢な相互運用性、最適な性能、消費電力を実現するために、特許申請中の複数の設計を採用しています。

I^2C インターフェイスを使用しないシステムでは、このデバイスは最大 17.5Ω の USB 2.0 チャネル等価直列抵抗 (ESR) に対応する 3 本のストラップ ピンによる 8 つの個別設定を提供します。このデバイスは、最大 10 インチまでのさまざまなレベルの eUSB2 トレース長補償機能を備えるバリアントが利用可能です。

I^2C インターフェイスにより、さらに柔軟にデバイスの RX および TX 設定を微調整できます。利用可能な設定は、RX イコライゼーション、RX スケルチ スレッショルド、RX 切断スレッショルド、TX 振幅、TX スルーレート、TX プリエンファシスです。

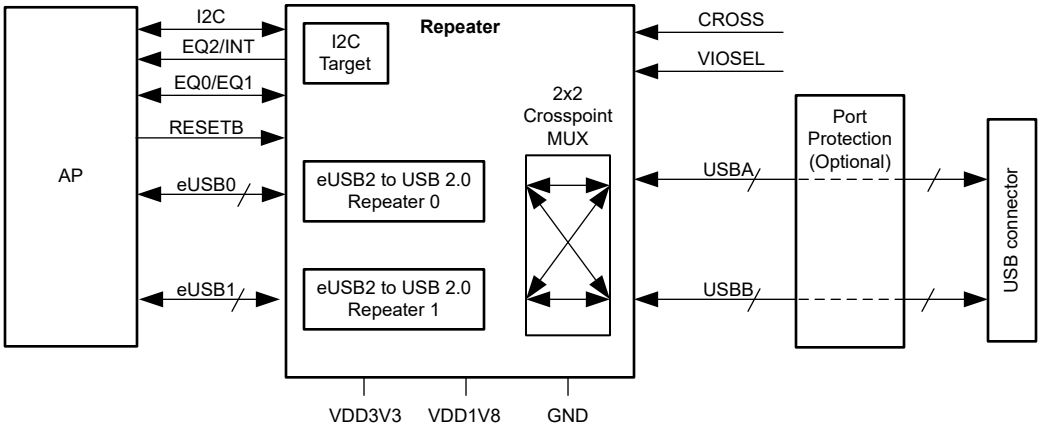
各種のデバッグ オプションが利用可能であり、3 本の EQ ピンを使用してさまざまな USB バス状態や割り込みを監視するように構成できるほか、CTA-936 UART モード制御で SoC デバッグ機能を実現できます。EQ0 および EQ1 は、汎用 I^2C から GPIO へのブリッジとして使用できます。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
TUSB2E221	VBW (WQFN、20)	3mm × 3mm
	YCG (DSBGA、25)	2mm × 2mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 デバイス バリアント.... 4
5 ピン構成および機能.... 5
6 仕様.... 10
6.1 絶対最大定格.... 10
6.2 ESD 定格.... 10
6.3 推奨動作条件.... 10
6.4 熱に関する情報.... 11
6.5 電気的特性.... 11
6.6 スイッチング特性.... 17
6.7 タイミング要件.... 19
6.8 代表的特性.... 21
7 パラメータ測定情報.... 22
8 詳細説明.... 23
8.1 概要.... 23
8.2 機能ブロック図.... 23
8.3 機能説明.... 24
8.4 デバイスの機能モード.... 24
8.5 プログラミング.... 29
9 レジスタ マップ.... 33
9.1 TUSB2E221 のレジスタ.... 33
10 アプリケーションと実装.... 54
10.1 アプリケーション情報.... 54
10.2 代表的なアプリケーション：デュアル ポート システム... 54
10.3 電源に関する推奨事項.... 55
10.4 レイアウト.... 56
11 デバイスおよびドキュメントのサポート.... 58
11.1 ドキュメントのサポート.... 58
11.2 ドキュメントの更新通知を受け取る方法.... 58
11.3 サポート・リソース.... 58
11.4 商標.... 58
11.5 静電気放電に関する注意事項.... 58
11.6 用語集.... 58
12 改訂履歴.... 59
13 メカニカル、パッケージ、および注文情報.... 59

4 デバイス バリアント

次の表に、TUSB2E221x デバイス バリアントの主な違いを示します

表 4-1. デバイス バリアント情報

発注可能なデバイス	パッケージ タイプ	フレーム ベース LP モード[(1)]
TUSB2E2211001YCG	WCSP	イネーブル
TUSB2E2211005YCG[2]		ディセーブル
TUSB2E2211001VBW[2]	WQFN	イネーブル
TUSB2E2211005VBW		ディセーブル

(1) 「*フレーム ベースの低消費電力モード*」セクションを参照
(2) リリースされていません。eUSB2 1.0V 信号インターフェイス、1.2V I2C インターフェイス、1.2V GPIO インターフェイスなどのデバイス バリアントの詳細と入手可能性については、*セクション 11.3* を参照し、TI にお問い合わせください。

eUSB2 1.0V 信号インターフェイス、異なる 7 ビット I²C アドレス、低消費電力の内部組込みアプリケーションなどのデバイス バリアントの詳細と入手可能性については、*セクション 11.3* を参照してください。

表 4-2. レジスタ マップ デフォルト

I²C オフセット	CAT2 デフォルト	CAT6 デフォルト
0x30	0x79	0x79
0x31	0x39	0x39
0x32	0xD4	0xD4
0x33	0x75	0x75
0x37	0x40	0x40
0x38	0x4C	0x4C
0x39	0x22	0x22
0x10	0x50	0x00
0x70	0x79	0x79
0x71	0x39	0x39
0x72	0x94	0x94
0x73	0x75	0x75
0x77	0x40	0x40
0x78	0x4C	0x4C
0x79	0x22	0x22
0x50	0x50	0x00

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

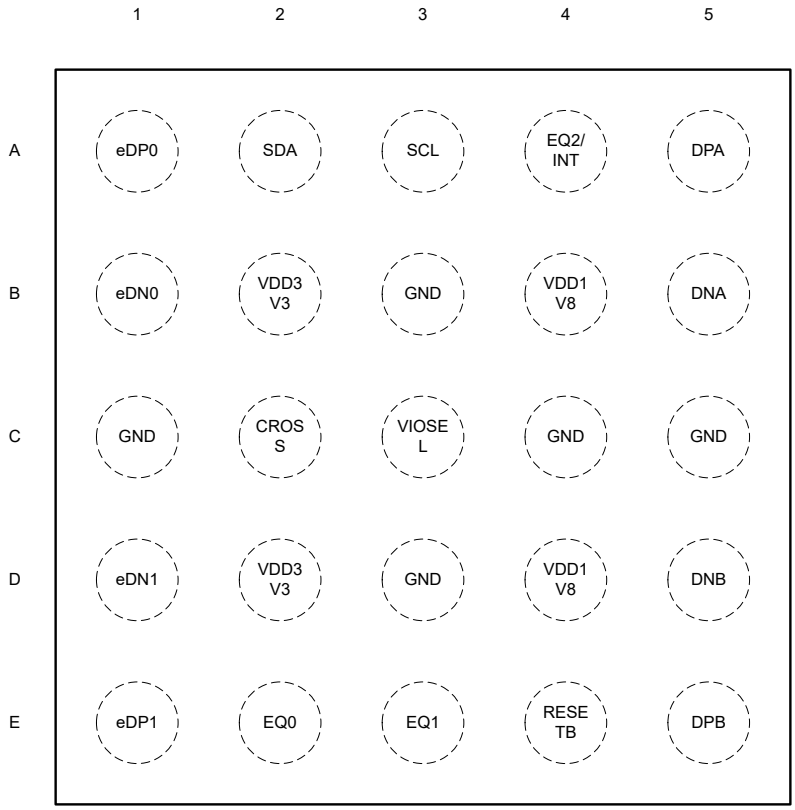


図 5-1. YCG パッケージ、25 ピン DSBGA (上面図)

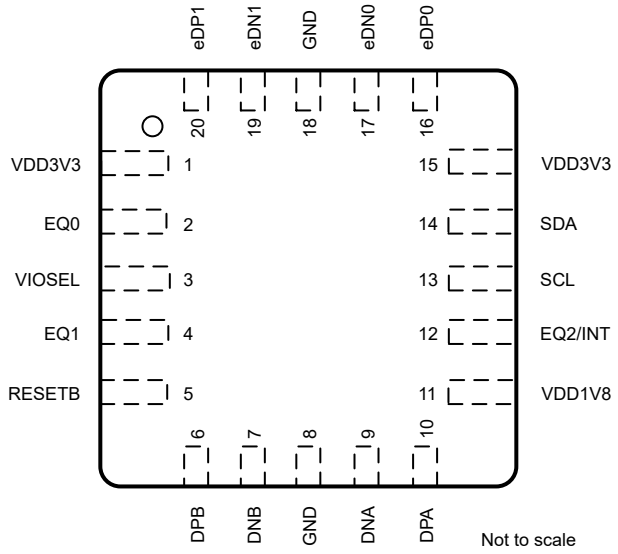


図 5-2. VBW パッケージ 20 ピン WQFN (上面図)

表 5-1. ピンの機能

ピン			I/O	RESET 状態	関連付けられた ESD 供給	説明
名称	VBW	YCG				
CROSS	–	C2	デジタル入力	該当なし	VDD3V3	マルチプレクサの向きを示します。内部クロスバー スイッチの向きを指定するために使用されます CROSS = Low:eUSB0 «–» USBA および eUSB1 «–» USBB CROSS = High:eUSB0 «–» USBB および eUSB1«–» USBA RESETB のデアサート時にサンプリング
DNA	9	B5	アナログ I/O	ハイ インピーダンス	VDD3V3	USB ポート A の D- ピン
DPA	10	A5	アナログ I/O	ハイ インピーダンス	VDD3V3	USB ポート A の D+ ピン
DNB	7	D5	アナログ I/O	ハイ インピーダンス	VDD3V3	USB ポート B の D- ピン
DPB	6	E5	アナログ I/O	ハイ インピーダンス	VDD3V3	USB ポート B の D+ ピン
eDN0	17	B1	アナログ I/O	ハイ インピーダンス	VDD1V8	eUSB2 ポート 0 の D- ピン
eDP0	16	A1	アナログ I/O	ハイ インピーダンス	VDD1V8	eUSB2 ポート 0 の D+ ピン
eDN1	19	D1	アナログ I/O	ハイ インピーダンス	VDD1V8	eUSB2 ポート 1 の D- ピン
eDP1	20	E1	アナログ I/O	ハイ インピーダンス	VDD1V8	eUSB2 ポート 1 の D+ ピン
EQ0	2	E2	デジタル I/O	内部プルダウン 1MΩ (標準値) (リセット後に無効)	VDD3V3	(表 5-2 を参照)
EQ1	4	E3	デジタル I/O	内部プルダウン 1MΩ (標準値) (リセット後に無効)	VDD3V3	(表 5-2 を参照)
EQ2/INT	12	A4	デジタル I/O	内部プルダウン 1MΩ (標準値) (リセット後に無効)	VDD3V3	I^2C モード:システムへのオープン ドレイン アクティブ Low レベルの影響を受けやすい割り込み出力 非 I^2C モード:(表 5-2 を参照)
GND	8	B3	GND	該当なし	該当なし	GND
		C1				
		C4				
	18	C5				
		D3				
RESETB	5	E4	デジタル入力	該当なし	VDD1V8	アクティブ Low リセット RESETB のデアサート後、両方のリピータが有効になり、eUSB2 デフォルト モードで eDSPr または eUSPr からの構成待機中になります。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

<table>
<tr><th colspan="2">ピン</th><th rowspan="2">I/O</th><th rowspan="2">RESET 状態</th><th rowspan="2">関連付けられた ESD 供給</th><th colspan="5">説明</th></tr>
<tr><th>名称</th><th>VBW</th><th>YCG</th><th colspan="2"></th><th>SCL</th><th>SDA</th><th>モード</th></tr>
<tr><td rowspan="2">SCL</td><td rowspan="2">13</td><td rowspan="2">A3</td><td rowspan="2">デジタル I/O</td><td rowspan="2">内部プルダウン 1MΩ (標準値) (リセット後に無効)</td><td rowspan="2">VDD3V3</td><td rowspan="2">I² クロック オープン ドレイン I/O。</td><td rowspan="4">デバイス モード マトリクス (表 5-2 を参照)</td><td>Low</td><td>Low</td><td>非 I²C USB リピータ (表 5-3 を参照)</td></tr>
<tr><td>Low</td><td>High</td><td>非 I²C USB リピータ (表 5-3 を参照) ホスト モードで BC 1.2 CDP アドバタイズが有効</td></tr>
<tr><td rowspan="2">SDA</td><td rowspan="2">14</td><td rowspan="2">A2</td><td rowspan="2">デジタル I/O</td><td rowspan="2">内部プルダウン 1MΩ (標準値) (リセット後に無効)</td><td rowspan="2">VDD3V3</td><td rowspan="2">双方向 I²C データ。オープン ドレイン I/O。外部抵抗を通して I²C レールにプルアップ</td><td>High</td><td>Low</td><td>非 I²C USB リピータ (表 5-5 を参照)</td></tr>
<tr><td>High</td><td>High</td><td>I²C イネーブル</td></tr>
<tr><td rowspan="2">VDD1V8</td><td rowspan="2">11</td><td>B4</td><td rowspan="2">PWR</td><td rowspan="2">該当なし</td><td rowspan="2">該当なし</td><td colspan="5" rowspan="2">1.8V アナログ電源電圧</td></tr>
<tr><td>D4</td></tr>
<tr><td rowspan="2">VDD3V3</td><td>1</td><td>B2</td><td rowspan="2">PWR</td><td rowspan="2">該当なし</td><td rowspan="2">該当なし</td><td colspan="5" rowspan="2">3.3V の電源電圧</td></tr>
<tr><td>15</td><td>D2</td></tr>
<tr><td>VIOSEL</td><td>3</td><td>C3</td><td>デジタル入力</td><td>該当なし</td><td>VDD3V3</td><td colspan="5">VIOSEL は、GPIO、CROSS、および I²C のデジタル I/O 電圧を選択するために使用されます
VIOSEL = VSS に設定すると、デバイスは 1.2V I/O モードになります
VIOSEL = VDD1V8 に設定すると、デバイスは 1.8V I/O モードになります
VIOSEL ピンはリアルタイム制御であり、パワーオン リセット時のみにラッチされるものではありません。パワーオン リセット後にこのピンが動的に変化する場合は、出力電圧が 1.2V から 1.8V に変化する可能性があるため、注意してください。</td></tr>
</table>

表 5-2. デバイス モード構成

SCL	SDA	EQ0	EQ1	EQ2	eUSB0	eUSB1	I2C インターフェイス	ホスト モードでの USBA および USBB CDP アドバタイズ
Low/フローティング	Low/フローティング	USB2 PHY 構成			USB リピータ	USB リピータ	ディセーブル	ディセーブル
Low/フローティング	High	USB2 PHY 構成			USB リピータ	USB リピータ	ディセーブル	イネーブル
High	Low/フローティング	eUSB PHY 構成		ハイ インピーダンス	USB リピータ	USB リピータ	ディセーブル	ディセーブル
High	High	Low/フローティング	Low/フローティング	INT 割り込み出力	USB リピータ	USB リピータ	イネーブル	レジスタごと
High	High	High	Low/フローティング	INT 割り込み出力	Carkit UART バイパス	USB リピータ	イネーブル	レジスタごと
High	High	Low/フローティング	High	INT 割り込み出力	USB リピータ	Carkit UART バイパス	イネーブル	レジスタごと
High	High	High	High	INT 割り込み出力	Carkit UART バイパス	Carkit UART バイパス	イネーブル	レジスタごと

表 5-3 で使用されている eUSB phy 構成は、デバイスとホスト間のチャネル長が 5 インチ (12.7cm) FR4 であることを前提としています。

表 5-3. USB2 PHY 構成

EQ0	EQ1	EQ2	USB2 PHY 補償レベル	eUSB0/1 チャネル	USB ESR[1] (Ω)
Low/フローティング	Low/フローティング	Low/フローティング	レベル 0	5 インチ (12.7cm) FR4	USB A:2.5 USB B:2.5
High	Low/フローティング	Low/フローティング	レベル 1	5 インチ (12.7cm) FR4	USB A:10 USB B:10
Low/フローティング	High	Low/フローティング	レベル 2	5 インチ (12.7cm) FR4	USB A:17.5 USB B:17.5
High	High	Low/フローティング	レベル 3	5 インチ (12.7cm) FR4	USB A:10 USB B:17.5
Low/フローティング	Low/フローティング	High	レベル 4	5 インチ (12.7cm) FR4	USB A:2.5 USB B:10
High	Low/フローティング	High	レベル 5	5 インチ (12.7cm) FR4	USB A:10 USB B:2.5
Low/フローティング	High	High	レベル 6	5 インチ (12.7cm) FR4	USB A:17.5 USB B:2.5
High	High	High	レベル 7	5 インチ (12.7cm) FR4	USB A:2.5 USB B:17.5

(1) 等価直列抵抗 (ESR) とは、スイッチやマルチプレクサなど、デバイスと USB コネクタ間のあらゆる抵抗を合わせたものです。

表 5-4. USB2 PHY 補償レベル

	USB2 PHY 補償レベル							
登録	レベル 0	レベル 1	レベル 2	レベル 3	レベル 4	レベル 5	レベル 6	レベル 7
E_EQ_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
E_HS_TX_AMPLITUDE_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
E_HS_TX_PRE_EMPHASIS_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
U_EQ_Px	USB A:0x0 USB B:0x0	USB A:0x2 USB B:0x2	USB A:0x5 USB B:0x5	USB A:0x5 USB B:0x2	USB A:0x2 USB B:0x0	USB A:0x0 USB B:0x2	USB A:0x0 USB B:0x5	USB A:0x5 USB B:0x0
U_SQUELCH_THRESHOLD_Px	USB A:0x4 USB B:0x4	USB A:0x5 USB B:0x5	USB A:0x6 USB B:0x6	USB A:0x6 USB B:0x5	USB A:0x5 USB B:0x4	USB A:0x4 USB B:0x5	USB A:0x4 USB B:0x6	USB A:0x6 USB B:0x4
U_DISCONNECT_THRESHOLD_Px	USB A:0x5 USB B:0x5	USB A:0x8 USB B:0x8	USB A:0x8 USB B:0x8	USB A:0x8 USB B:0x8	USB A:0x8 USB B:0x5	USB A:0x5 USB B:0x8	USB A:0x5 USB B:0x8	USB A:0x8 USB B:0x5
U_HS_TX_AMPLITUDE_Px	USB A:0x5 USB B:0x5	USB A:0x9 USB B:0x9	USB A:0xD USB B:0xD	USB A:0xD USB B:0x9	USB A:0x9 USB B:0x5	USB A:0x5 USB B:0x9	USB A:0x5 USB B:0xD	USB A:0xD USB B:0x5
U_HS_TX_PRE_EMPHASIS_Px	USB A:0x0 USB B:0x0	USB A:0x1 USB B:0x1	USB A:0x3 USB B:0x3	USB A:0x3 USB B:0x1	USB A:0x1 USB B:0x0	USB A:0x0 USB B:0x1	USB A:0x0 USB B:0x3	USB A:0x3 USB B:0x0

表 5-5. eUSB PHY 構成

EQ0	EQ1	EQ2	eUSB PHY 補償レベル	eUSB0 ESR[1] (Ω)	eUSB1 ESR[1] (Ω)	USBA (DPA/DNA) ESR[1] (Ω)	USBB (DPB/DNB) ESR[1] (Ω)
Low/フローティング	Low/フローティング	Low/フローティング	レベル 0	2.5	2.5	2.5	2.5

Copyright © 2025 Texas Instruments Incorporated

表 5-5. eUSB PHY 構成 (続き)

EQ0	EQ1	EQ2	eUSB PHY 補償レベル	eUSB0 ESR(1) (Ω)	eUSB1 ESR (1) (Ω)	USBA (DPA/DNA) ESR (1) (Ω)	USBB (DPB/DNB) ESR (1) (Ω)
High	Low/フローティング	Low/フローティング	レベル 1	7.5	7.5	2.5	2.5
Low/フローティング	High	Low/フローティング	レベル 2	15	15	2.5	2.5
High	High	Low/フローティング	レベル 3	25	25	2.5	2.5

(1) 等価直列抵抗 (ESR) とは、スイッチやマルチプレクサなど、デバイスと USB コネクタ間、あるいはデバイスと SOC 間のあらゆる抵抗を合わせたものです。

表 5-6. eUSB PHY 補償レベル

	eUSB PHY 補償レベル			
登録	レベル 0	レベル 1	レベル 2	レベル 3
E_EQ_Px	0x1	0x3	0x7	0x10
E_HS_TX_AMPLITUDE_Px	0x3	0x3	0x5	0x7
E_HS_TX_PRE_EMPHASIS_Px	0x1	0x2	0x4	0x6
U_EQ_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
U_SQUELCH_THRESHOLD_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
U_DISCONNECT_THRESHOLD_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
U_HS_TX_AMPLITUDE_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト
U_HS_TX_PRE_EMPHASIS_Px	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト	レジスタ デフォルト

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
電源電圧範囲	V_{DD3V3}	-0.3	4.32	V
アナログ電源電圧範囲	V_{DD1V8}	-0.3	2.1	V
電圧範囲	DPA、DNA、DPB、DNB (OVP イネーブル)、合計数 1000 の短絡イベント、累積期間 1000 時間。	-0.3	6	V
電圧範囲	eDP0、eDN0、eDP1、eDN1	-0.3	1.6	V
電圧範囲	CROSS、RESETB、EQ0、EQ1、SCL、SDA、EQ2/INT、VIOSEL	-0.3	2.1	V
接合部温度	$T_{J(max)}$		125	°C
保存温度	T_{stg}	-65	150	°C

(1) 「*絶対最大定格*」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [1]	±1500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン[2]	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD3V3}	電源電圧 (VDD3V3)	3.0	3.3	3.6	V
V_{DD1V8}	アナログ電源電圧 (VDD1V8)	1.62	1.8	1.98	V
$V_{_I2C_Pullup}$	I2C および GPIO オープンドレイン バス電圧 (1.2V モード)、VIOSEL=VSS	1.08	1.2	1.32	V
$V_{_I2C_Pullup}$	I2C および GPIO オープンドレイン バス電圧 (1.8V モード)、VIOSEL=VDD1V8	1.62	1.8	1.98	V
T_A	外気温度での動作時	-40		85	°C
T_J	接合部温度	-40		105	°C
T_{CASE}	ケース温度	-40		105	°C
T_{PCB}	PCB 温度 (デバイスから 1mm 離れた場所)	-40		92	°C

Copyright © 2025 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準[1]		TUSB2E221 VBW (WQFN) 20 ピン	TUSB2E221 YCG (DSBGA) 25 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	71.9	73.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	25.9	0.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31.7	18.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	30.9	18.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$P_{WC_1_1V8}$	絶対ワーストケースの消費電力 — 1 つのリピータ (VDD1V8 のみ)	VIOSEL は High または Low、I2C インターフェイスがアクティブ、GPIO が出力モード、USB 送信時に 1 つのリピータが無効で 1 つのリピータが HS モード、最大 RX EQ、TX VOD と PE の設定、最大遷移密度です。			275	mW
$P_{WC_1_3V3}$	絶対ワーストケースの消費電力 — 1 つのリピータ (VDD3V3 のみ)	VIOSEL は High または Low、I2C インターフェイスがアクティブ、GPIO が出力モード、USB 送信時に 1 つのリピータが無効で 1 つのリピータが HS モード、最大 RX EQ、TX VOD と PE の設定、最大遷移密度です。			25	mW
$P_{WC_2_1V8}$	絶対ワーストケースの消費電力 — 2 つのリピータ (VDD1V8 のみ)	VIOSEL は High または Low、I2C インターフェイスがアクティブ、GPIO が出力モード、USB 送信時に両方のリピータが HS モード、最大 RX EQ、TX VOD と PE の設定、最大遷移密度です。			550	mW
$P_{WC_2_3V3}$	絶対ワーストケースの消費電力 — 2 つのリピータ (VDD3V3 のみ)	VIOSEL は High または Low、I2C インターフェイスがアクティブ、GPIO が出力モード、USB 送信時に両方のリピータが HS モード、最大 RX EQ、TX VOD と PE の設定、最大遷移密度です。			50	mW
$P_{HS_IOC_1}$	USB オーディオ ISOC 高速 — 1 つのリピータのみ	USB と eUSB2 の両方の最大 TX Vod/最大 TX PE。8ms で平均化され、データ パケットでは 1uFrame のみ。Toffthreshold = 1/32。ホスト ペリフェラル モード。フレーム ベースの低消費電力モード イネーブル			70	mW
$P_{HS_IDLE_LP_1}$	高速アイドル (ホスト モード) — 1 つのリピータ	L0.Idle の詳細を示します。T_A = 85°C。(25°C での標準値)。eUSB2 および USB のデフォルトの PHY チューニング設定。フレーム ベースと応答ベースの低消費電力モード イネーブル		26	70	mW
$P_{HS_IDLE_LP_1}$	高速アイドル (ペリフェラル モード) — 1 つのリピータ	L0.Idle の詳細を示します。T_A = 85°C。(25°C での標準値)。eUSB2 および USB のデフォルトの PHY チューニング設定。フレーム ベースの低消費電力モード ディスエーブルおよび応答ベースの低消費電力モード イネーブル		108	200	mW

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_{PD}	電源オフ	デバイス電源供給、RESETB=Low、T_A=25℃、(DP/DN 電圧 ≤ VDD3V3)。			10	µW
$P_{Disabled}$	ディセーブル	デバイス電源供給。I2C/GPIO インターフェイスは機能しますが、アイドル状態。両方のリピータが無効で、最小消費電力状態になり、機能しません。T_A=25℃、(DP/DN 電圧 ≤ VDD3V3).			100	µW
P_{Detach_1}	USB 未接続 — 1 つのリピータ	I2C/GPIO インターフェイスはアイドル状態。1 つのリピータが無効で、1 つのリピータが eUSB PHY に接続され、USB 接続イベントを待機します。T_A = 25℃、(DP/DN 電圧 ≤ VDD3V3)			100	µW
P_{Detach_2}	USB 未接続 — 2 つのリピータ	I2C/GPIO インターフェイスはアイドル状態。両方のリピータが eUSB PHY に接続され、USB 接続イベントを待機します。T_A = 25℃、(DP/DN 電圧 ≤ VDD3V3)			150	µW
$P_{Suspend_2}$	L2 中断	I2C/GPIO インターフェイスはアイドル状態。USB リンクは L2。両方のリピータが再開/リモート ウェークイベントを監視します。T_A = 25℃、(DP/DN 電圧 ≤ VDD3V3)			150	µW
P_{Sleep_2}	L1 スリープ P_{sleep_2}	I2C/GPIO インターフェイスはアイドル状態。両方のリピータが USB 接続をサポート。USB リンクは L1。両方のリピータが L1 終了イベントを監視します。T_A = 25℃、(DP/DN 電圧 ≤ VDD3V3)			6	mW
$P_{LS_Active_1}$	低速アクティブ — 1 つのリピータ	I2C/GPIO インターフェイスはアイドル状態。1 つのリピータが無効で、別のリピータが LS モード。最大遷移密度。T_A = 85°C。			52	mW
$P_{FS_Active_1}$	フルスピード アクティブ — 1 つのリピータ	I2C/GPIO インターフェイスはアイドル状態。1 つのリピータが無効で、1 つのリピータが FS モード。最大遷移密度。T_A = 85°C。			52	mW
$P_{FS_Active_2}$	フルスピード アクティブ — 2 つのリピータ	I2C/GPIO インターフェイスはアイドル状態。両方のリピータが FS モード。最大遷移密度。T_A = 85°C。			68	mW
デジタル入力						
V_{IH}	High レベル入力電圧	CROSS、EQ0、EQ1 (1.2V 入力モード、VIOSEL=VSS)	0.702			V
V_{IH}	High レベル入力電圧	CROSS、EQ0、EQ1 (1.8V 入力モード、VIOSEL=VDD1V8)	1.053			V
V_{IL}	Low レベル入力電圧	CROSS、EQ0、EQ1 (1.2V 入力モード、VIOSEL=VSS)			0.462	V
V_{IL}	Low レベル入力電圧	CROSS、EQ0、EQ1 (1.8V 入力モード、VIOSEL=VDD1V8)			0.693	V
V_{IL}	Low レベル入力電圧	VIOSEL (1.8V 入力モード)			0.613	V
V_{IH}	High レベル入力電圧	VIOSEL (1.8V 入力モード)	1.053			V
V_{IL}	Low レベル入力電圧	RESETB (1.2V または 1.8V 入力モード)			0.35	V
V_{IH}	High レベル入力電圧	RESETB (1.2V または 1.8V 入力モード)	0.75			V
I_{IH}	High レベル入力電流	V_{IH} = 1.98V、VDD3V3=3.0V または 0V、VDD1V8=1.62V または 0V CROSS、RESETB、EQ0、EQ1			0.5	µA

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IL}	Low レベル入力電流	V_{IL} = 0V、VDD3V3=3.0V または 0V、VDD1V8=1.62V または 0V CROSS、RESETB、EQ0、EQ1			0.5	µA
デジタル出力						
V_{OH}	High レベル出力電圧	EQ0、EQ11、EQ2/INT、プッシュプル I/O モード (I_{OH} = 20µA および最大 3pF $C_{load)}$ (1.2V 出力モード)	0.81			V
V_{OH}	High レベル出力電圧	EQ0、EQ1、EQ2/INT、プッシュプル I/O モード (I_{OH} = 20µA および最大 3pF $C_{load)}$ (1.8V 出力モード)	1.21			V
V_{OL}	Low レベル出力電圧	EQ0、EQ1、EQ2/INT、プッシュプル I/O モード (I_{OL} = 1mA) (1.2V 出力モード)			0.25	V
V_{OL}	Low レベル出力電圧	EQ0、EQ1、EQ2/INT、プッシュプル I/O モード (I_{OL} = 1mA) (1.8V 出力モード)			0.35	V
I_{OL_PP}	プッシュプル モードでの Low レベル出力電流	EQ0、EQ1、EQ2/INT (1.2V モード) VIOSEL=GND、VOL=0.4	2.5	4	6	mA
I_{OL_PP}	プッシュプル モードでの Low レベル出力電流	EQ0、EQ1、EQ2/INT (1.8V モード) VIOSEL=VDD1V8、VOL=0.4	4	6	8	mA
I_{OH_PP}	プッシュプル モードでの High レベル出力電流	EQ0、EQ1、EQ2/INT、プッシュプル I/O モード (1.2V 出力モード) VIOSEL=GND	22			µA
I_{OH_PP}	プッシュプル モードでの High レベル出力電流	EQ0、EQ1、EQ2/INT、プッシュプル I/O モード (1.8V 出力モード) VIOSEL=VDD1V8	50			µA
I_{OL}	オープン ドレイン モードでの出力電流	EQ0、EQ1、EQ2/INT、VOL=0.4V、VIOSEL=VDD1V8、1.8V モード	4	10	16	mA
I_{OL}	オープン ドレイン モードでの出力電流	EQ0、EQ1、EQ2/INT、VOL=0.4V、VIOSEL=GND、1.2V モード	4	9.2	16	mA
I2C (SDA、SCL)						
V_{IL}	Low レベル入力電圧、VIOSEL=VSS	SDA、SCL、$V_{_I2C_Pullup}$ = 1.08V ～ 1.32V			0.387	V
V_{IL}	Low レベル入力電圧、VIOSEL=VDD1V8	SDA、SCL、$V_{_I2C_Pullup}$ = 1.62V ～ 1.96V			0.588	V
V_{IH}	High レベル出力電圧、VIOSEL=VSS	SDA、SCL、$V_{_I2C_Pullup}$ = 1.08V ～ 1.32V	0.833			V
V_{IH}	High レベル出力電圧、VIOSEL=VDD1V8	SDA、SCL、$V_{_I2C_Pullup}$ = 1.62V ～ 1.98V	1.372			V
V_{HYS}	入力ヒステリシス、VIOSEL=VSS	$V_{_I2C_Pullup}$ = 1.08V ～ 1.32V	0.020			V
V_{HYS}	入力ヒステリシス、VIOSEL=VDD1V8	$V_{_I2C_Pullup}$ = 1.62V ～ 1.98V	0.098			V
I_{IH}	High レベル入力リーク電流	V_{IH} = 1.98V			0.5	µA
I_{IL}	Low レベル入力リーク電流	V_{IL} = 0V			0.5	µA
I_{OL}	オープン ドレイン駆動強度	VOL = 0.4V、VIOSEL = VDD1V8、1.8V モード	8	10	12.6	mA
I_{OL}	オープン ドレイン駆動強度	VOL = 0.4V、VIOSEL= GND、1.2V モード	6.8	9	11.9	mA
USBA (DPA、DNA)、USBB (DPB、DNB)						
Z_{inp_Dx}	GND へのインピーダンス、プルアップ / プルダウンなし	Vin=3.6V、V_{DD3V3}=3.0V USB 2.0 仕様セクション 7.1.6 (1)	390			kΩ
C_{IO_Dx}	対 GND 静電容量	240MHz の VNA、ハイ インピーダンスのドライバで測定			10	pF
R_{PUI}	アップストリーム側ポートのバス プルアップ抵抗 (アイドル)	USB 2.0 仕様セクション 7.1.5(1)	0.92	1.1	1.475	kΩ
R_{PUR}	アップストリーム側ポート (受信側) のバス プルアップ抵抗	USB 2.0 仕様セクション 7.1.5(1)	1.525	2.2	2.99	kΩ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PD}	ダウンストリーム側ポートのバス プルダウン抵抗	USB 2.0 仕様セクション 7.1.5[(1)]	14.35	19	24.6	kΩ
V_{HSTERM}	High-Speed 時の終端電圧	USB 2.0 仕様セクション 7.1.6.2[(1)]、高速アイドル状態の出力電圧	-10		10	mV
USB 終端						
Z_{HSTERM_P}	ドライバ出力抵抗 (高速終端としても機能)	(VOH= 0 ～ 600mV) USB 2.0 仕様セクション 7.1.1.1[(1)]、デフォルト、U_HS_TERM_Px 設定 01	40.6	45	49.4	Ω
Z_{HSTERM_N}	ドライバ出力抵抗 (高速終端としても機能)	(VOH= 0 ～ 600mV) USB 2.0 仕様セクション 7.1.1.1[(1)]、デフォルト、U_HS_TERM_Px 設定 01	40.6	45	49.4	Ω
USBA、USBB 入力レベル LS/FS						
V_{IH}	High (駆動)	USB 2.0 仕様セクション 7.1.4[(1)] (コネクタで測定)	2			V
V_{IHZ}	High (フローティング)	USB 2.0 仕様セクション 7.1.4[(1)] (ホストのダウンストリーム ポートのプルダウン抵抗が有効、および外部デバイス 1.5kΩ +/-5% が 3.0V ～ 3.6V にプルアップ)。	2.7		3.6	V
V_{IL}	Low	USB 2.0 仕様セクション 7.1.4[(1)]			0.8	V
V_{DI}	差動入力感度 (ヒステリシスはオフ)	|(D+)-(D-)|。USB 2.0 仕様の図 7-19 [(1)]。(コネクタで測定) V_{CM}=0.8V ～ 2.0V			0.2	V
USBA、USBB 出力レベル LS/FS						
V_{OL}	Low	USB 2.0 仕様セクション 7.1.1[(1)]、(1.425kΩ の RL で 3.6V までコネクタで測定))	0		0.3	V
V_{OH}	High (駆動)	USB 2.0 仕様セクション 7.1.1[(1)] (14.25kΩ の RL で GND までコネクタで測定)	2.8		3.6	V
Z_{FSTERM}	ドライバ シリーズの出力抵抗	USB 2.0 仕様セクション 7.1.1[(1)]、VOL または VOH の間に測定	28		46	Ω
V_{CRS2}	出力信号クロスオーバー電圧	USB 2.0 仕様セクション 7.1.1 図 7-8 に従って測定[(1)]。アイドル状態からの最初の遷移は除外。DP で外部 1.5kΩ を 3.0V にプルアップ	1.3		2	V
V_{CRS}	出力信号クロスオーバー電圧	USB 2.0 仕様セクション 7.1.1 図 7-8 に従って測定[(1)]。アイドル状態からの最初の遷移は除外	1.3		2	V
USBA、USBB 入力レベル HS						
V_{HSSQ}	High-Speed スケルチ / 非スケルチ検出スレッショルド	USB 2.0 仕様セクション 7.1.7.2 (仕様はピーク差動信号振幅を指します)[(1)]、振幅を大きくして 240MHz で測定、U_SQUELCH_THRESHOLD_Px 設定 100、V_{CM} = -50mV～500mV	104	126	150	mV
V_{HSDSC}	High-Speed 切断検出スレッショルド	USB 2.0 仕様セクション 7.1.7.2 (仕様は差動信号振幅を指します)[(1)]。(+22.4%)、U_DISCONNECT_THRESHOLD_Px 設定 0111、V_{CM} = 367mV ～ 770mV	697	732	760	mV
$EQ_{_UHS}$	USB 高速データ レシーバのイコライゼーション、(ジッタを使用して間接的に測定)	240MHz、U_EQ_Px 設定 010	0.62	1.09	1.57	dB
USBA、USBB 出力レベル HS						

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{HSOD}	High-Speed データ信号スイング	測定された p-p、10%、U_HS_TX_AMPLITUDE_Px 設定 0111、PE ディスエーブル、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	792	880	968	mV
V_{HSOL}	高速データ信号 Low、ドライバがオフで終端がオン (測定されたシングルエンド)	USB 2.0 仕様セクション 7.1.7.2[(1)]、PE ディスエーブル、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	-10		10	mV
V_{CHIRPJ}	ホスト/ハブ チャープ J レベル (差動電圧)	USB 2.0 仕様セクション 7.1.7.2[(1)] (PE ディスエーブル。スイング設定は影響しませんが、スルーレート制御は影響があります)、テスト負荷は DP の理想的な 1.5kΩ プルアップです。	700	900	1100	mV
V_{CHIRPK}	デバイス チャープ K レベル (差動電圧)	USB 2.0 仕様セクション 7.1.7.2[(1)] (PE ディスエーブル。スイング設定は影響しませんが、スルーレート制御は影響があります)、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	-900	-760	-500	mV
V_{CHIRPK}	ホスト/ハブ チャープ K レベル (差動電圧)	USB 2.0 仕様セクション 7.1.7.2[(1)] (PE ディスエーブル。スイング設定は影響しませんが、スルーレート制御は影響があります)、テスト負荷は DP の理想的な 1.5kΩ プルアップです。	-900	-700	-500	mV
$U2_TX_{PE}$	High-Speed TX プリエンファシス	U_HS_TX_PRE_EMPHASIS_Px 設定 001、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	0.62	0.9	1.2	dB
$U2_TX_{PE_UI}$	High-Speed TX プリエンファシス	U_HS_TX_PE_WIDTH_Px 設定 00 (PE = 2.5dB 設定 101 で測定)、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	0.25	0.35	0.41	UI
$U2_TX_{PE_UI}$	High-Speed TX プリエンファシス幅	U_HS_TX_PE_WIDTH_Px 設定 01 (PE = 2.5dB 設定 101 で測定)、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	0.35	0.45	0.55	UI
$U2_TX_{PE_UI}$	High-Speed TX プリエンファシス幅	U_HS_TX_PE_WIDTH_Px 設定 10 (PE = 2.5dB 設定 101 で測定)、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	0.44	0.55	0.67	UI
$U2_TX_{PE_UI}$	High-Speed TX プリエンファシス幅	U_HS_TX_PE_WIDTH_Px 設定 11 (PE = 2.5dB 設定 101 で測定)、テスト負荷は DP および DN の GND に対して理想的な 45Ω です。	0.54	0.65	0.77	UI
$U2_TX_{CM}$	High-Speed TX DC コモン モード	PE ディスエーブルでのすべてのスイング設定	100	200	300	mV
eUSB2 終端						
R_{SRC_HS}	高速送信ソース終端インピーダンス	eUSB2 仕様セクション 7.1.1[(2)]	33	40	47	Ω
ΔR_{SRC_HS}	高速ソース インピーダンスの不一致	eUSB2 仕様セクション 7.1.1[(2)]			4	Ω
R_{RCV_DIF}	高速差動レシーバ終端 (リピータ)	eUSB2 仕様セクション 7.1.2[(2)]	74	80	86	Ω
R_{PD}	eDP/eDN のプルダウン抵抗	eUSB2 仕様セクション 7.3[(2)]、LS、FS、HS 中にアクティブ	6	8	10	kΩ
R_{SRC_LSFS}	送信出力インピーダンス	eUSB2 仕様セクション 7.2.1[(2)]、表 7-13 仕様バージョン 1.10 と一致する TX 出力インピーダンス	28	44	59	Ω

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{IO_eDx}	差動容量	240MHz の VNA、ハイ インピーダンスのドライバで測定 (VCM = 120mV ～ 450mV)、差動で測定。		3.7	5	pF
eUSB0、eUSB1 FS/LS 入力レベル						
V_{IL}	シングルエンド入力 Low	eUSB2 仕様セクション 7.2.1、表 7-13[(2)]	-0.1		0.399	V
V_{IH}	シングルエンド入力 High	eUSB2 仕様セクション 7.2.1、表 7-13[(2)]	0.819		1.386	V
V_{HYS}	シングルエンド ヒステリシス電圧を受信	eUSB2 仕様セクション 7.2.1、表 7-13[(2)]	43.2			mV
eUSB0、eUSB1 FS/LS 出力レベル						
V_{OL}	シングルエンド出力 Low	eUSB2 仕様セクション 7.2.1、表 7-13[(2)]			0.1	V
V_{OH}	シングルエンド出力 High	eUSB2 仕様セクション 7.2.1、表 7-13[(2)]	0.918		1.32	V
eUSB0、eUSB1 HS 入力レベル						
$V_{CM_RX_AC}$	レシーバ AC 同相モード (50MHz ～ 480MHz)	eUSB2 仕様セクション 7.1.2 (情報)[(2)]、DC 同相モード範囲全体で 120mV ～ 280mV。(TX 立ち上がり/立ち下がり時間の不一致と伝搬遅延の不一致で RX 機能をテスト済み)	-60		60	mV
C_{RX_CM}	センタータップ容量を受信	eUSB2 仕様セクション 7.1.2 (情報)[(2)]	15		50	pF
V_{EHSSQ}	スケルチ/非スケルチ検出スレッショルド	eUSB2 仕様セクション 7.1.2[(2)]、(振幅を大きくして 240MHz で差動ピーク電圧として測定)、V_{CM} = 120mV ～ 450mV	47	66	83	mV
$EQ_{_EHS}$	eUSB2 高速データ レシーバのイコライゼーション、(ジッタを使用して間接的に測定)	240MHz E_EQ_P1x 設定 0010	0.59	1.12	1.4	dB
eUSB0、eUSB1 HS 出力レベル						
V_{EHSOD}	送信差動 (終端)	測定された p2p、R_L = 80Ω、E_HS_TX_AMPLITUDE_ Px 設定 100、理想的な 80Ω Rx 差動終端負荷	396	440	484	mV
E_TXPE	High-Speed TX プリエンファシス	E_HS_TX_PRE_EMPHASIS_Px 設定 010	1.01	1.29	1.57	dB

(1) USB 2.0 プロモーター グループ 2000、USB 2.0 仕様 USB 2.0 プロモーター グループ
(2) USB インプリメンターズ・フォーラム (2018)。USB2 (eUSB2) 物理層補足を USB リビジョン 2.0 仕様に組み込み、Rev. 1.2 USB インプリメンターズ・フォーラム

Copyright © 2025 Texas Instruments Incorporated

6.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DPA、DNA、DPB、DNB、HS ドライバのスイッチング特性						
T_{HSR}	立ち上がり時間 (10%～90%)	USB 2.0 仕様セクション 7.1.2[(1)]、U_HS_TX_SLEW_RATE_Px 設定 11、DP および DN の GND 負荷に対して理想的な 45Ω、プリエンファシス無効。	530	625	740	ps
T_{HSF}	立ち下がり時間 (10%～90%)	USB 2.0 仕様セクション 7.1.2[(1)]、U_HS_TX_SLEW_RATE_Px 設定 11、DP および DN の GND 負荷に対して理想的な 45Ω、プリエンファシス無効。	530	625	740	ps
DPA、DNA、DPB、DNB、FS ドライバのスイッチング特性						
T_{FR}	立ち上がり時間 (10%～90%)	USB 2.0 仕様の図 7-8、図 7-9[(1)]	4		20	ns
T_{FF}	立ち下がり時間 (10%～90%)	USB 2.0 仕様の図 7-8、図 7-9[(1)]	4		20	ns
T_{FRFM}	(T_{FR}/T_{FM})	USB 2.0 仕様 7.1.2[(1)]、アイドル状態からの最初の遷移を除く	90		111.1	%
DPA、DNA、DPB、DNB、LS ドライバのスイッチング特性						
T_{LR}	立ち上がり時間 (10%～90%)	USB 2.0 仕様の図 7-8[(1)]	75		300	ns
T_{LF}	立ち下がり時間 (10%～90%)	USB 2.0 仕様の図 7-8[(1)]	75		300	ns
eDP0、eDN0、eDP1、eDN1、HS ドライバのスイッチング特性						
T_{EHSRF}	立ち上がり/立ち下がり時間 (20% ～ 80%)	eUSB2 仕様セクション 7.2.1[(2)]、理想的な 80Ω Rx 差動終端 E_HS_TX_SLEW_RATE_Px 設定 = 01	355	440	525	ps
T_{EHSRF_MM}	送信立ち上がり/立ち下がりの不一致	eUSB2 仕様セクション 7.2.1[(2)]、立ち上がり/立ち下がり不一致 = (立ち上がり — 立ち下がり時間)/(立ち上がりおよび立ち下がり時間の平均) の絶対デルタ。			25	%
eDP0、eDN0、eDP1、eDN1、LS/FS ドライバのスイッチング特性						
T_{ERF}	立ち上がり/立ち下がり時間 (10% ～ 90%)	eUSB2 仕様セクション 7.2.1[(2)]	2		6	ns
T_{ERF_MM}	送信立ち上がり/立ち下がりの不一致	eUSB2 仕様セクション 7.2.1[(2)]			25	%
I2C (SDA)						
T_r	立ち上がり時間 (STD)	バス速度 = 100kHz、C_L= 200pF、R_{PU} = 4kΩ、I_{OL} = 約 1mA	600			ns
T_r	立ち上がり時間 (FM)	バス速度 = 400kHz、C_L= 200pF、R_{PU} = 2.2kΩ、I_{OL} = 約 2mA	180			ns
T_r	立ち上がり時間 (FM+)	バス速度 = 1MHz、C_L= 10pF、R_{PU} = 1kΩ、I_{OL} = 約 4mA	72			ns
T_r	立ち上がり時間 (STD)	バス速度 = 100kHz、C_L= 200pF、R_{PU} = 4kΩ、I_{OL} = 約 2mA			1000	ns
T_r	立ち上がり時間 (FM)	バス速度 = 400kHz、C_L= 200pF、R_{PU} = 1kΩ、I_{OL} = 約 8mA			300	ns
T_r	立ち上がり時間 (FM+)	バス速度 = 1MHz、C_L= 50pF、R_{PU} = 1kΩ、I_{OL} = 約 4mA			120	ns
T_f	立ち下がり時間 (STD)	バス速度 = 100kHz、C_L= 200pF、R_{PU} = 2.2kΩ、I_{OL} = 約 4mA			106.5	ns
T_f	立ち下がり時間 (FM)	バス速度 = 400kHz、C_L= 200pF、R_{PU} = 1kΩ、I_{OL} = 約 8mA			106.5	ns
T_f	立ち下がり時間 (FM+)	バス速度 = 1MHz、C_L= 90pF、R_{PU} = 1kΩ、I_{OL} = 約 8mA			81.5	ns

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_f	立ち下がり時間 (STD)	バス速度 = 100kHz、C_L= 10pF、R_{PU} = 4kΩ、I_{OL} = 約 2mA		6.5		ns
T_f	立ち下がり時間 (FM)	バス速度 = 400kHz、C_L= 10pF、R_{PU} = 2.2kΩ、I_{OL} = 約 4mA		6.5		ns
T_f	立ち下がり時間 (FM+)	バス速度 = 1MHz、C_L= 10pF、R_{PU} = 1kΩ、I_{OL} = 約 8mA		6.5		ns

(1) USB 2.0 プロモーター グループ 2000、USB 2.0 仕様 USB 2.0 プロモーター グループ
(2) USB インプリメンターズ・フォーラム (2018)USB2 (eUSB2) 物理層補足を USB リビジョン 2.0 仕様に組み込み、Rev. 1.2 USB インプリメンターズ・フォーラム

Copyright © 2025 Texas Instruments Incorporated

6.7 タイミング要件

		最小値	公称値	最大値	単位
I/O タイミング					
$t_{_GPIO_PW}$	INT イベントの最小 GPIO パルス幅	8			µs
RESET タイミング					
$t_{_VDD1V8_RAMP}$	VDD1V8 が最小 1.62V に達するまでのランプ時間			2	ms
$t_{_VDD3V3_RAMP}$	VDD3V3 が最小 3.0V に達するまでのランプ時間			2	ms
$t_{_su_CROSS}$	RESETB のデアサート時の CROSS サンプリングのセットアップ時間	0			ms
$t_{_hd_CROSS}$	RESETB のデアサート時の CROSS サンプリングのホールド時間	3			ms
$t_{_aRESETB}$	電源供給中に RESETB が Low にアサートされてリセットを完了するまでの時間	10			µs
$t_{_RH_READY}$	RESETB がデアサートされるか、(VDD1V8 および VDD3V3) が推奨される最小電圧に達した後のいずれか遅い方の時点から、デバイスが RAP および I2C 要求を受け入れる準備ができ、かつ eUSB2 インターフェイスが準備完了になるまでの時間			3	ms
$t_{_RS_READY}$	I2C 経由でのソフトリセット後にデバイスが RAP および I2C 要求を受け入れる準備ができ、かつ eUSB2 インターフェイスが準備完了になるまでの時間			350	µs
リピータ タイミング					
T_{J1E}	2 つのリピータのいずれかが無効化された場合の eUSB2 から USB 2.0 へのリピータの合計加算ジッタ (出力ジッタ – 入力ジッタ)。(また、すべての完全な SOP ビットを含める必要があり、eUSB2 TX 立ち上がり/立ち下がり時間スキューとペア内伝搬遅延スキューで測定する必要があります、$V_{CM_RX_AC}$ を参照) [RX EQ ディスエーブル、TX PE ディスエーブル、VOD 公称設定および入力または出力チャネルなし]。出力セットアップ図		25	42	ps
T_{J1I}	2 つのリピータのいずれかが無効化された場合の USB から eUSB2 へのリピータの合計加算ジッタ (出力ジッタ – 入力ジッタ)。[RX EQ ディスエーブル、TX PE ディスエーブル、VOD 公称設定および入力または出力チャネルなし]。入力セットアップ図		25	42	ps
T_{J2E}	両方のリピータがアクティブな場合の eUSB2 から USB へのリピータの合計加算ジッタ (出力ジッタ – 入力ジッタ)。[RX EQ ディスエーブル、TX PE ディスエーブル、VOD 公称設定および入力または出力チャネルなし]			60	ps
T_{J2I}	両方のリピータがアクティブな場合の USB から eUSB2 へのリピータの合計加算ジッタ (出力ジッタ – 入力ジッタ)。[RX EQ ディスエーブル、TX PE ディスエーブル、VOD 公称設定および入力または出力チャネルなし]			60	ps
$T_{e_to_U_DJ1}$	eUSB2 から USB 2.0 へのリピータの FS ジッタから次の遷移まで (eUSB2 仕様 1.1 表 7-13 注 1 & 2:電源および GND デルタの条件に準拠 (1))	-6.0		+6.0	ns
$T_{U_to_e_DJ1}$	USB 2.0 から eUSB2 へのリピータの FS ジッタから次の遷移まで (eUSB2 仕様 1.1 表 7-13 Note1 & 2:電源および GND デルタの条件に準拠 (1))	-3.0		+3.0	ns
T_{DJ2_e2U}	eUSB2 から USB 2.0 方向へのリピータ FS ペアの遷移ジッタ (USB 2.0 +/-1ns で定義される THDJ2 に対して緩和された値)	-1.5		+1.5	ns
T_{DJ2_U2e}	USB 2.0 から eUSB2 方向へのリピータ FS ペアの遷移ジッタ (USB 2.0 +/-1ns で定義される THDJ2 に対して緩和された値)	-1.5		+1.5	ns
MODE タイミング					
T_{MODE_SWITCH}	UART バイパス モードと USB モードの間でモードを変更するために必要な時間			1	µs
T_{UART_START}	UART バイパス モードに移行した後、UART データの送信を開始するために必要な時間			2	ms
I2C (FM+)					
t_{SU_STA}	スタート セットアップ時間、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	260			ns

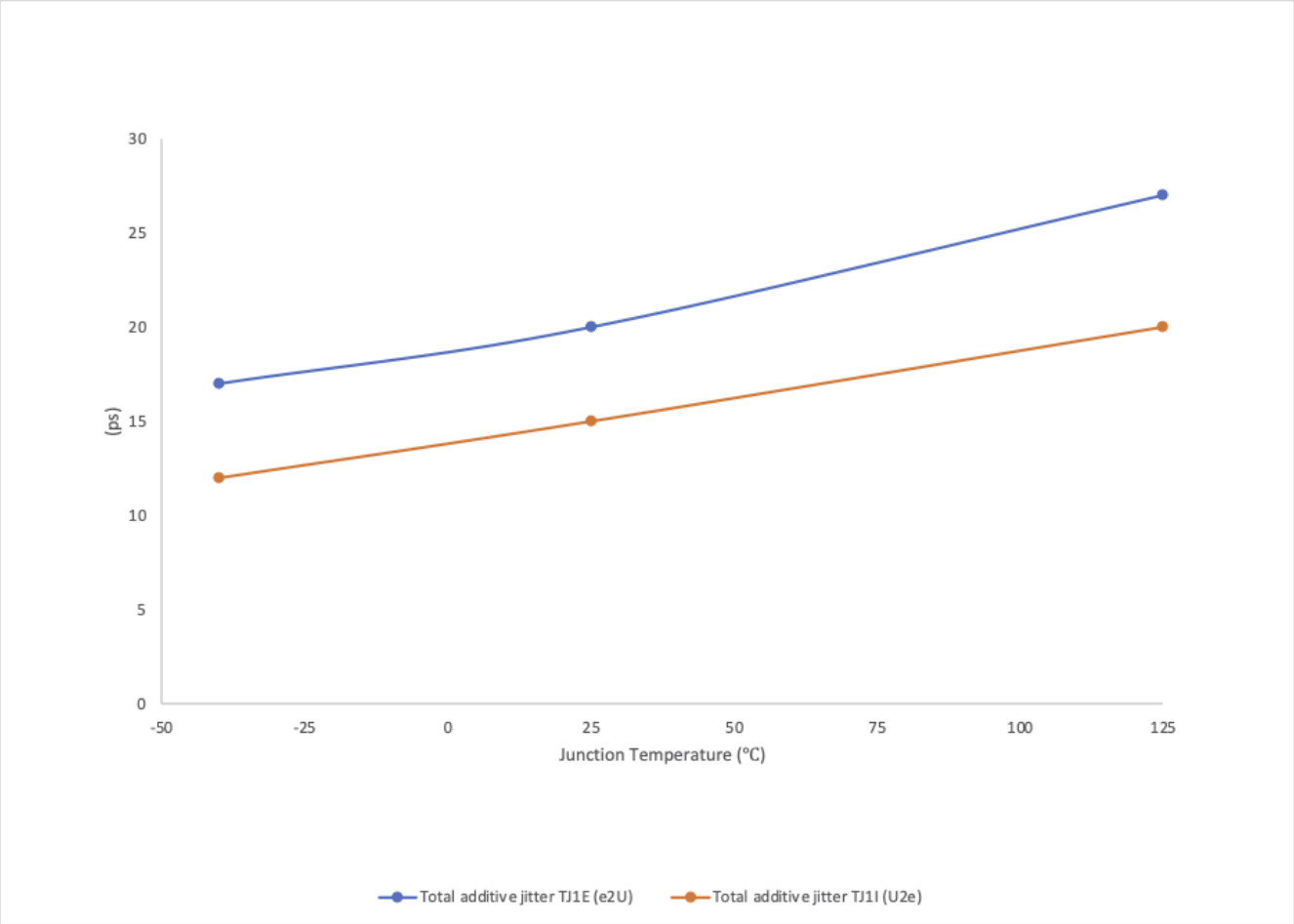
		最小値	公称値	最大値	単位
t_{SU_STO}	ストップ セットアップ時間、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	260			ns
t_{HD_STA}	スタート ホールド時間、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	260			ns
t_{SU_DAT}	データ入力または誤スタート/ストップ、セットアップ時間、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	50			ns
t_{HD_DAT}	データ入力または誤スタート/ストップ、ホールド時間、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	0			ns
t_{VD_DAT}、t_{VD_ACK}	SDA 出力遅延、SCL (T_r=72ns ～ 120ns)、SDA (T_f=6.5ns ～ 81.5ns)、1MHz FM+	20		450	ns
$t_{HD_DAT_SL}$	デバイスが送信中のデータ ホールド時間	6.67			ns
t_{SP}	グリッチ幅は抑制	50		91	ns
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間 (デバイスが許容する必要のあるホストの最小仕様)	0.5			µs
t_{LOW}	SCL クロックの Low 期間 (デバイスが許容する必要のあるホストの最小仕様)	0.5			µs
t_{HIGH}	SCL クロックの High 期間 (デバイスが許容する必要のあるホストの最小仕様)	0.26			µs
I2C (FM)					
t_{SU_STO}	ストップ セットアップ時間、SCL (T_r=180ns ～ 300ns)、SDA (T_f=6.5ns ～ 106.5ns)、400kHz FM	600			ns
t_{HD_STA}	スタート ホールド時間、SCL (Tr=180ns ～ 300ns)、SDA (Tf=6.5ns ～ 106.5ns)、400kHz FM	600			ns
t_{SU_STA}	スタート セットアップ時間、SCL (T_r=180ns ～ 300ns)、SDA (T_f=6.5ns ～ 106.5ns)、400kHz FM	600			ns
t_{SU_DAT}	データ入力または誤スタート/ストップ、セットアップ時間、SCL (T_r=180ns ～ 300ns)、SDA (T_f=6.5ns ～ 106.5ns)、400kHz FM	100			ns
t_{HD_DAT}	データ入力または誤スタート/ストップ、ホールド時間、SCL (T_r=180ns ～ 300ns)、SDA (T_f=6.5ns ～ 106.5ns)、400kHz FM	0			ns
t_{VD_DAT}、t_{VD_ACK}	SDA 出力遅延、SCL (T_r=180ns ～ 300ns)、SDA (T_f=6.5ns ～ 106.5ns)、400kHz FM	20		900	ns
$t_{HD_DAT_SL}$	デバイスが送信中のデータ ホールド時間	13.5			ns
t_{SP}	グリッチ幅は抑制	50		91	ns
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間 (デバイスが許容する必要のあるホストの最小仕様)	1.3			µs
t_{LOW}	SCL クロックの Low 期間 (デバイスが許容する必要のあるホストの最小仕様)	1.3			µs
t_{HIGH}	SCL クロックの High 期間 (デバイスが許容する必要のあるホストの最小仕様)	0.6			µs
I2C (STD)					
t_{SU_STO}	ストップ セットアップ時間、SCL (T_r=600ns ～ 1000ns)、SDA (T_f=6.5ns ～ 106.5ns)、100kHz STD	4			µs
t_{HD_STA}	スタート ホールド時間、SCL (Tr=600ns ～ 1000ns)、SDA (Tf=6.5ns ～ 106.5ns)、100kHz STD	4			µs
t_{SU_STA}	スタート セットアップ時間、SCL (T_r=600ns ～ 1000ns)、SDA (T_f=6.5ns ～ 106.5ns)、100kHz STD	4.7			µs
t_{SU_DAT}	データ入力または誤スタート/ストップ、セットアップ時間、SCL (T_r=600ns ～ 1000ns)、SDA (T_f=6.5ns ～ 106.5ns)、100kHz STD	250			ns
t_{HD_DAT}	データ入力または誤スタート/ストップ、ホールド時間、SCL (T_r=600ns ～ 1000ns)、SDA (T_f=6.5ns ～ 106.5ns)、100kHz STD	5			µs
t_{VD_DAT}、t_{VD_ACK}	SDA 出力遅延、SCL (T_r=600ns ～ 1000ns)、SDA (T_f=6.5ns ～ 106.5ns)、100kHz STD			3.45	µs
$t_{HD_DAT_SL}$	デバイスが送信中のデータ ホールド時間	13.5			ns

Copyright © 2025 Texas Instruments Incorporated

		最小値	公称値	最大値	単位
t_{SP}	グリッチ幅は抑制	50		91	ns
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間 (デバイスが許容する必要のあるホストの最小仕様)	4.7			µs
t_{LOW}	SCL クロックの Low 期間 (デバイスが許容する必要のあるホストの最小仕様)	4.7			µs
t_{HIGH}	SCL クロックの High 期間 (デバイスが許容する必要のあるホストの最小仕様)	4.0			µs

(1) USB インプリメンターズ・フォーラム (2018)USB2 (eUSB2) 物理層補足を USB リビジョン 2.0 仕様に組み込み、Rev. 1.2 USB インプリメンターズ・フォーラム

6.8 代表的特性



TJ1E は eUSB2 から USB への出力方向用で、TJ1I は USB から eUSB2 への入力方向用です

図 6-1. 合計加算ジッタ (標準値)

7 パラメータ測定情報

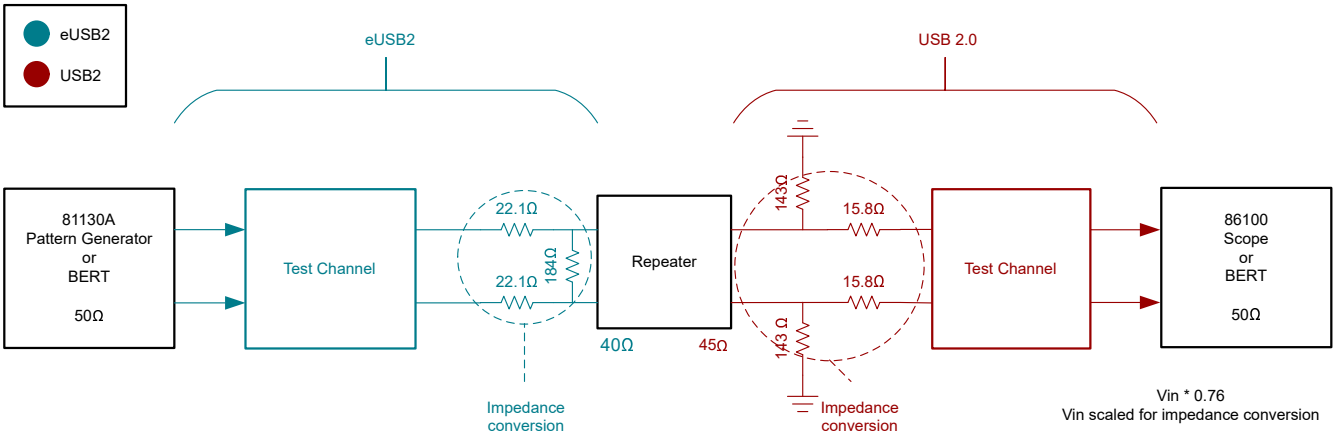


図 7-1. USB 2.0 TX 出力 (出力) ジッタ、アイ マスク テスト設定

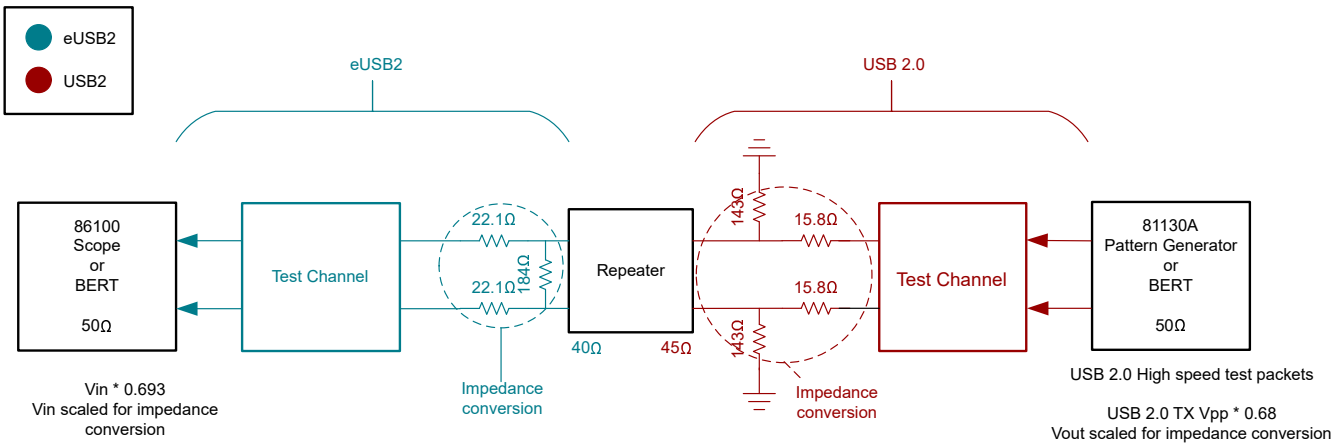


図 7-2. eUSB2 TX 出力 (入力) ジッタ、アイ マスク テスト設定

Copyright © 2025 Texas Instruments Incorporated

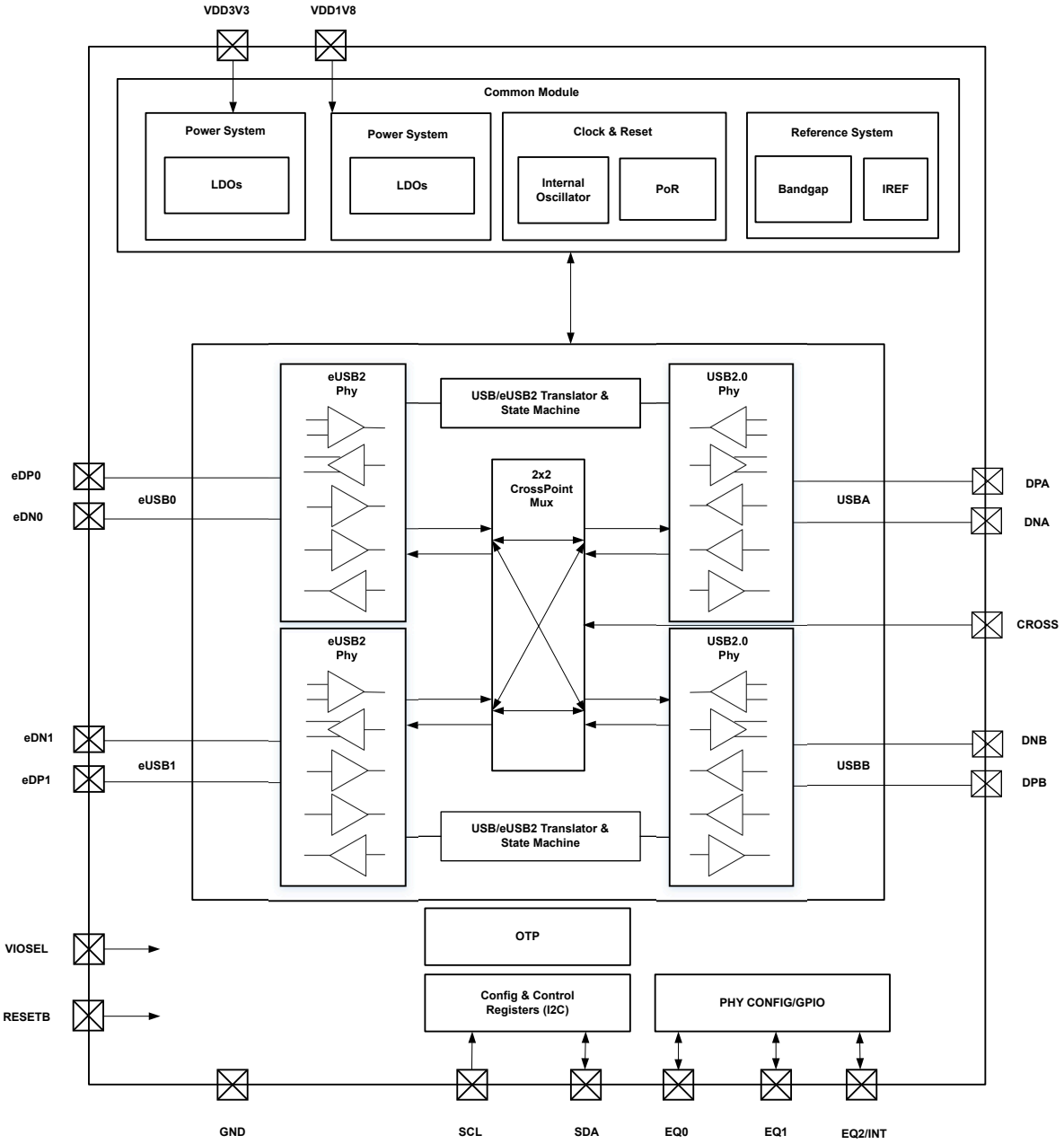
8 詳細説明

8.1 概要

TUSB2E221 は、1 つまたは 2 つの eUSB2 ポートを備えた SoC と、USB 2.0 をサポートする外部コネクタの間に常駐する eUSB2 から USB 2.0 へのデュアル リピータです。各リピータは、ホストまたはデバイス リピータ (DRD リピータ) として個別に構成できます。

USB 2.0 ポート A および B は、リセット時に CROSS ピンを設定することで、内部クロスバー スイッチによって交換できます。パワーアップ リセット後、CROSS ピンは無視されます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 USB 2.0

TUSB2E221 は、2 つの USB 2.0 ポートをサポートしています。各ポートは、低速、フルスピード、高速動作に対応しています。

8.3.2 eUSB2

TUSB2E221 は、低速、フルスピード、高速動作に対応する 2 つの eUSB2 ポートをサポートしています。

8.3.3 クロス マルチプレクサ

TUSB2E221 は、2 つの eUSB2 ポートのどちらかを 2 つの USB 2.0 ポートにマッピングできるクロス マルチプレクサ機能をサポートしているため、設計の柔軟性が向上します。

8.4 デバイスの機能モード

8.4.1 反復モード

RESETB のデアサート後および $t_{_RH_READY}$ 経過後、TUSB2E221 は有効化され、デフォルト状態に移行し、eUSB2 パケットを受け入れる準備ができます。

表 8-1. ホストおよび/またはペリフェラル リピータでサポートされているハブの数

eUSB2 リピータの数	HS で動作するハブの数	FS で動作するハブの数	
1	4	2	$T_{e_to_U_DJ1}$ および T_{RJR1} により、FS で動作するハブの数が減少します。 SOP 切り捨てと EOP ドリブルにより、HS で動作するハブの数が減少します
2	3	1	
0	5	5	参考用の非 eUSB2 システム

8.4.2 パワーダウン モード

RESETB は、Low にアサートされるとパワーダウン ピンとして使用できます。パワーダウン モードになると、TUSB2E221 は最小消費電力モードに移行します。

8.4.3 UART モード

I^2C モードでは、GPIO0 デフォルトは Carkit UART モードのイネーブル制御として使用されます。GPIO0 は Carkit UART モードをイネーブル有効化するためのアクティブ Low 信号です。GPIO0 は、APU または SoC によって制御できます。APU または SoC の電源がオンになっていないとき、またはファームウェアがロードされていないとき、GPIO0 は Low になります。GPIO0 が Low のとき、UART モードでは、USB ポートを介して APU または SoC のデバッグ インターフェイスにアクセスできます。

デフォルトの Carkit UART 方向は、DP → eDP (RX) および eDN → DN (TX) です。

GPIO0 の立ち上がりエッジに続いて T_{MODE_SWITCH} が続くと、TUSB2E221 は有効になってデフォルト状態に移行し、eUSB2 ポート リセット、構成、または RAP を受け入れる準備が整います。リピータ モードは、eUSBr から受信し、リピータによってアクノリッジされる eUSB2 定義の構成に応じて、ホストまたはペリフェラルとして構成されます。

UART モード イネーブルは、電源投入後、GPIO0 によって制御されます。これは、UART-PORTx レジスタの UART_use_bit1_Px ビットにより変更できるため、UART モード イネーブルは GPIO0 ではなくレジスタにより制御できます。

Copyright © 2025 Texas Instruments Incorporated

8.4.4 ECR の自動再開

オプションのホスト リピータ自動再開は、eDSPr から SOResume を受信するまで D+/D- で K の再開を駆動することで、L1/L2 の TUSB2E221 でサポートされます。さらに、TUSB2E221 eUSPh は、eDSPr から SORresume を受信するまで、リモート ウェーク ライン状態を保持します。

この自動再開機能により、TUSB2E221 UDSP ドライブが 1ms (T_{URSM}) ハブ再開タイミング要件内で再開する間に、ホスト コントローラは低消費電力状態を終了して SOResume を発行するための追加時間を確保できます。この低消費電力機能を利用するために、ホスト コントローラは低消費電力状態のときに eDSPr ラインでウェークアップを検出するための低消費電力メカニズムを実装しています。

ホスト コントローラが eDSPr でリモート ウェークアップを検出してから 1ms 以内に SOResume を開始できる場合、この自動再開機能は必要ありません。

L2 割り込みモードが有効の場合、この自動再開 ECR モードは無効になります。L2 割り込みモードが有効な場合に、UDSP でリモート ウェークが検出されたけれども、eUSPh がリモート ウェーク状態ではなく SE0 に保持されている場合は、D+/D- で K の再開が駆動されます。詳細については、「*L2 状態割り込みモード*」セクションを参照してください。

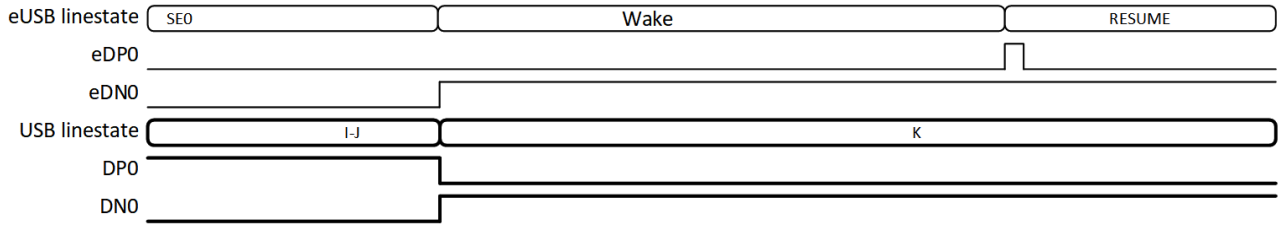


図 8-1. HS/FS の自動再開のタイミング図

8.4.5 L2 状態割り込みモード

eDSP の電源オフ時に eUSB2 での信号を防止するには、L2 リモート ウェーク割り込みモードと接続解除イベント割り込みモードの両方を有効にします。L2 リモート ウェーク割り込みモードがイネーブル有効の場合の特別リモート ウェーク シーケンス。

- システムは割り込み USB_REMOTE_WAKE_Px を有効化します。
- リピータはホスト モードで、CM.L2 を受信しました。
- リピータは USB 2.0 でのウェークを検出します
- リピータは割り込みをアサートします。
- リピータは USB 2.0 で「*再開*」を反映しますが、eUSB2 でウェークを通知しません。
- リピータは、設定、接続、またはリセット シーケンスを中断せずに、eDSPr が再開の開始を通知するのを待機します。
- リピータ と eDSP は、通常の eUSB2 プロトコルに従って、L0 での開始と終了を信号で通知します。

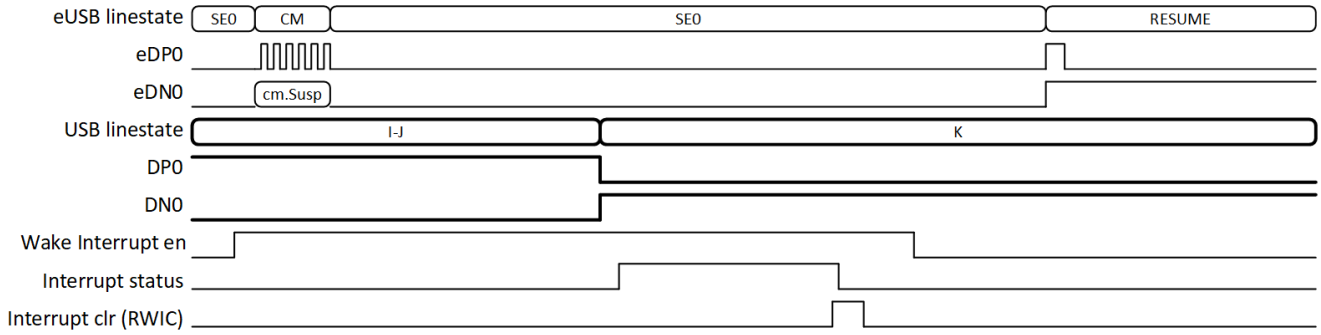


図 8-2. HS/FS のウェーク割り込みのタイミング図

接続解除イベント割り込みモードが有効の場合の特別ウェーク オン接続解除シーケンス

- システムは割り込み USB_DISCONNECT_Px を有効にします。
- リピータはホスト モードで、CM.L2 を受信しました。
- リピータは USB 2.0 での接続解除の SE0 を検出します。
- リピータは割り込みをアサートします。
- eDSPr が TUSB2E221 をホストとして再初期化する前に、割り込みをクリアする必要があります。
- リピータは、eUSB2 での USB 2.0 SE0 を通知または報告しません。
- リピータは eDSPr の電源がオンになるのを待機します。このとき、ポート リセット アナウンスメントが開始されます。
- リピータと eDSP は通常の eUSB2 プロトコルに従い、ホスト モードで未接続状態で終了します。

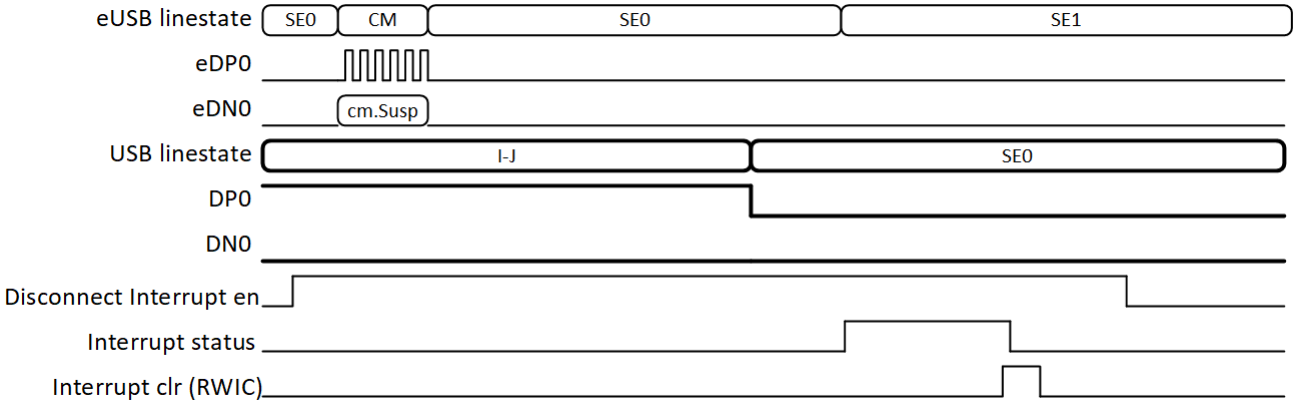


図 8-3. HS/FS の接続解除割り込みのタイミング図

8.4.6 接続検出割り込みモード

接続イベント検出が有効な場合、TUSB2E221 は eUSB2 に信号接続されるのではなく、割り込みイベントを発行します。

- システムは割り込み USB_DETECT_ATTACH_Px を有効化します。割り込みは、いずれかの接続イベントの前に有効化する必要があります。
- リピータはホスト モードです。
- リピータは USB 2.0 での接続を検出します。
- リピータは、eUSB2 と信号接続する代わりに、60µs の接続をデバウンスし、割り込みをアサートします。
- 通常のメカニズムを使用してプロセス接続を行うホストとして eDSPr を再初期化する前に、割り込みを無効化する必要があります。

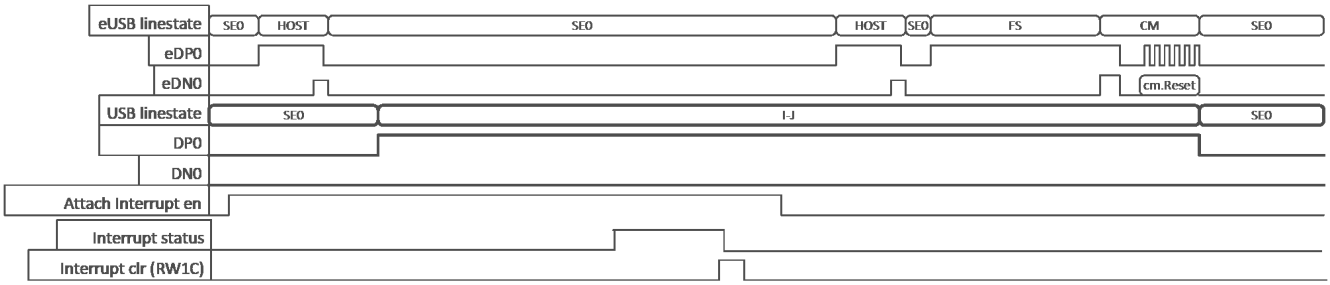


図 8-4. HS/FS の接続検出割り込みのタイミング図

Copyright © 2025 Texas Instruments Incorporated

8.4.7 GPIO モード

8.4.7.1 EQ0 を GPIO0 として使用

EQ0 ピンは電源投入時に入力モードに移行し、リセット中にサンプリングされます。

EQ0 は、デフォルトでアクティブ High の UART モード (バイパス モード) になっており、I²C モードで電源投入後に eUSB2 port0 を制御できます。

EQ0 ピンは、I²C レジスタへの書き込みにより入力または出力モードに構成できます。出力イベントは、I²C レジスタにより選択されます。詳細については、GPIO0_CONFIG レジスタを参照してください。

EQ0 入力ステータスの変化は、I²C で有効になっている場合、EQ2/INT によって割り込みとして通知できます。ステータス変更トリガは、I²C 経由でエッジ トリガまたはレベル トリガにプログラムできます。

出力モードの EQ0 ピンはデフォルトでオープン ドレイン出力になりますが、プッシュプル出力に構成できます。プッシュプル モードでは、EQ0 ピンは最大 3pF の負荷を駆動できます。

RESETB アサート、デアサート、またはソフト リセット時に、EQ0 ピンは入力に戻ります。

非 I²C モードでは、EQ0 ピンは USB PHY チューニングに使用されます。

8.4.7.2 EQ1 を GPIO1 として使用

EQ1 ピンは電源投入時に入力モードに移行し、リセット中にサンプリングされます。

EQ1 は、デフォルトでアクティブ High の UART モード (バイパス モード) になっており、I²C モードで電源投入後に eUSB2 port1 を制御できます。

EQ1 ピンは、I²C レジスタへの書き込みにより入力または出力モードに構成できます。出力イベントは、I²C レジスタにより選択されます。GPIO1_CONFIG レジスタを参照してください。

EQ1 入力ステータスの変化は、I²C で有効になっている場合、EQ2/INT によって割り込みとして通知できます。ステータス変更トリガは、I²C 経由でエッジ トリガまたはレベル トリガにプログラムできます。

出力モードの EQ1 ピンはデフォルトでオープン ドレイン出力になりますが、プッシュプル出力に構成できます。プッシュプル モードでは、EQ1 ピンは最大 3pF の負荷を駆動できます。

RESETB アサート、デアサート、またはソフト リセット時に、EQ1 ピンは入力に戻ります。

非 I²C モードでは、EQ1 ピンは USB PHY チューニングに使用されます。

8.4.7.3 EQ2/INT を GPIO2 として使用

EQ2/INT ピンは、電源投入時にデフォルトでオープン ドレイン割り込み (INT) アクティブ Low 出力になりますが、I²C によりプッシュプル出力としてプログラムできます。プッシュプル モードでは、EQ2/INT ピンはアクティブ High またはアクティブ Low のいずれかにプログラムできます。割り込み出力は、レベルに敏感な割り込みです。トリガ イベントは I²C を使用して選択できます。

EQ2/INT を APU に接続して、割り込み機能とプルアップ抵抗 (オープン ドレイン モード) を使用します。

EQ2/INT 割り込み出力は、*INT_ENABLE_1*/2 および *INT_STATUS*_1/2 レジスタによって構成できます。

非 I²C モードでは、EQ2/INT ピンは USB PHY チューニングに使用されます。

8.4.8 CROSS

CROSS ピンは、内蔵のクロス バー マルチプレクサの方向を制御します。

RESETDB のデアサート後、内部で生成されるリセット信号と 1ms の遅延が経過した後、CROSS ピンがサンプリングされてラッチされます。

電源に関する推奨事項 に示されているように、システムは電源ランプおよび RESETB デアサートに関して、CROSS が $t_{_su_CROSS}$ および $t_{_hd_CROSS}$ を満たしていることを確認する必要があります。

RESETB が High のときの CROSS 入力の状態の変化は無視されます。

表 8-2. eUSB2 から USB へのマッピング

	CROSS = 0	CROSS = 1
eUSB0 (eDP0, eDN0)	USBA (DPA、DNA)	USBB (DPB、DNB)
eUSB1 (eDP1, eDN1)	USBB (DPB、DNB)	USBA (DPA、DNA)

8.4.9 USB 2.0 高速ホスト接続解除検出

USB 2.0 仕様では、外部負荷なしの接続解除時の高速出力差動スイング V_{OD} が規定されていません。チャープ レベルと HS ホスト接続解除スレッショルドのみが指定されています。仕様では、接続解除時に高速出力差動スイング V_{OD} が 2 倍になることを暗黙的に想定しています。しかし、接続解除時の高速出力差動スイングは、USB 2.0 TX 出力スイングとプリエンファシス設定に依存します。同相電圧の増加により出力スイング レベルが飽和し、2 倍にならない可能性があるためです。

高速ホスト接続解除スレッショルドを調整して、最大のマージンを確保することにより、接続解除の誤検出や接続解除の検出障害を防止できます。表 8-3 を参照してください。

表 8-3. 推奨 USB 2.0 高速ホスト接続解除スレッショルド (USB HSTX 振幅およびプリエンファシス準拠)

	USB HS TX プリエンファシス					
USB HS TX 振幅 (Vp-p)	**0.5dB (0h)**	**0.9dB (1h)**	**1.2dB (2h)**	**1.7dB (3h)**	**2.1dB (4h)**	**2.5dB (5h)**
740mV (0h)	545mV (1h)	545mV (1h)	545mV (1h)	545mV (1h)	545mV (1h)	545mV (1h)
760mV (1h)	565mV (2h)	565mV (2h)	565mV (2h)	565mV (2h)	565mV (2h)	565mV (2h)
780mV (2h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)
800mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)	585mV (3h)
820mV (4h)	605mV (4h)	605mV (4h)	605mV (4h)	605mV (4h)	605mV (4h)	605mV (4h)
840mV (5h)	625mV (5h)	625mV (5h)	625mV (5h)	625mV (5h)	625mV (5h)	625mV (5h)
860mV (6h)	645mV (6h)	645mV (6h)	645mV (6h)	645mV (6h)	625mV (5h)	625mV (5h)
880mV (7h)	645mV (6h)	645mV (6h)	645mV (6h)	645mV (6h)	645mV (6h)	645mV (6h)
900mV (8h)	665mV (7h)	665mV (7h)	665mV (7h)	665mV (7h)	665mV (7h)	645mV (6h)
920mV (9h)	685mV (8h)	685mV (8h)	685mV (8h)	665mV (7h)	665mV (7h)	665mV (7h)
940mV (Ah)	685mV (8h)	685mV (8h)	685mV (8h)	685mV (8h)	665mV (7h)	665mV (7h)
960mV (Bh)	705mV (9h)	705mV (9h)	705mV (9h)	685mV (8h)	685mV (8h)	665mV (7h)
980mV (Ch)	725mV (Ah)	705mV (9h)	705mV (9h)	705mV (9h)	685mV (8h)	685mV (8h)
1000mV (Dh)	725mV (Ah)	725mV (Ah)	705mV (9h)	705mV (9h)	685mV (8h)	685mV (8h)
1020mV (Eh)	725mV (Ah)	725mV (Ah)	725mV (Ah)	705mV (9h)	705mV (9h)	685mV (8h)
1040mV (Fh)	745mV (Bh)	725mV (Ah)	725mV (Ah)	705mV (9h)	705mV (9h)	685mV (8h)

8.4.10 フレーム ベースの低消費電力モード

USB2.0 規格では、すべての 125µs で発生する高速マイクロフレームが定義されています。特許取得済みの設計を使用して、TUSB2E221 はすべての高速マイクロフレーム内のアイドル条件を監視します。TUSB2E221 は、バスが 7.8125µs を超えてアイドル状態になると低消費電力状態に移行し、次の µSOF が開始するまで低消費電力状態を維持します。この機能はデフォルトで有効化されており、HOST_FRAME_LP_EN_Px または DEVICE_FRAME_LP_EN_Px ビットをクリアすることで無効化できます。

表 8-4 に、フレーム ベースの低消費電力が有効化されているかどうかに基づく TUSB2E221 の標準的な高速アイドル消費電力の例を示します。これらの結果は、TUSB2E221 がホスト リピータ モードであると想定しています。

Copyright © 2025 Texas Instruments Incorporated

表 8-4. フレーム ベース LP モードの代表的なシングル ポート高速アイドル電力

HOST_FRAME_LP_EN_Px	1.8V 電流 (mA)	3.3V 電流 (mA)
0 (ディスエーブル)	56	2.8
1 (イネーブル)	12	2.0

注

フレーム ベースの低消費電力モードはデフォルトで有効になっています。TUSB2E221 をピン ストラップ モードで使用する場合、この機能を無効化できません。ピン ストラップ モードでフレーム ベースの低消費電力モードを無効にするデバイス バリアントが必要な場合は、セクション 11.3 に連絡してください。

8.5 プログラミング

8.5.1 I²C ターゲット インターフェース

I²C ターゲット インターフェイスにより、システム アプリケーション プロセッサから内部レジスタにアクセスできます。インターフェイスの主な機能は、各種 PHY パラメータの設定を有効化し、GPIO ピンの制御と USB-BC 機能の有効化です。TUSB2E221 リピータ機能は、電源投入後に、I²C 構成を必要とせずに動作します。

TUSB2E221 には、I²C 7 ビット ターゲット アドレス 0x4F があります。書き込みの 8 ビット アドレス:0x9E および読み出し:0x9F の詳細を示します。

I²C のデフォルト ターゲット アドレスは、ワンタイム プログラミングにより工場出荷時に変更できます。

I²C 駆動強度は、I²C を介して変更できます。

表 8-5. I²C バス速度、バス プルアップ、バス容量の推奨 I²C 駆動強度

I²C FM+ (1MHz 最大)	I²C 駆動強度 (I_{OL}) 選択			
	I2C バス プルアップ R_{PU}			
C(bus) pF	1kΩ	2.2kΩ	4kΩ	7kΩ
10-50	≅8mA	≅4mA	該当なし	該当なし
10-90	≅8mA	該当なし	該当なし	該当なし
10-150	該当なし	該当なし	該当なし	該当なし
10-200	該当なし	該当なし	該当なし	該当なし

I²C FM (400kHz 最大)	I²C 駆動強度 (I_{OL}) 選択			
	I²C バス プルアップ R_{PU}			
C(bus) pF	1kΩ	2.2kΩ	4kΩ	7kΩ
10-50	≅8mA	≅4mA	≅2mA	該当なし
10-90	≅8mA	≅4mA	該当なし	該当なし
10-150	≅8mA	≅8mA	該当なし	該当なし
10-200	≅8mA	該当なし	該当なし	該当なし

I²C STD (100kHz 最大)	I²C 駆動強度 (I_{OL}) 選択			
	I²C バス プルアップ R_{PU}			
C(bus) pF	1kΩ	2.2kΩ	4kΩ	7kΩ
10-50	≅8mA	≅4mA	≅2mA	≅1mA
10-90	≅8mA	≅4mA	≅2mA	≅1mA
10-150	≅8mA	≅4mA	≅2mA	≅2mA
10-200	≅8mA	≅4mA	≅2mA	≅2mA

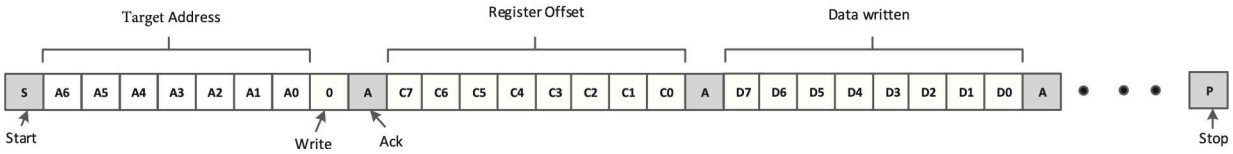


図 8-5. I²C データ書き込み

TUSB2E221 I²C レジスタにデータを書き込むには、この手順を使用します (図 8-5 を参照) :

1. ホストは、スタート条件 (S) を生成することで書き込み動作を開始し、続いて TUSB2E221 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB2E221 が、アドレス サイクルをアクノリッジします。
3. ホストは、TUSB2E221 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB2E221 が、サブアドレス サイクルをアクノリッジします。
5. ホストが I²C レジスタに書き込むデータの最初のバイトを送信します。
6. TUSB2E221 が、バイト転送をアクノリッジします。
7. ホストは書き込むデータの追加のバイトを引き続き提示することができます。各バイト転送は、TUSB2E221 からのアクノリッジで完了します。
8. ホストがストップ条件 (P) を生成して書き込み動作を終了します。

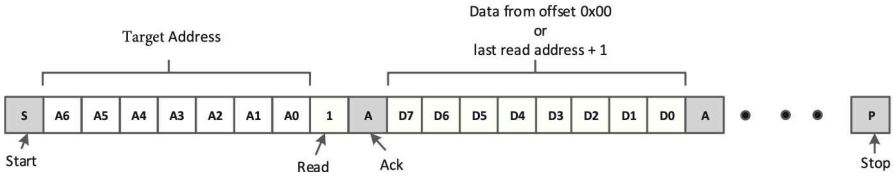


図 8-6. リピート スタートなしの I²C 読み取り

リピート スタートを使用せずに TUSB2E221 I²C レジスタを読み取るには、この手順に従ってください (図 8-6 を参照)。

1. ホストは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB2E221 7 ビット アドレスおよび 0 値の「W/R」ビットで読み取りサイクルを示します。
2. TUSB2E221 が、7 ビットのアドレス サイクルをアクノリッジします。
3. アクノリッジ後、ホストは引き続きクロックの送信を行います。
4. TUSB2E221 は、レジスタ 00h または最後に読み取ったレジスタオフセット +1 から、メモリ レジスタの内容を MSB ファーストで送信します。読み取りの前に I²C レジスタへの書き込みが発生した場合、TUSB2E221 は書き込みで指定されたサブアドレスから開始します。
5. TUSB2E221 は、各バイト転送の後、ホストからのアクノリッジ (ACK) または非アクノリッジ (NACK) を待ちます。I²C ホストは、各データ バイト転送の受信をアクノリッジします。
6. ACK を受信すると、TUSB2E221 はホストがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB2E221 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
7. ホストがストップ条件 (P) を生成して書き込み動作を終了します。

Copyright © 2025 Texas Instruments Incorporated

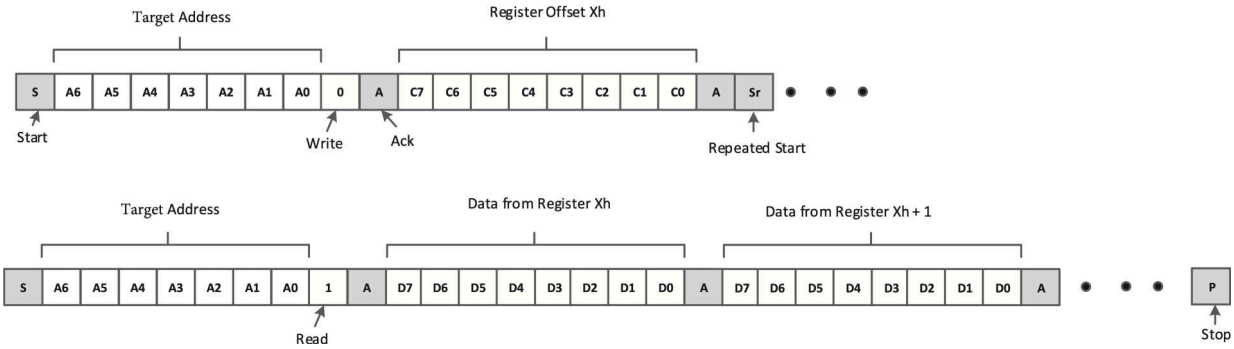


図 8-7. リピート スタートによる I²C 読み取り

リピート スタートを使用して TUSB2E221 が、I²C レジスタを読み取るには、この手順に従ってください (図 8-7 を参照)。

1. ホストは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB2E221 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB2E221 が、7 ビットのアドレス サイクルをアクノリッジします。
3. ホストは、TUSB2E221 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB2E221 がレジスタのオフセット サイクルをアクノリッジします。
5. ホストに反復スタート条件 (Sr) が提示されます。
6. ホストは、スタート条件 (S) を生成することで読み取り動作を開始し、続いて TUSB2E221 7 ビット アドレスおよび 1 値の「W/R」ビットで書き込みサイクルを示します。
7. TUSB2E221 が、7 ビットのアドレス サイクルをアクノリッジします。
8. TUSB2E221 は、レジスタ オフセットからメモリ レジスタの内容を MSB ファーストで送信します。
9. TUSB2E221 は、各バイト転送後にホストからのアクノリッジ (ACK) または非アクノリッジ (NACK) を待ちます。I²C ホストは、各データ バイト転送の受信をアクノリッジします。
10. ACK を受信すると、TUSB2E221 はホストがクロックを供給している限り、データの次のバイトを送信します。NAK を受信すると、TUSB2E221 を受信すると、データの送信を停止し、停止条件 (P) を待機します。
11. ホストがストップ条件 (P) を生成して読み出し動作を終了します。

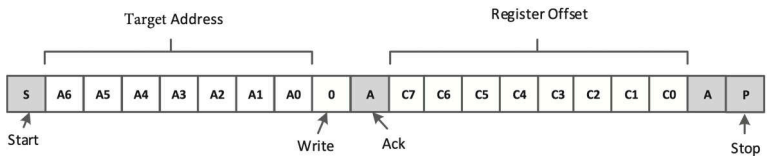


図 8-8. I²C データなし書き込み

I²C 読み取りの開始サブアドレスを設定するには、この手順を実行します (図 8-8 を参照)。

1. ホストは、スタート条件 (S) を生成することで書き込み動作を開始し、続いて TUSB2E221 7 ビット アドレスおよび 0 値の「W/R」ビットで書き込みサイクルを示します。
2. TUSB2E221 が、アドレス サイクルをアクノリッジします。
3. ホストは、TUSB2E221 内で書き込み対象となるレジスタのオフセットを提示します。このオフセットは 1 バイトのデータで構成され、MSB ファーストで送信されます。
4. TUSB2E221 がレジスタのオフセット サイクルをアクノリッジします。
5. ホストがストップ条件 (P) を生成して書き込み動作を終了します。

注

初回の電源投入後、リード手順でレジスタ オフセットが指定されていない場合 (図 8-6 を参照)、読み取りはレジスタ オフセット 00h から開始され、I²C ホストが読み取り動作を終了するまで、レジスタをバイト単位で順次読み取ります。読み取り動作中、TUSB2E221 I²C ホストから ACK を受信したかどうかにかかわらず、最後に転送されたバイトの I²C 内部レジスタ アドレスを自動的にインクリメントします。

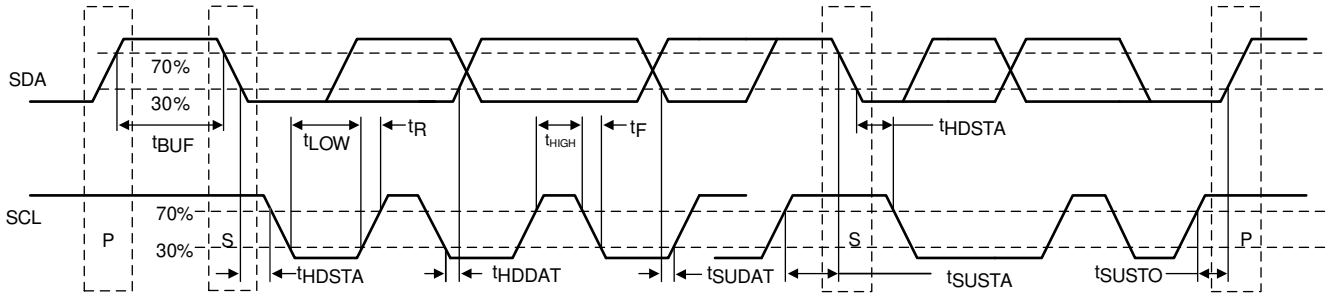


図 8-9. I²C のタイミング図

8.5.2 レジスタ アクセス プロトコル (RAP)

TUSB2E221 の各リピータは、eUSB2 経由でのレジスタ アクセス プロトコル (RAP) をサポートし、関連するレジスタにアクセスできます。各リピータに関連付けられたレジスタのみに、RAP を介してアクセスできます。その他のリピータまたはチップ トップ レベルのレジスタには、RAP を介してアクセスすることはできません。

RAP アクセス可能なレジスタは、レジスタ マップの対応する RAP アドレスとともに示されます。レジスタのサブセットのデフォルト値は工場出荷時にプログラム可能で、レジスタ マップに示されています。

Copyright © 2025 Texas Instruments Incorporated

9 レジスタ マップ

9.1 TUSB2E221 のレジスタ

TUSB2E221 レジスタのメモリマップされたレジスタを、表 9-1 に示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-1. TUSB2E221 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	GPIO0_CONFIG	ポート 0 の RAP レジスタ (書き込み = 0h、読み取り = 30h)	表示
10h	LOPWR_N_UART_P0		表示
20h	CONFIG_PORT0	ポート 0 の RAP レジスタ (書き込み = 20h、読み取り = 10h)	表示
30h	U_TX_ADJUST_PORT0	ポート 0 の RAP レジスタ (書き込み = 30h、読み取り = 0h) 、OTP によるデフォルト	表示
31h	U_HS_TX_PRE_EMPHASIS_P0	ポート 0 の RAP レジスタ (書き込み = 31h、読み取り = 1h) 、OTP によるデフォルト	表示
32h	U_RX_ADJUST_PORT0	ポート 0 の RAP レジスタ (書き込み = 32h、読み取り = 2h) 、OTP によるデフォルト	表示
33h	U_DISCONNECT_SQUELCH_PORT0	ポート 0 の RAP レジスタ (書き込み = 33h、読み取り = 3h) 、OTP によるデフォルト	表示
37h	E_HS_TX_PRE_EMPHASIS_P0	ポート 0 の RAP レジスタ (書き込み = 37h、読み取り = 7h) 、OTP によるデフォルト	表示
38h	E_TX_ADJUST_PORT0	ポート 0 の RAP レジスタ (書き込み = 38h、読み取り = 8h) 、OTP によるデフォルト	表示
39h	E_RX_ADJUST_PORT0	ポート 0 の RAP レジスタ (書き込み = 39h、読み取り = 9h) 、OTP によるデフォルト	表示
40h	GPIO1_CONFIG	ポート 1 の RAP レジスタ (書き込み = 0h、読み取り = 30h)	表示
50h	LOPWR_N_UART_P1		表示
60h	CONFIG_PORT1	ポート 1 の RAP レジスタ (書き込み = 20h、読み取り = 10h)	表示
70h	U_TX_ADJUST_PORT1	ポート 1 の RAP レジスタ (書き込み = 30h、読み取り = 0h) 、OTP によるデフォルト	表示
71h	U_HS_TX_PRE_EMPHASIS_P1	ポート 1 の RAP レジスタ (書き込み = 31h、読み取り = 1h) 、OTP によるデフォルト	表示
72h	U_RX_ADJUST_PORT1	ポート 1 の RAP レジスタ (書き込み = 32h、読み取り = 2h) 、OTP によるデフォルト	表示
73h	U_DISCONNECT_SQUELCH_PORT1	ポート 1 の RAP レジスタ (書き込み = 33h、読み取り = 3h) 、OTP によるデフォルト	表示
77h	E_HS_TX_PRE_EMPHASIS_P1	ポート 1 の RAP レジスタ (書き込み = 37h、読み取り = 7h) 、OTP によるデフォルト	表示
78h	E_TX_ADJUST_PORT1	ポート 1 の RAP レジスタ (書き込み = 38h、読み取り = 8h) 、OTP によるデフォルト	表示
79h	E_RX_ADJUST_PORT1	ポート 1 の RAP レジスタ (書き込み = 39h、読み取り = 9h) 、OTP によるデフォルト	表示
A3h	INT_STATUS_1		表示
A4h	INT_STATUS_2		表示
B0h	REV_ID		表示
B2h	GLOBAL_CONFIG		表示
B3h	INT_ENABLE_1		表示
B4h	INT_ENABLE_2		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. TUSB2E221 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
WtoPH	W toPH	書き込み パルス High
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1.1 GPIO0_CONFIG レジスタ (オフセット = 0h) [リセット = 00h]

GPIO0_CONFIG を表 9-3 に示します。

概略表に戻ります。

表 9-3. GPIO0_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO0_OD_PP	R/W	0h	GPIO0 出力タイプ 0h = オープン ドレイン出力 1h = プッシュプル出力
6	GPIO0_IN_TRIGGER_TYPE	R/W	0h	割り込みの GPIO0 入力トリガ タイプ 0h = エッジ トリガ入力 1h = レベル トリガ入力 (INT 出力は入力レベル状態を反映)
5	GPIO0_DIRECTION	R/W	0h	GPIO0 方向 0h = 入力 1h = 出力
4	GPIO0_INPUT_STATUS	RH	0h	GPIO0 ピン入力の論理値 (0 = Low、1 = High) 0h = 入力は Low 1h = 入力は High

Copyright © 2025 Texas Instruments Incorporated

表 9-3. GPIO0_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	GPIO0_OUTPUT_SELECT	R/W	0h	GPIO0 出力選択 0h = リモート ウェークアップ — ホスト リピータはリモート ウェークアップを受信するけれども、再開の開始は確認しない 1h = USB 接続解除 — ホスト リピータは、LS/FS 接続解除信号を積極的に転送している。 2h = USB_HS_Unsquelched — ホスト リピータは L0 状態で USB HS を認識している、またはリセット状態でチャープを認識している 3h = PVTB — ホスト リピータは、HS 接続解除により、ESE1 をアクティブに送信している。 4h = DEFAULT — 構成待ちのホスト/ ペリフェラル 5h = HOST — ホスト リピータ モード 6h = PERIPHERAL — ペリフェラル リピータ モード 7h = CONNECTED — リピータ接続済み、リセット開始によって接続が確認済み 8h = RESET — リセット進行中。リセット High を検出済み。L0 は Low 9h = L0 — 完全に構成済み。データの反復、キープアライブ機能、リセット/接続解除 Ah = L1 — デバイスが CM.FS/CM.L1 を受信。反復を停止。ウェーク/再開を待機 Bh = L2 — デバイスが CM.L2 を受信。反復を停止。ウェーク/再開を待機。 Ch = GPIO0_HS_TEST — ホスト リピーターは L0 モード。CM.TEST を受信 Dh = HIGH_OUTPUT — 出力は強制的に静的 High Eh = LOW_OUTPUT — 出力は強制的に静的 Low Fh = OVP — USB DP/DN で過電圧 (DP/DN 電圧 > VOVP_TH) を検出済み

9.1.2 LOPWR_N_UART_P0 レジスタ (オフセット = 10h) [リセット = 50h]

LOPWR_N_UART_P0 を表 9-4 に示します。

概略表に戻ります。

表 9-4. LOPWR_N_UART_P0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	R	0h		予約済み
6	HOST_FRAME_LP_EN_P0	RH/W	1h	Y	ホスト リピータ フレーム ベース低消費電力モード イネーブル OTP によるデフォルト 0h = 非イネーブル 1h = イネーブル
5	DEVICE_FRAME_LP_EN_P0	RH/W	0h	Y	ペリフェラル リピータ フレーム ベース低消費電力モード イネーブル OTP によるデフォルト 0h = 非イネーブル 1h = イネーブル
4	IDLE_LP_EN_P0	RH/W	1h	Y	応答ベース低消費電力モードを有効化 OTP によるデフォルト 0h = ディスエーブル 1h = イネーブル
3	UART_GPI_POLARITY_P0	RH/W	0h	Y	ピンの極性を選択して UART モードを有効化 OTP によるデフォルト 0h = 1 の場合に GPIO0 ピンが UART モードを有効化 1h = 0 の場合に GPIO0 ピンが UART モードを有効化

表 9-4. LOPWR_N_UART_P0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2	UART_DP_PU_EN_P0	RH/W	0h	Y	UART モード時に DP プルアップを有効化するかどうかを選択 OTP によるデフォルト 0h = UART モード時に DP プルアップを無効化 1h = UART モード時に DP プルアップを有効化
1	UART_en_by_reg_not_pin_P0	RH/W	0h	Y	UART モードをレジスタで有効化するか、GPIO0 ピンで有効化するかを選択 OTP によるデフォルト 0h = UART_mode_en_P0 レジスタを選択して UART モードを有効化 1h = GPIO0 ピンを選択して UART モードを有効化
0	UART_mode_en_P0	RH/W	0h	Y	UART モードを有効にするために GPIO0 が選択されていない場合、このレジスタは UART モードを有効化します。 OTP によるデフォルト 0h = eUSB2 ピンと USB 2.0 ピン間の UART モードを無効化 1h = eUSB2 ピンと USB 2.0 ピン間の UART モードを有効化

9.1.3 CONFIG_PORT0 レジスタ (オフセット = 20h) [リセット = 00h]

CONFIG_PORT0 を表 9-5 に示します。

概略表に戻ります。

表 9-5. CONFIG_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	予約済み	R	0h	予約済み
4-3	HOST_DEVICE_P0	RH	0h	Port0 はホスト リピータまたはデバイス リピーターとして構成 0h = 未構成 1h = ホスト リピータ 2h = デバイス リピータ 3h = 予約済み
2-1	予約済み	R	0h	予約済み
0	CDP_2_STATUS_P0	RH	0h	CDP_2_EN_P0=1 の場合、port0 で一次検出を検出済み 0h = CDP 一次検出を検出済み 1h = CDP 一次検出は未検出

9.1.4 U_TX_ADJUST_PORT0 レジスタ (オフセット = 30h) [リセット = 77h]

U_TX_ADJUST_PORT0 を表 9-6 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

Copyright © 2025 Texas Instruments Incorporated

表 9-6. U_TX_ADJUST_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	U_HS_TERM_P0	RH/W	1h	Y	Z_{HSTERM} 調整 USB HS 終端調整 (5% ステップで -5% ～ 10%) OTP によるデフォルト 0h = 42.75Ω (標準値) 1h = 45Ω (標準値) (hw デフォルト) 2h = 47.25Ω (標準値) 3h = 49.5Ω (標準値)
5-4	U_HS_TX_SLEW_RATE_P0	RH/W	3h	Y	T_{HSR} 調整 USB HS TX スルーレート (350ps ～ 575ps) OTP によるデフォルト 0h = 350ps (標準値) 1h = 425ps (標準値) 2h = 500ps (標準値) 3h = 575ps (標準値) (hw デフォルト)
3-0	U_HS_TX_AMPLITUDE_P0	RH/W	7h	Y	V_{EHSOD} 調整 USB HS TX 振幅、測定された p-p USB 2.0 仕様公称値は 800mV (2.5% ステップで -7.5% ～ 30%) OTP によるデフォルト この設定はチャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時の振幅には影響なし 0h = 800mV - 7.5%、740mV (標準値) 1h = 800mV - 5.0%、760mV (標準値) 2h = 800mV - 2.5%、780mV (標準値) 3h = 800mV (USB 2.0 仕様公称値)、800mV (標準値) (hw デフォルト) 4h = 800mV + 2.5%、820mV (標準値) 5h = 800mV + 5.0%、840mV (標準値) 6h = 800mV + 7.5%、860mV (標準値) 7h = 800mV + 10%、880mV (標準値) 8h = 800mV + 12.5%、900mV (標準値) 9h = 800mV + 15%、920mV (標準値) Ah = 800mV + 17.5%、940mV (標準値) Bh = 800mV + 20%、960mV (標準値) Ch = 800mV + 22.5%、980mV (標準値) Dh = 800mV + 25%、1000mV (標準値) Eh = 800mV + 27.5%、1020mV (標準値) Fh = 800mV + 30%、1040mV (標準値)

9.1.5 U_HS_TX_PRE_EMPHASIS_P0 レジスタ (オフセット = 31h) [リセット = 39h]

U_HS_TX_PRE_EMPHASIS_P0 を表 9-7 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-7. U_HS_TX_PRE_EMPHASIS_P0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	RH/W	0h		予約済み

表 9-7. U_HS_TX_PRE_EMPHASIS_P0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
6	CDP_1_EN_P0	RH/W	0h	Y	port0 で方法 1 を使用して CDP を有効化 OTP によるデフォルト 0h = CDP の方法 1 の使用ディスエーブル (hw デフォルト) 1h = CDP の方法 1 の使用イネーブル
5-4	U_HS_TX_PE_WIDTH_P0	RH/W	3h	Y	$U2_{TXPE_UI}$ 調整 USB HS TX プリエンファシス幅 OTP によるデフォルト 0h = 0.35UI (標準値) 1h = 0.45UI (標準値) 2h = 0.55UI (標準値) 3h = 0.65UI (標準値) (hw デフォルト)
3	U_HS_TX_PE_ENABLE_P0	RH/W	1h	Y	USB HS TX プリエンファシス イネーブル OTP によるデフォルト チャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時は PE ディスエーブル 0h = ディスエーブル (hw デフォルト) 1h = イネーブル
2-0	U_HS_TX_PRE_EMPHASIS_P0	RH/W	1h	Y	$U2_{TXPE}$ 調整 USB HS TX プリエンファシス (0.5dB ～ 4.0dB) OTP によるデフォルト チャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時は PE ディスエーブル 0h = 0.5dB (標準値) (hw デフォルト) 1h = 0.9dB (標準値) 2h = 1.2dB (標準値) 3h = 1.7dB (標準値) 4h = 2.1dB (標準値) 5h = 2.5dB (標準値) 6h = 3.2dB (標準値) 7h = 4.0dB (標準値)

9.1.6 U_RX_ADJUST_PORT0 レジスタ (オフセット = 32h) [リセット = D2h]

U_RX_ADJUST_PORT0 を表 9-8 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-8. U_RX_ADJUST_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	i2c_ds_config	RH/W	3h	Y	I^2C オープンドレイン出力駆動強度の選択 これは、I^2C を介して設定されるように設計されています。(リピータ 0 が無効の場合にのみピンを RAP で設定可能) OTP によるデフォルト 0h = 約 1mA (標準値) 1h = 約 2mA (標準値) 2h = 約 4mA (標準値) 3h = 約 8mA (標準値) (hw デフォルト)
5-4	予約済み	RH/W	1h		予約済み
3	予約済み	RH/W	0h		予約済み

Copyright © 2025 Texas Instruments Incorporated

表 9-8. U_RX_ADJUST_PORT0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2-0	U_EQ_P0	RH/W	2h	Y	EQ_{UHS} 調整 USB RX イコライザ制御 (0 ～ 3.35dB) OTP によるデフォルト 0h = 0.06dB (標準値) (hw デフォルト) 1h = 0.58dB (標準値) 2h = 1.09dB (標準値) 3h = 1.56dB (標準値) 4h = 2.26dB (標準値) 5h = 2.67dB (標準値) 6h = 3.03dB (標準値) 7h = 3.35dB (標準値)

9.1.7 U_DISCONNECT_SQUELCH_PORT0 レジスタ (オフセット = 33h) [リセット = 74h]

U_DISCONNECT_SQUELCH_PORT0 を表 9-9 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-9. U_DISCONNECT_SQUELCH_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-4	U_DISCONNECT_THRESHOLD_P0	RH/W	7h	Y	V_{HSDSC} 調整 USB 最小 HS ホスト接続解除スレッショルド (約 3.7% ステップで 0% ～ +57%) OTP によるデフォルト 0h = 525mV (最小値)、0% (hw デフォルト) 1h = 545mV (最小値)、+4% 2h = 565mV (最小値)、+8% 3h = 585mV (最小値)、+11% 4h = 605mV (最小値)、+15% 5h = 625mV (最小値)、+19% 6h = 645mV (最小値)、+23% 7h = 665mV (最小値)、+27% 8h = 685mV (最小値)、+31% 9h = 705mV (最小値)、+34% Ah = 725mV (最小値)、+38% Bh = 745mV (最小値)、+42% Ch = 765mV (最小値)、+46% Dh = 785mV (最小値)、+50% Eh = 805mV (最小値)、+53% Fh = 825mV (最小値)、+57%
3	予約済み	RH/W	0h		予約済み

表 9-9. U_DISCONNECT_SQUELCH_PORT0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2-0	U_SQUELCH_THRESHOLD_P0	RH/W	4h	Y	V_{HSSQ} 調整 USB スケルチ検出最小スレッショルド (約 6.5% ステップで +30% ～ -15%) OTP によるデフォルト 0h = 130mV (最小値)、+30% 1h = 124mV (最小値)、+24% 2h = 117mV (最小値)、+17% 3h = 111mV (最小値)、+11% 4h = 104mV (最小値)、+4% (hw デフォルト) 5h = 98mV (最小値)、-2% 6h = 91mV (最小値)、-9% 7h = 85mV (最小値)、-15%

9.1.8 E_HS_TX_PRE_EMPHASIS_P0 レジスタ (オフセット = 37h) [リセット = 40h]

E_HS_TX_PRE_EMPHASIS_P0 を表 9-10 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-10. E_HS_TX_PRE_EMPHASIS_P0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-5	E_HS_TX_PRE_EMPHASIS_P0	RH/W	2h	Y	E_{TXPE} 調整 eUSB2 HS TX プリエンファシス 0dB ～ 3.86dB OTP によるデフォルト 0h = 0dB (標準値) (hw デフォルト) 1h = 0.67dB (標準値) 2h = 1.29dB (標準値) 3h = 1.87dB (標準値) 4h = 2.41dB (標準値) 5h = 2.92dB (標準値) 6h = 3.41dB (標準値) 7h = 3.86dB (標準値)
4-3	E_HS_TX_PE_WIDTH_P0	RH/W	0h	Y	E_{TXPE_UI} 調整 eUSB2 HS TX プリエンファシス幅 OTP によるデフォルト 0h = 0.35UI (標準値) (hw デフォルト) 1h = 0.45UI (標準値) 2h = 0.55UI (標準値) 3h = 0.65UI (標準値)
2	予約済み	RH/W	0h		予約済み
1	予約済み	RH/W	0h		予約済み
0	予約済み	R	0h		

9.1.9 E_TX_ADJUST_PORT0 レジスタ (オフセット = 38h) [リセット = 0Ch]

E_TX_ADJUST_PORT0 を表 9-11 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-11. E_TX_ADJUST_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	予約済み	RH/W	0h		予約済み
5	予約済み	RH/W	0h		予約済み
4-3	E_HS_TX_SLEW_RATE_P0	RH/W	1h	Y	T_{EHSRF} 調整 eUSB2 HS TX スルーレート 390ps ～ 540ps OTP によるデフォルト 0h = 390ps (標準値) 1h = 440ps (標準値) (hw デフォルト) 2h = 490ps (標準値) 3h = 540ps (標準値)
2-0	E_HS_TX_AMPLITUDE_P0	RH/W	4h	Y	V_{EHSOD} 調整 eUSB2 HS TX 振幅 360mV ～ 500mV (p-2-p) OTP によるデフォルト 0h = 360mV (標準値) 1h = 380mV (標準値) 2h = 400mV (標準値) 3h = 420mV (標準値) (hw デフォルト) 4h = 440mV (標準値) 5h = 460mV (標準値) 6h = 480mV (標準値) 7h = 500mV (標準値)

9.1.10 E_RX_ADJUST_PORT0 レジスタ (オフセット = 39h) [リセット = 62h]

E_RX_ADJUST_PORT0 を表 9-12 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-12. E_RX_ADJUST_PORT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	RH/W	0h		予約済み
6-4	E_SQUELCH_THRESHOLD_P0	RH/W	6h	Y	V_{EHSSQ} 調整 eUSB2 HS スケルチ検出スレッショルド OTP によるデフォルト 0h = 104mV (標準値) 1h = 101mV (標準値) 2h = 98mV (標準値) 3h = 90mV (標準値) 4h = 81mV (標準値) 5h = 73mV (標準値) 6h = 67mV (標準値) (hw デフォルト) 7h = 60mV (標準値)

表 9-12. E_RX_ADJUST_PORT0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
3-0	E_EQ_P0	RH/W	2h	Y	EQ_{EHS} 調整 eUSB2 RX イコライザ制御 OTP によるデフォルト 0h = 0.34dB (標準値) (hw デフォルト) 1h = 0.71dB (標準値) 2h = 1.02dB (標準値) 3h = 1.36dB (標準値) 4h = 1.64dB (標準値) 5h = 1.94dB (標準値) 6h = 2.19dB (標準値) 7h = 2.45dB (標準値) 8h = 2.69dB (標準値) 9h = 2.93dB (標準値) Ah = 3.13dB (標準値) Bh = 3.35dB (標準値) Ch = 3.53dB (標準値) Dh = 3.72dB (標準値) Eh = 3.89dB (標準値) Fh = 4.07dB (標準値)

9.1.11 GPIO1_CONFIG レジスタ (オフセット = 40h) [リセット = 00h]

GPIO1_CONFIG を表 9-13 に示します。

概略表に戻ります。

表 9-13. GPIO1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_OD_PP	R/W	0h	GPIO1 出力タイプの選択 0h = オープン ドレイン出力 1h = プッシュプル出力
6	GPIO1_IN_TRIGGER_TYPE	R/W	0h	割り込みの GPIO1 入力トリガ タイプの選択 0h = エッジ トリガ入力 1h = レベル トリガ入力 (INT 出力は入力レベル状態を反映)
5	GPIO1_DIRECTION	R/W	0h	GPIO1 方向の選択 0h = 入力 1h = 出力
4	GPIO1_INPUT_STATUS	RH	0h	GPIO1 ピン入力ステータスの論理値 (0 = Low、1 = High) 0h = 入力は Low 1h = 入力は High

Copyright © 2025 Texas Instruments Incorporated

表 9-13. GPIO1_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	GPIO1_OUTPUT_SELECT	R/W	0h	GPIO1 出力選択 0h = リモート ウェークアップ — ホスト リピータはリモート ウェークアップを受信するけれども、再開の開始は確認しない 1h = USB 接続解除 — ホスト リピータは、LS/FS 接続解除信号を積極的に転送している。 2h = USB_HS_Unsquelched — ホスト リピータは L0 状態で USB HS を認識している、またはリセット状態でチャープを認識している 3h = PVTB — ホスト リピータは、HS 接続解除により、ESE1 をアクティブに送信している。 4h = DEFAULT — 構成待ちのホスト/ ペリフェラル 5h = ホスト — ホスト リピータ モード 6h = PERIPHERAL — ペリフェラル リピータ モード 7h = CONNECTED — リピータ接続済み、リセット開始によって接続が確認済み 8h = RESET — リセット進行中。リセット High を検出済み。L0 は Low 9h = L0 — 完全に構成済み。データの反復、キープアライブ機能、リセット/接続解除 Ah = L1 — デバイスが CM.FS/CM を受信。反復を停止。ウェーク/再開を待機 Bh = L2 — デバイスが CM.L2 を受信。反復を停止。ウェーク/再開を待機。 Ch = GPIO1_HS_TEST — ホスト リピーターは L0 モード。CM.TEST を受信 Dh = HIGH_OUTPUT — 出力は強制的に静的 High Eh = LOW_OUTPUT — 出力は強制的に静的 Low Fh = OVP — USB DP/DN で過電圧 (DP/DN 電圧 > VOVP_TH) を検出済み

9.1.12 LOPWR_N_UART_P1 レジスタ (オフセット = 50h) [リセット = 50h]

LOPWR_N_UART_P1 を表 9-14 に示します。

概略表に戻ります。

表 9-14. LOPWR_N_UART_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	R	0h		
6	HOST_FRAME_LP_EN_P1	RH/W	1h	Y	ホスト リピータ フレーム ベース低消費電力モード イネーブル OTP によるデフォルト 0h = ディスエーブル 1h = イネーブル
5	DEVICE_FRAME_LP_EN_P1	RH/W	0h	Y	ペリフェラル リピータ フレーム ベース低消費電力モード イネーブル OTP によるデフォルト 0h = ディスエーブル 1h = イネーブル
4	IDLE_LP_EN_P1	RH/W	1h	Y	応答ベース低消費電力モードを有効化 OTP によるデフォルト 0h = ディスエーブル 1h = イネーブル
3	UART_GPI_POLARITY_P1	RH/W	0h	Y	ピンの極性を選択して UART モードを有効化 OTP によるデフォルト 0h = 1 の場合に GPIO1 ピンが UART モードを有効化 1h = 0 の場合に GPIO1 ピンが UART モードを有効化

表 9-14. LOPWR_N_UART_P1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2	UART_DP_PU_EN_P1	RH/W	0h	Y	UART モード時に DP プルアップを有効化するかどうかを選択 OTP によるデフォルト 0h = UART モード時に DP プルアップを無効化 1h = UART モード時に DP プルアップを有効化
1	UART_en_by_reg_not_pin_P1	RH/W	0h	Y	UART モードをレジスタで有効化するか、GPIO1 ピンで有効化するかを選択 OTP によるデフォルト 0h = UART_mode_en_P1 レジスタを選択して UART モードを有効化 1h = GPIO1 ピンを選択して UART モードを有効化
0	UART_mode_en_P1	RH/W	0h	Y	UART モードを有効にするために GPIO1 が選択されていない場合、このレジスタは UART モードを有効化します。 OTP によるデフォルト 0h = eUSB2 ピンと USB 2.0 ピン間の UART モードを無効化 1h = eUSB2 ピンと USB 2.0 ピン間の UART モードを有効化

9.1.13 CONFIG_PORT1 レジスタ (オフセット = 60h) [リセット = 00h]

CONFIG_PORT1 を表 9-15 に示します。

概略表に戻ります。

表 9-15. CONFIG_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	予約済み	R	0h	予約済み
4-3	HOST_DEVICE_P1	RH	0h	Port1 はホスト リピータまたはデバイス リピーターとして構成 0h = 未構成 1h = ホスト リピータ 2h = デバイス リピータ 3h = 予約済み
2-1	予約済み	R	0h	予約済み
0	CDP_2_STATUS_P1	RH	0h	CDP_2_EN_P1=1 の場合、port1 で一次検出を検出済み 0h = CDP 一次検出を検出済み 1h = CDP 一次検出は未検出

9.1.14 U_TX_ADJUST_PORT1 レジスタ (オフセット = 70h) [リセット = 77h]

U_TX_ADJUST_PORT1 を表 9-16 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

Copyright © 2025 Texas Instruments Incorporated

表 9-16. U_TX_ADJUST_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	U_HS_TERM_P1	RH/W	1h	Y	Z_{HSTERM} 調整 USB HS 終端調整 (5% ステップで -5% ～ 10%) OTP によるデフォルト 0h = 42.75Ω (標準値) 1h = 45Ω (標準値) (hw デフォルト) 2h = 47.25Ω (標準値) 3h = 49.5Ω (標準値)
5-4	U_HS_TX_SLEW_RATE_P1	RH/W	3h	Y	T_{HSR} 調整 USB HS TX スルーレート (350ps ～ 575ps) OTP によるデフォルト 0h = 350ps (標準値) 1h = 425ps (標準値) 2h = 500ps (標準値) 3h = 575ps (標準値) (hw デフォルト)
3-0	U_HS_TX_AMPLITUDE_P1	RH/W	7h	Y	V_{EHSOD} 調整 USB HS TX 振幅、測定された p-p USB 2.0 仕様公称値は 800mV (2.5% ステップで -7.5% ～ 30%) OTP によるデフォルト この設定はチャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時の振幅には影響なし 0h = 800mV - 7.5%、740mV (標準値) 1h = 800mV - 5.0%、760mV (標準値) 2h = 800mV - 2.5%、780mV (標準値) 3h = 800mV (USB 2.0 仕様公称値)、800mV (標準値) (hw デフォルト) 4h = 800mV + 2.5%、820mV (標準値) 5h = 800mV + 5.0%、840mV (標準値) 6h = 800mV + 7.5%、860mV (標準値) 7h = 800mV + 10%、880mV (標準値) 8h = 800mV + 12.5%、900mV (標準値) 9h = 800mV + 15%、920mV (標準値) Ah = 800mV + 17.5%、940mV (標準値) Bh = 800mV + 20%、960mV (標準値) Ch = 800mV + 22.5%、980mV (標準値) Dh = 800mV + 25%、1000mV (標準値) Eh = 800mV + 27.5%、1020mV (標準値) Fh = 800mV + 30%、1040mV (標準値)

9.1.15 U_HS_TX_PRE_EMPHASIS_P1 レジスタ (オフセット = 71h) [リセット = 39h]

U_HS_TX_PRE_EMPHASIS_P1 を表 9-17 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-17. U_HS_TX_PRE_EMPHASIS_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	RH/W	0h		予約済み

表 9-17. U_HS_TX_PRE_EMPHASIS_P1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
6	CDP_1_EN_P1	RH/W	0h	Y	port1 で方法 1 を使用して CDP を有効化 OTP によるデフォルト 0h = CDP の方法 1 の使用ディスエーブル (hw デフォルト) 1h = CDP の方法 1 の使用イネーブル
5-4	U_HS_TX_PE_WIDTH_P1	RH/W	3h	Y	$U2_{TXPE_UI}$ USB HS TX プリエンファシス幅 OTP によるデフォルト 0h = 0.35UI (標準値) 1h = 0.45UI (標準値) 2h = 0.55UI (標準値) 3h = 0.65UI (標準値) (hw デフォルト)
3	U_HS_TX_PE_ENABLE_P1	RH/W	1h	Y	USB HS TX プリエンファシス イネーブル OTP によるデフォルト チャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時は PE ディスエーブル 0h = ディスエーブル (hw デフォルト) 1h = イネーブル
2-0	U_HS_TX_PRE_EMPHASIS_P1	RH/W	1h	Y	$U2_{TXPE}$ USB HS TX プリエンファシス (0.5dB ～ 4.0dB) OTP によるデフォルト チャープ J (VCHIRPJ) またはチャープ K (VCHIRPK) 時は PE ディスエーブル 0h = 0.5dB (標準値) (hw デフォルト) 1h = 0.9dB (標準値) 2h = 1.2dB (標準値) 3h = 1.7dB (標準値) 4h = 2.1dB (標準値) 5h = 2.5dB (標準値) 6h = 3.2dB (標準値) 7h = 4.0dB (標準値)

9.1.16 U_RX_ADJUST_PORT1 レジスタ (オフセット = 72h) [リセット = 92h]

U_RX_ADJUST_PORT1 を表 9-18 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-18. U_RX_ADJUST_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	gpio_ds_config	RH/W	2h	Y	GPIOx および INT のオープンドレイン出力駆動強度の選択 これは、I^2C を介して設定されるように設計されています。(リピータ 1 が無効の場合にのみピンを RAP で設定可能) OTP によるデフォルト 0h = 約 1mA (標準値) 1h = 約 2mA (標準値) 2h = 約 4mA (標準値) (hw デフォルト) 3h = 約 8mA (標準値)
5-4	予約済み	RH/W	1h		予約済み
3	予約済み	RH/W	0h		予約済み

Copyright © 2025 Texas Instruments Incorporated

表 9-18. U_RX_ADJUST_PORT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2-0	U_EQ_P1	RH/W	2h	Y	$EQ_{_UHS}$ 調整 USB RX イコライザ制御 (0 ～ 3.35dB) OTP によるデフォルト 0h = 0.06dB (標準値) (hw デフォルト) 1h = 0.58dB (標準値) 2h = 1.09dB (標準値) 3h = 1.56dB (標準値) 4h = 2.26dB (標準値) 5h = 2.67dB (標準値) 6h = 3.03dB (標準値) 7h = 3.35dB (標準値)

9.1.17 U_DISCONNECT_SQUELCH_PORT1 レジスタ (オフセット = 73h) [リセット = 74h]

U_DISCONNECT_SQUELCH_PORT1 を表 9-19 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-19. U_DISCONNECT_SQUELCH_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-4	U_DISCONNECT_THRESHOLD_P1	RH/W	7h	Y	V_{HSDSC} 調整 USB 最小 HS ホスト接続解除スレッショルド (約 3.7% ステップで 0% ～ +57%) OTP によるデフォルト 0h = 525mV (最小値)、0% (hw デフォルト) 1h = 545mV (最小値)、+4% 2h = 565mV (最小値)、+8% 3h = 585mV (最小値)、+11% 4h = 605mV (最小値)、+15% 5h = 625mV (最小値)、+19% 6h = 645mV (最小値)、+23% 7h = 665mV (最小値)、+27% 8h = 685mV (最小値)、+31% 9h = 705mV (最小値)、+34% Ah = 725mV (最小値)、+38% Bh = 745mV (最小値)、+42% Ch = 765mV (最小値)、+46% Dh = 785mV (最小値)、+50% Eh = 805mV (最小値)、+53% Fh = 825mV (最小値)、+57%
3	予約済み	RH/W	0h		予約済み

表 9-19. U_DISCONNECT_SQUELCH_PORT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
2-0	U_SQUELCH_THRESHOLD_P1	RH/W	4h	Y	V_{HSSQ} 調整 USB スケルチ検出最小スレッショルド (約 6.5% ステップで +30% ～ -15%) OTP によるデフォルト 0h = 130mV (最小値)、+30% 1h = 124mV (最小値)、+24% 2h = 117mV (最小値)、+17% 3h = 111mV (最小値)、+11% 4h = 104mV (最小値)、+4% (hw デフォルト) 5h = 98mV (最小値)、-2% 6h = 91mV (最小値)、-9% 7h = 85mV (最小値)、-15%

9.1.18 E_HS_TX_PRE_EMPHASIS_P1 レジスタ (オフセット = 77h) [リセット = 40h]

E_HS_TX_PRE_EMPHASIS_P1 を表 9-20 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-20. E_HS_TX_PRE_EMPHASIS_P1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-5	E_HS_TX_PRE_EMPHASIS_P1	RH/W	2h	Y	E_{TXPE} 調整 eUSB2 HS TX プリエンファシス 0dB ～ 3.86dB OTP によるデフォルト 0h = 0dB (標準値) (hw デフォルト) 1h = 0.67dB (標準値) 2h = 1.29dB (標準値) 3h = 1.87dB (標準値) 4h = 2.41dB (標準値) 5h = 2.92dB (標準値) 6h = 3.41dB (標準値) 7h = 3.86dB (標準値)
4-3	E_HS_TX_PE_WIDTH_P1	RH/W	0h	Y	E_{TXPE_UI} 調整 eUSB2 HS TX プリエンファシス幅 OTP によるデフォルト 0h = 0.35UI (標準値) (hw デフォルト) 1h = 0.45UI (標準値) 2h = 0.55UI (標準値) 3h = 0.65UI (標準値)
2	予約済み	RH/W	0h		予約済み
1	予約済み	RH/W	0h		予約済み
0	予約済み	RH/W	0h		予約済み
0	予約済み	RH/W	0h		予約済み

9.1.19 E_TX_ADJUST_PORT1 レジスタ (オフセット = 78h) [リセット = 0Ch]

E_TX_ADJUST_PORT1 を表 9-21 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-21. E_TX_ADJUST_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7-6	予約済み	RH/W	0h		予約済み
5	予約済み	RH/W	0h		予約済み
4-3	E_HS_TX_SLEW_RATE_P1	RH/W	1h	Y	T_{EHSRF} 調整 eUSB2 HS TX スルーレート 390ps ～ 540ps OTP によるデフォルト 0h = 390ps (標準値) 1h = 440ps (標準値) (hw デフォルト) 2h = 490ps (標準値) 3h = 540ps (標準値)
2-0	E_HS_TX_AMPLITUDE_P1	RH/W	4h	Y	V_{EHSOD} 調整 eUSB2 HS TX 振幅 360mV ～ 500mV (p-2-p) OTP によるデフォルト 0h = 360mV (標準値) 1h = 380mV (標準値) 2h = 400mV (標準値) 3h = 420mV (標準値) (hw デフォルト) 4h = 440mV (標準値) 5h = 460mV (標準値) 6h = 480mV (標準値) 7h = 500mV (標準値)

9.1.20 E_RX_ADJUST_PORT1 レジスタ (オフセット = 79h) [リセット = 62h]

E_RX_ADJUST_PORT1 を表 9-22 に示します。

概略表に戻ります。

ハードウェアのデフォルト値は、このレジスタの工場出荷時のプログラマブル OTP により無効にできます。

表 9-22. E_RX_ADJUST_PORT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
7	予約済み	RH/W	0h		予約済み
6-4	E_SQUELCH_THRESHOLD_P1	RH/W	6h	Y	V_{EHSSQ} 調整 eUSB2 HS スケルチ検出スレッショルド OTP によるデフォルト 0h = 104mV (標準値) 1h = 101mV (標準値) 2h = 98mV (標準値) 3h = 90mV (標準値) 4h = 81mV (標準値) 5h = 73mV (標準値) 6h = 67mV (標準値) (hw デフォルト) 7h = 60mV (標準値)

表 9-22. E_RX_ADJUST_PORT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	OTP からのデフォルト (Y/N)	説明
3-0	E_EQ_P1	RH/W	2h	Y	EQ_{EHS} 調整 eUSB2 RX イコライザ制御 OTP によるデフォルト 0h = 0.34dB (標準値) (hw デフォルト) 1h = 0.71dB (標準値) 2h = 1.02dB (標準値) 3h = 1.36dB (標準値) 4h = 1.64dB (標準値) 5h = 1.94dB (標準値) 6h = 2.19dB (標準値) 7h = 2.45dB (標準値) 8h = 2.69dB (標準値) 9h = 2.93dB (標準値) Ah = 3.13dB (標準値) Bh = 3.35dB (標準値) Ch = 3.53dB (標準値) Dh = 3.72dB (標準値) Eh = 3.89dB (標準値) Fh = 4.07dB (標準値)

9.1.21 INT_STATUS_1 レジスタ (オフセット = A3h) [リセット = 00h]

INT_STATUS_1 を表 9-23 に示します。

概略表に戻ります。

表 9-23. INT_STATUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_GPIO1_RISING_EDGE	R/W1C	0h	GPIO1 立ち上がりエッジ イネーブル 0h = 割り込みなし 1h = 割り込みあり
6	INT_GPIO1_FALLING_EDGE	R/W1C	0h	GPIO1 立ち下がりエッジ イネーブル 0h = 割り込みなし 1h = 割り込みあり
5	INT_GPIO0_RISING_EDGE	R/W1C	0h	GPIO0 立ち上がりエッジ イネーブル 0h = 割り込みなし 1h = 割り込みあり
4	INT_GPIO0_FALLING_EDGE	R/W1C	0h	GPIO0 立ち下がりエッジ イネーブル 0h = 割り込みなし 1h = 割り込みあり
3	INT_USB_REMOTE_WAKE_P1	R/W1C	0h	USB ポート 1 でのリモート ウェーク イベント検出 0h = 割り込みなし 1h = 割り込みあり
2	INT_USB_DISCONNECT_P1	R/W1C	0h	ポート 1 での接続解除イベントの発生 0h = 割り込みなし 1h = 割り込みあり
1	INT_USB_REMOTE_WAKE_P0	R/W1C	0h	USB ポート 0 でのリモート ウェーク イベント検出 0h = 割り込みなし 1h = 割り込みあり
0	INT_USB_DISCONNECT_P0	R/W1C	0h	ポート 0 での接続解除イベントの発生 0h = 割り込みなし 1h = 割り込みあり

Copyright © 2025 Texas Instruments Incorporated

9.1.22 INT_STATUS_2 レジスタ (オフセット = A4h) [リセット = 00h]

INT_STATUS_2 を表 9-24 に示します。

概略表に戻ります。

表 9-24. INT_STATUS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	INT_USB_DET_ATTACH_P1	R/W1C	0h	ポート 1 でのデバイス接続イベントの発生 0h = 割り込みなし 1h = 割り込みあり
2	INT_USB_DET_ATTACH_P0	R/W1C	0h	ポート 0 でのデバイス接続イベントの発生 0h = 割り込みなし 1h = 割り込みあり
1	INT_USB_OVP_P1	R/W1C	0h	ポート 1 での過電圧状態 (DP/DN 電圧 > V_{OVP_TH}) の発生 0h = 割り込みなし 1h = 割り込みあり
0	INT_USB_OVP_P0	R/W1C	0h	ポート 0 での過電圧状態 (DP/DN 電圧 > V_{OVP_TH}) の発生 0h = 割り込みなし 1h = 割り込みあり

9.1.23 REV_ID レジスタ (オフセット = B0h) [リセット = 03h]

表 9-25 に、REV_ID を示します。

概略表に戻ります。

表 9-25. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	REV_ID	RH	3h	デバイス リビジョン。 4h = デバイス リビジョン 4

9.1.24 GLOBAL_CONFIG レジスタ (オフセット = B2h) [リセット= 00h]

表 9-26 に、GLOBAL_CONFIG を示します。

概略表に戻ります。

表 9-26. GLOBAL_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RST	WtoPH	0h	このフィールドに 1 を書き込むことは、RESETB を Low にパルス印加するのと同じです
6	DISABLE_P1	R/W	0h	モード リピータ 1 ディスエーブル (I^2C はアクティブのまま) (ポートが接続解除されていない場合、接続解除イベントまで待機してリピータを無効化) 0h = リピータ イネーブル 1h = リピータ ディスエーブル
5	DISABLE_P0	R/W	0h	モード リピータ 0 ディスエーブル (I^2C はアクティブのまま) (ポートが接続解除されていない場合、接続解除イベントまで待機してリピータを無効化) 0h = リピータ イネーブル 1h = リピータ ディスエーブル

表 9-26. GLOBAL_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	INT_OUT_TYPE	R/W	0h	INT 出力タイプ オープンドレイン モードの INT 出力駆動強度は GPIO 設定と同じ 0h = オープンドレイン 1h = プッシュプル
3	INT_POLARITY	R/W	0h	プッシュプル モードの INT ピン極性のみ (オープンドレイン モードは常にアクティブ Low) 0h = アクティブ High (プッシュプルのみ) 1h = アクティブ Low (プッシュプルのみ、オープンドレインは常にアクティブ Low)
2	予約済み	R/W	0h	予約済み
1-0	予約済み	R	0h	予約済み

9.1.25 INT_ENABLE_1 レジスタ (オフセット = B3h) [リセット = 00h]

INT_ENABLE_1 を表 9-27 に示します。

概略表に戻ります。

表 9-27. INT_ENABLE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_RISING_EDGE	R/W	0h	INT_GPIO1_RISING_EDGE イネーブル。 GPIO1_IN_TRIGGER_TYPE = 0 (エッジ) のとき、これにより GPIO1 の立ち上がりエッジでの割り込みが有効化されます。 GPIO1_IN_TRIGGER_TYPE = 1 (レベル) のとき、これにより GPIO1 = High のときに割り込みが有効化されます。 0h = 非イネーブル 1h = イネーブル
6	GPIO1_FALLING_EDGE	R/W	0h	INT_GPIO1_FALLING_EDGE イネーブル GPIO1_IN_TRIGGER_TYPE = 0 (エッジ) のとき、これにより GPIO1 の立ち下がりエッジでの割り込みが有効化されます。 GPIO1_IN_TRIGGER_TYPE = 1 (レベル) のとき、これにより GPIO1 = Low のときに割り込みが有効化されます。 0h = 非イネーブル 1h = イネーブル
5	GPIO0_RISING_EDGE	R/W	0h	INT_GPIO0_RISING_EDGE イネーブル GPIO0_IN_TRIGGER_TYPE = 0 (エッジ) のとき、これにより GPIO0 の立ち上がりエッジでの割り込みが有効化されます。 GPIO0_IN_TRIGGER_TYPE = 1 (レベル) のとき、これにより GPIO0 = High のときに割り込みが有効化されます。 0h = 非イネーブル 1h = イネーブル
4	GPIO0_FALLING_EDGE	R/W	0h	INT_GPIO0_FALLING_EDGE イネーブル GPIO0_IN_TRIGGER_TYPE = 0 (エッジ) のとき、これにより GPIO0 の立ち下がりエッジでの割り込みが有効化されます。 GPIO0_IN_TRIGGER_TYPE = 1 (レベル) のとき、これにより GPIO0 = Low のときに割り込みが有効化されます。 0h = 非イネーブル 1h = イネーブル
3	USB_REMOTE_WAKE_P1	R/W	0h	INT_USB_REMOTE_WAKE_P1 イネーブル L2 状態割り込みモードを参照 0h = 非イネーブル 1h = イネーブル

Copyright © 2025 Texas Instruments Incorporated

表 9-27. INT_ENABLE_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	USB_DISCONNECT_P1	R/W	0h	INT_USB_DISCONNECT_P1 イネーブル L2 状態割り込みモードを参照 0h = 非イネーブル 1h = イネーブル
1	USB_REMOTE_WAKE_P0	R/W	0h	INT_USB_REMOTE_WAKE_P0 イネーブル L2 状態割り込みモードを参照 0h = 非イネーブル 1h = イネーブル
0	USB_DISCONNECT_P0	R/W	0h	INT_USB_DISCONNECT_P0 イネーブル L2 状態割り込みモードを参照 0h = 非イネーブル 1h = イネーブル

9.1.26 INT_ENABLE_2 レジスタ (オフセット = B4h) [リセット = 00h]

INT_ENABLE_2 を表 9-28 に示します。

概略表に戻ります。

表 9-28. INT_ENABLE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_OVERRIDE_EN	R/W	0h	INT ピン イネーブル 0h = 非イネーブル 1h = イネーブル
6	INT_VALUE	R/W	0h	INT_OVERRIDE=1 のとき、INT で駆動する値 INT 出力ピンは割り込みアサートを示します。このピンは、INT ピン構成に従います。 オープン ドレイン モードでは、このピンはアクティブ Low で、割り込みのアサートを示します。プッシュプル モードでは、このピンはアクティブ Low/High 構成に従い、INT のアサートを示します。 0h = 出力:割り込みをアサートしない 1h = 出力:割り込みをアサートする
5-4	予約済み	R	0h	予約済み
3	USB_DETECT_ATTACH_P1	R/W	0h	INT_USB_DET_ATTACH_P1 イネーブル eDSP のパワーダウン時にデバイス接続検出を有効化 0h = 非イネーブル 1h = イネーブル
2	USB_DETECT_ATTACH_P0	R/W	0h	INT_USB_DET_ATTACH_P0 イネーブル eDSP のパワーダウン時にデバイス接続検出を有効化 0h = 非イネーブル 1h = イネーブル
1	USB_OVP_P1	R/W	0h	過電圧ポート 1 割り込みイネーブル 0h = 非イネーブル 1h = イネーブル
0	USB_OVP_P0	R/W	0h	過電圧ポート 0 割り込みイネーブル 0h = 非イネーブル 1h = イネーブル

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TUSB2E221 は、ホストまたはペリフェラルのどちらの実装でも使用できます。モードは eUSB2 SoC によって構成されます。

10.2 代表的なアプリケーション：デュアル ポート システム

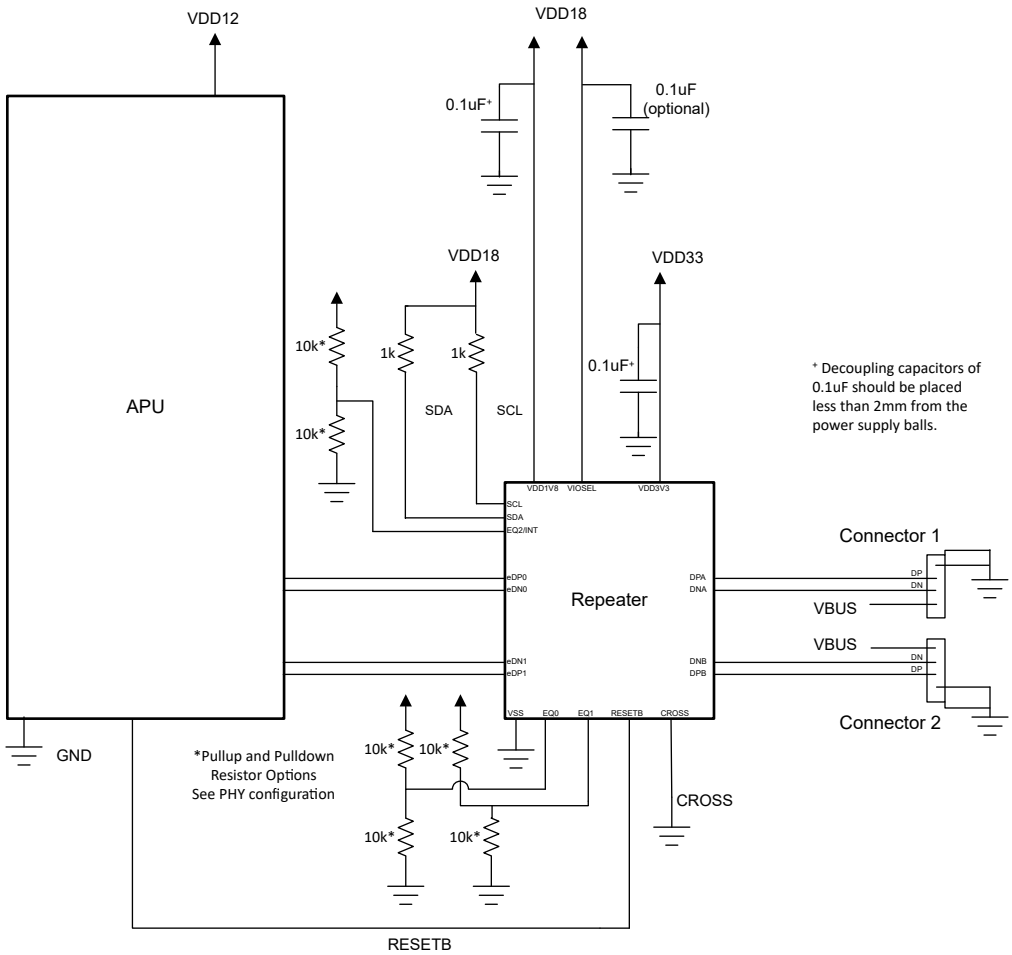


図 10-1. 1.8V および I²C を使用した代表的なデュアル ポート システムの実装

10.2.1 設計要件

TUSB2E221 は eUSB2 仕様をサポートしています。eUSB2 SoC は eUSB2 仕様に準拠している必要があります。

Copyright © 2025 Texas Instruments Incorporated

10.2.2 詳細な設計手順

TUSB2E221 には高速動作のための複数の損失補償設定があるため、選択した設定がシステムの損失プロファイルと一致していることを確認して、ジッタ性能を最適化します。USB 2.0 高速アイ ダイアグラム測定値を、特定のシステムに対して損失補償が最適であることを確認するためのガイドとして使用できます。

10.2.2.1 eUSB PHY 設定に関する推奨事項

表 10-1 に、さまざまな eUSB 長に推奨される eUSB PHY レジスタ設定を示します。

表 10-1. FR4 長に基づく推奨 eUSB PHY 設定

eUSB PHY レジスタ	2.5inches	5inches	7.5inches	10inches
E_EQ_Px	0	2	4	6
E_HS_TX_AMPLITUDE_Px	3	4	5	6
E_HS_PRE_EMPHASIS_Px	0	2	3	4

10.2.3 アプリケーション曲線

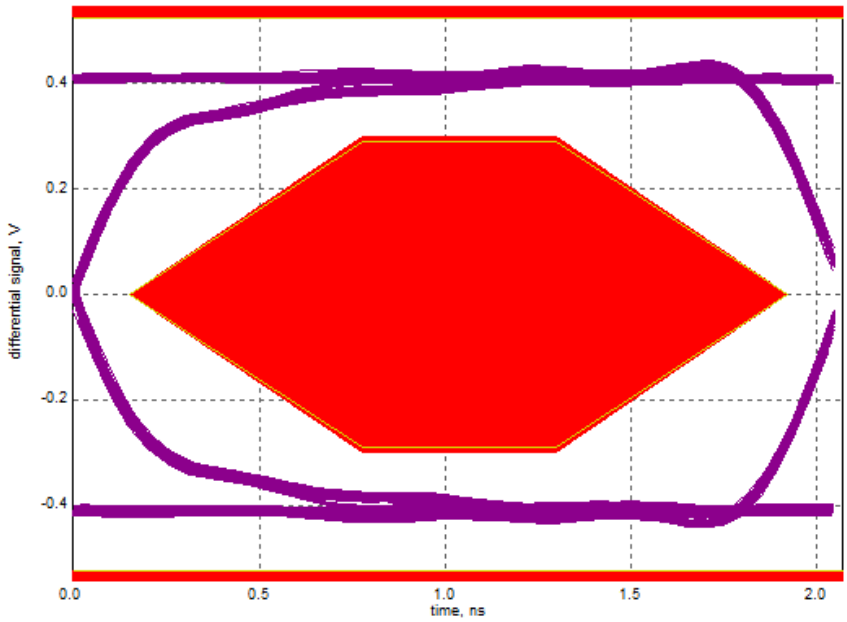


図 10-2. 代表的な USB 2.0 高速アイ ダイアグラム

10.3 電源に関する推奨事項

10.3.1 パワーアップ リセット

RESETB ピンはアクティブ Low のリセット ピンで、パワーダウン ピンとしても使用できます。

TUSB2E221 には、VDD3V3 と VDD1V8 間の電源シーケンス要件はありません。

最小電源電圧に達するまでの最大 VDD3V3 および VDD1V8 ランプ時間が 2ms であることを確認します。

内部パワーオン リセット回路と外部 RESETB 入力ピンにより、電源レールが有効になる前に RESETB が High にデアサートされた場合に適切に初期化できます。電源が安定する前に RESETB が High にデアサートされた場合、内部のパワーオン リセット回路は、電源が安定するまで内部リセットを保持できます。

RESETB のデアサート後、内部で生成されるリセット信号と 1ms の遅延が経過した後、CROSS ピンがサンプリングされてラッチされます。

RESETB のデアサート後および t_{RH_READY} 経過後、TUSB2E221 は有効化され、デフォルト状態に移行し、eUSB2 パケットを受け入れる準備ができます。各リピータは、ホスト モード イネーブルまたはペリフェラル モード イネーブルのいずれかを受信するかに応じて、ホスト リピータ モードまたはデバイス リピータ モードのどちらかになります。

10.4 レイアウト

10.4.1 レイアウトのガイドライン

1. 電源バイパス コンデンサは、VDD1V8 ピンと VDD3V3 ピンのできるだけ近くに配置し、eDP/eDN および DP/DN のトレースの近くには配置しないでください。
2. 高速 USB 信号は、ビアやコーナーを最小限にして配線し、信号反射やインピーダンス変動を低減してください。ビアを使用する必要がある場合は、ビア周囲の空間距離を大きくして、静電容量を最小限に抑えます。各ビアは、信号伝送ラインの連続性を損ない、基板の他の層からの干渉を受ける可能性を高めます。ツイストペア ライン上にテストポイントを設計する際は注意が必要です。スルーホール ピンは推奨されません。
3. 90° 曲げが必要な場合は、1 回の 90° 曲げではなく、2 回の 45° 曲げまたはアークを使用します。これにより、インピーダンスの不連続性が最小化され、信号パターン上の反射が低減されます。
4. USB パターンは、クリスタル、オシレータ、クロック信号発生器、スイッチング レギュレータ、取り付け穴、磁気デバイス、またはクロック信号を使用または生成する IC の下や近くに配線しないでください。
5. 信号反射を防ぐため、高速 USB 信号にはスタブを設けないでください。スタブが不可避の場合、長さは 200mil 未満にしなければなりません。
6. すべての高速 USB 信号トレースは、中断なしに連続的な GND プレーン上に配線します。
7. 通常、平面分割で見られるアンチエッチング上で交差しないようにします。
8. USB に伴う高周波のため、少なくとも 4 層のプリント基板を推奨します。図 10-3 に示すように、2 つの信号層をグランド層と電源層で分離した構成です。

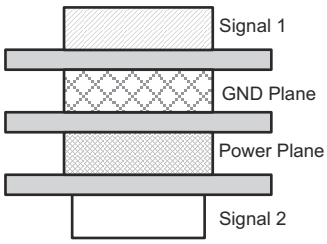


図 10-3. 4 層ボードのスタックアップ

Copyright © 2025 Texas Instruments Incorporated

10.4.2 レイアウト例

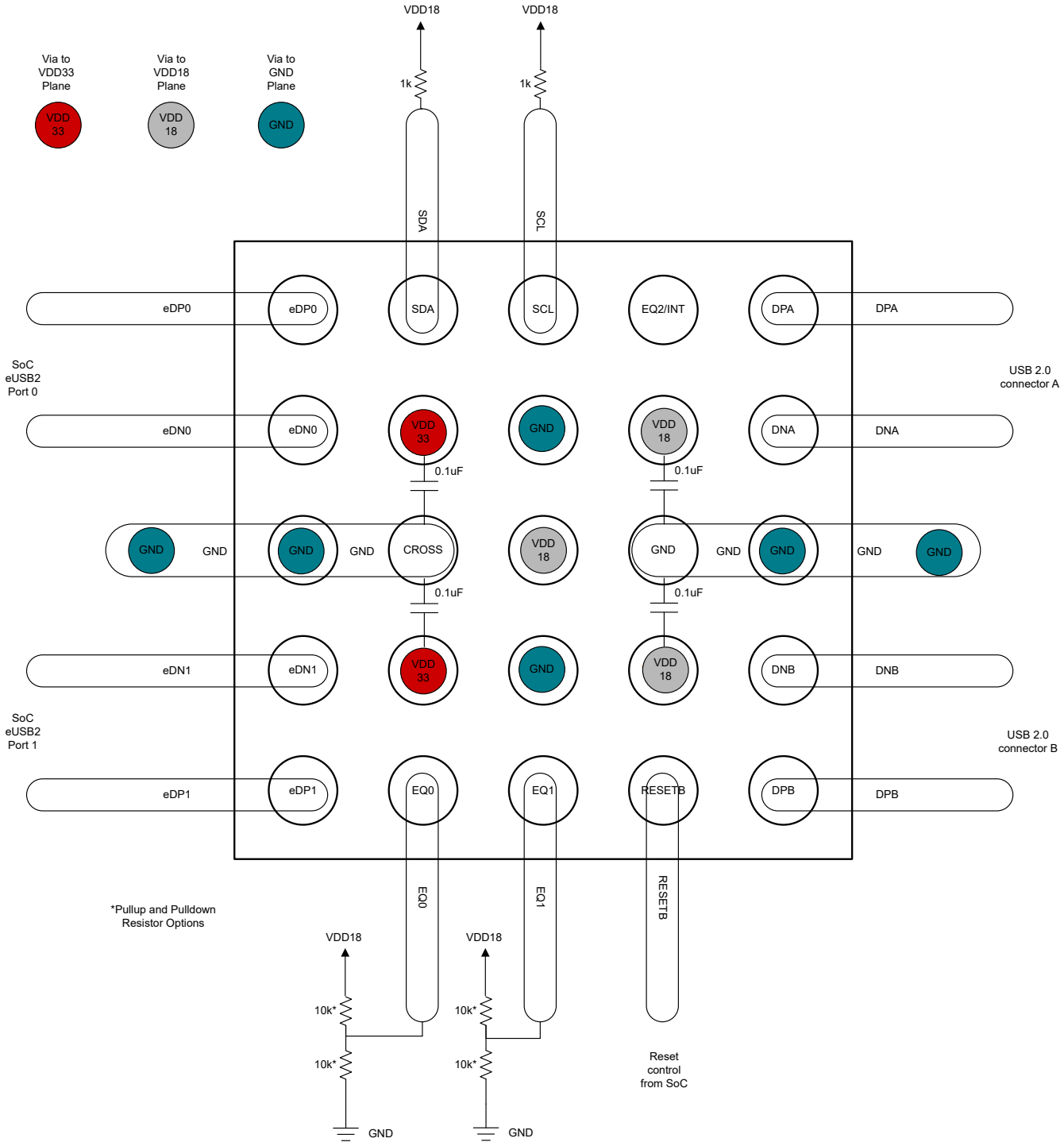


図 10-4. WCSP のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*USB 2.0 ボード設計およびレイアウト ガイドライン*』
- テキサス インスツルメンツ、『*高速レイアウト ガイドライン*』
- テキサス インスツルメンツ、『*高速インターフェイスのレイアウト ガイドライン*』

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2025) to Revision D (October 2025)	Page
• 表 4-1 を更新して明確化し、リリースされていない OPN を削除	4

Changes from Revision B (November 2024) to Revision C (March 2025)	Page
• VBW (WQFN, 20) パッケージのステータスを「プレビュー」から「アクティブ」に変更	1
• フレーム ベース LP モードが無効のデバイス バリアントを追加	4
• 適切なバリアントに合わせて注文可能な型番を変更	4

Changes from Revision A (October 2024) to Revision B (November 2024)	Page
• 書き込みの RAP アドレスを追加	33

Changes from Revision * (June 2024) to Revision A (October 2024)	Page
• データシートのステータスを「事前情報」から「混流生産」	1
• YCG (DSBGA、25) パッケージのステータスを「プレビュー」から「アクティブ」に変更	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TUSB2E2211001YCGR	Active	Production	DSBGA (YCG) | 25	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2E221W2
TUSB2E2211001YCGR.A	Active	Production	DSBGA (YCG) | 25	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2E221W2
TUSB2E2211005VBWR	Active	Production	WQFN-FCRLF (VBW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2E2216
TUSB2E2211005VBWR.A	Active	Production	WQFN-FCRLF (VBW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2E2216
TUSB2E221I1005VBWR	Active	Production	WQFN-FCRLF (VBW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2E2216
TUSB2E221I1005VBWR.A	Active	Production	WQFN-FCRLF (VBW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2E2216

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

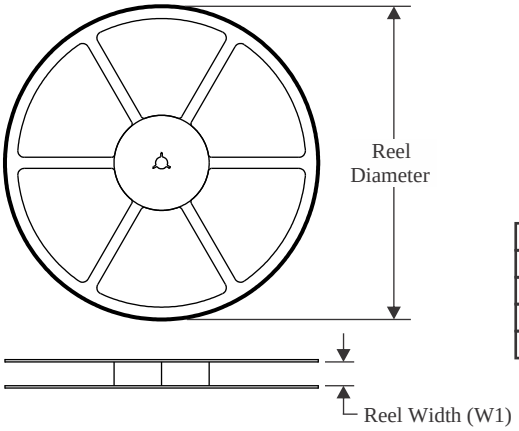
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

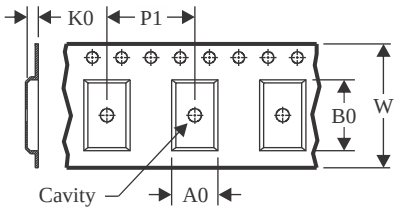
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

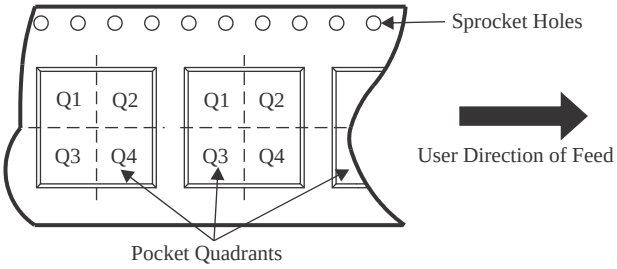


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

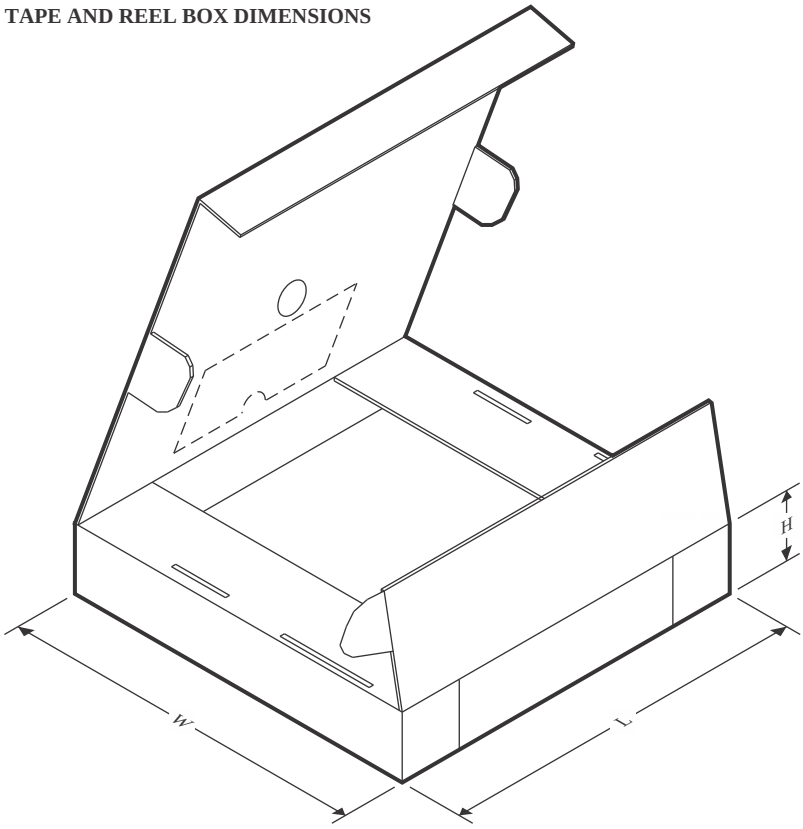
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

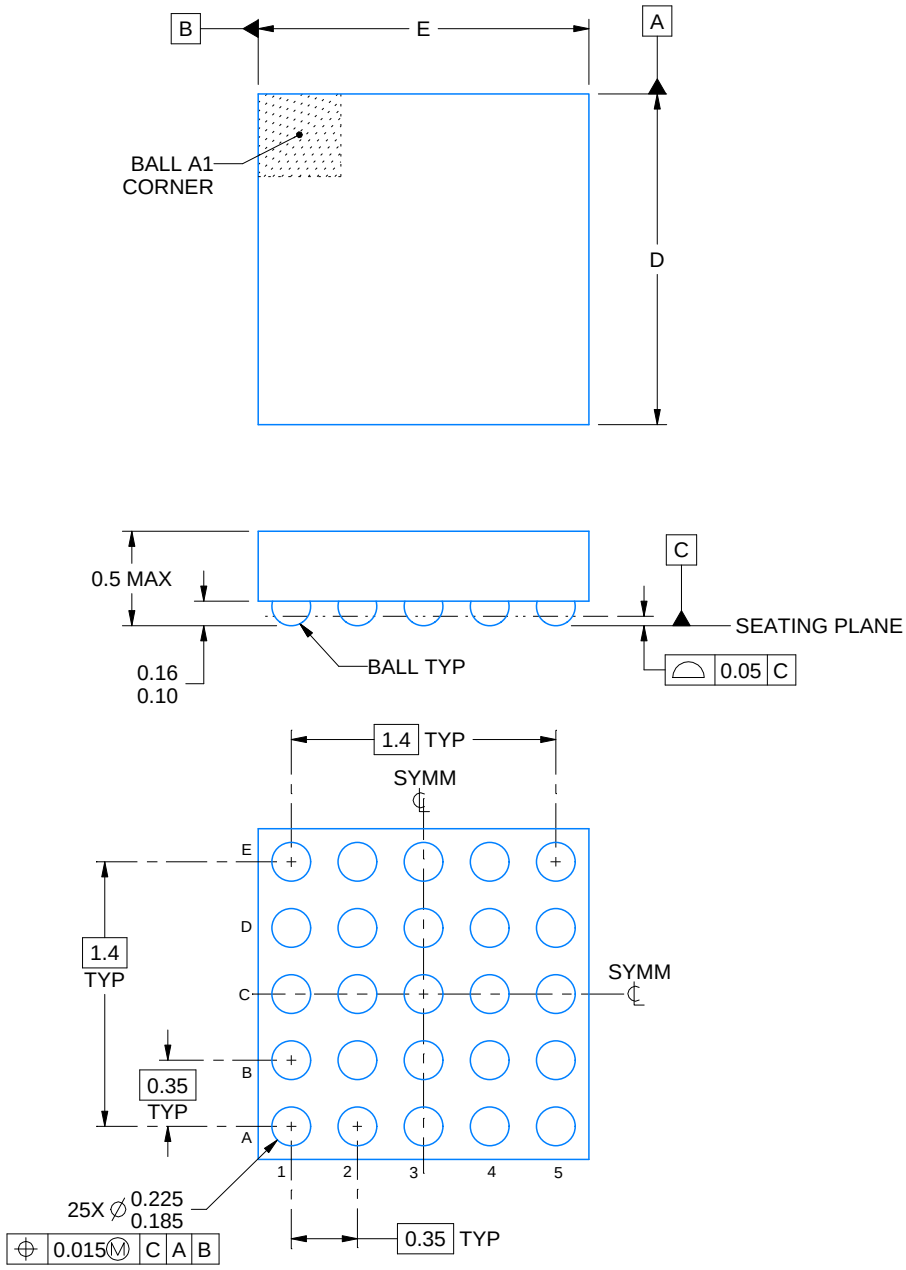
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TUSB2E2211001YCGR	DSBGA	YCG	25	3000	180.0	8.4	2.14	2.14	0.7	4.0	8.0	Q1
TUSB2E2211005VBWR	WQFN-FCRLF	VBW	20	3000	330.0	12.4	3.3	3.3	0.85	8.0	12.0	Q2
TUSB2E221I1005VBWR	WQFN-FCRLF	VBW	20	3000	330.0	12.4	3.3	3.3	0.85	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

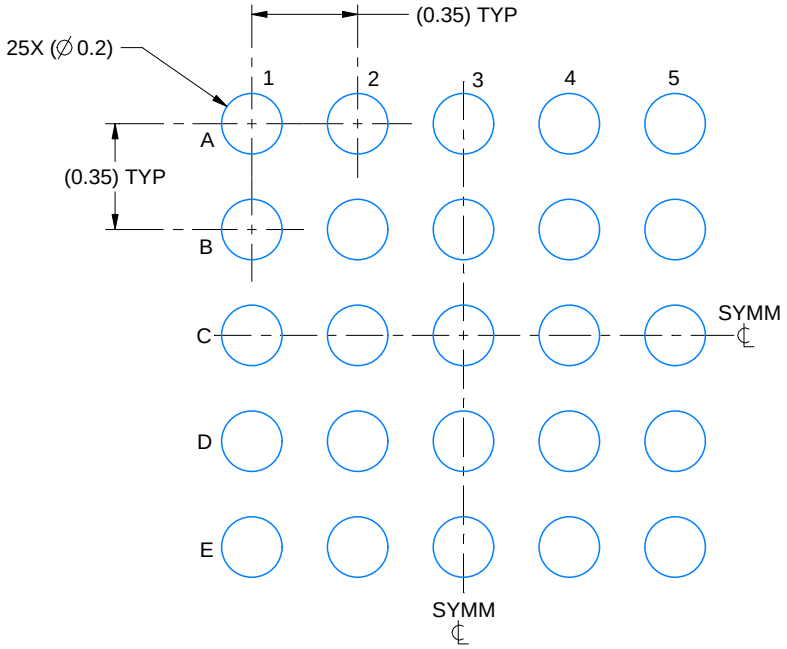
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TUSB2E2211001YCGR	DSBGA	YCG	25	3000	182.0	182.0	20.0
TUSB2E2211005VBWR	WQFN-FCRLF	VBW	20	3000	367.0	367.0	35.0
TUSB2E221I1005VBWR	WQFN-FCRLF	VBW	20	3000	367.0	367.0	35.0



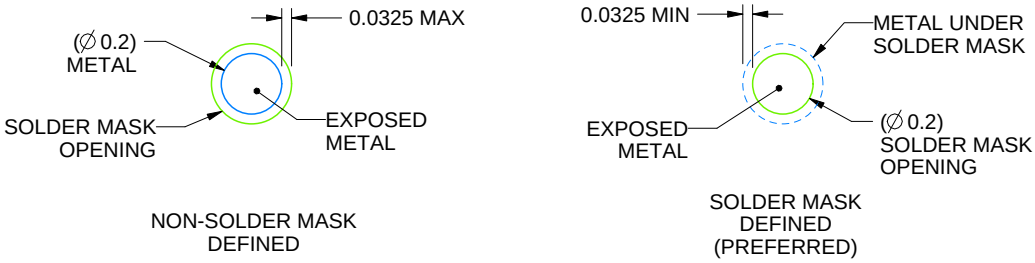
4224054/A 11/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

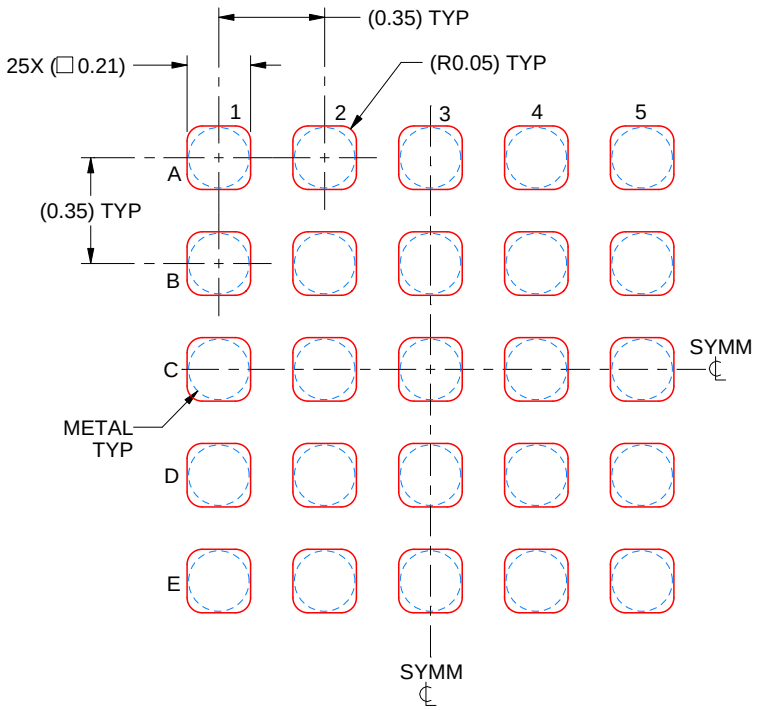


SOLDER MASK DETAILS
NOT TO SCALE

4224054/A 11/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 40X

4224054/A 11/2017

NOTES: (continued)

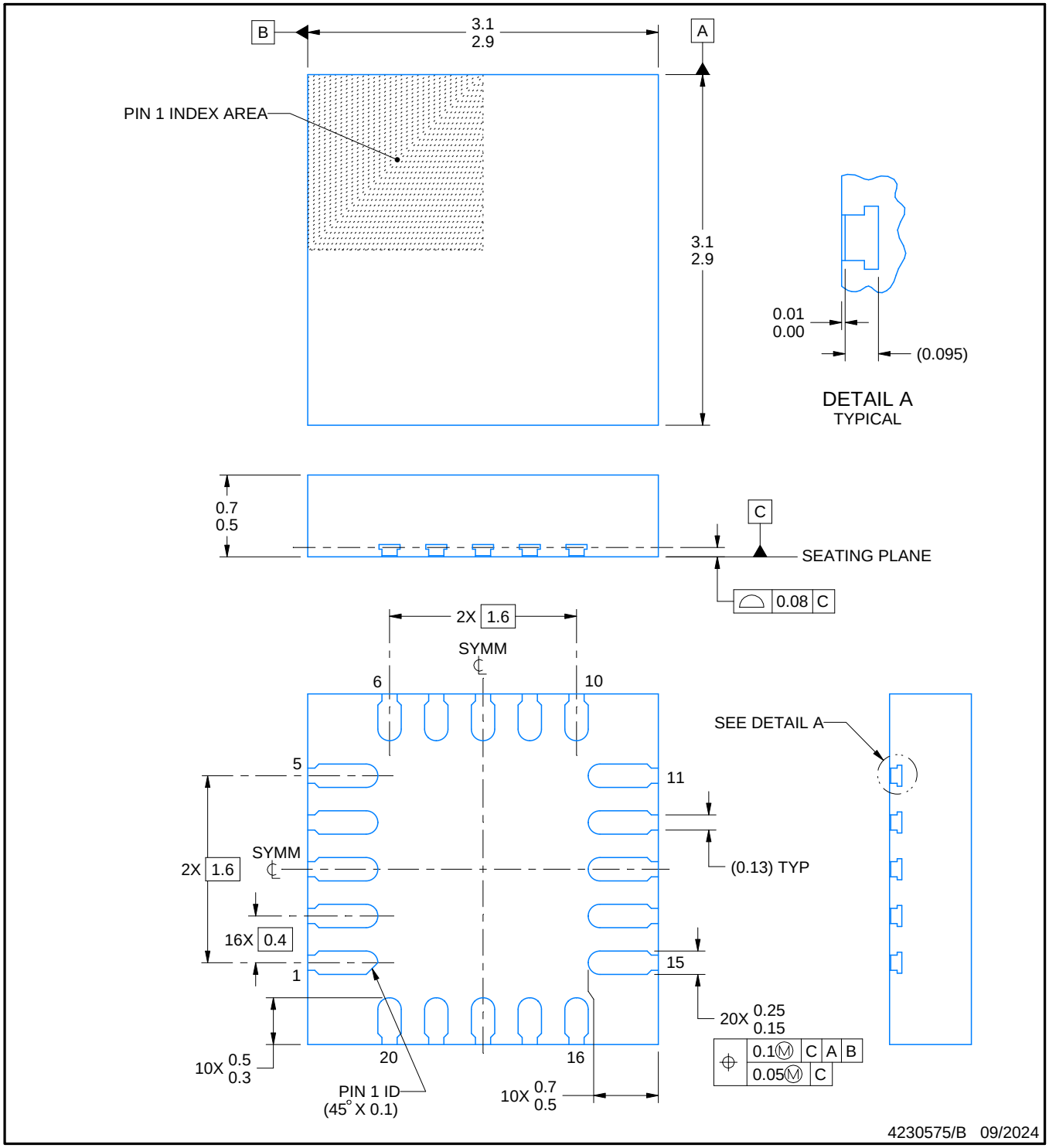
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

VBW0020A

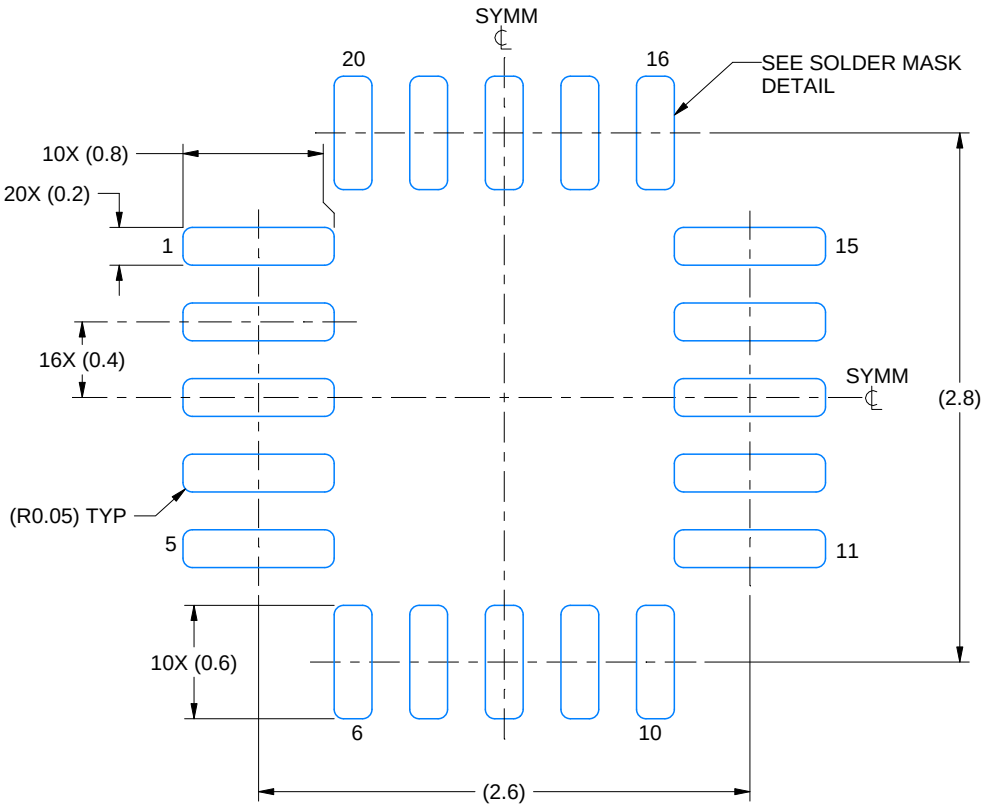
WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

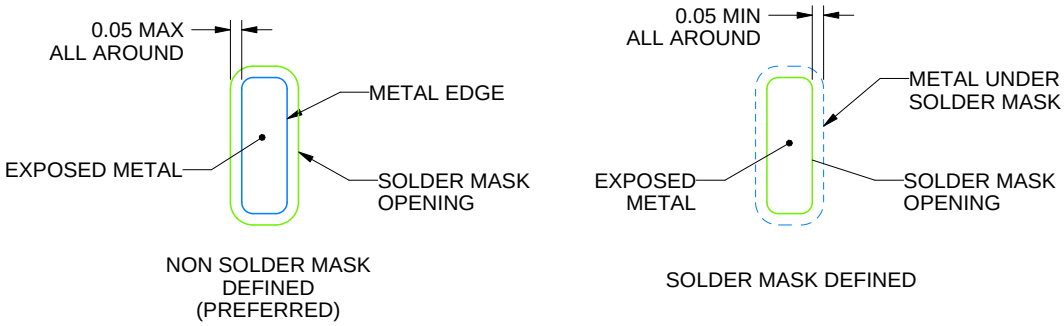


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

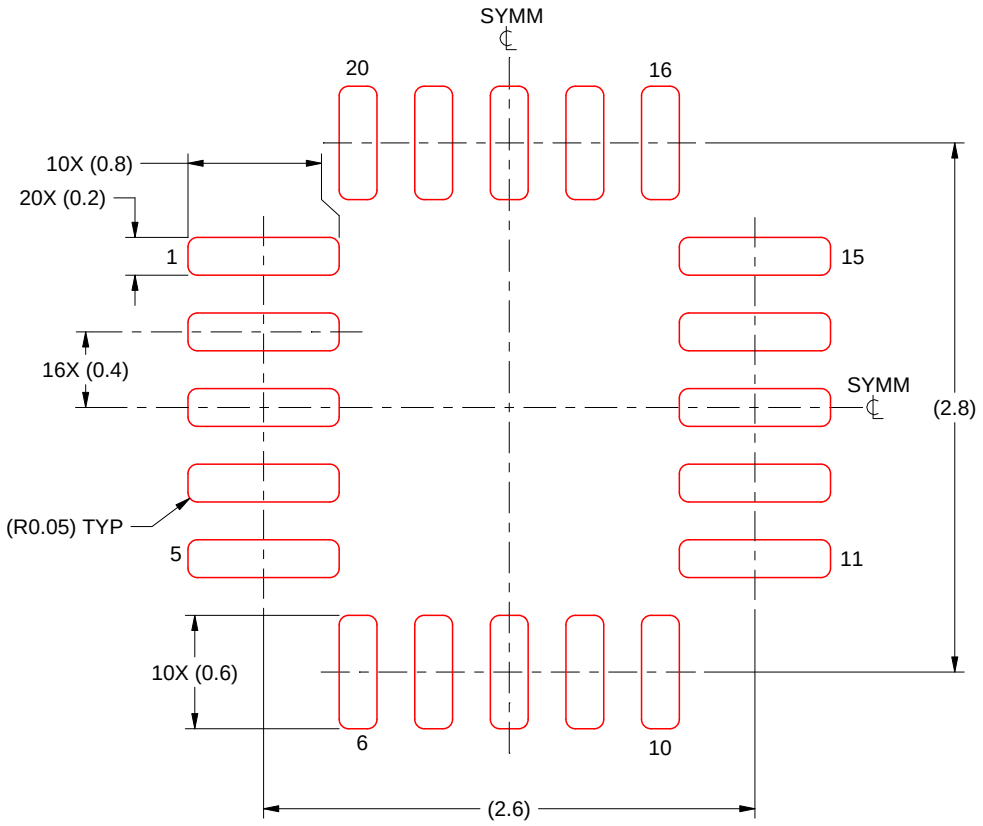


SOLDER MASK DETAILS

4230575/B 09/2024

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 25X

4230575/B 09/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月