TEXAS INSTRUMENTS

TX517

www.tij.co.jp JAJSBP6

デュアル・チャネル、高電圧 - マルチレベル出力、完全統合型超音波トランスミッタ

特　長

- 出力電圧：
  - 差動モードで最大200Vpp
- ピーク出力電流：±2.5A
- マルチレベル出力
  - 差動：17レベル
  - シングルエンド：5レベル
- 内蔵機能：
  - レベル・トランスレータ
  - ドライバ
  - 高電圧出力段
  - CW出力
- TX出力更新レート
  - 最大100MSPS
- 最小限の外部部品
- 小さなパッケージ：BGA 13×13mm

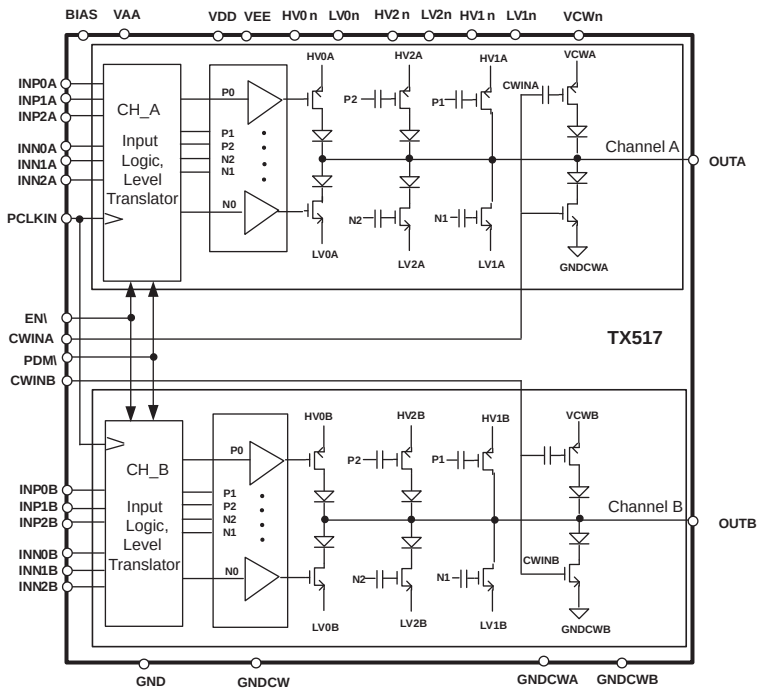
アプリケーション

- 医療用超音波機器
- 高電圧信号発生器

概　要

TX517は、完全統合型のデュアル・チャネル高電圧トランスミッタです。マルチレベルの高電圧パルス・パターンを必要とする、要求の厳しい医療用超音波アプリケーション向けに設計されています。出力段は、振幅200Vppで標準±2.5Aのピーク出力電流を供給するよう設計されています。

TX517は、各チャネルに低電圧入力ロジック、レベル・ト



この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS

SLOS725A　翻訳版

最新の英語版資料
http://www.ti.com/lit/gpn/tx517

ランスレータ、ゲート・ドライバ、およびPチャネル/NチャネルMOSFETを備えた、完全なトランスミッタ・ソリューションです。

また、TX517はCW出力段も内蔵しています。

TX517は、鉛フリー(RoHS準拠)でグリーン基準を満たしたBGAパッケージで供給されます。0℃～85℃の範囲で仕様が規定されています。

17レベルのパルサー・チップ：

チップは2つの5レベル・チャネルから構成され、トランスとともに使用することで、1つの17レベル・トランスミッタ・セルを形成します。さまざまな出力レベルでトランスデューサを駆動するだけでなく、出力パルスの幅を変調することで、柔軟なパルス幅変調スペクトル整形を実現します。

静電気放電対策

これらのデバイスは、限定的なESD (静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報[1]

パッケージ・デバイス	パッケージの種類	パッケージ捺印	出荷形態、数量	エコ・ステータス[2]
TX517IZCQ	BGA-144	TX517	トレイ	鉛フリー、グリーン

(1) 注：これらのパッケージは、鉛フリーおよびグリーン製造仕様に適合しています。
(2) **エコ・ステータス情報**：具体的な原材料を含む詳しい情報については、www.ti.com/leadfreeをご覧ください。
グリーン：TIにおける“グリーン”は、鉛(Pb)フリーに加えて、パッケージの材質にハロゲンを含まないことを意味しています。
製品の全重量の0.1%を超える臭素(Br)またはアンチモン(Sb)を含まないという条件が含まれます。
N/A：鉛(Pb)フリー製品が未提供です。置き換え予定日については、www.ti.com/leadfreeをご覧ください。
鉛フリー：TIにおける“鉛(Pb)フリー”は、RoHS対応であり、鉛の使用度が製品総重量の0.1%以下であることを意味しています。
また、半田付けを行うよう設計されている場合は、指定の鉛フリー半田付けプロセスでの使用に適していることを意味します。

製品情報

BGA-144 PINS
TOP VIEW

	1	2	3	4	5	6	7	8	9	10	11	12	
A	HV2B	GND	HV1B	HV0B	VCWB	EN\	VAAB	NC	NC	INP1B	INN1B	INP2B	A
B	NC	LV1B	LV1B	LV1B	LV1B	LV1B	GND	NC	NC	GND	VAAC	INN2B	B
C	OUTB	LV1B	LV1B	LV1B	LV1B	LV1B	CWINB	VEE	VEE	VEE	VEE	INN0B	C
D	NC	LV1B	LV1B	LV1B	LV1B	LV1B	GNDCWB	VEE	VEE	VEE	VEE	INP0B	D
E	LV2B	LV1B	LV1B	LV1B	LV1B	LV1B	VDDB	VEE	VEE	VEE	VEE	PCLKIN	E
F	LV1B	LV1B	LV1B	LV1B	LV1B	LV1B	LV0B	VEE	VEE	VEE	VEE	GND	F
G	LV1A	LV1A	LV1A	LV1A	LV1A	LV1A	LV0A	VEE	VEE	VEE	VEE	VDD	G
H	LV2A	LV1A	LV1A	LV1A	LV1A	LV1A	VDDA	VEE	VEE	VEE	VEE	CWINA	H
J	NC	LV1A	LV1A	LV1A	LV1A	LV1A	GNDCWA	VEE	VEE	VEE	VEE	INP0A	J
K	OUTA	LV1A	LV1A	LV1A	LV1A	LV1A	GND	VEE	VEE	VEE	VEE	INN0A	K
L	NC	LV1A	LV1A	LV1A	LV1A	LV1A	GND	NC	NC	GND	VAAD	INN2A	L
M	HV2A	GND	HV1A	HV0A	VCWA	PDM\	VAAA	BIAS	NC	INP1A	INN1A	INP2A	M
	1	2	3	4	5	6	7	8	9	10	11	12	

ピン機能

ピン名	説明
電源	
VAAx	入力ロジック電源（+2.5V）
VDD	+5Vドライバ電源
VEE	–5Vドライバ電源
HV0A, HV0B	低電圧FET出力段の正電源、チャネルAおよびB
LV0A, LV0B	低電圧FET出力段の負電源、チャネルAおよびB
HV2A, HV2B	中電圧FET出力段の正電源。この出力段には内部デグリッチャ回路が含まれます。チャネルAおよびB
LV2A, LV2B	中電圧FET出力段の負電源。この出力段には内部デグリッチャ回路が含まれます。チャネルAおよびB
HV1A, HV1B	高電圧FET出力段の正電源、チャネルAおよびB
LV1A, LV1B	高電圧FET出力段の負電源、チャネルAおよびB
VCWA, VCWB	CW FET出力段の電源接続、チャネルAおよびB
GND	グランド接続、ドライバ
GNDCWA, GNDCWB	CW FET出力段のグランド接続、チャネルAおよびB
BIAS	VAA(+2.5V)に接続、内部バイアスに使用、ハイ・インピーダンス入力
入力	
INP0A, INP0B	低電圧P-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。HV0A、HV0Bを制御。ハイ・インピーダンス入力。
INN0A, INN0B	低電圧N-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。LV0A、LV0Bを制御。ハイ・インピーダンス入力。
INP2A, INP2B	中電圧P-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。HV2A、HV2Bを制御。ハイ・インピーダンス入力。
INN2A, INN2B	中電圧N-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。LV2A、LV2Bを制御。ハイ・インピーダンス入力。
INP1A, INP1B	高電圧P-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。HV1A、HV1Bを制御。ハイ・インピーダンス入力。
INN1A, INN1B	高電圧N-FET段の論理入力信号、チャネルAおよびB、Low = オン、High = オフ。LV1A、LV1Bを制御。ハイ・インピーダンス入力。
CWINA	A出力用のCWゲート入力信号。入力“1”は、OUTAから電流がシンクされることを意味します。入力“0”は、OUTAから電流がソースされることを意味します。このピンは、出力AのCW FETゲートに直接アクセスします。
CWINB	B出力用のCWゲート入力信号。入力“1”は、OUTBから電流がシンクされることを意味します。入力“0”は、OUTBから電流がソースされることを意味します。このピンは、出力BのCW FETゲートに直接アクセスします。
$\overline{\text{EN}}$	非CWパス用の論理入力。イネーブル・ピンを使用して、入力データのラッチまたは透過動作のいずれかを選択します。Low = 内部T&Hにより、PCLKINに印加されるクロックのレートで入力データのタイミングを再設定します。High = このモードは、TX517がクロックなしで動作する場合に使用します。High(1)の場合、入力データはT&Hをバイパスします。このピンは、チャネルAおよびBに共通の制御です。ハイ・インピーダンス入力。
$\overline{\text{PDM}}$	非CWパスのパワーダウン制御入力、Low = パワーダウン、High = 通常動作。 PDMピンは、多少の静止電力を消費する電圧変換回路を制御します。 このピンは、チャネルAおよびBに共通の制御です。ハイ・インピーダンス入力。
PCLKIN	ラッチ(T&H)モードで使用するクロック入力。クロック信号がHighのとき、T&H回路はトラック・モードです。クロック信号がLowのとき、T&Hはホールド・モードです。 このピンは、チャネルAおよびBに共通のクロック入力です。ハイ・インピーダンス入力。
出力	
OUTA	出力チャネルA
OUTB	出力チャネルB

絶対最大定格

電圧はグランド電位（GND = 0V）を基準、動作温度範囲内（特に記述のない限り）[1]

		VALUE	単位
V_{DS}	高電圧正電源HV1、2（OUTA/Bを基準）、最大デルタ電圧も参照	–0.3 ～ +80	V
	高電圧正電源HV0（OUTA/Bを基準）、最大デルタ電圧も参照	–0.3 ～ +6	V
	高電圧VCWA/B電源（GNDCWA/Bを基準）	–0.3 ～ +16	V
V_{DS}	高電圧負電源LV1、2（OUTA/Bを基準）、最大デルタ電圧も参照	–40 ～ +0.3	V
	高電圧負電源LV0（OUTA/Bを基準）、最大デルタ電圧も参照	–6 ～ +0.3	V
	最大デルタ電圧：HV1- LV1およびHV2 - LV2	110	V
	最大デルタ電圧：HV0 - LV0	12	V
VDD	ドライバ電源、正	–0.3～ +6	V
VEE	ドライバ電源、負	–6 ～ +0.3	V
VAA	ロジック電源電圧	–0.3 ～ +6	V
	論理入力（INPx、INNx、$\overline{EN}$、$\overline{PDM}$、PCLKIN、U）	–0.3 ～ +6	V
	CW入力（CWINA、CWINB）	–0.3 ～ +11	V
	ピーク半田温度[2]	260	°C
TJ	最大接合部温度、任意の条件[3]	150	°C
TJ	最大接合部温度、連続動作、長期的信頼性[4]	125	°C
Tstg	保存温度範囲	–65 ～ 150	°C
ESD定格	HBM	500	V
	CDM	750	V
	MM	200	V

（1）絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
（2）デバイスはJSTD-020Dに準拠しています。
（3）任意の条件における絶対最大接合部温度は、シリコン・プロセスの制約によって制限されます。
（4）連続動作での絶対最大接合部温度は、パッケージ制約によって制限されます。この温度で動作を行うと、デバイスの信頼性低下や寿命の短縮につながるおそれがあります。

熱特性について

熱特性[1]		TX517 BGA (144) (ZCQ) ピン	単位
θ_{JA}	接合部-周囲間熱抵抗	28	°C/W
θ_{JCtop}	接合部-ケース（上面）間熱抵抗	3.8	°C/W
θ_{JB}	接合部-基板間熱抵抗	11.3	°C/W
ψ_{JT}	接合部-上面間特性パラメータ	0.2	°C/W
電力定格[2][3] (TJ = 125ºC)	TA = 25°C	3.57	W
	TA = 85°C	1.47	W

（1）従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』（SPRA953）を参照してください。
（2）このデータは、JEDECのHigh-K試験PCB上で得られたものです。
（3）電力定格は、接合部温度125℃で決定されます。この値を超えると、歪みが大幅に増加し始め、長期的な信頼性が低下し始めます。最高の性能および信頼性を得るには、最終的なPCBの熱管理で接合部温度を125℃以下に保持するようにしてください。

推奨動作条件

	MIN	TYP	MAX	単位
VAA	2.38	2.5	3.3	V
VDD	4.75	5.0	5.25	V
VEE	–5.25	–5.0	–4.75	V
HV0A、HV0B	0	1.9	5	V
LV0A、LV0B	–5	–1.9	0	V
HV2A、HV2B	0	32	70	V
LV2A、LV2B	–30	–11.9	0	V
HV1A、HV1B	>HV0および>HV2	61	70	V
LV1A、LV1B	–30	–20.9	<LV0および<LV2	V
VCWA、VCWB	0	11	15	V
HV1 - LV1およびHV2 - LV2の最大デルタ			100	V
NNx、INPx、$\overline{EN}$、$\overline{PDM}$、PCLKIN、U	0		VAA	V
NCWA、INCWB	0	5	10	V
INNxx、INPxx入力サンプル・レート	1		100	Msps
INNxx、INPxx入力単位間隔	10		1000	ns
PCLKIN入力周波数	1		100	MHz
周囲温度、T_A	0		85	°C

電気的特性

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω（対GND）（OUTA）、R_L = 100Ω（対GND）（OUTB）での値です（特に記述のない限り）。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ		測定条件	MIN	TYP	MAX	単位	テスト・レベル(1)
HV0/LV0信号パス - DC性能							
	Pチャネル						
	実効抵抗、RDSon + Rdiode	HV0 = 2 V, OUTX = –750 mV～ –1.25 V	6.5	9.5	13	Ω	A
	実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			12%		C
	出力飽和電流	R_L = 5 Ω ～–30 V	–3.1	–1.3	–1	A	A
	出力電圧			1.0		V	C
	Nチャネル						
	実効抵抗、RDSon + Rdiode	LV0 = –2V, OUTX = 750 mV ～1.25 V	2.5	5	8.5	Ω	A
	実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			5	%	C
	出力飽和電流	R_L = 5 Ω ～+30 V	1.4	1.8	3.1	A	A
	出力電圧			–1.2		V	C
HV0/LV0信号パス - AC性能							
	シングル・トーン出力周波数		1		100	Msps	B
	2次高調波歪（トランス・ブリッジ使用時）	f = 5.0MHzの方形波、RL = 100Ωで2次コイルにトランスを使用して測定		35		dBc	C
t_r	出力立ち上がり時間	0V ～ +Voutの10%～90%、図8		4.5		ns	C
t_f	出力立ち下がり時間	0V ～ –Voutの10%～90%、図8		1		ns	C
t_{pr}, t_{pf}	伝播遅延	入力50% ～ 出力50%、図8		30		ns	B
HV2/LV2信号パス - DC性能							
	Pチャネル						
	実効抵抗、RDSon + Rdiode	HV2 = 30 V ～HV2 = 20 V	4.5	9	12.5	Ω	A
	実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			12%		C
	出力飽和電流	HV2 = 60 V; R_L = 5 Ω ～GND	–4.1	–2.3	–1.8	A	A
	出力電圧			28.5		V	C
	Nチャネル						
	実効抵抗、RDSon + Rdiode	LV2 = –10 V ～LV2 = –12 V	1.5	4.5	7.5	Ω	A
	実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			4%		C
	出力飽和電流	LV2 = –60 V; R_L = 5 Ω ～GND	2.4	3.0	5.0	A	A
	出力電圧			–10.5		V	C
HV2/LV2信号パス - AC性能							
	シングル・トーン出力周波数		1		100	Msps	B
	2次高調波歪（トランス・ブリッジ使用時）	f = 5.0MHzの方形波、RL = 100Ωで2次コイルにトランスを使用して測定		50		dBc	C
t_r	出力立ち上がり時間	0V ～ +Voutの10%～90%、図8		7.5		ns	C
t_f	出力立ち下がり時間	0V ～ –Voutの10%～90%、図8		3		ns	C
t_{pr}, t_{pf}	伝播遅延	入力50%～出力50%、図8		25		ns	B

（1）テスト・レベル：(A) 100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。(C) 標準値は参考情報。

電気的特性

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω（対GND）（OUTA）、R_L = 100Ω（対GND）（OUTB）での値です（特に記述のない限り）。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル(1)
HV1/LV1信号パス - DC性能						
Pチャネル						
実効抵抗、RDSon + Rdiode	HV1 = 60 V ～HV1 = 50 V	2.5	7	12.5	Ω	A
実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対GND）			11%		C
出力飽和電流	HV1 = 60 V; R_L = 5 Ω ～GND	–4.1	–2.5	–2	A	A
出力電圧			58		V	C
Nチャネル						
実効抵抗、RDSon + Rdiode	LV1 = –20 V ～–10 V	1	2	4.5	Ω	A
実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			3%		C
出力飽和電流	LV1 = –60 V; R_L = 5 Ω ～GND	2.9	3.4	4.1	A	A
出力電圧			–20		V	C
HV1/LV1信号パス - AC性能						
シングル・トーン出力周波数		1		100	Msps	B
2次高調波歪（トランス・ブリッジ使用時）	f = 5.0MHzの方形波、RL = 100Ωで2次コイルにトランスを使用して測定		60		dBc	C
t_r 出力立ち上がり時間	0V ～ +Voutの10% ～ 90%、図8		6.5		ns	C
t_f 出力立ち下がり時間	0V ～ –Voutの10% ～ 90%、図8		3		ns	C
t_{pr}, t_{pf} 伝播遅延	入力50% ～ 出力50%、図8		25		ns	B

（1）テスト・レベル：(A) 100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。(C) 標準値は参考情報。

電気的特性

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω（対GND）（OUTA）、R_L = 100Ω（対GND）（OUTB）での値です（特に記述のない限り）。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル(1)
CW信号パス - DC性能						
Pチャネル						
実効抵抗、RDSon + Rdiode	VCW = 4.5 V ～5.5 V	9	21	31	Ω	A
実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			30%		C
出力飽和電流	R_L = 5 Ω ～–20 V	–0.16	–0.12	–0.06	A	A
出力電圧Voltage			8		V	C
Nチャネル						
実効抵抗、RDSon + Rdiode	OUTX = 1 V ～2 V	9	14	18	Ω	A
実効抵抗変動	最大出力電力 ～ 最小出力電力、負荷 = 100Ω（対0V）			10%		C
出力飽和電流	R_L = 5 Ω ～ 20 V	0.29	0.35	0.44	A	A
出力電圧			30		mV	C

（1）テスト・レベル：(A) 100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。(C) 標準値は参考情報。

電気的特性

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω(対GND)(OUTA)、R_L = 100Ω(対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル(1)
CW信号パス - AC性能 (2)						
シングル・トーン出力周波数		0.5		10	MHz	B
2次高調波歪	f = 1MHz、 R_L = 100Ωで2次コイルにトランスを使用して測定		47		dBc	C
	f = 5MHz、 R_L = 100Ωで2次コイルにトランスを使用して測定		33		dBc	C
スルー・レート+(正エッジ)	Voutppの20%～80%、 R_L = 100Ωで2次コイルにトランスを使用して測定		0.6		V/ns	C
スルー・レート–(負エッジ)			0.45		V/ns	C
t_r 出力立ち上がり時間	0V ～ +Voutの10% ～ 90%、 図8		30		ns	C
t_f 出力立ち下がり時間	0V ～ –Voutの10% ～ 90%、 図8		10		ns	C
t_{pr}, t_{pf} 伝播遅延 Delay	入力50% ～ 出力50%、 図8		25		ns	B
PチャネルのAC結合ゲート駆動時定数		10	20	30	μs	C
CW入力特性						
High入力電圧		1.05			V	B
Low入力電圧				0.35	V	B
Low入力電流	CWINX = 0V		0	1	μA	B
High入力電流	CWINX = 5.0V		25	40	μA	B
入力ゲート電荷	CWINX = 0 V ～5.0 V または 5.0 V ～0 V		550		pC	C
論理特性 - INNXX、INPXX、EN\、PDM\、PCLKINピン						
入力容量	INNxx, INPxx, PCLKIN @ 10 MHz		6		pF	C
	EN\ @ 10 MHz		9			
	PDM\ @ 10 MHz		4			
論理High入力電圧	VAA = 2.375V～3.6V	0.55*VAA		VAA	V	B
論理Low入力電圧	VAA = 2.375V～3.6V	0		0.8	V	B
論理Low入力電流			0.2	10	μA	B
論理High入力電流			0.2	10	μA	B
最小クロック周期、tper	図9、PCLKIN	10			ns	B
最小クロックHigh時間、tmin	図9、PCLKIN	2.0			ns	B
t_s セットアップ時間	図9、PCLKIN、INNxx、INPxx	0			ns	B
t_h ホールド時間	図9、PCLKIN、INNxx、INPxx	1.5			ns	B
出力特性						
出力抵抗	パワーダウン・モード(Hi-Z出力)、VTEST = 20V		1		GΩ	C
出力容量	パワーダウン・モード(Hi-Z出力)、 @1～100MHZ		165		pF	C
リーク電流	パワーダウン・モード(Hi-Z出力)、VTEST = 0V		0.001	10	μA	A
内部ゲート電荷特性						
入力ゲート電荷 (3)	HV0/LV0内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		3.5		nC	C
	HV1/LV1内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		4.6		nC	C
	HV2/LV2内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		7		nC	C

(1) テスト・レベル：(A) 100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。(C) 標準値は参考情報。
(2) TX517のCW出力は相補型です。したがって、CW出力をイネーブルにするにはトランスが必要です。
(3) 入力ゲート電荷は、特定の出力の内部FETゲートをLowからHigh状態またはHighからLow状態へと変化させるのに必要な電荷の量です。各ゲート電荷値は、出力のP型FETとN型FETの両方に適用されます。これらの値を使用して、内部FETを特定のサンプリング・レートでスイッチングするためにVDDおよびVEE電源に供給する必要がある、動的電流の大きさを見積もることができます。

電気的特性

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω(対GND)(OUTA)、R_L = 100Ω(対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件		MIN	TYP	MAX	単位	テスト・レベル(1)
電源							
合計静止電流(PWモード)、電源VDD	INPxx = 1、INNxx = 0、PCLKIN = 0または1			13	15	mA	A
合計静止電流(PWモード)、電源VEE	INPxx = 1、INNxx = 0、PCLKIN = 0または1		–10	–8		mA	A
合計静止電流(PWモード)、電源VAA	INPxx = 1、INNxx = 0、PCLKIN = 0または1		–3	–2		mA	A
動的消費電流(PWモード)、電源VDD	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0		17	23	mA	B
		HV1/LV1		18	23		
		HV2/LV2		20.5	23		
動的消費電流(PWモード)、電源VEE	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	–15	–10		mA	B
		HV1/LV1	–15	–10.5			
		HV2/LV2	–15	–12.5			
動的消費電流(PWモード)、電源VAA	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	–4	–2.3		mA	B
		HV1/LV1	–4	–2.5			
		HV2/LV2	–4	–2.5			
動的消費電流(PWモード)、電源HV0	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。			2	4	mA	B
動的消費電流(PWモード)、電源LV0	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		–3.5	–2		mA	B
動的消費電流(PWモード)、電源HV1	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。			41	60	mA	B
動的消費電流(PWモード)、電源LV1	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		–55	–41		mA	B
動的消費電流(PWモード)、電源HV2	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。			22	60	mA	B
動的消費電流(PWモード)、電源LV2	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		–35	–22		mA	B
デバイスのみの合計消費電力(PWモード)	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0		0.15	0.25	W	B
		HV1/LV1		1.1	1.7		
		HV2/LV2		0.6	0.8		
動的消費電流(CWモード)、電源VCWA + VCWB	入力パターン = 10サイクルの方形波、CW信号パス上で10Msps、デューティ・サイクル100%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。EN\ = 0または1、PCLKIN = 0または1			62	100	mA	B
デバイスのみの合計消費電力(CWモード)	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル100%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。EN\ = 0または1、PCLKIN = 0または1			310	400	mW	B
電源(HVx、LVx)スルー・レート制限					10	V/ms	B
パワーダウン特性							
パワーダウン時消費電力	パワーダウン・モード(Hi-Z出力)、PDM\ = 0、INPxx = 1、INNxx = 0、PCLKIN = 0または1			3	15	mW	A

(1) テスト・レベル：(A)100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B)制限は特性とシミュレーションで設定。(C)標準値は参考情報。

電気的特性(任意のレベルから任意のレベルへの遷移 - 17レベル出力、289通りの遷移[1])

すべての仕様は、T_A = 0～85℃、VAA = 2.5V、VDD = 5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω(対GND)(OUTA)、R_L = 100Ω(対GND)(OUTB)での値です(特に記述のない限り)。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル[2]
パワーアップ/ダウン・タイミング						
パワーダウン時間			100		ns	C
パワーアップ時間			100		ns	C
HVX/LVX信号パス - AC性能						
平均正規化出力立ち上がり時間	0～1の10%～90%、20MHz		5		ns	C
平均遅延（最初のサンプルのクロック・エッジを基準）	0-20 MHz		23		ns	C
遅延の標準偏差	0-20 MHz		1.2		ns	C
位相の標準偏差	5 MHz		0.01		サイクル	C
	20 MHz		0.03		サイクル	C
ゲインの標準偏差	5 MHz		4		%	C
	20 MHz		8		%	C

(1) これらのパラメータは、17の可能な状態のうちの1つから、他のすべての可能な状態までの間、差動出力上で測定されます。
したがって、17 × 17 = 289通りの遷移があります。
(2) テスト･レベル：(A)100%を25℃でテスト。過熱制限は特性とシミュレーションで設定。(B)制限は特性とシミュレーションで設定。(C)標準値は参考情報。

標準的特性

すべての仕様は、T_A = 25℃、VAA = +2.5V、VDD = +5V、VEE = -5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω(対GND)(OUTA)、R_L = 100Ω(対GND)(OUTB)での値です(特に記述のない限り)。

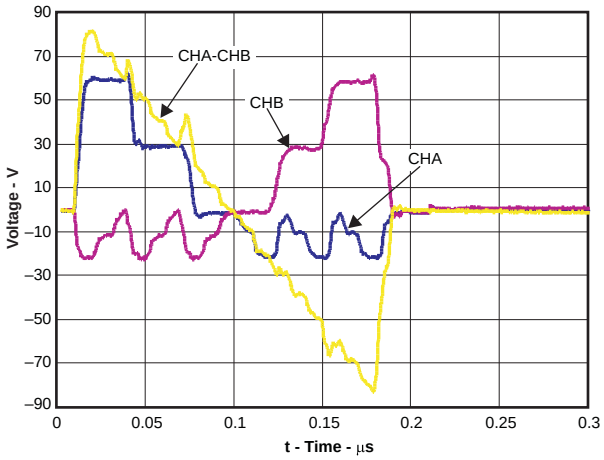


図 1. 17レベル出力、パルス幅10ns（100MSPS）

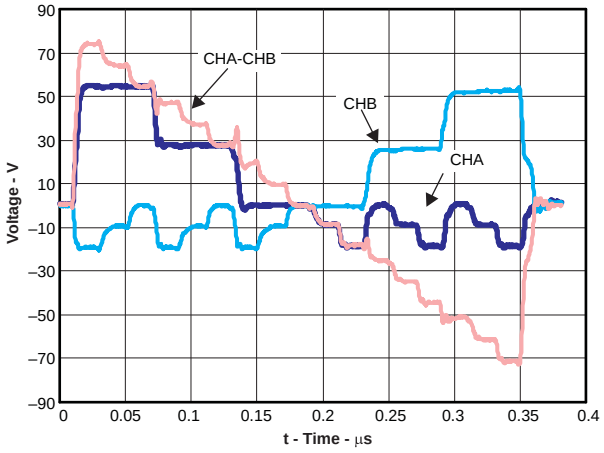


図 2. 17レベル出力、パルス幅20ns（50MSPS）

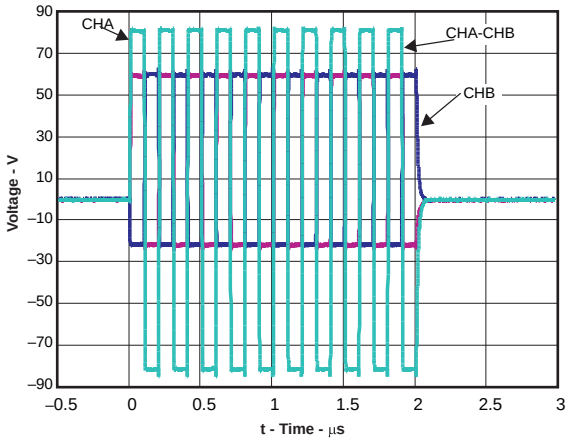


図 3. 5MHz、3レベル、10サイクル出力

標準的特性

すべての仕様は、T_A = 25℃、VAA = +2.5V、VDD = +5V、VEE = –5V、HV0 = 1.9V、LV0 = –1.9V、HV2 = 32V、LV2 = –11.9V、HV1 = +61.1V、LV1 = –20.9V、VCW = 11V、R_L = 100Ω(対GND)(OUTA)、R_L = 100Ω(対GND)(OUTB)での値です(特に記述のない限り)。

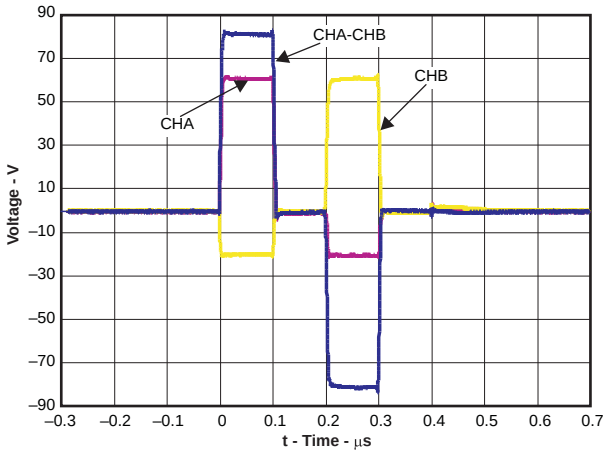


図 4. 3レベル出力、パルス幅100ns(10MSPS)

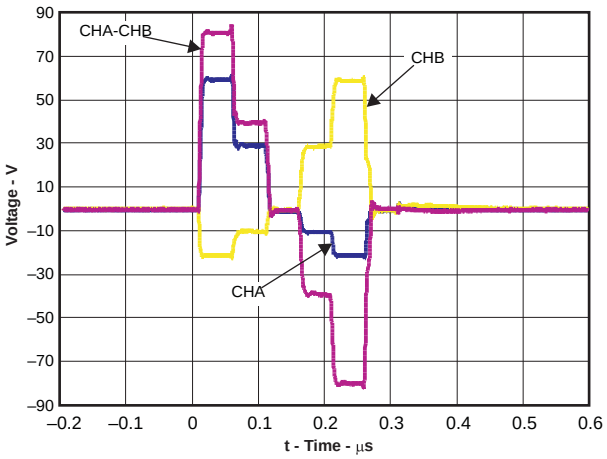


図 5. 5MHz、5レベル出力

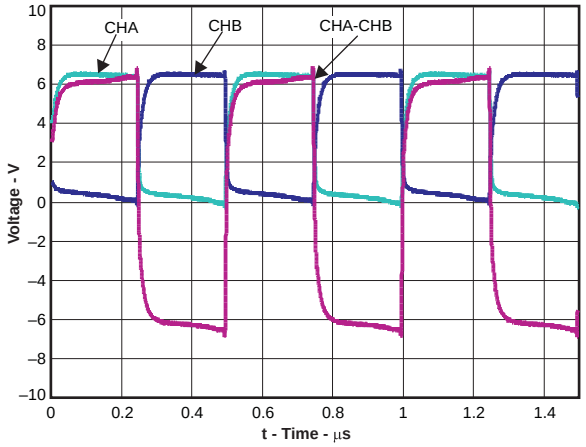


図 6. 2MHz、CW出力

アプリケーション情報

説　明	$\overline{EN}$	$\overline{PDM}$	PCLKIN	CWINA	CWINB	INPxx(1)	INNxx(1)
パワーダウン（Hi-Z出力）	1	0	x(2)	0	0	1	0
CWモード	x	0	x	0/1	1/0	1	0
非ラッチ・モード	1	1	x	0	0	0/1	0/1
ラッチ・モード	0	1	0/1	0	0	0/1	0/1

表 1. 真理値表

(1) TX517の入力を駆動するロジック・デバイスは、貫通障害状態を防止する手段を備えている必要があります。同じ出力(OUTAまたはOUTB)上で同時に、INP入力がLow(0)、INN入力がHigh(1)になるような入力の組み合わせは、TX517に恒久的な損傷を与える可能性があります。禁止論理状態の表も参照してください。表3は、TX517のデータ入力INPxxおよびINNxxを適切に駆動する方法の例を示しています。

(2) X = Don't care状態。ただし、過度の電力消費を防ぐため、未使用の入力はすべてHighまたはLowに固定することを推奨します。デバイスの論理入力は、内部に固定接続を備えていません。

説　明	$\overline{EN}$	$\overline{PDM}$	PCLKIN	CWINA	CWINB	INPxA	INNxA	INPxB	INNxB
禁止モード1 (1)	x	x	x	x	x	0	1	x	x
禁止モード2 (1)	x	x	x	x	x	x	x	0	1
禁止モード3 (2)	x	0	x	x	x	x	1	x	x
禁止モード4 (2)	x	0	x	x	x	x	x	x	1
禁止モード5 (2)	x	0	x	x	x	0	x	x	x
禁止モード6 (2)	x	0	x	x	x	x	x	0	x
禁止モード7 (3)	0	x	0	x	x	x	x	x	x

表 2. 禁止論理状態

(1) この論理状態は、貫通障害状態を引き起こし、TX517に恒久的な損傷を与える可能性があります。

(2) この論理状態は、TX517の内部論理回路に高消費電力状態を生じさせ、TX517の長期的な信頼性を損ねる可能性があります。

(3) この禁止論理状態は、DC状態にのみ有効です。つまり、EN\がLowのときにPCLKINをLowに保持することはできません。その場合、TX517の内部論理回路に高消費電力状態が生じます。ただし、EN\をLowにして、PCLKINに対する推奨動作条件下でクロック波形によりPCLKINを駆動することは可能です。

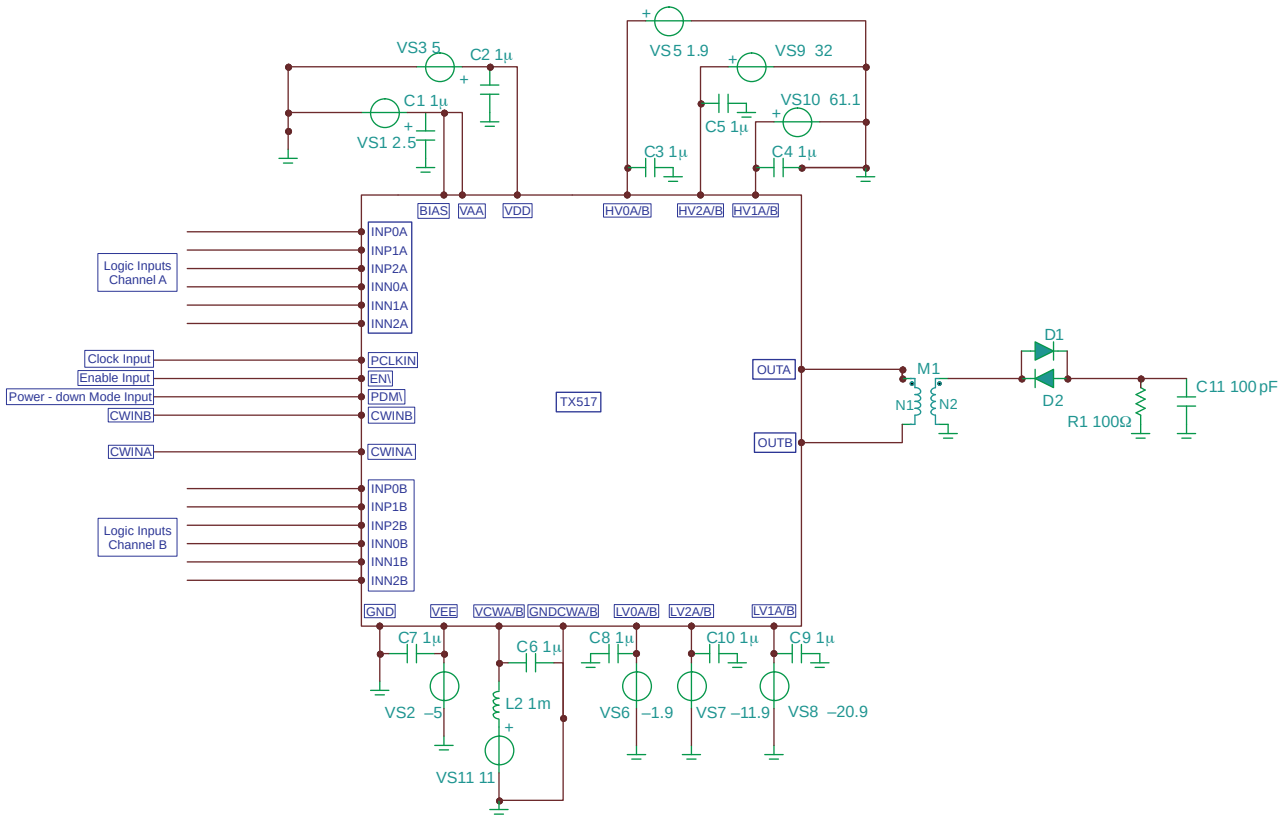
出力レベル	INP0A	INP2A	INP1A	INP1B	INP2B	INP0B	INN0A	INN2A	INN1A	INN1B	INN2B	INN0B
8	0	0	1	0	0	0	0	0	0	1	0	0
7	0	0	1	0	0	0	0	0	0	0	1	0
6	0	0	1	0	0	1	0	0	0	0	0	1
5	0	1	0	0	0	0	0	0	0	1	0	0
4	0	1	0	0	0	0	0	0	0	0	1	0
3	0	1	0	0	0	1	0	0	0	0	0	1
2	1	0	0	0	0	0	1	0	0	1	0	0
1	1	0	0	0	0	0	1	0	0	0	1	0
0	1	0	0	0	0	1	1	0	0	0	0	1
–1	0	0	0	0	0	1	0	1	0	0	0	1
–2	0	0	0	0	0	1	0	0	1	0	0	1
–3	1	0	0	0	1	0	1	0	0	0	0	0
–4	0	0	0	0	1	0	0	1	0	0	0	0
–5	0	0	0	0	1	0	0	0	1	0	0	0
–6	1	0	0	1	0	0	1	0	0	0	0	0
–7	0	0	0	1	0	0	0	1	0	0	0	0
–8	0	0	0	1	0	0	0	0	1	0	0	0
オフ状態	0	0	0	0	0	0	0	0	0	0	0	0

表 3. 17レベル出力の入力データ・セットの例(1)

(1) 表に記載の各レベルはアクティブ・ハイです。チップを駆動する前に、P信号を反転する必要があります。この注記は、この「17レベル出力の入力データ・セットの例」の表にのみ該当するものです。

	1	2	3	4
パワーアップ	Driver Supplies(VEE, VAA, VDD)	LV1	HV1	ドライバ電源（VEE、VAA、VDD）
パワーダウン	VCW, HV2, HV0, LV0, LV2	HV1	LV1	ドライバ電源（VDD、VAA、VEE）

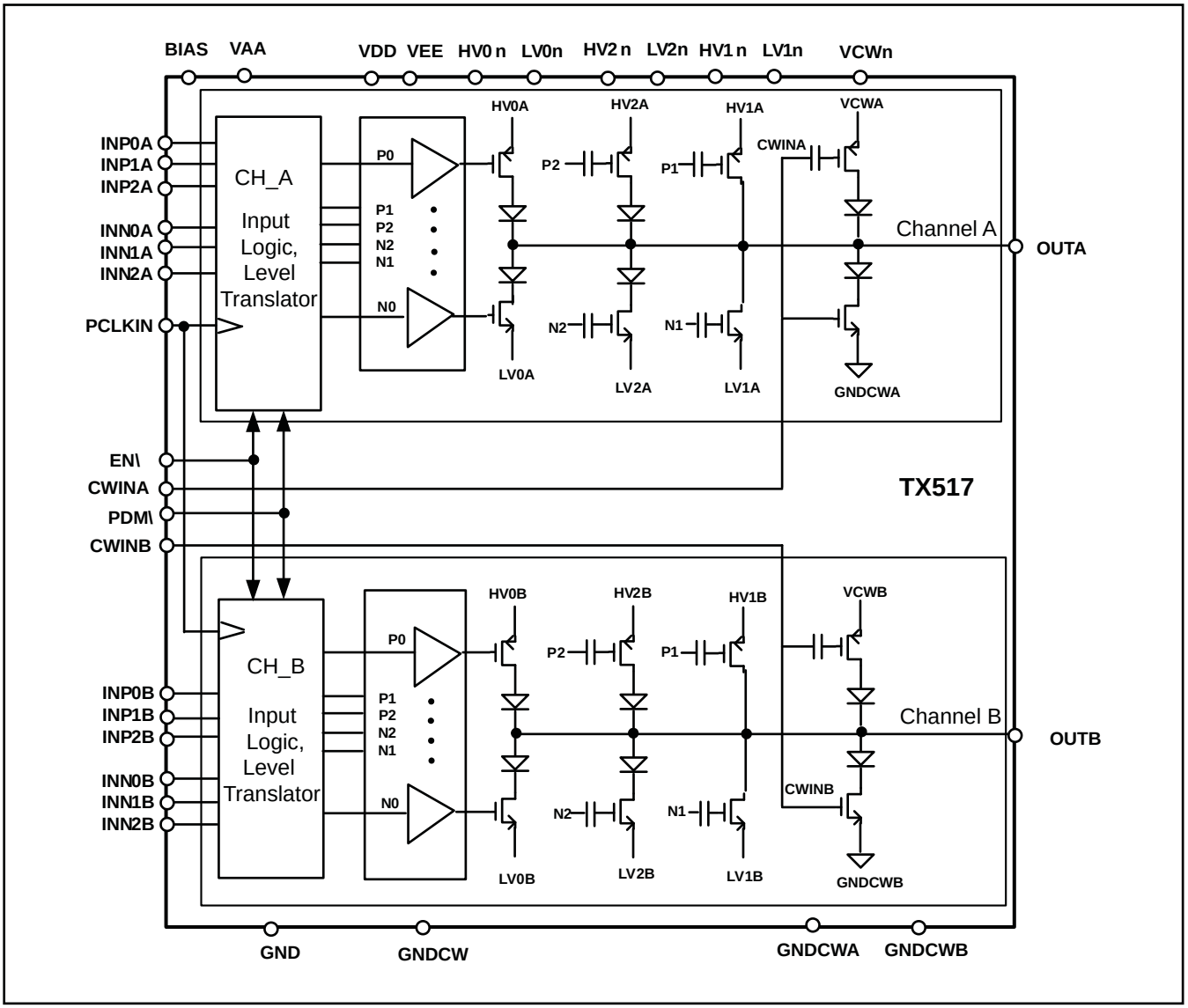
表 4. 電源シーケンス



A. ダイオードD1、D2は単なるプレースホルダーです。適切なモデルを選択してください(MMBD3004Sなど)。
B. 負荷抵抗R1およびコンデンサC11の使用方法と値は、最終構成によって異なる場合があります。
C. すべての電源のバイパス・コンデンサとその値は、単なるプレースホルダーです。
各電源レール間のコンデンサも必要になる場合があります。
D. インダクタ(フェライト・ビード)L1、L2は、オプション部品です。
E. 電圧源の電圧レベルは、シミュレーションで使用したものに対応しています。

図 7. 標準デバイス構成

ブロック図



タイミング関連情報

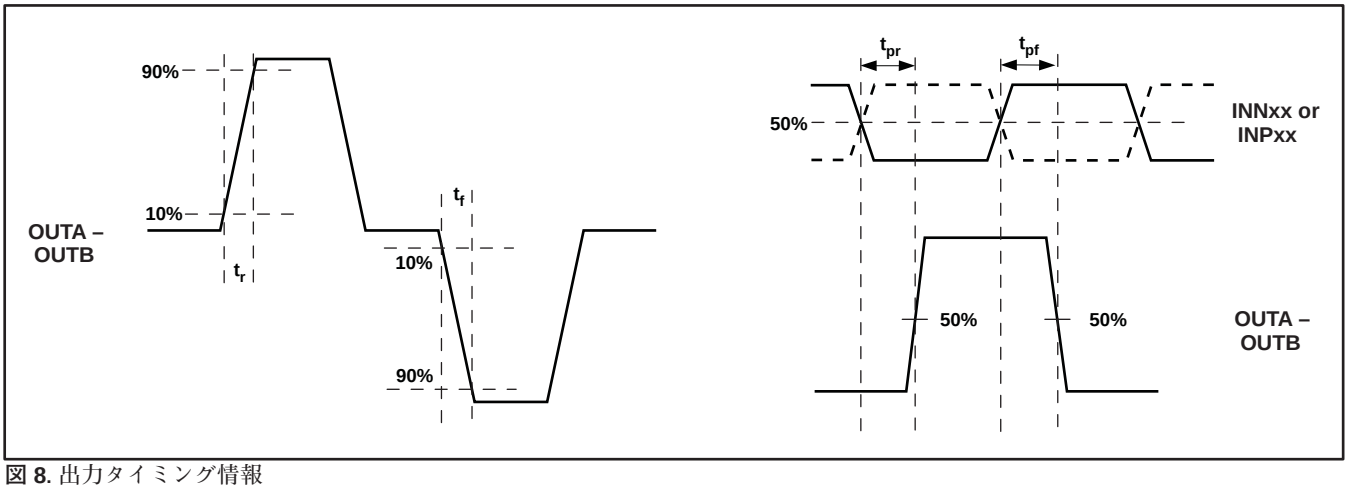


図 8. 出力タイミング情報

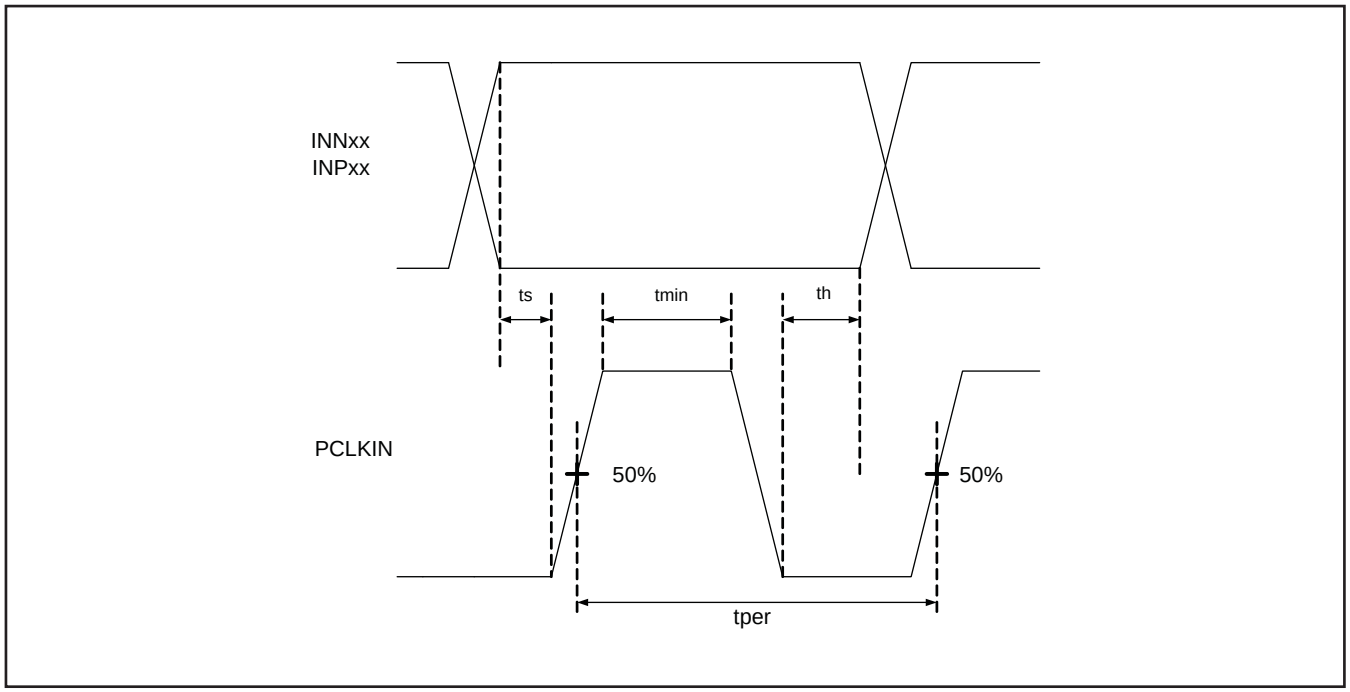


図 9. ラッチ・モードのタイミング波形

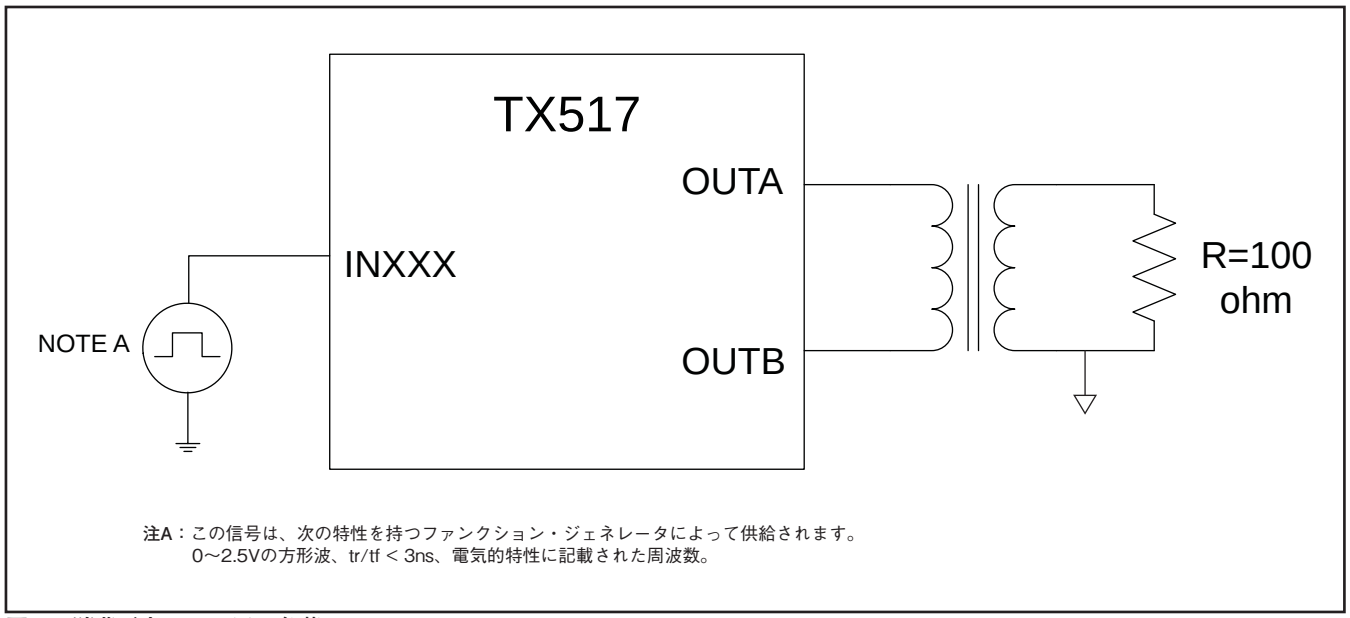


図 10. 消費電力テスト用の負荷

パッケージ情報

製品情報

Orderable Device	Status(1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan(2)	Lead/ Ball Finish	MSL Peak Temp(3)	Samples (Requires Login)
TX517IZCQ	ACTIVE	NFBGA	ZCQ	144	160	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	

(1) マーケティング･ステータスは次のように定義されています。
ACTIVE：製品デバイスが新規設計用に推奨されています。
LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE：TIによりデバイスの生産が中止されました。

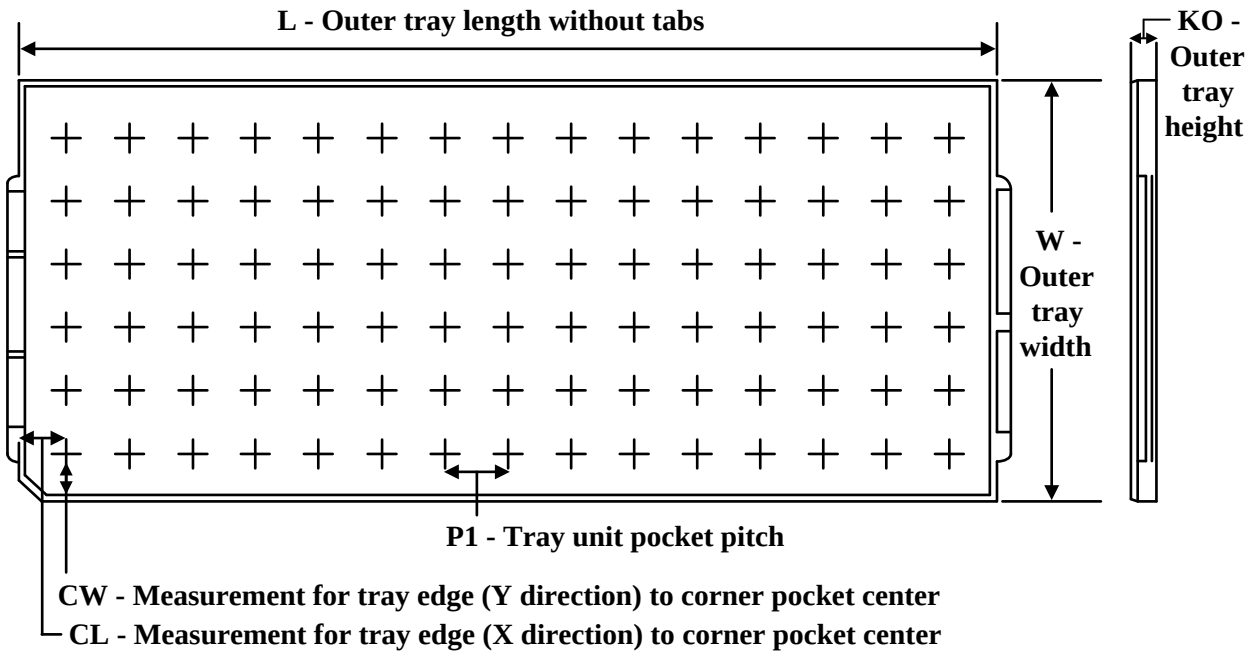
(2) エコ･プラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert)およびGreen(RoHS & no Sb/Br)があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。
TBD：Pb-Free/Green変換プランが策定されていません。
Pb-Free(RoHS)：TIにおける "Lead-Free" または "Pb-Free"(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー･プロセスでの使用に適しています。
Pb-Free(RoHS Exempt)：この部品は、1)ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2)ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。
Green(RoHS & no Sb/Br)：TIにおける "Green" は、"Pb-Free"(RoHS互換)に加えて、臭素 (Br)およびアンチモン(Sb)をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

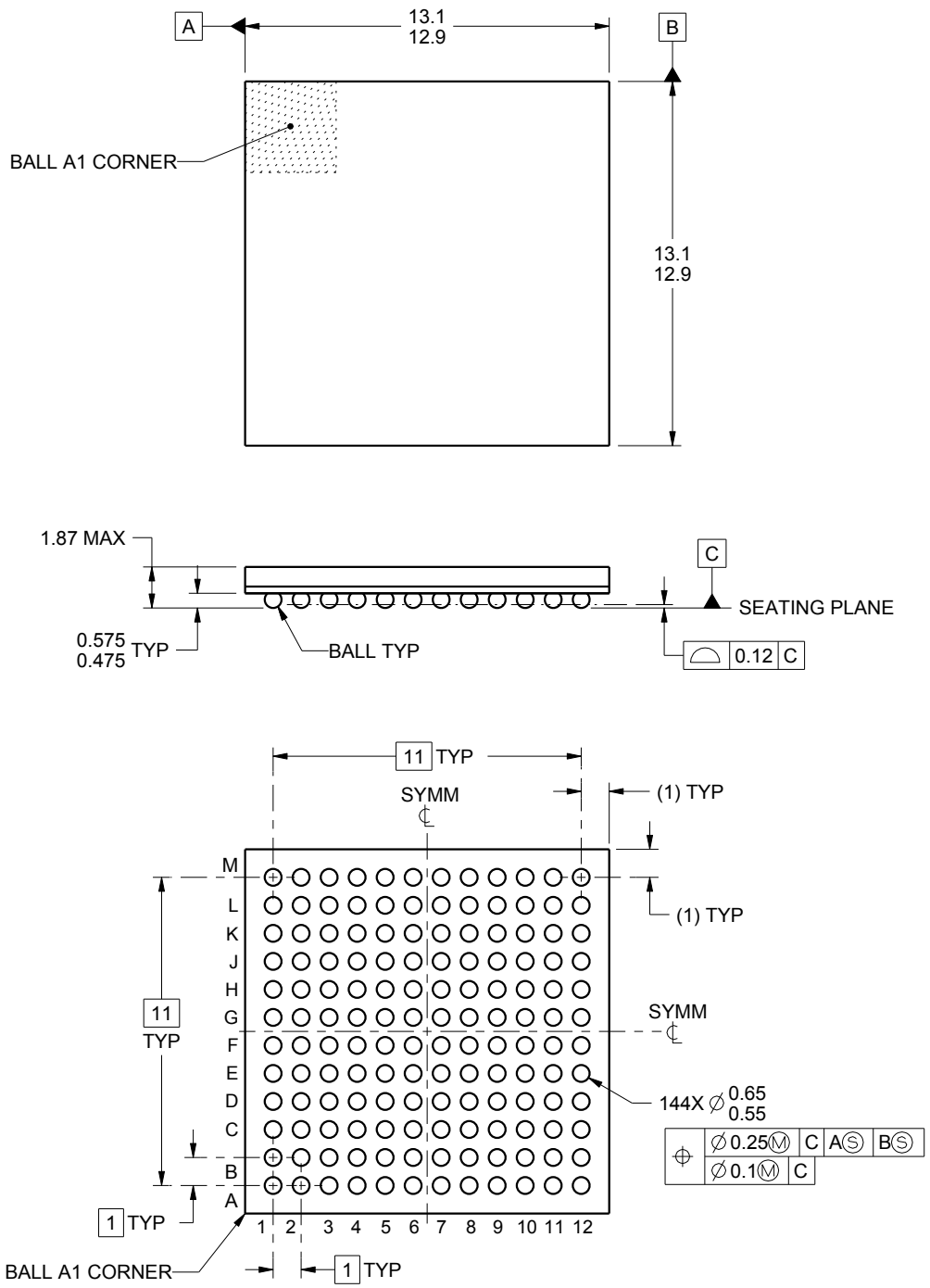
TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

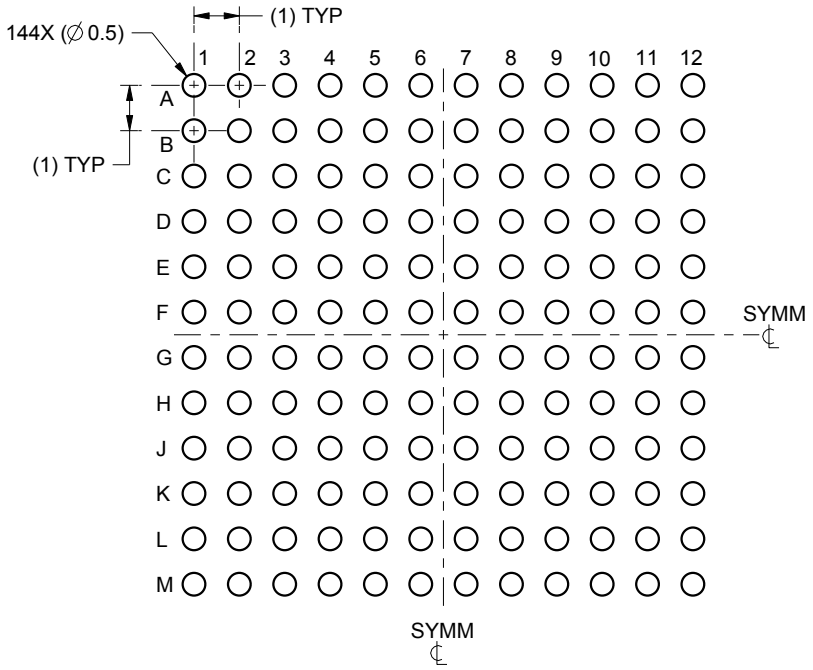
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TX517IZCQ	ZCQ	NFBGA	144	160	8 x 20	150	315	135.9	7620	15	15	15.45
TX517IZCQ.A	ZCQ	NFBGA	144	160	8 x 20	150	315	135.9	7620	15	15	15.45

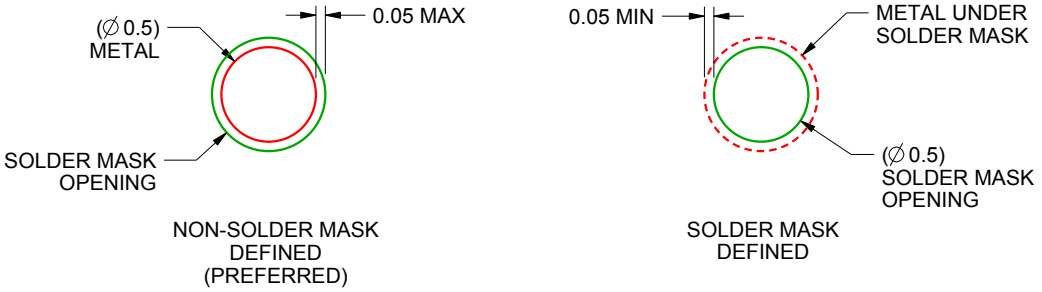


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:6X

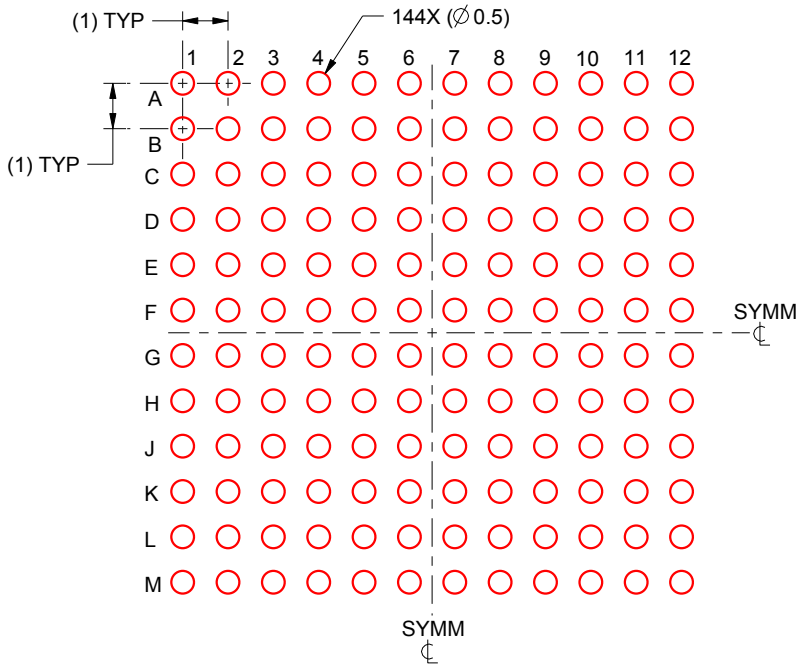


SOLDER MASK DETAILS
NOT TO SCALE

4222318/A 11/2015

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:6X

4222318/A 11/2015

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月