

## TXG102x 2 ビット、 $\pm 10V$ グランドレベル トランスレータ

### 1 特長

- 最大  $\pm 10V$  の DC シフトをサポート
- 最大 45MHz、20V<sub>PP</sub> の AC ノイズ除去
- 1kV/ $\mu$ s の CMTI
- 短い伝搬遅延 (<5ns) とチャネル間スキュー (0.20ns)
- 250Mbps 超
- 低い消費電力 (1Mbps、1.8V でチャネルごとに 0.8mA)
- 完全に構成可能なデュアルレール設計により、各ポートは 1.71V ~ 5.5V で動作可能
- 複数の構成を含む 4、2、1 チャネルのデバイスが利用可能になります
- 2 つのデバイスバリエント:
  - TXG1020: 正方向 2
  - TXG1021: 正方向 1、逆方向 1
- V<sub>CC</sub> 接続解除機能をサポート (I/O を強制的に高インピーダンスに移行)
- シュミットトリガ入力により低速またはノイズの多い信号に対応
- 入力に静的のプルダウン抵抗を内蔵することで、チャネルがフローティングにならないことを防止
- 動作温度範囲: -40°C ~ +125°C
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
  - JESD 22 を上回る ESD 保護
  - 人体モデルで 2500V
  - 荷電デバイスモデルで 500V
- 提供されているパッケージ・オプション:
  - DSG (WSON-8)
  - DDF (SOT-8)
  - D (SOIC-8)

### 2 アプリケーション

- 試験 / 測定機器
- 産業用オートメーション

- 電化製品
- ロボット
- 航空

### 3 説明

TXG102x は、2 ビット、固定方向、非ガルバニックベースの電圧およびグランドレベルトランスレータであり、1.71V ~ 5.5V の間でのロジックレベルシフトと最大  $\pm 10V$  のグランドレベルシフトの両方をサポートできます。従来のレベルシフタと比較して、TXG102x ファミリはさまざまなグランドレベルの電圧変換の課題を解決できます。寄生抵抗または容量による GNDA と GNDB の間に DC シフトが発生する一般的な使用事例を [簡略ブロック図](#) に示します。

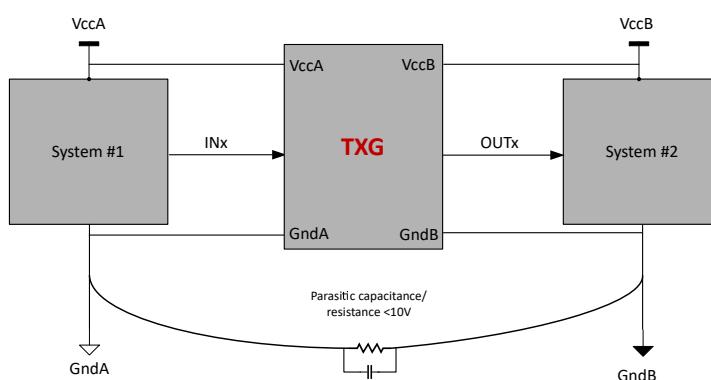
V<sub>CCA</sub> は GNDA を基準とし、V<sub>CCB</sub> は GNDB を基準とします。Ax ピンは V<sub>CCA</sub> ロジックレベルを基準とし、Bx ピンは V<sub>CCB</sub> ロジックレベルを基準とします。A ポートと B ポートはどちらも、1.71V ~ 5.5V の範囲の電圧に対応しています。V<sub>CC</sub> と GND が短絡したときの GNDA と GNDB の間のリーク電流は 40nA 未満です。

TXG102x デバイスは、さまざまなグランドドメインにわたってノイズ耐性と電源シーケンスを向上させると同時に、低消費電力、レイテンシ、チャネル間スキューを実現します。ノイズレベル 20V<sub>PP</sub> を最大 45MHz まで、(図 8-3)。このデバイスは、UART、GPIO、JTAG など複数のインターフェイスをサポートできます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
TXG1020	DSG (WSON-8)	2.0mm × 2.00mm
TXG1021	DDF (SOT-8)	2.90mm × 1.60mm
	D (SOIC-8)	4.90mm × 3.90mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



**簡略ブロック図**

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

<b>1 特長</b>	1	8.1 概要.....	24
<b>2 アプリケーション</b>	1	8.2 機能ブロック図.....	24
<b>3 説明</b>	1	8.3 機能説明.....	25
<b>4 ピン構成および機能</b>	3	8.4 デバイスの機能モード.....	28
<b>5 仕様</b>	7	<b>9 アプリケーションと実装</b>	29
5.1 絶対最大定格.....	7	9.1 アプリケーション情報.....	29
5.2 ESD 定格.....	7	9.2 代表的なアプリケーション.....	29
5.3 推奨動作条件.....	8	9.3 電源に関する推奨事項.....	31
5.4 熱に関する情報.....	8	9.4 レイアウト.....	31
5.5 電気的特性.....	9	<b>10 デバイスおよびドキュメントのサポート</b>	32
5.6 電源電流.....	11	10.1 デバイス サポート.....	32
5.7 スイッチング特性、 $V_{CCA} = 1.8 \pm 0.15$ V.....	14	10.2 ドキュメントのサポート.....	32
5.8 スイッチング特性、 $V_{CCA} = 2.5 \pm 0.2$ V.....	15	10.3 ドキュメントの更新通知を受け取る方法.....	32
5.9 スイッチング特性、 $V_{CCA} = 3.3 \pm 0.3$ V.....	16	10.4 サポート・リソース.....	32
5.10 スイッチング特性、 $V_{CCA} = 5.0 \pm 0.5$ V.....	17	10.5 商標.....	32
5.11 スイッチング特性: $T_{sk}$ 、 $T_{MAX}$ .....	18	10.6 静電気放電に関する注意事項.....	32
<b>6 代表的特性</b>	20	10.7 用語集.....	32
<b>7 パラメータ測定情報</b>	22	<b>11 改訂履歴</b>	33
7.1 負荷回路および電圧波形.....	22	<b>12 メカニカル、パッケージ、および注文情報</b>	33
<b>8 詳細説明</b>	24		

## 4 ピン構成および機能

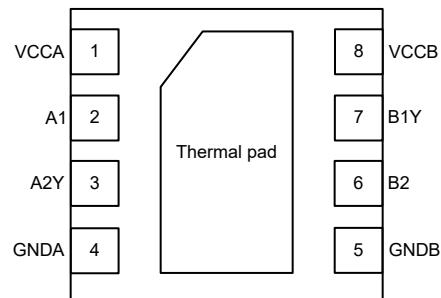


図 4-1. TXGx021DSG パッケージ 8 ピン WSON (上面図)

表 4-1. TXGx021 DSG のピンの機能

ピン		I/O	説明
名称	TXGx021		
A1	2	I	入力 A1。V <sub>CCA</sub> を基準とする
A2Y	3	O	出力 A2。V <sub>CCA</sub> を基準とする
B1Y	7	O	出力 B1。V <sub>CCB</sub> を基準とする
B2	6	I	入力 B2。V <sub>CCB</sub> を基準とする
V <sub>CCA</sub>	1	—	A 側の電源電圧。1.71V ≤ V <sub>CCA</sub> ≤ 5.5V
V <sub>CCB</sub>	8	—	B 側電源電圧。1.71 V ≤ V <sub>CCB</sub> ≤ 5.5 V
GNDA	4	—	V <sub>CCA</sub> のグランド基準
GNDB	5	—	V <sub>CCB</sub> のグランド基準
—	サーマル パッド	—	サーマル パッドはフローティングに維持します。

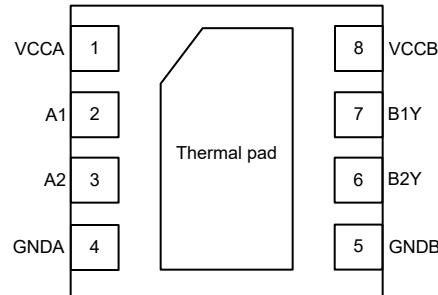


図 4-2. TXGx020DSG パッケージ 8 ピン WSON (上面図)

表 4-2. TXGx020 DSG のピンの機能

ピン		I/O	説明
名称	TXGx020		
A1	2	I	入力 A1。V <sub>CCA</sub> を基準とする
A2	3	I	入力 A2。V <sub>CCA</sub> を基準とする
B1Y	7	O	出力 B1。V <sub>CCB</sub> を基準とする
B2Y	6	O	出力 B2。V <sub>CCB</sub> を基準とする
V <sub>CCA</sub>	1	—	A 側の電源電圧。1.71V ≤ V <sub>CCA</sub> ≤ 5.5V
V <sub>CCB</sub>	8	—	B 側電源電圧。1.71 V ≤ V <sub>CCB</sub> ≤ 5.5 V
GNDA	4	—	V <sub>CCA</sub> のグランド基準
GNDB	5	—	V <sub>CCB</sub> のグランド基準
—	サーマル パッド	—	サーマル パッドはフローティングに維持します。

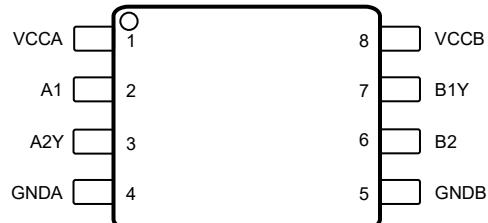


図 4-3. TXGx021DDF 8 ピン SOT および TXGx021D 8 ピン SOIC (上面図)

表 4-3. TXGx021 DDF および D ピンの機能

ピン		I/O	説明
名称	TXGx021		
A1	2	I	入力 A1。V <sub>CCA</sub> を基準とする
A2Y	3	O	出力 A2。V <sub>CCA</sub> を基準とする
B1Y	7	O	出力 B1。V <sub>CCB</sub> を基準とする
B2	6	I	入力 B2。V <sub>CCB</sub> を基準とする
V <sub>CCA</sub>	1	—	A 側の電源電圧。1.71V ≤ V <sub>CCA</sub> ≤ 5.5V
V <sub>CCB</sub>	8	—	B 側電源電圧。1.71 V ≤ V <sub>CCB</sub> ≤ 5.5 V
GNDA	4	—	V <sub>CCA</sub> のグランド基準
GNDB	5	—	V <sub>CCB</sub> のグランド基準

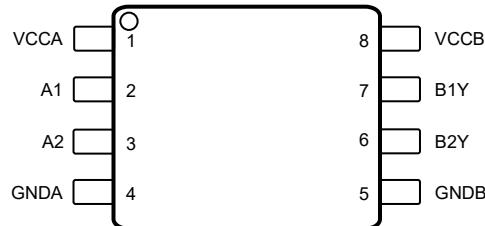


図 4-4. TXGx020DDF 8 ピン SOT および TXGx020D 8 ピン SOIC (上面図)

表 4-4. TXGx020 DDF および D ピンの機能

ピン		I/O	説明
名称	TXGx020		
A1	2	I	入力 A1。V <sub>CCA</sub> を基準とする
A2	3	I	入力 A2。V <sub>CCA</sub> を基準とする
B1Y	7	O	出力 B1。V <sub>CCB</sub> を基準とする
B2Y	6	O	出力 B2。V <sub>CCB</sub> を基準とする
V <sub>CCA</sub>	1	—	A 側の電源電圧。1.71V ≤ V <sub>CCA</sub> ≤ 5.5V
V <sub>CCB</sub>	8	—	B 側電源電圧。1.71 V ≤ V <sub>CCB</sub> ≤ 5.5 V
GNDA	4	—	V <sub>CCA</sub> のグランド基準
GNDB	5	—	V <sub>CCB</sub> のグランド基準

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

			最小値	最大値	単位
$V_{CCA}$ から $V_{GNDA}$ へ	電源電圧 A からグランド電圧 A へ		-0.5	6.5	V
$V_{CCB}$ から $V_{GNDB}$ へ	電源電圧 B からグランド電圧 B へ		-0.5	6.5	V
$V_{GNDA}$ か ら $V_{GNDB}$ へ	GNDA と GNDB の間の電圧	GNDA と GNDB の間 の電圧	-15	15	V
$V_I$	入力電圧 <sup>(2)</sup>	I/O ポート (A ポート) か ら $V_{GNDA}$ へ	-0.5	6.5	V
		I/O ポート (B ポート) か ら $V_{GNDB}$ へ	-0.5	6.5	
$V_O$	高インピーダンスまたは電源オフ状態で出力に印加される電圧 <sup>(2) (3)</sup>	A ポートから $V_{GNDA}$ へ	-0.5	6.5	V
		B ポートから $V_{GNDB}$ へ	-0.5	6.5	
$V_O$	High または Low 状態で出力に印加される電圧 <sup>(2) (3)</sup>	A ポートから $V_{GNDA}$ へ	-0.5 $V_{CCA} + 0.5$		V
		B ポートから $V_{GNDB}$ へ	-0.5 $V_{CCB} + 0.5$		
$I_{IK}$	入力クランプ電流	$V_I < 0$	-20		mA
$I_{OK}$	出力クランプ電流	$V_O < 0$	-20		mA
$I_O$	連続出力電流		-25	25	mA
	$V_{CC}$ または GND を通過する連続電流		-100	100	mA
$T_j$	接合部温度			150	°C
$T_{stg}$	保存温度		-65	150	°C

(1) セクション 5.1 の一覧に記載された値を超えるストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「セクション 5.3」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。「セクション 5.3」の一覧に記載された制限を超えて暴露されることにより、デバイスの信頼性に影響することがあります。

(2) 入力電流と出力電流の定格を順守しても、入力電圧と出力の負電圧の定格を超えることがあります。

(3) 出力電流の定格を順守しても、出力の正電圧の定格を最大 6.5V 超過することがあります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2500	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 <sup>(2)</sup>	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2) (3)

				最小値	標準値	最大値	単位
$V_{CCA}$	GNDA を基準とした A 電源電圧			1.71		5.5	V
$V_{CCB}$	GNDB を基準とした B 電源電圧			1.71		5.5	V
$V_{GNDA}$ から $V_{GNDB}$ へ	GNDA と GNDB の間の電圧	GNDA と GNDB の間の電圧	GNDA と GNDB の間の電圧	-10		10	V
$I_{OH}$	High レベル出力電流		$V_{CCO} = 1.71V$	-4.5			mA
			$V_{CCO} = 2.3V$	-8			
			$V_{CCO} = 3V$	-10			
			$V_{CCO} = 4.5V$	-12			
$I_{OL}$	Low レベル出力電流		$V_{CCO} = 1.71V$			4.5	mA
			$V_{CCO} = 2.3V$			8	
			$V_{CCO} = 3V$			10	
			$V_{CCO} = 4.5V$			12	
$V_I$	GNDA を基準とした入力電圧			0		5.5	V
$V_O$	GNDB を基準とした出力電圧			0		$V_{CCO}$	V
$T_A$	外気温度での動作時			-40		125	°C

- (1)  $V_{CCI}$  は入力ポートに関連付けられた  $V_{CC}$  です。
- (2)  $V_{CCO}$  は出力ポートに関連付けられた  $V_{CC}$  です。
- (3) このデバイスのすべての制御入力とデータ I/O には、デバイスへの外部接続が未定義の場合に配線がオープンにならないように弱いプルダウンが搭載されています。この弱いプルダウンからの入力リーク電流は、「セクション 5.5」に記載された  $I_l$  の仕様によって定義されます。

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		TXG802x	単位
		D (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	122.0	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	60.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	69.8	°C/W
$Y_{JT}$	接合部から上面への特性パラメータ	11.5	°C/W
$Y_{JB}$	接合部から基板への特性パラメータ	68.8	°C/W
$R_{\theta JC(\text{bottom})}$	接合部からケース(底面)への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションノートを参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup> <sup>(2)</sup>

パラメータ		テスト条件	$V_{CCA}$	$V_{CCB}$	外気温度での動作時 ( $T_A$ )			単位	
					−40°C ~ 125°C				
					最小値	標準値	最大値		
$V_{OH}$	High レベル出力電圧 <sup>(3)</sup>	$I_{OH} = -4.5\text{mA}$	1.71V	1.71V	1.5			V	
		$I_{OH} = -8\text{mA}$	2.3V	2.3V	2.0				
		$I_{OH} = -10\text{mA}$	3V	3V	2.7				
		$I_{OH} = -12\text{mA}$	4.5V	4.5V	4.1				
$V_{OL}$	Low レベル出力電圧 <sup>(4)</sup>	$I_{OL} = 4.5\text{mA}$	1.71V	1.71V		0.16		V	
		$I_{OL} = 8\text{mA}$	2.3V	2.3V		0.27			
		$I_{OL} = 10\text{mA}$	3V	3V		0.34			
		$I_{OL} = 12\text{mA}$	4.5V	4.5V		0.41			
$V_{T+}$	正方向の入力スレッショルド電圧	データ入力 (Ax, Bx) ( $V_{CCI}$ を基準とする)	1.71V	1.71V		1.11		V	
			2.3V	2.3V		1.40			
			3V	3V		1.73			
			4.5V	4.5V		2.45			
			5.5V	5.5V		3.0			
$V_{T-}$	負方向の入力スレッショルド電圧	データ入力 (Ax, Bx) ( $V_{CCI}$ を基準とする)	1.71V	1.71V	0.56			V	
			2.3V	2.3V	0.80				
			3V	3V	1.14				
			4.5V	4.5V	1.59				
			5.5V	5.5V	2.0				
$\Delta V_T$	入力スレッショルドのヒステリシス ( $V_{T+} - V_{T-}$ )	データ入力 (Ax, Bx) ( $V_{CCI}$ を基準とする)	1.71V	1.71V	0.3	0.55		V	
			2.3V	2.3V	0.36	0.60			
			3V	3V	0.38	0.54			
			4.5V	4.5V	0.41	0.86	V		
$\Delta V_T$	入力スレッショルドのヒステリシス ( $V_{T+} - V_{T-}$ )	データ入力 (Ax, Bx) ( $V_{CCI}$ を基準とする)	5.5V	5.5V	0.40	0.96	V		
$I_I$	入力リーク電流	データ入力 (Ax, Bx) $V_I = V_{CCI}$ または GND	1.71V~5.5V	1.71V~5.5V	0.2	1.6	$\mu\text{A}$		

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

パラメータ		テスト条件	V <sub>CCA</sub>	V <sub>CCB</sub>	外気温度での動作時 (T <sub>A</sub> )			単位	
					−40°C ~ 125°C				
					最小値	標準値	最大値		
I <sub>off-float</sub>	フローティング電源の部分的 パワーダウン電流	A ポートまたは B ポート V <sub>I</sub> = V <sub>CC</sub>	フローティング <sup>(5)</sup>	0V ~ 5.5V	0.26	1.55		μA	
			0V ~ 5.5V	フローティング <sup>(5)</sup>	0.26	1.55			
I <sub>off-float</sub>	フローティング電源の部分的 パワーダウン電流	A ポートまたは B ポート V <sub>I</sub> = GND	フローティング <sup>(5)</sup>	0V ~ 5.5V			0.06	nA	
I <sub>off-float</sub>	フローティング電源の部分的 パワーダウン電流		0V ~ 5.5V	フローティング <sup>(5)</sup>			0.39	nA	
C <sub>i</sub>	制御入力容量	V <sub>I</sub> = 3.3V または V <sub>GND_A</sub>	3.3V	3.3V			2	pF	
C <sub>io</sub>	データ I/O 容量	V <sub>O</sub> = DC 1.71V +1MHz -16dBm 正弦波	3.3V	3.3V	1.3		2.6	pF	
C <sub>GND</sub>	グランドの間に配置するコン デンサ	すべてのチャネルの結合 (V <sub>CC</sub> 両側電源オン)					46	pF	
		すべてのチャネルの結合 (V <sub>CC</sub> から GND 短絡)					53	pF	
リーケージ	GndA と GndB の間の電流リ ーク	すべてのチャネルの結合 (V <sub>CC</sub> の両側は電源オン、入力はすべて Low)	1.71V~5.5V	1.71V~5.5V			0.06	μA	
		すべてのチャネルの結合 (V <sub>CC</sub> の両側は電源オン、入力はすべて High)	1.71V~5.5V	1.71V~5.5V			32	μA	
		すべてのチャネルの結合 (V <sub>CC</sub> から GND 短絡)	1.71V~5.5V	1.71V~5.5V			0.04	μA	
CMTI	同相過渡電圧耐性	100Mbps で入力トグル グランドシフトで最大 10V	1.71V~5.5V	1.71V~5.5V	1			kV/μs	
V <sub>UVLO+</sub>	正方向の低電圧誤動作防止 電圧	A 電源	1.71V~5.5V				1.64	V	
		B 電源		1.71V~5.5V			1.64	V	
V <sub>UVLO-</sub>	負方向の低電圧誤動作防止 電圧	A 電源	1.71V~5.5V			1.2		V	
		B 電源		1.71V~5.5V		1.2		V	
V <sub>UVLO_Hys</sub>	低電圧誤動作防止ヒステリシ ス	A 電源	1.71V~5.5V			58		mV	
		B 電源		1.71V~5.5V		58		mV	

(1) V<sub>CCI</sub> は入力ポートに関連付けられた V<sub>CC</sub> で、GND<sub>A</sub> を基準とします

(2) V<sub>CCO</sub> は出力ポートに関連付けられた V<sub>CC</sub> であり、GND<sub>B</sub> を基準とします

(3) V<sub>I</sub> = V<sub>T+(MAX)</sub> の条件でテスト済み

(4) V<sub>I</sub> = V<sub>T-(MIN)</sub> の条件でテスト済み

(5) フローティングは、外部デバイスによるアクティブ駆動ではなく、10nA 以上のリーケージがないソードとして定義されます

## 5.6 電源電流

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup> <sup>(2)</sup>

パラメータ	テスト条件	$V_{CCA}$	$V_{CCB}$	外気温度での動作時 ( $T_A$ )		単位	
				−40°C ~ 125°C			
				最小値	標準値		
TXGx021							
$I_{CCA}$	$V_{CCA}$ の電源電流	$V_I = V_{CCI}$ または GND $I_O = 0$	1.71V~5.5V	1.71V~5.5V	300	747	$\mu A$
			0V	5.5V	-2	12.5	
			5.5V	0V	349	589	
	$V_{CCB}$ の電源電流	$V_I = GND$ $I_O = 0$	5.5V	フローティング <sup>(3)</sup>	347	577	
			1.71V~5.5V	1.71V~5.5V	497	1077	
			0V	5.5V	546	919	
$I_{CCB}$	$V_{CCB}$ の電源電流	$V_I = V_{CCI}$ または GND $I_O = 0$	5.5V	0V	-2	24.5	$\mu A$
			5.5V	フローティング <sup>(3)</sup>	548	919	
			1.71V~5.5V	1.71V~5.5V	497	1077	
			0V	5.5V	546	919	
			5.5V	0V	-2	24.5	
	電源電流 — DC 信号	$V_I = V_{CCI}$	1.8V	1.8V	0.7	1.6	$mA$
			2.5V	2.5V	0.8	1.6	
			3.3V	3.3V	0.8	1.7	
			5V	5V	0.8	1.9	
			1.8V	1.8V	0.7	1.6	
$I_{CCA} + I_{CCB}$	電源電流 — DC 信号	$V_I = GND$	2.5V	2.5V	0.8	1.6	$mA$
			3.3V	3.3V	0.8	1.7	
			5V	5V	0.8	1.9	
			1.8V	1.8V	0.7	1.6	
		$V_I = V_{CCI}$	2.5V	2.5V	0.8	1.6	$mA$
			3.3V	3.3V	0.8	1.7	
			5V	5V	0.8	1.9	
			1.8V	1.8V	0.7	1.6	

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

パラメータ	テスト条件	V <sub>CCA</sub>	V <sub>CCB</sub>	外気温度での動作時 (T <sub>A</sub> )			単位	
				−40°C ~ 125°C				
				最小値	標準値	最大値		
$I_{CCA} + I_{CCB}$	電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、1Mbps	1.8V	1.8V	0.9	1.6	mA	
			2.5V	2.5V	0.9	1.6		
			3.3V	3.3V	0.9	1.7		
			5V	5V	1.1	2		
	すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、50Mbps	1.8V	1.8V	4.6	6.3	mA		
		2.5V	2.5V	5.5	7.3			
		3.3V	3.3V	6.8	8.2			
		5V	5V	8.7	10.7			
	すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、100Mbps	1.8V	1.8V	8.5	10.6	mA		
		2.5V	2.5V	10	13			
		3.3V	3.3V	12	14.7			
		5V	5V	16.6	20.2			

#### TXGx020

$I_{CCA}$	$V_{CCA}$ の電源電流	$V_I = V_{CCI}$ または GND $I_O = 0$	1.71V~5.5V	1.71V~5.5V	299	602	μA
			0V	5.5V	-2.5	1.2	μA
			5.5V	0V	302	602	μA
		$V_I = GND$ $I_O = 0$	5.5V	フローディング <sup>(3)</sup>	299	577	μA
$I_{CCB}$	$V_{CCB}$ の電源電流	$V_I = V_{CCI}$ または GND $I_O = 0$	1.71V~5.5V	1.71V~5.5V	504	1225	μA
			0V	5.5V	486	906	μA
			5.5V	0V	-2	24.5	μA
		$V_I = GND$ $I_O = 0$	フローディング <sup>(3)</sup>	5.5V	486	906	μA

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

パラメータ	テスト条件	V <sub>CCA</sub>	V <sub>CCB</sub>	外気温度での動作時 (T <sub>A</sub> )			単位	
				−40°C ~ 125°C				
				最小値	標準値	最大値		
$I_{CCA} + I_{CCB}$	電源電流 — DC 信号	$V_I = V_{CCI}$	1.8V	1.8V	0.7	1.6	mA	
			2.5V	2.5V	0.8	1.6	mA	
			3.3V	3.3V	0.8	1.7	mA	
			5V	5V	0.8	1.9	mA	
		$V_I = GND$	1.8V	1.8V	0.7	1.6	mA	
			2.5V	2.5V	0.8	1.6	mA	
			3.3V	3.3V	0.8	1.7	mA	
			5V	5V	0.8	1.9	mA	
$I_{CCA} + I_{CCB}$	電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、1Mbps	1.8V	1.8V	0.9	1.6	mA	
			2.5V	2.5V	0.9	1.6	mA	
			3.3V	3.3V	0.9	1.7	mA	
			5V	5V	1.1	2	mA	
		すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、50Mbps	1.8V	1.8V	4.5	6.3	mA	
			2.5V	2.5V	5.5	7.3	mA	
			3.3V	3.3V	6.3	8	mA	
			5V	5V	8.4	10.7	mA	
		すべてのチャネルが方形波クロック入力でスイッチング、CL = 15pF、100Mbps	1.8V	1.8V	8.5	10.7	mA	
			2.5V	2.5V	10	13	mA	
			3.3V	3.3V	12	14.7	mA	
			5V	5V	16.6	20.2	mA	

(1)  $V_{CCI}$  は入力ポートに関連付けられた  $V_{CC}$  で、 $GND_A$  を基準とします

(2)  $V_{CCO}$  は出力ポートに関連付けられた  $V_{CC}$  であり、 $GND_B$  を基準とします

(3) フローティングは、外部デバイスによるアクティブ駆動ではなく、10nA 以上のリーケージがないノードとして定義されます

## 5.7 スイッチング特性、 $V_{CCA} = 1.8 \pm 0.15 \text{ V}$

パラメータ		テスト条件	送信元	送信先	温度	B ポート電源電圧 ( $V_{CCB}$ )								単位	
						$1.8 \pm 0.15 \text{ V}$			$2.5 \pm 0.2 \text{ V}$			$3.3 \pm 0.3 \text{ V}$			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{pd}$	伝搬遅延	1Mbps 4 チャネルすべてがトグル	A	B	-40°C ~ 85°C	2.8	7.3	2.8	7.4	2.8	7.5	2.9	7.8	ns	
			A	B	-40°C ~ 125°C	2.8	7.6	2.8	7.8	2.8	7.9	2.9	8.3		
			B	A	-40°C ~ 85°C	2.8	7.3	2.7	5.7	2.6	5.1	2.6	4.8		
			B	A	-40°C ~ 125°C	2.8	7.7	2.7	6	2.6	5.3	2.6	5.1		
PWD	パルス幅歪み	$ t_{phl} - t_{plhl} $	A	B	-40°C ~ 85°C	0.7	1.5	0.6	1.5	0.5	1.4	0.5	1.2	ns	
			A	B	-40°C ~ 125°C	0.7	1.5	0.6	1.5	0.5	1.4	0.5	1.2		
			B	A	-40°C ~ 85°C	0.7	1.5	0.6	1.5	0.5	1.4	0.5	1.2		
			B	A	-40°C ~ 125°C	0.7	1.5	0.6	1.5	0.5	1.4	0.4	1.2		
$t_r$	出力信号の立ち上がり時間		A	B	-40°C ~ 85°C	0.5	1.3	0.5	1.35	0.5	1.4	0.5	1.6	ns	
			A	B	-40°C ~ 125°C	0.5	1.3	0.5	1.4	0.5	1.4	0.5	1.7		
			B	A	-40°C ~ 85°C	0.5	1.2	0.5	1.3	0.5	1.2	0.5	1.3		
			B	A	-40°C ~ 125°C	0.5	1.3	0.5	1.4	0.5	1.3	0.5	1.3		
tf	出力信号の立ち下がり時間		A	B	-40°C ~ 85°C	0.4	1.3	0.4	1.3	0.4	1.5	0.5	1.7	ns	
			A	B	-40°C ~ 125°C	0.4	1.5	0.4	1.5	0.4	1.6	0.5	2		
			B	A	-40°C ~ 85°C	0.4	1.3	0.4	1.4	0.4	1.3	0.4	1.3		
			B	A	-40°C ~ 125°C	0.4	1.4	0.4	1.45	0.4	1.4	0.4	1.35		
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回った時点から測定。			-40°C ~ 85°C	6.1	10.6	6.1	10.4	6	10.3	5.9	9.9	$\mu\text{s}$	
					-40°C ~ 125°C	6.1	10.6	6.1	10.4	6	10.3	5.9	9.9		
$t_{PU}$	ULVO から有効な出力データまでの時間				-40°C ~ 85°C	21.1	64.3	4.3	69.1	4.5	76.6	55.3	99.4	$\mu\text{s}$	
					-40°C ~ 125°C	19.9	64.3	4.3	69.1	4.5	76.6	53.9	99.4		

## 5.8 スイッチング特性、 $V_{CCA} = 2.5 \pm 0.2 \text{ V}$

パラメータ		テスト条件	送信元	送信先	温度	B ポート電源電圧 ( $V_{CCB}$ )								単位	
						1.8 ± 0.15V			2.5 ± 0.2V			3.3 ± 0.3V			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{pd}$	伝搬遅延	1Mbps 4 チャネルすべてがトグル	A	B	-40°C ~ 85°C	2.7	5.7	2.7	5.8	2.7	5.9	2.8	6.3	ns	
			A	B	-40°C ~ 125°C	2.7	6	2.7	6.1	2.7	6.2	2.8	6.6		
			B	A	-40°C ~ 85°C	2.8	7.4	2.7	5.8	2.6	5.1	2.6	4.9		
			B	A	-40°C ~ 125°C	2.8	7.7	2.7	6.1	2.6	5.5	2.6	5.2		
PWD	パルス幅歪み	$t_{phl} - t_{plh}$	A	B	-40°C ~ 85°C	0.1	1	0.1	0.8	0	0.7	-0.14	0.6	ns	
			A	B	-40°C ~ 125°C	0.1	1	0.1	0.8	0	0.7	-0.15	0.6		
			B	A	-40°C ~ 85°C	0.1	1	0.1	0.8	0	0.7	-0.14	0.6		
			B	A	-40°C ~ 125°C	0.1	1	0.1	0.8	0	0.7	-0.15	0.6		
$t_r$	出力信号の立ち上がり時間		A	B	-40°C ~ 85°C	0.5	1.3	0.5	1.3	0.5	1.4	0.5	1.6	ns	
			A	B	-40°C ~ 125°C	0.5	1.3	0.5	1.4	0.5	1.4	0.5	1.7		
			B	A	-40°C ~ 85°C	0.5	1.3	0.4	1.3	0.5	1.3	0.4	1.3		
			B	A	-40°C ~ 125°C	0.5	1.3	0.4	1.3	0.5	1.3	0.4	1.4		
tf	出力信号の立ち下がり時間		A	B	-40°C ~ 85°C	0.4	1.4	0.4	1.3	0.4	1.5	0.5	1.7	ns	
			A	B	-40°C ~ 125°C	0.4	1.4	0.4	1.5	0.4	1.6	0.5	2		
			B	A	-40°C ~ 85°C	0.4	1.3	0.4	1.3	0.4	1.35	0.4	1.3		
			B	A	-40°C ~ 125°C	0.4	1.5	0.4	1.5	0.4	1.4	0.4	1.5		
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回った時点から測定。			-40°C ~ 85°C	6.1	10.6	6.1	10.4	5.6	10.4	5.4	9.9	$\mu\text{s}$	
					-40°C ~ 125°C	6.1	10.6	6.1	10.4	5.6	10.4	5.4	9.9		
$t_{PU}$	ULVO から有効な出力データまでの時間				-40°C ~ 85°C	21.1	64.3	4.3	69.1	4.5	76.6	55.3	99.4	$\mu\text{s}$	
					-40°C ~ 125°C	19.9	64.3	4.3	69.1	4.5	76.6	53.9	99.4		

## 5.9 スイッチング特性、 $V_{CCA} = 3.3 \pm 0.3 \text{ V}$

パラメータ		テスト条件	送信元	送信先	温度	B ポート電源電圧 ( $V_{CCB}$ )								単位	
						1.8 ± 0.15V			2.5 ± 0.2V			3.3 ± 0.3V			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{pd}$	伝搬遅延	1Mbps 4 チャネルすべてがトグル	A	B	-40°C ~ 85°C	2.6	5.1	2.7	5.2	2.7	5.3	2.8	5.8	ns	
			A	B	-40°C ~ 125°C	2.6	5.3	2.7	5.5	2.7	5.7	2.8	6.3		
			B	A	-40°C ~ 85°C	2.8	7.5	2.7	5.9	2.7	5.3	2.6	5.1		
			B	A	-40°C ~ 125°C	2.8	7.9	2.7	6.2	2.7	5.7	2.6	5.4		
PWD	パルス幅歪み	$t_{phl} - t_{plh}$	A	B	-40°C ~ 85°C	-0.03	0.6	-0.09	0.5	-0.13	0.5	-0.3	0.4	ns	
			A	B	-40°C ~ 125°C	-0.11	0.6	-0.13	0.5	-0.18	0.5	-0.4	0.4		
			B	A	-40°C ~ 85°C	-0.03	0.6	-0.09	0.5	-0.13	0.5	-0.3	0.4		
			B	A	-40°C ~ 125°C	-0.11	0.6	-0.13	0.5	-0.18	0.5	-0.4	0.4		
$t_r$	出力信号の立ち上がり時間		A	B	-40°C ~ 85°C	0.5	1.3	0.5	1.3	0.5	1.4	0.5	1.6	ns	
			A	B	-40°C ~ 125°C	0.5	1.3	0.5	1.4	0.5	1.4	0.5	1.6		
			B	A	-40°C ~ 85°C	0.5	1.3	0.5	1.3	0.5	1.4	0.5	1.4		
			B	A	-40°C ~ 125°C	0.5	1.35	0.5	1.4	0.5	1.4	0.5	1.5		
tf	出力信号の立ち下がり時間		A	B	-40°C ~ 85°C	0.4	1.3	0.4	1.4	0.4	1.5	0.5	1.7	ns	
			A	B	-40°C ~ 125°C	0.4	1.5	0.4	1.6	0.4	1.6	0.5	2		
			B	A	-40°C ~ 85°C	0.4	1.4	0.4	1.4	0.4	1.4	0.4	1.4		
			B	A	-40°C ~ 125°C	0.4	1.7	0.4	1.6	0.4	1.6	0.4	1.7		
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回った時点から測定。			-40°C ~ 85°C	6	10.6	5.8	10.4	5.8	10.3	5.8	10	$\mu\text{s}$	
					-40°C ~ 125°C	6	10.6	5.8	10.4	5.8	10.3	5.8	10	$\mu\text{s}$	
$t_{PU}$	ULVO から有効な出力データまでの時間				-40°C ~ 85°C	21.1	64.3	4.3	69.1	4.5	76.6	57.8	99.4	$\mu\text{s}$	
					-40°C ~ 125°C	19.9	64.3	4.3	69.1	4.5	76.6	53.9	99.4	$\mu\text{s}$	

## 5.10 スイッチング特性、 $V_{CCA} = 5.0 \pm 0.5 \text{ V}$

パラメータ		テスト条件	送信元	送信先	温度	B ポート電源電圧 ( $V_{CCB}$ )								単位	
						1.8 ± 0.15V			2.5 ± 0.2V			3.3 ± 0.3V			
						最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
$t_{pd}$	伝搬遅延	1Mbps 4 チャネルすべてがトグル	A	B	-40°C ~ 85°C	2.6	4.8	2.6	5	2.7	5.1	2.8	5.6	ns	
			A	B	-40°C ~ 125°C	2.6	5.1	2.6	5.3	2.7	5.4	2.8	5.9		
			B	A	-40°C ~ 85°C	3	7.9	2.8	6.2	2.7	5.9	2.7	5.6		
			B	A	-40°C ~ 125°C	3	8.4	2.8	6.6	2.7	6.2	2.7	6		
PWD	パルス幅歪み	$t_{phl} - t_{plh}$	A	B	-40°C ~ 85°C	-0.22	0.4	-0.27	0.3	-0.32	0.3	-0.50	0.2	ns	
			A	B	-40°C ~ 125°C	-0.33	0.4	-0.37	0.3	-0.42	0.3	-0.60	0.2		
			B	A	-40°C ~ 85°C	-0.22	0.4	-0.27	0.3	-0.32	0.3	-0.5	0.2		
			B	A	-40°C ~ 125°C	-0.33	0.4	-0.37	0.3	-0.42	0.3	-0.60	0.2		
$t_r$	出力信号の立ち上がり時間		A	B	-40°C ~ 85°C	0.5	1.3	0.5	1.3	0.5	1.4	0.5	1.6	ns	
			A	B	-40°C ~ 125°C	0.5	1.3	0.5	1.4	0.5	1.4	0.5	1.6		
			B	A	-40°C ~ 85°C	0.6	1.6	0.6	1.6	0.6	1.6	0.5	1.6		
			B	A	-40°C ~ 125°C	0.6	1.75	0.6	1.7	0.6	1.7	0.5	1.6		
tf	出力信号の立ち下がり時間		A	B	-40°C ~ 85°C	0.4	1.3	0.4	1.4	0.4	1.5	0.5	1.7	ns	
			A	B	-40°C ~ 125°C	0.4	1.4	0.4	1.5	0.4	1.6	0.5	2		
			B	A	-40°C ~ 85°C	0.4	1.8	0.5	1.8	0.4	1.8	0.4	1.8		
			B	A	-40°C ~ 125°C	0.4	2.5	0.5	2	0.4	2	0.4	2		
$t_{DO}$	入力電源喪失からデフォルト出力までの遅延時間	$V_{CC}$ が 1.2V を下回った時点から測定。			-40°C ~ 85°C	5.5	10.7	5.6	10.5	5.7	10.6	5.9	10	$\mu\text{s}$	
					-40°C ~ 125°C	5.5	10.7	5.6	10.5	5.7	10.6	5.9	10		
$t_{PU}$	ULVO から有効な出力データまでの時間				-40°C ~ 85°C	21.1	64.3	4.3	69.1	4.5	76.6	55.3	99.4	$\mu\text{s}$	
					-40°C ~ 125°C	19.9	64.3	4.3	69.1	4.5	76.6	53.9	99.4		

## 5.11 スイッチング特性 : $T_{sk}$ 、 $T_{MAX}$

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	$V_{CCI}$	$V_{CCO}$	外気温度での動作時 ( $T_A$ )			単位	
				–40°C ~ 125°C				
				最小値	標準値	最大値		
$T_{MAX}$ - 最大データレート	50% デューティ サイクル入力 1 チャネルスイッチング パルスの 20% > 0.7* $V_{CCO}$ パルスの 20% < 0.3* $V_{CCO}$	変換なし	1.65V ~ 1.95V	1.65V ~ 1.95V	264		Mbps	
			2.3V ~ 2.7V	2.3V ~ 2.7V	220			
			3.0V ~ 3.6V	3.0V ~ 3.6V	220			
			4.5V ~ 5.5V	4.5V ~ 5.5V	176			
$T_{MAX}$ - 最大データレート	50% デューティ サイクル入力 1 チャネルスイッチング パルスの 20% > 0.7* $V_{CCO}$ パルスの 20% < 0.3* $V_{CCO}$	昇圧変換	1.65V ~ 1.95V	2.3V ~ 2.7V	264		Mbps	
			1.65V ~ 1.95V	3.0V ~ 3.6V	264			
			1.65V ~ 1.95V	4.5V ~ 5.5V	264			
			2.3V ~ 2.7V	3.0V ~ 3.6V	220			
			2.3V ~ 2.7V	4.5V ~ 5.5V	220			
			3.0V ~ 3.6V	4.5V ~ 5.5V	176			
$T_{MAX}$ - 最大データレート	50% デューティ サイクル入力 1 チャネルスイッチング パルスの 20% > 0.7* $V_{CCO}$ パルスの 20% < 0.3* $V_{CCO}$	降圧変換	2.3V ~ 2.7V	1.65V ~ 1.95V	264		Mbps	
			3.0V ~ 3.6V	2.3V ~ 2.7V	220			
			3.0V ~ 3.6V	1.65V ~ 1.95V	220			
			4.5V ~ 5.5V	3.0V ~ 3.6V	176			
			4.5V ~ 5.5V	1.65V ~ 1.95V	220			
			4.5V ~ 5.5V	1.65V ~ 1.95V	220			
$t_{sk}$ - 出力スキュー	立ち上がりまたは立ち下がりエッジでの任意のスイッチング出力間のタイミング・スキュー (同じ方向のチャネル)	変換なし	1.65V ~ 1.95V	1.65V ~ 1.95V		0.02	ns	
			2.3V ~ 2.7V	2.3V ~ 2.7V		0.02		
			3.0V ~ 3.6V	3.0V ~ 3.6V		0.02		
			4.5V ~ 5.5V	4.5V ~ 5.5V		0.04		
$t_{sk}$ - 出力スキュー	立ち上がりまたは立ち下がりエッジでの任意のスイッチング出力間のタイミング・スキュー (同じ方向のチャネル)	昇圧変換	1.65V ~ 1.95V	2.3V ~ 2.7V		0.02	ns	
			1.65V ~ 1.95V	3.0V ~ 3.6V		0.02		
			1.65V ~ 1.95V	4.5V ~ 5.5V		0.02		
			2.3V ~ 2.7V	3.0V ~ 3.6V		0.02		
			2.3V ~ 2.7V	4.5V ~ 5.5V		0.02		
			3.0V ~ 3.6V	4.5V ~ 5.5V		0.02		

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC1</sub>	V <sub>CC0</sub>	外気温度での動作時 (T <sub>A</sub> )			単位	
				−40°C ~ 125°C				
				最小値	標準値	最大値		
$t_{sk}$ - 出力スキュー	立ち上がりまたは立ち下がりエッジでの任意のスイッチング出力間のタイミング・スキュー (同じ方向のチャネル)	降圧変換	2.3V ~ 2.7V	1.65V ~ 1.95V		0.02	ns	
			3.0V ~ 3.6V	2.3V ~ 2.7V		0.02		
			3.0V ~ 3.6V	1.65V ~ 1.95V		0.02		
			4.5V ~ 5.5V	3.0V ~ 3.6V		0.04		
			4.5V ~ 5.5V	2.3V ~ 2.7V		0.04		
			4.5V ~ 5.5V	1.65V ~ 1.95V		0.04		

## 6 代表的特性

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

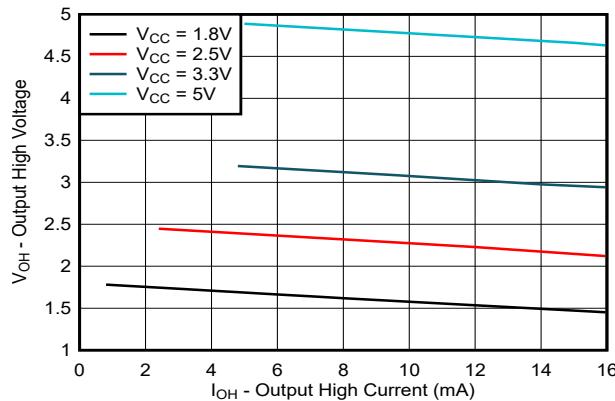


図 6-1. 出力高電圧 ( $V_{OH}$ ) とソース電流 ( $I_{OH}$ ) との関係

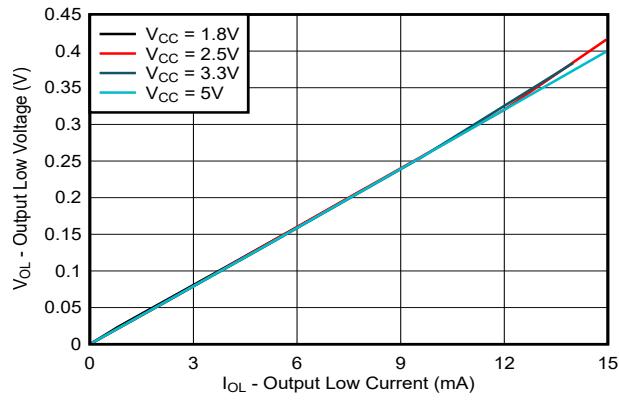


図 6-2. 出力低電圧 ( $V_{OL}$ ) とシンク電流 ( $I_{OL}$ ) との関係

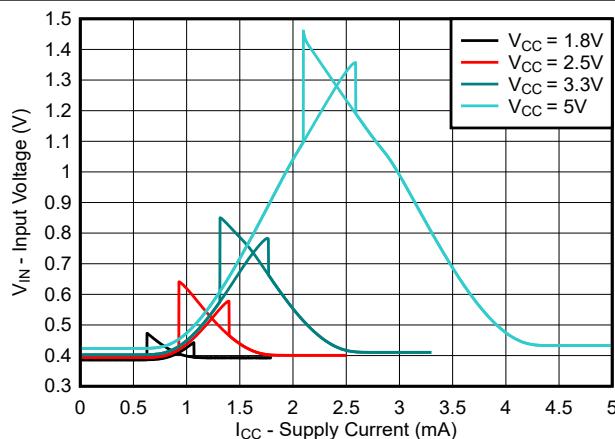


図 6-3. 電源電流 ( $I_{CCA}$ ) と入力電圧 ( $V_{IN}$ ) との関係  
[TXG0x021]

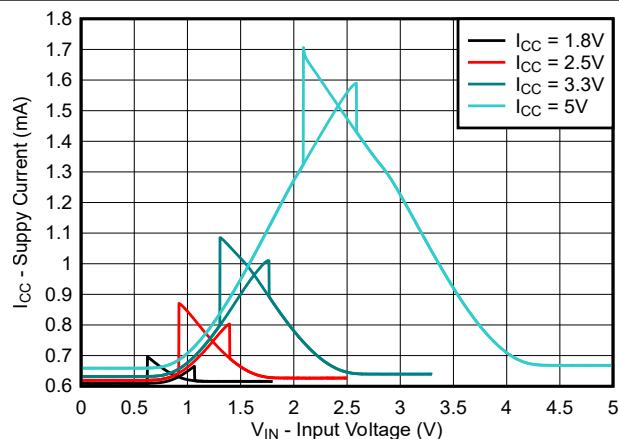


図 6-4. 電源電流 ( $I_{CCB}$ ) と入力電圧 ( $V_{IN}$ ) との関係  
[TXG0x021]

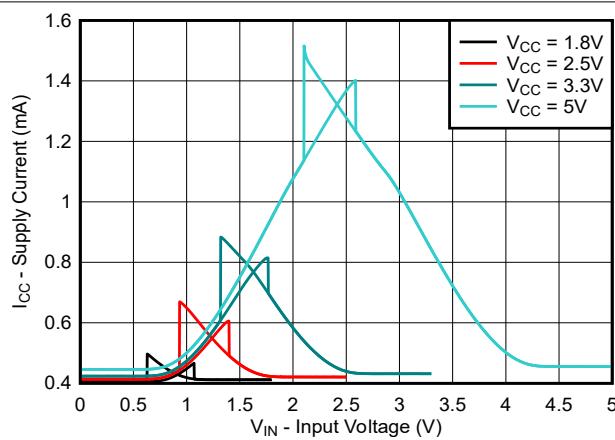


図 6-5. 電源電流 ( $I_{CCA}$ ) と入力電圧 ( $V_{IN}$ ) との関係  
[TXG0x020]

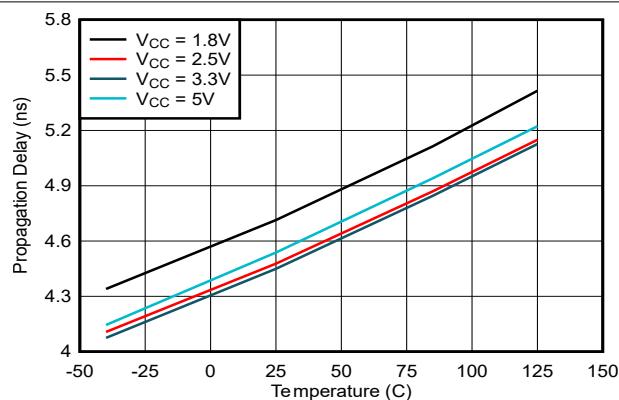


図 6-6. 伝搬遅延、 $T_{PLH}$ 、と温度との関係

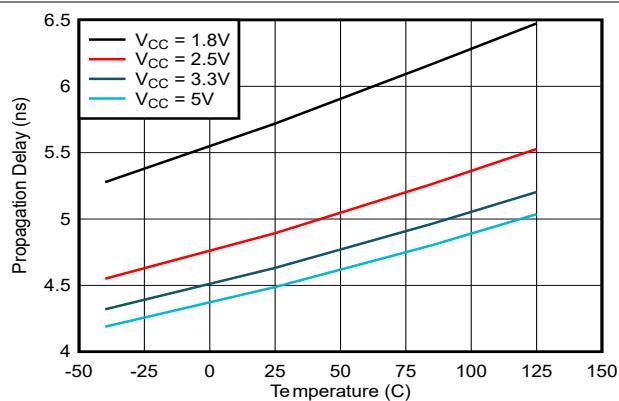


図 6-7. 伝搬遅延、 $T_{PHL}$ 、と温度との関係

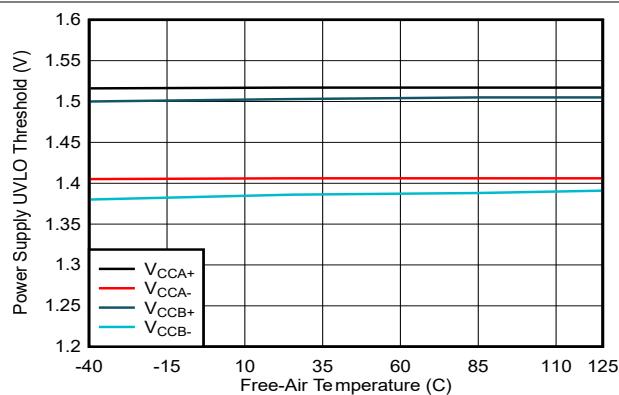


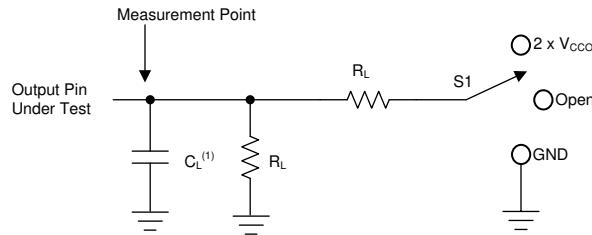
図 6-8. 電源低電圧スレッショルドと周囲温度との関係

## 7 パラメータ測定情報

### 7.1 負荷回路および電圧波形

特に記述のない限り、ジェネレータは、以下の特性を持つすべての入力パルスを供給します。

- $f = 1\text{MHz}$
- $Z_O = 50\Omega$
- $\Delta t/\Delta V \leq 1\text{ns/V}$

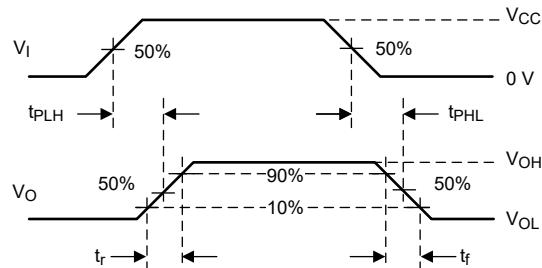


A.  $C_L$  にはプローブと治具の容量が含まれます。

図 7-1. 負荷回路

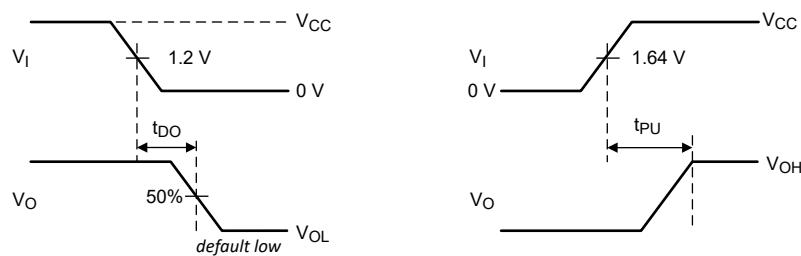
表 7-1. 負荷回路の条件

パラメータ	$V_{CC0}$	$R_L$	$C_L$	$S_1$	$V_{TP}$
$t_{pd}$ 伝搬(遅延)時間	1.71V~5.5V	10k $\Omega$	15pF	オープン	該当なし



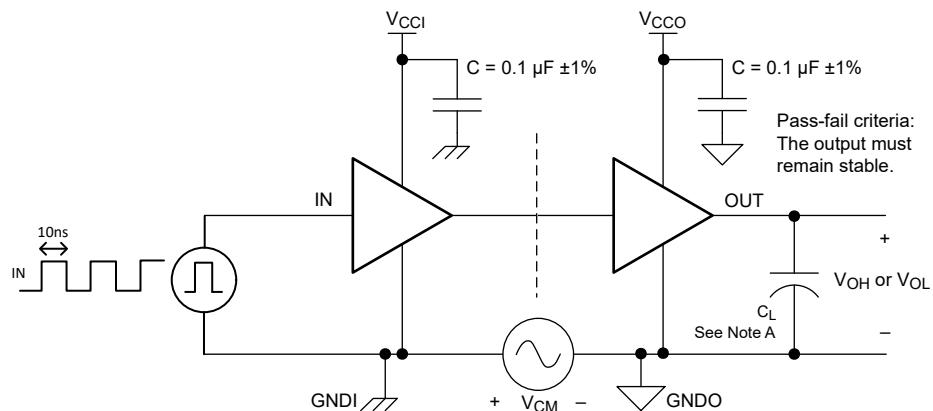
1.  $V_{CCI}$  は、入力ポートに関連付けられた電源ピンです。
2.  $V_{OH}$  と  $V_{OL}$  は、指定した  $R_L$ ,  $C_L$ ,  $S_1$  で発生する標準出力電圧レベルです。

図 7-2. スイッチング特性電圧波形



1.  $V_{CCI}$  は、入力ポートに接続された電源ピンです。
2.  $V_{OH}$  と  $V_{OL}$  は、指定した  $R_L$ 、 $C_L$ 、 $S_1$  で発生する標準出力電圧レベルです。

図 7-3. UVLO から有効な出力電圧波形までのデフォルトの出力遅延時間と時間



1.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 7-4. 同相過渡電圧耐性試験回路

## 8 詳細説明

### 8.1 概要

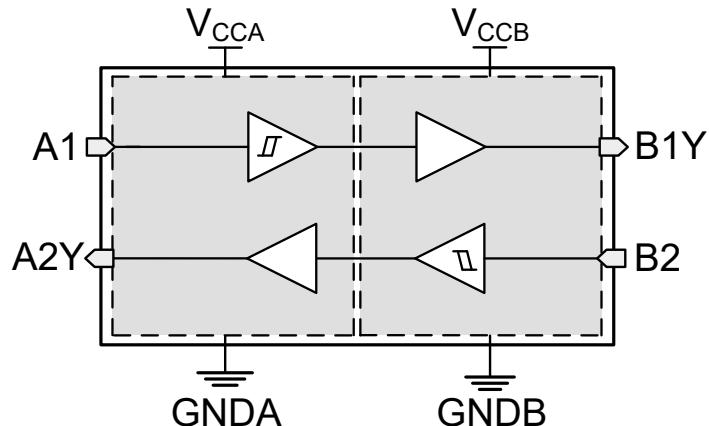
TXG102x は、個別に構成可能な 2 つの電源レールを使用して、2 つの異なる電源ドメイン間で変換を可能にする 2 ビットのグランドレベルトランスレータです。本デバイスは最低 1.71V、最高 5.5V の  $V_{CCA}$  および  $V_{CCB}$  の 2 つの電源で動作します。A ポートは  $V_{CCA}$  を追跡し、B ポートは  $V_{CCB}$  を追跡するように設計されています。このトランスレータは、I/O レベルシフトに加えて GNDA と GNDB の間で -10V ~ +10V の差をサポートできます。 $V_{CCA}$  は GNDA を基準とし、 $V_{CCB}$  は GNDB を基準とします。

TXG102x デバイスはデータバス間の非同期通信用に設計されており、一部のチャネルで A バスから B バスへの固定方向、残りのチャネルで B バスから A バスへの固定方向でデータを送信します。

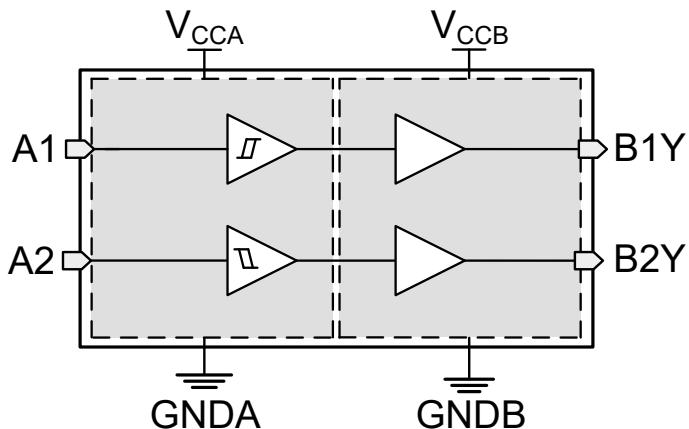
$V_{CC}$  接続解除機能により、推奨動作条件で  $V_{CC}$  が相補電源により接続解除された場合、電源電流が維持されている間、出力がディセーブルされ、高インピーダンス状態に設定されます。 $I_{off-float}$  回路により、電源がフローティング状態のときに、入力、出力、または I/O から過剰な電流が流れたり、逆に過剰な電流が供給されたりすることはありません。

グリッチの発生しない電源シーケンシングにより、堅牢な電源シーケンシング性能が得られると同時に、どちらの電源レールも任意の順序で電源オン / オフできます。

### 8.2 機能ブロック図



TXG1021 機能ブロック図



TXG1020 機能ブロック図

## 8.3 機能説明

### 8.3.1 プルダウン内蔵の CMOS シュミットトリガ入力

標準 CMOS 入力は高インピーダンスであり、通常は「セクション 5.5」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は、「セクション 5.1」に示されている最大入力電圧と「セクション 5.5」に示されている最大入力リーコンデンサからオームの法則( $R = V \div I$ )を使用して計算します。

シュミットトリガ入力アーキテクチャのヒステリシスは、セクション 5.5 の  $\Delta V_T$  で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力を低速で駆動すると、デバイスの動的な電流消費が増加します。シュミットトリガ入力の詳細については、[「シュミットトリガについて」](#)を参照してください。

#### 8.3.1.1 スタティック プルダウン抵抗内蔵の入力

このデバイスには各入力に  $5M\Omega$  (標準値) の弱いプルダウンが内蔵されています。この機能のおかげで、出力の不安定化も消費電流の増加も心配することなく、すべての入力をフローティングのままにできます。この機能は、すべてのチャネルを使うとは限らないアプリケーション、またはすべてのチャネルを Low に固定する必要があるアプリケーションの外付け部品数を減らすことにも役立ちます。外付けのプルアップが必要な場合、内蔵の  $5M\Omega$  のプルダウンとの競合を避けるため、 $1M\Omega$  以上にはしないでください。

### 8.3.2 バランスのとれた高駆動能力の CMOS ブッシュプル出力

バランスのとれた出力により、このデバイスは同程度の電流をシンクおよびソースすることができます。このデバイスは高駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。セクション 5.1 は、常に順守する必要のある電気的および熱的制限を定義します。してください。

#### 8.3.3 $V_{CC}$ 接続解除

どちらかの電源がフローティング(接続解除)のままになり、推奨動作条件の範囲内で相補電源になると、このデバイスの出力はディセーブルされてハイインピーダンス状態に移行します。どちらかの電源がフローティング(接続解除)する前は、入力を Low に維持することを推奨します。

セクション 5.5 の  $I_{CCx(floating)}$  は、最大電源電流を指定します。セクション 5.5 の  $I_{off(float)}$  は、デバイスの任意の入力ピンや出力ピンとの間の最大リーコンデンサ電流を規定しています。

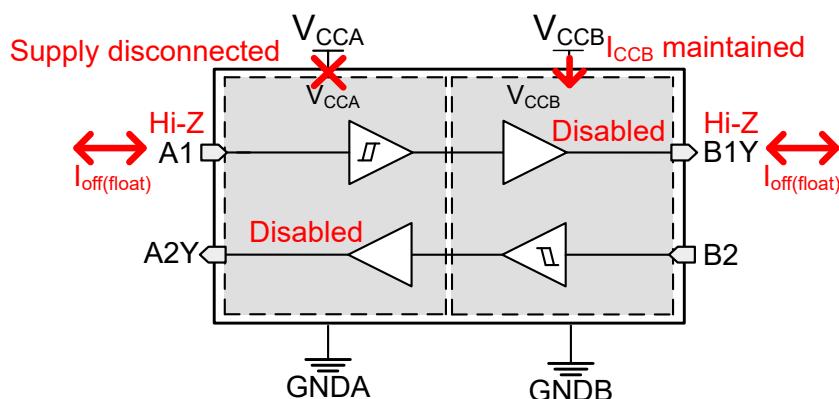


図 8-1.  $V_{CC}$  接続解除機能

#### 8.3.4 過電圧許容入力

このデバイスへの入力信号は、「セクション 5.3」に記載されている最大入力電圧値を下回っている限り、電源電圧以上で駆動できます。

### 8.3.5 グリッチ フリーの電源シーケンス

どちらの電源レールも、入出力にグリッチを発生させることなく任意の順番で電源をオンまたはオフにすることができます(つまり、CC を Low に保持する必要がある場合に、出力が誤って  $V_{CC}$  に遷移したり、その逆もあります)。この性質のグリッチは、周辺装置から有効なデータビットと誤って解釈される可能性があり、周辺装置のデバイスリセットやデバイス構成を誤ってトリガしたり、周辺装置のデータを誤って初期化する可能性もあります。

### 8.3.6 負のクランプダイオード

図 8-2 は、このデバイスの入力と出力には負のクランプダイオードがあることを示しています。

#### 注意

「セクション 5.1」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

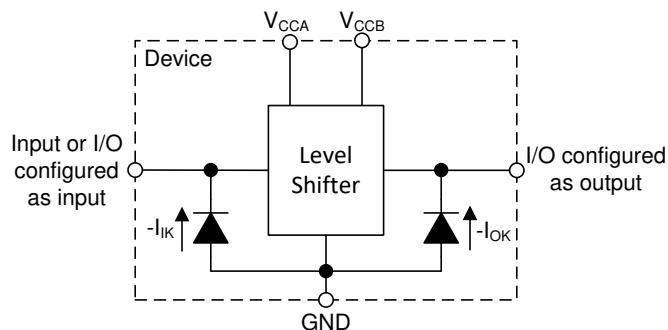


図 8-2. 各入力と出力に対するクランプダイオードの電気的配置

### 8.3.7 フル構成可能なデュアル レール設計

$V_{CCA}$  ピンと  $V_{CCB}$  ピンは 1.71V~5.5V の任意の電圧で供給できるため、このデバイスは任意の電圧ノード間 (1.8V、2.5V、3.3V、5.0V) での変換に適しています。

### 8.3.8 高速変換をサポート

TXG102x デバイスは、高データレートのアプリケーションをサポートできます。信号を 1.71V から 5.5V に変換する場合、変換された信号のデータレートは 250Mbps を超えることがあります。

### 8.3.9 AC ノイズ除去

TXG102x はグランドにノイズの多い環境での I/O 電圧変換をサポートします。下のプロットは、全周波数帯域でのピークツーピーク電圧において、GNDA と GNDB が 2 つのシステム間の通信を中断せずに除去できるノイズ量を示しています。一例として、図 8.4 以下に、10kHz で 2V<sub>PP</sub> のグランドバウンスを持つ GNDA を示しますが、劣化なしで 5V を 2.5V に効果的に変換します。

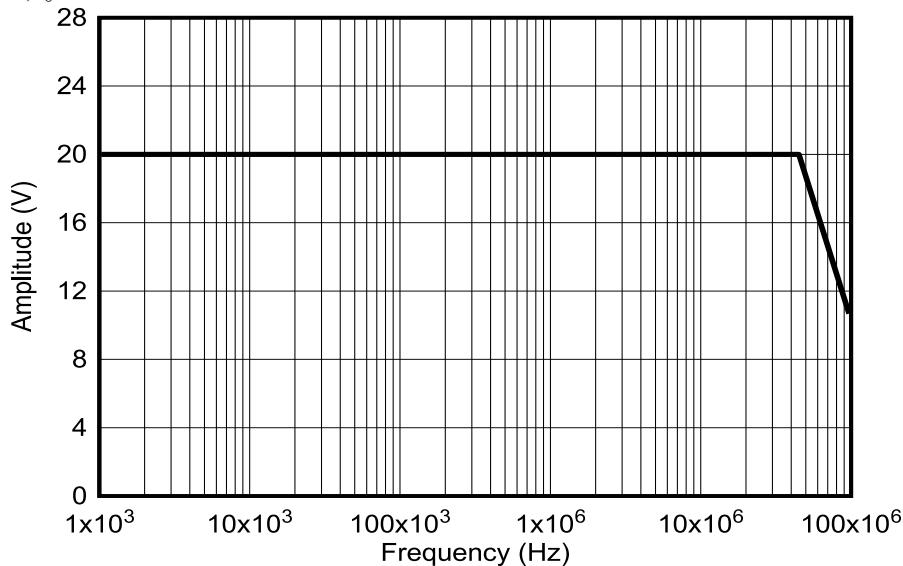


図 8-3. AC ノイズ除去プロット

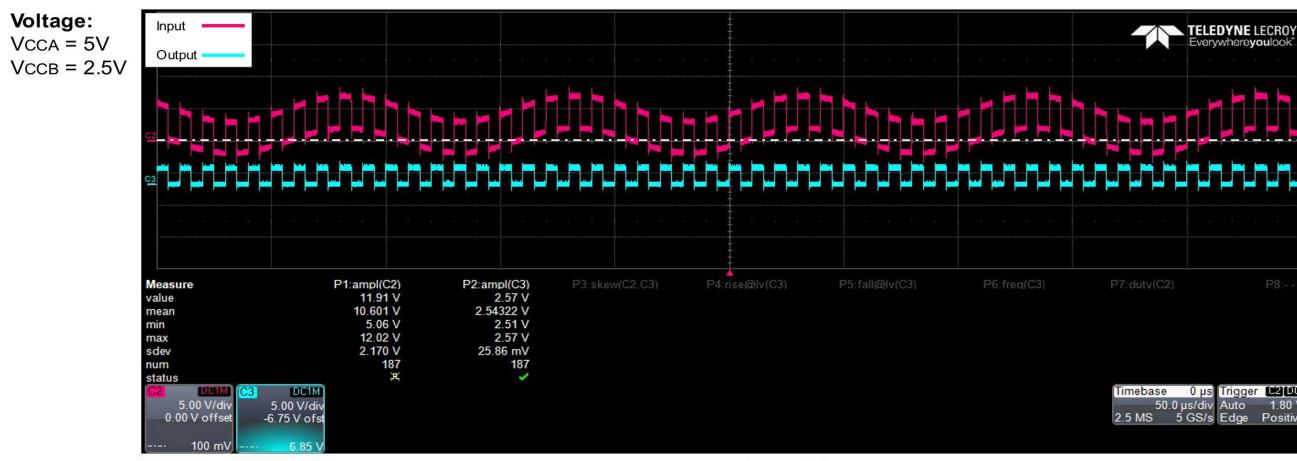


図 8-4. 10kHz における AC グランドノイズ 2V<sub>PP</sub> による 5V から 2.5V への I/O 変換を示す波形

## 8.4 デバイスの機能モード

表 8-1. 機能表

電源 <sup>(1)</sup>		ポートのステータス	
VCCI	VCCO	入力	出力
PU	PU	H	H
PU	PU	L	L
PU	PU	オープン	L
PD	PU	X	L

(1) 上記の表で: PU = パワーアップ、PD = パワーダウン、X = 無関係、H = High レベル、L = Low レベル、Open = フローティング

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

TXG102x はレベル変換に使用され、異なるインターフェイス電圧やグランド電圧で動作するデバイスやシステム間の通信を可能にします。TXG102x デバイスは、プッシュプルドライバがデータ入力に接続されているアプリケーションでの使用に最適です。図 9-1 は、SPI インターフェイスを介して 1.8V から 3.3V に変換すると同時に、GNDA が 0V であるときに GNDB のグランドシフトが -3V である 2 つのシステムの例です。3V のグランドシフトは、デジタル/アナログコンバータ (DAC) のノイズの多い電源グランドからのものです。

### 9.2 代表的なアプリケーション

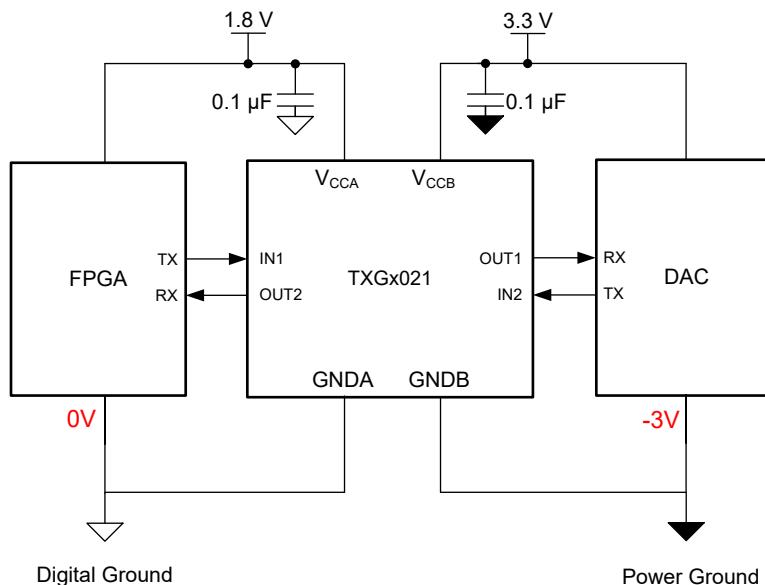


図 9-1. 試験および測定機器分野の TXG1021

#### 9.2.1 設計要件

この設計例では、表 9-1 の設計パラメータを使用します。

表 9-1. 設計パラメータ

設計パラメータ	例の値
入力電圧範囲	1.71V ~ 5.5V
出力電圧範囲	1.71V ~ 5.5V

#### 9.2.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲

- TXG102x デバイスを駆動している電源電圧を使用して、入力電圧範囲を決定します。有効なロジック High の場合、値は入力ポートの正方向の入力スレッショルド電圧 ( $V_{T+}$ ) 以上である必要があります。有効なロジック Low の場合、値は入力ポートの負方向の入力スレッショルド電圧 ( $V_{T-}$ ) 未満である必要があります。
- 出力電圧範囲
  - TXG102x デバイスが駆動している電源電圧を使用して、出力電圧範囲を決定します。

### 9.2.3 アプリケーション曲線

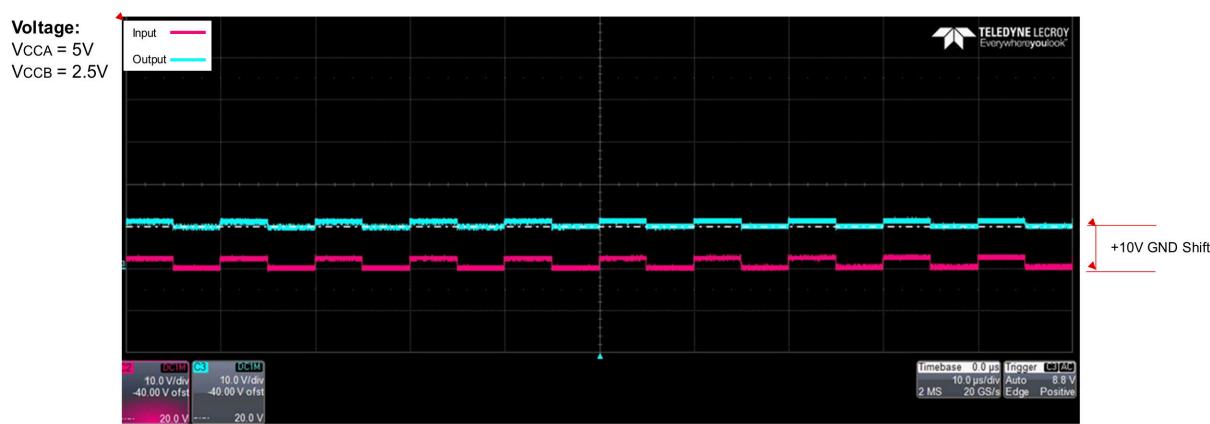
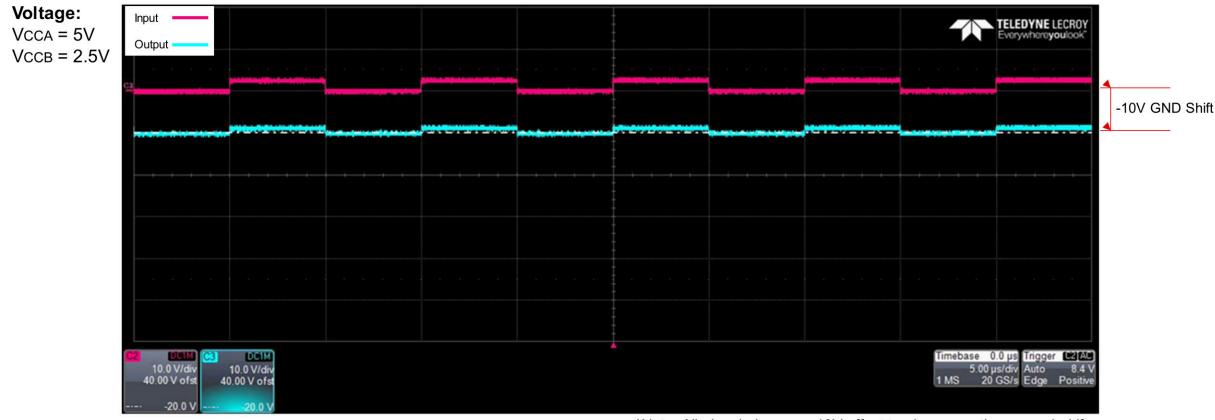


図 9-2. 5V から 2.5V への I/O 変換による -10V (上) および +10V (下) のグランド シフトを示す波形

## 9.3 電源に関する推奨事項

GND ピンには最初に必ずグランド リファレンス電圧を印加してください。このデバイスは、グリッチの発生しない電源シーケンシング用に設計されており、ランプの順序やランプ レートなどの電源シーケンシング要件はありません。 $V_{CC}$  と GND の差が、常に最大 6.5V であるようにしてください。

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

デバイスの信頼性を確保するため、一般的なプリント回路基板レイアウトのガイドラインに従うことを推奨します。

- 電源ピンにバイパス コンデンサを使用し、デバイスのできる限り近くに配置します。0.1 $\mu$ F のコンデンサを推奨しますが、バイパス コンデンサとして 1 $\mu$ F と 0.1 $\mu$ F のコンデンサを並列に使用することで、過渡性能を向上させることができます。
- このデバイスは高駆動能力を備えており、軽負荷に高速エッジが生成されるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。
- CMTI の性能を改善するために、GNDA と GNDB の間に 0.1 $\mu$ F コンデンサを追加することもできます。

### 9.4.2 レイアウト例

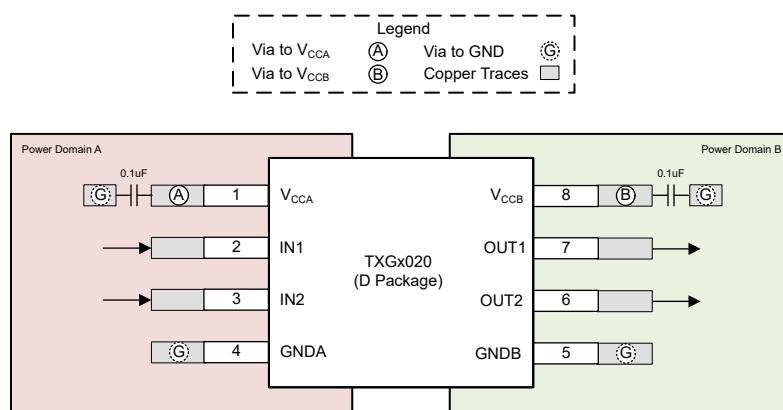


図 9-3. D レイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 デバイス サポート

#### 10.1.1 規制要件

このデバイスに適用される法規制要件はありません。

この製品には特殊特性はありません。

### 10.2 ドキュメントのサポート

#### 10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[シミュットトリガについて](#)』アプリケーション レポート
- テキサス・インスツルメンツ、『[CMOS の消費電力と  \$C\_{pd}\$  の計算](#)』アプリケーション レポート

### 10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2025) to Revision A (November 2025)	Page
• データシートのステータスを「事前情報」から「量産データ」に更新.....	1
• CMTI の最小仕様を更新.....	9
• 代表的特性の図を追加.....	20
• TXG1020 の機能ブロック図を追加.....	24
• 表 8-1 を追加.....	28

日付	改訂	注
June 2025	*	初版リリース

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTXG1020DR	Active	Preproduction	SOIC (D)   8	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTXG1021DR	Active	Preproduction	SOIC (D)   8	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
TXG1020DDFR	Active	Production	SOT-23-THIN (DDF)   8	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1020
TXG1020DR	Active	Production	SOIC (D)   8	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TG1020
TXG1021DDFR	Active	Production	SOT-23-THIN (DDF)   8	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1021
TXG1021DR	Active	Production	SOIC (D)   8	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TG1021

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

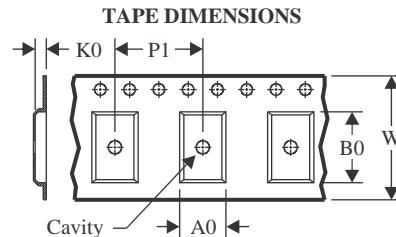
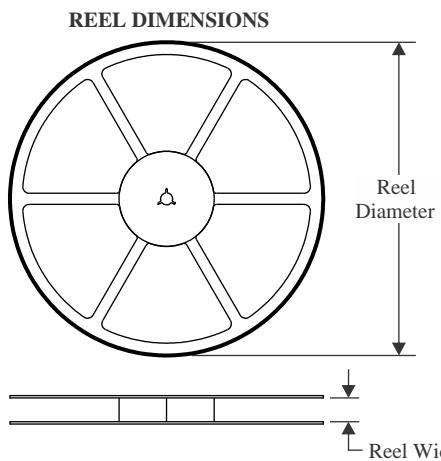
**OTHER QUALIFIED VERSIONS OF TXG1020, TXG1021 :**

- Automotive : [TXG1020-Q1](#), [TXG1021-Q1](#)

NOTE: Qualified Version Definitions:

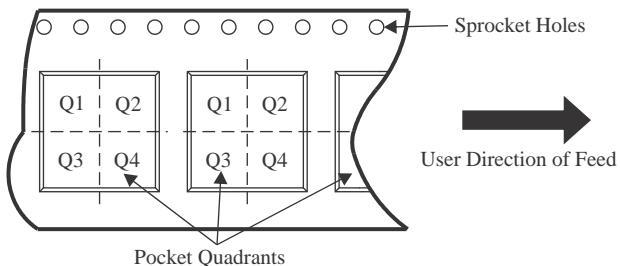
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION



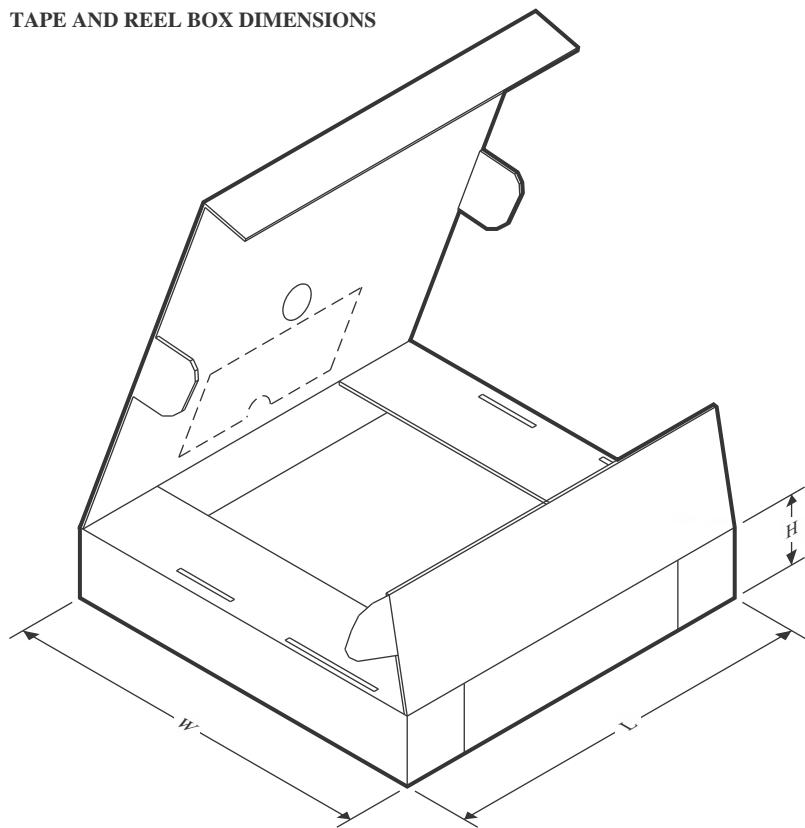
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXG1020DR	SOIC	D	8	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TXG1021DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TXG1021DR	SOIC	D	8	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXG1020DR	SOIC	D	8	3000	340.5	336.1	32.0
TXG1021DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TXG1021DR	SOIC	D	8	3000	340.5	336.1	32.0

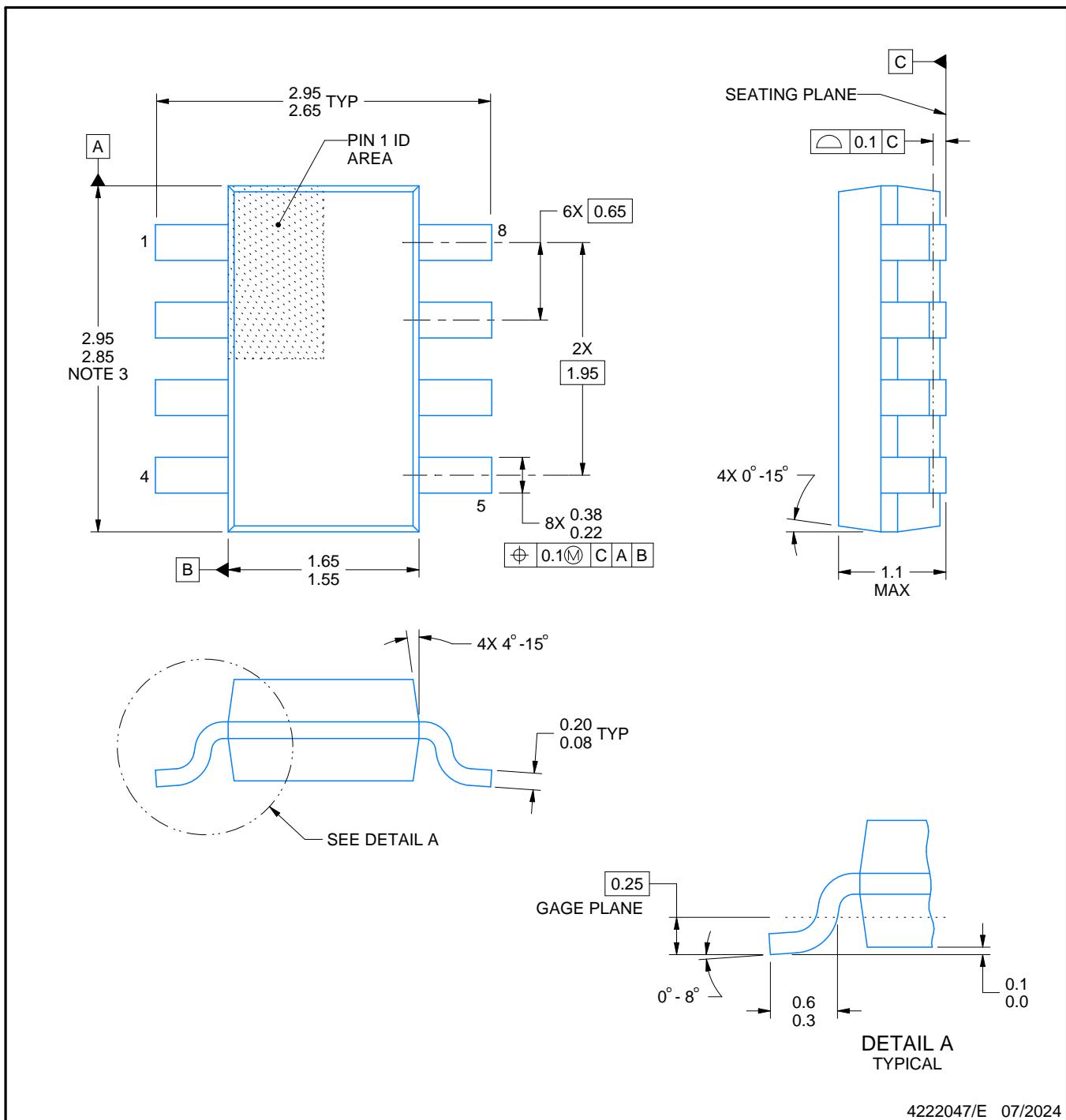
# PACKAGE OUTLINE

**DDF0008A**



**SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



**NOTES:**

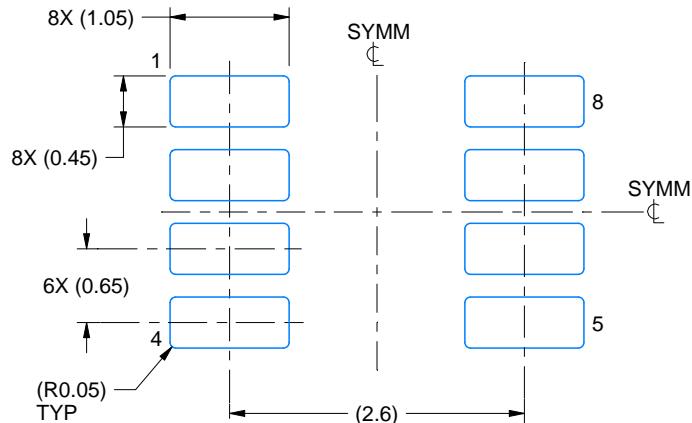
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

# DDF0008A

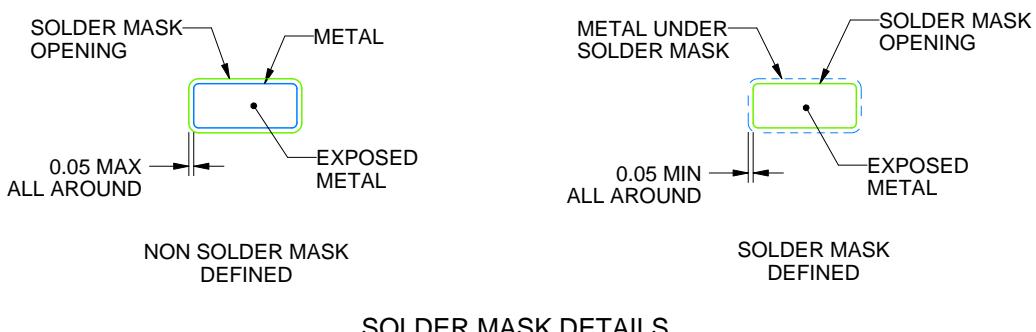
## EXAMPLE BOARD LAYOUT

### SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

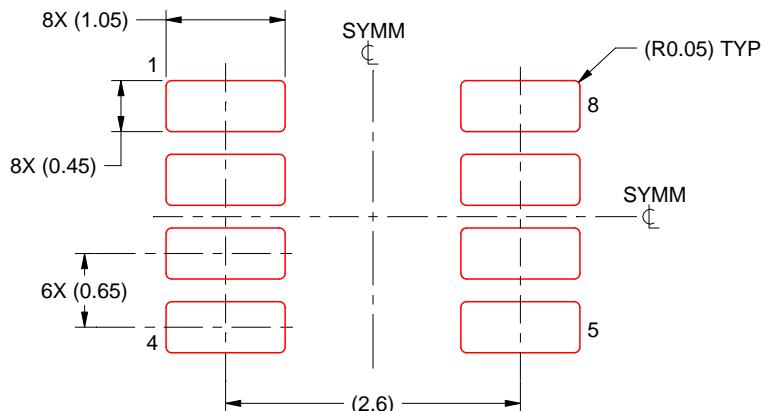
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

**DDF0008A**

# EXAMPLE STENCIL DESIGN

**SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



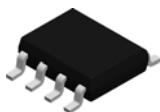
SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

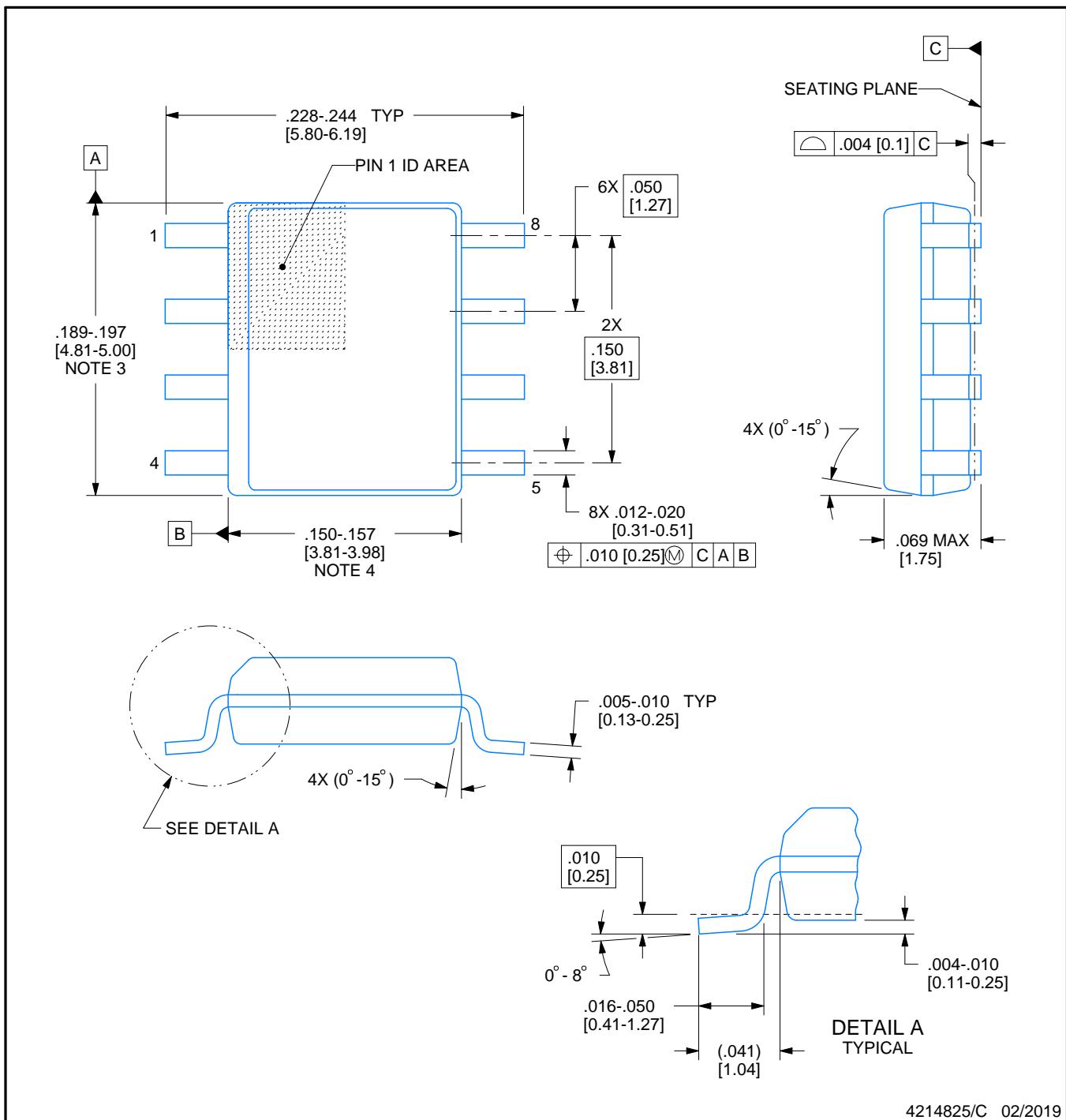
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

### NOTES:

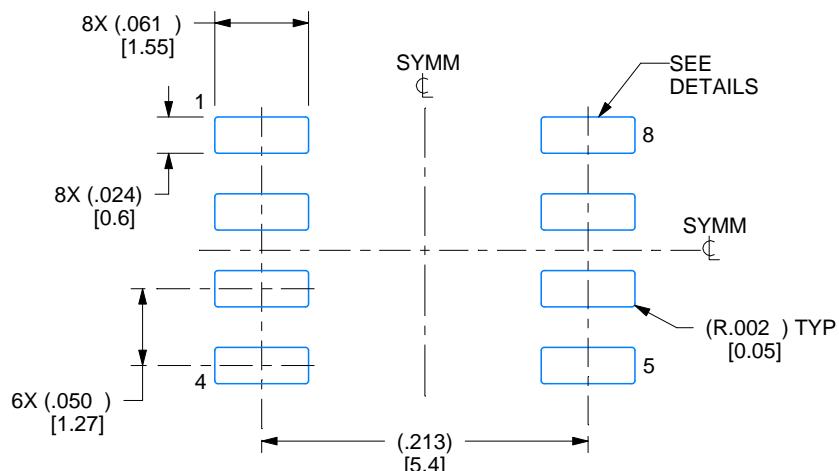
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches.
- Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

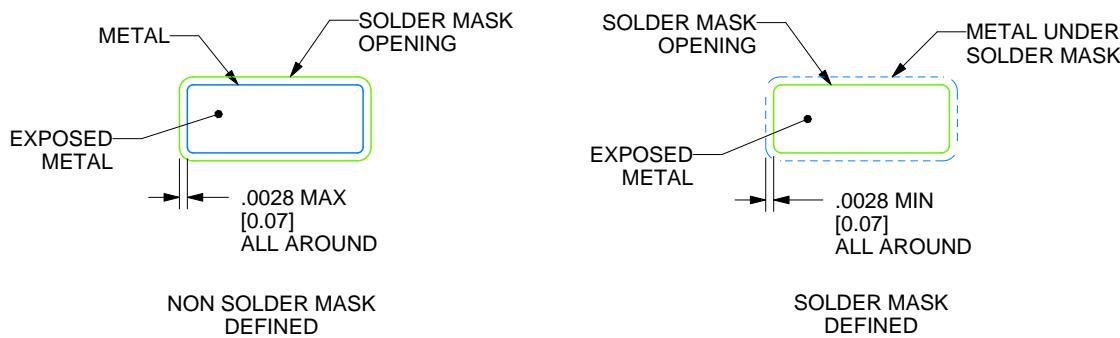
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

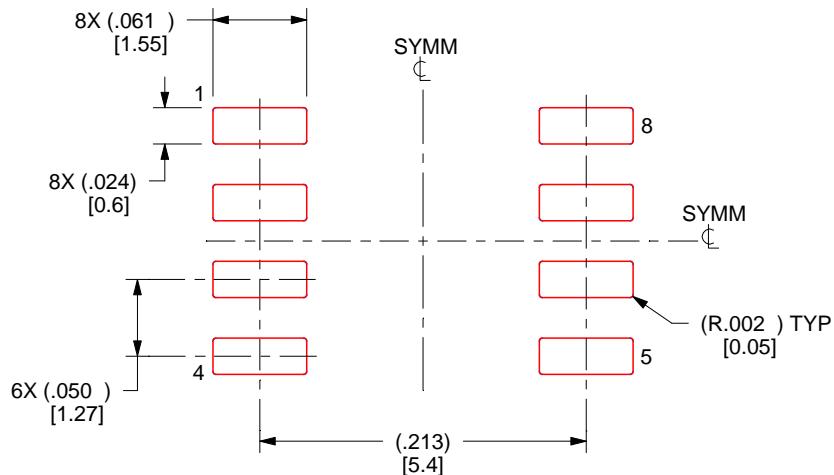
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月