

TXG4122 I2C 向け $\pm 40V$ 双方向グラウンドレベルトランスレータ

1 特長

- 双方向 I2C 互換通信
- スタンダード モード、ファースト モード、ファースト モード プラスの I2C 動作をサポート
- 最大 $\pm 40V$ の DV シフトをサポート
- 最大 1MHz のデータレート
- サイド 1 電源範囲: 3V ~ 5.5V
- サイド 2 電源範囲: 2.25V ~ 5.5V
- 最大容量性負荷:
 - 80pF (サイド 1) と 550pF (サイド 2)
- 電流シンク能力を持つオープンドレイン出力:
 - 16.5mA (サイド 1) と 30mA (サイド 2)
- 400kHz での低消費電力 (標準値):
 - $I_{CC1} = 4.2mA$ 、 $I_{CC2} = 0.9mA$
- 動作温度範囲: $-40^{\circ}C \sim +125^{\circ}C$
- 2kV/ μs の CMTI
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
 - 人体モデルで 2000V
 - 荷電デバイス モデルで 500V
- 提供されているパッケージ・オプション: SOIC (8D)、WSON (8DSG)、SOT-23 (8DDF)

2 アプリケーション

- [試験 / 測定機器](#)
- [ファクトリ オートメーション](#)
- [電化製品](#)
- [パーソナル エレクトロニクス](#)
- [電動パワー ステアリング](#)
- [車両制御ユニット](#)
- [オートモーティブ ディスプレイ](#)
- [ヘッド ユニット/デジタル コックピット](#)

3 説明

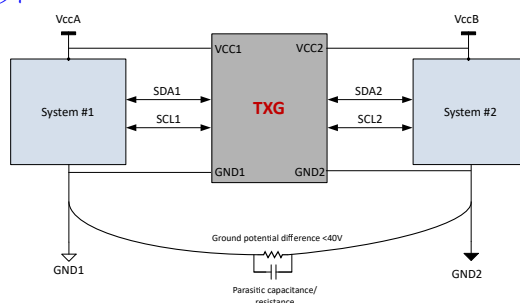
TXG4122 デバイスは、I2C 用のデュアル双方向、非ガルバニックベースの電圧およびグラウンドレベルトランスレータです。このデバイスは、設定可能な 2 つの独立した電源レールをサポートしています。サイド 1 は VCC1 (3V ~ 5.5V の任意の電源電圧を入力できます) に追従するように設計されています。サイド 2 は VCC2 (2.25V ~ 5.5V の任意の電源電圧を入力できます) に追従するように設計されています。従来のレベル シフタと比較して、TXG4122 は最大 $\pm 40V$ のさまざまなグラウンドレベルでの電圧変換の課題を解決できます。GND1 と GND2 の差が $-40V \sim +40V$ のままである限り、GND1 と GND2 のどちらもオフセットグラウンドを持つことができます。

寄生抵抗または容量による GND1 と GND2 の間に DC シフトが発生する一般的な使用事例を [概略ブロック図](#) に示します。TXG4122 は、異なる電源電圧と異なるグラウンドリファレンスを持つシステム間で、I2C ベースの通信をサポートできます。VCC と GND が短絡したときの GND1 と GND2 の間のリーク電流は通常 25nA です。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TXG4122	DSG (WSON-8)	2.00mm × 2.00mm
	DDF (SOT-8)	2.80mm × 2.90mm
	D (SOIC-8)	4.90mm × 3.90mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略ブロック図



目次

1 特長	1	8.1 概要	15
2 アプリケーション	1	8.2 機能ブロック図	15
3 説明	1	8.3 機能説明	16
4 ピン構成および機能 — TXG4122	3	8.4 デバイスの機能モード	16
5 仕様	4	9 アプリケーションと実装	17
5.1 絶対最大定格.....	5	9.1 使用上の注意.....	17
5.2 ESD 定格.....	5	9.2 代表的なアプリケーション.....	17
5.3 推奨動作条件.....	6	9.3 電源に関する推奨事項.....	18
5.4 熱に関する情報.....	6	9.4 レイアウト.....	18
5.5 電気的特性.....	7	10 デバイスおよびドキュメントのサポート	20
5.6 電源電流特性.....	8	10.1 ドキュメントのサポート.....	20
5.7 スイッチング特性、 $V_{CCA} = 3.3 \pm 0.3 \text{ V}$	9	10.2 ドキュメントの更新通知を受け取る方法.....	20
5.8 スイッチング特性、 $V_{CCA} = 5 \pm 0.5 \text{ V}$	10	10.3 サポート・リソース.....	20
5.9 代表的特性.....	11	10.4 商標.....	20
6 AC ノイズ耐性	13	10.5 静電気放電に関する注意事項.....	20
7 パラメータ測定情報	14	10.6 用語集.....	20
7.1 負荷回路および電圧波形.....	14	11 改訂履歴	20
8 詳細説明	15	12 メカニカル、パッケージ、および注文情報	20

4 ピン構成および機能 — TXG4122

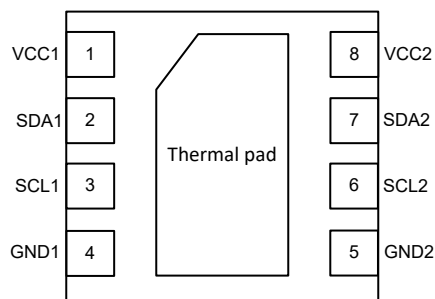


図 4-1. DSG 8 ピン WSON 上面図

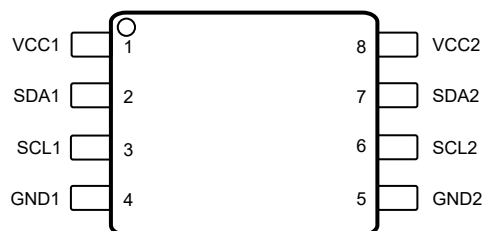


図 4-2. DDF パッケージ 8 ピン SOT-23 および D パッケージ 8 ピン SOIC 上面図

表 4-1. TXG4122 のピンの機能

名称	ピン		I/O	説明
	DSG	DDF、D		
VCC1	1	1	—	サイド 1 リファレンス電源電圧
VCC2	8	8	—	サイド 2 リファレンス電源電圧
SDA1	2	2	I/O	シリアルデータ入力/出力、サイド 1
SCL1	3	3	I/O	シリアルクロック入力/出力、サイド 1
SDA2	7	7	I/O	シリアルデータ入力/出力、サイド 2
SCL2	6	6	I/O	シリアルクロック入力/出力、サイド 2
GND1	4	4	—	VCC1 のグラウンドリファレンス
GND2	5	5	—	VCC2 のグラウンドリファレンス
—	サーマル パッド	—	—	サーマル パッドはフローティングに維持します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC1} から V_{GND1}	供給電圧からグラント電圧、サイド 1		-0.5	6.5	V
V_{CC2} から V_{GND2}	供給電圧からグラント電圧、サイド 2		-0.5	6.5	V
V_{GND1} から V_{GND2} へ の比率で す	V_{GND1} から V_{GND2} への比率です		-45	45	V
V_I	SDA1、SCL1	I/O ポート (サイド 1) か ら V_{GND1}	-0.5 $V_{CC1} + 0.5$	V	V
	SDA2、SCL2	I/O ポート (サイド 2) か ら V_{GND2}	-0.5 $V_{CC2} + 0.5$		
V_O	SDA1、SCL1	I/O ポート (サイド 1) か ら V_{GND1}	-0.5 $V_{CC1} + 0.5$	V	V
	SDA2、SCL2	I/O ポート (サイド 2) か ら V_{GND2}	-0.5 $V_{CC2} + 0.5$		
I_I	SDA1、SCL1	I/O ポート (サイド 1) か ら V_{GND1}		20	mA
	SDA2、SCL2	I/O ポート (サイド 2) か ら V_{GND2}		100	mA
I_O	SDA1、SCL1	I/O ポート (サイド 1) か ら V_{GND1}		20	mA
	SDA2、SCL2	I/O ポート (サイド 2) か ら V_{GND2}		100	mA
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC1}	電源電圧 - V_{CC1} から GND1		3.0	5.5	V
V_{CC2}	電源電圧 - V_{CC2} から GND2 へ		2.25	5.5	V
V_{GND1} から V_{GND2} への比率 です	GND1 と GND2 の間の電圧	GND1 と GND2 の間の電 圧	-40	40	V
V_{SDA1} 、 V_{SCL1}	I2C 入出力信号電圧	サイド 1	0	V_{CC1}	V
V_{SDA2} 、 V_{SCL2}	I2C 入出力信号電圧	サイド 2	0	V_{CC2}	V
V_{IL1}	Low レベル入力電圧	サイド 1		622	mV
V_{IH1}	High レベル入力電圧	サイド 1	$0.7 \times V_{CC1}$		V
V_{IL2}	Low レベル入力電圧	サイド 2		$0.35 \times V_{CC2}$	V
V_{IH2}	High レベル入力電圧	サイド 2	$0.47 \times V_{CC2}$		V
I_{OL1}	Low レベル出力電流	サイド 1		16.5	mA
I_{OL2}	Low レベル出力電流	サイド 2		30	mA
C1	容量性負荷	サイド 1		80	pF
C2	容量性負荷	サイド 2		550	pF
f_{MAX}	I2C の動作周波数 (1)			1	MHz
T_A	自由空気での動作温度		-40	125	°C

(1) 最大周波数は、バス上の RC 時定数の関数です。システムのバス容量が小さい場合は、より高い周波数を実現できます。

5.4 熱に関する情報

熱評価基準(1)		TXGx122	単位
		D (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	118.40	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54.00	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	62.48	°C/W
Y_{JT}	接合部から上面への特性パラメータ	13.00	°C/W
Y_{JB}	接合部から基板への特性パラメータ	61.72	°C/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
[SPRA953](#)

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	自由気流での動作温度 (T _A)			単位
			-40℃ ～ 125℃			
			最小値	標準値	最大値	
V _{ILT1}	電圧入力スレッショルド LOW (SDA1 および SCL1)		463		622	mV
V _{IHT1}	電圧入力スレッショルド HIGH (SDA1 および SCL1)		505		678	mV
V _{HYST1}	電圧入力ヒステリシス	V _{IHT1} - V _{ILT1}	42			mV
V _{OL1}	Low レベル出力電圧 (SDA1 および SCL1)	0.5mA ≤ (I _{SDA1} および I _{SCL1}) ≤ 16.5 mA			787	mV
ΔV _{OIT1}	Low レベル出力電圧と High レベル入力電圧スレ シヨルドの差、SDA1 および SCL1	0.5mA ≤ (I _{SDA1} および I _{SCL1}) ≤ 16.5 mA	57			mV
V _{ILT2}	電圧入力スレッショルド LOW (SDA2 および SCL2)		0.34 × V _{CC2}		0.36 × V _{CC2}	V
V _{IHT2}	電圧入力スレッショルド HIGH (SDA2 および SCL2)		0.47 × V _{CC2}		0.49 × V _{CC2}	V
V _{HYST2}	電圧入力ヒステリシス	V _{IHT2} - V _{ILT2}	0.12 × V _{CC2}			V
V _{OL2}	Low レベル出力電圧	0.5mA ≤ (I _{SDA1} および I _{SCL1}) ≤ 30 mA			452	mV
I _I (サイド 1)	入力リーク電流 (SDA1、SCL1)	V _{SDA1} 、V _{SCL1} = V _{CC1} = 5.5V			0.71	μA
I _I (サイド 2)	入力リーク電流 (SDA2、SCL2)	V _{SDA2} 、V _{SCL2} = V _{CC2} = 5.5V			0.15	μA
C _i	ローカルグランドの入力容量	V _I = 0.4 × sin (2E6*πt) + V _{DDX} / 2 V _O = V _{CC}			20	pF
C _{GND}	グランドの間に配置するコン デンサ	すべてのチャネルの結合 (V _{CC} 両側電源オン)			49	pF
		すべてのチャネルの結合 (V _{CC} から GND 短絡)			58	pF
リーケージ	GND1 と GND2 の間の電 流リーク	すべてのチャネルの結合 (VCC から GND 短 絡)	25		52	nA
		すべてのチャネルの結合 (VCC の両側は電源 オン、入力はすべて High)	17		52	nA
		すべてのチャネルの結合 (VCC の両側は電源 オン、入力はすべて Low)	23		42	μA
CMTI	同相過渡電圧耐性	1Mbps で入力トグル グランドシフトで最大 40V			2	kV/μs
V _{UVLO+}	正方向の低電圧誤動作防 止電圧	サイド 1			2.9	V
		サイド 2			2.3	V
V _{UVLO-}	負方向の低電圧誤動作防 止電圧	サイド 1	2.2			V
		サイド 2	1.6			V
V _{UVLO_Hys}	低電圧誤動作防止ヒステリン ス	サイド 1	43.9			mV
		サイド 2	94.3			mV

5.6 電源電流特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V _{CC1}	V _{CC2}	自由気流での動作温度 (T _A)		単位
					-40℃ ～ 125℃		
					最小値	標準値	
I _{CC1}	電源電流、サイド 1	SDA1/SCL1 = V _{CC1}	3V～5.5V	2.25V～5.5V	2.2	3.1	mA
		SDA1/SCL1 = GND1			2.8	4.3	mA
		SDA1/SCL1 = 400kHz 方形波 R1 = 300 Ω、C1 = 80pF			2.7	4.2	mA
I _{CC2}	電源電流、サイド 2	SDA2/SCL2 = V _{CC2}	3V～5.5V	2.25V～5.5V	0.44	0.8	mA
		SDA2/SCL2 = GND2			0.6	1.1	mA
		SDA2/SCL2 = 400kHz 方形波 R2 = 220 Ω、C2 = 550pF			0.53	0.9	mA
I _{CC1}	電源電流、サイド 1	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 および R2 = オープン、C1 およ び C2 = オープン	3.3V	3.3V	2.8	3.7	mA
		VSDA1、VSCL1 = V _{CC1} 、 VSDA2、VSCL2 = V _{CC2} 、 R1 および R2 = オープン、C1 および C2 = オープン			2.2	2.9	mA
I _{CC2}	電源電流、サイド 2	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 および R2 = オープン、C1 およ び C2 = オープン			0.62	0.9	mA
		VSDA1、VSCL1 = V _{CC1} 、 VSDA2、VSCL2 = V _{CC2} 、R1 および R2 = オープン、C1 およ び C2 = オープン			0.5	0.7	mA
I _{CC1}	電源電流、サイド 1	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 および R2 = オープン、C1 およ び C2 = オープン	5V	5V	3.1	4.1	mA
	電源電流、サイド 1	VSDA1、VSCL1 = V _{CC1} 、 VSDA2、VSCL2 = V _{CC2} 、 R1 および R2 = オープン、C1 および C2 = オープン			2.3	3	mA
I _{CC2}	電源電流、サイド 2	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 および R2 = オープン、C1 およ び C2 = オープン			0.7	1	mA
	電源電流、サイド 2	VSDA1、VSCL1 = V _{CC1} 、 VSDA2、VSCL2 = V _{CC2} 、R1 および R2 = オープン、C1 およ び C2 = オープン			0.5	0.8	mA

5.7 スイッチング特性、 $V_{CCA} = 3.3 \pm 0.3 V$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	電源電圧サイド 2 (V _{CC2})									単位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
t _{f1}	出力信号の立ち下が り時間 (SDA1, SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF	42			42			42			ns
		0.9 × V _{CC1} ≥ V _O ≥ 900mV、 R1 = 300Ω、C1 = 80pF	69			69			69			ns
t _{f2}	出力信号の立ち下が り時間 (SDA2, SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220Ω、C2 = 550pF	64			26			36			ns
		0.9 × V _{CC2} ≥ V _O ≥ 400mV、 R2 = 220Ω、C2 = 550pF	51			76			156			ns
t _{r1}	出力信号の立ち上が り時間 (SDA1, SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF	23			23			23			ns
t _{r2}	出力信号の立ち上が り時間 (SDA2, SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 =220Ω、C2 = 550pF	109			109			109			ns
t _{pLH1-2}	Low から High への 伝搬遅延、サイド 1 か らサイド 2 へ	V _I = 535mV、V _O = 0.7 × V _{CC2} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	272			272			271			ns
t _{pHL1-2}	High から Low への 伝搬遅延、サイド 1 か らサイド 2 へ	V _I = 550mV、V _O = 0.3× V _{CC2} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	139			178			124			ns
t _{pLH2-1}	Low から High への 伝搬遅延、サイド 2 か らサイド 1 へ	V _I = 0.4 × V _{CC2} 、V _O = 0.7 × V _{CC1} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	143			153			138			ns
t _{pHL2-1}	High から Low への 伝搬遅延、サイド 2 か らサイド 1 へ	V _I = 0.4 × V _{CC2} 、V _O = 0.3 × V _{CC1} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	236			208			188			ns
PWD ₁₋₂	パルス幅歪み t _{pHL1-2} − t _{pLH1-2}	R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	187			177			193			ns
PWD ₂₋₁	パルス幅歪み t _{pHL2-1} − t _{pLH2-1}	R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	52			85			73			ns
t _{LOOP1}	サイド 1 の往復伝搬遅延	0.4 V ≤ V _I ≤ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF、 R2 = 220Ω、C2 = 550pF	314			300			303			ns

5.8 スイッチング特性、 $V_{CCA} = 5 \pm 0.5 \text{ V}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	電源電圧サイド 2 (V _{CC2})									単位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小 値	標準 値	最大値	最小 値	標準 値	最大値	最小 値	標準 値	最大値	
t _{f1}	出力信号の立ち下がり時間 (SDA1, SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF	67			67			67			ns
		0.9 × V _{CC1} ≥ V _O ≥ 900mV、 R1 = 300Ω、C1 = 80pF	122			122			123			ns
t _{f2}	出力信号の立ち下がり時間 (SDA2, SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220Ω、C2 = 550pF	64			26			36			ns
		0.9 × V _{CC2} ≥ V _O ≥ 400mV、 R2 = 220Ω、C2 = 550pF	52			76			156			ns
t _{r1}	出力信号の立ち上がり時間 (SDA1, SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF	23			23			23			ns
t _{r2}	出力信号の立ち上がり時間 (SDA2, SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220Ω、C2 = 550pF	109			109			109			ns
t _{pLH1-2}	Low から High への伝搬遅延、サイド 1 からサイド 2 へ	V _I = 535mV、V _O = 0.7 × V _{CC2} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	284			283			283			ns
t _{pHL1-2}	High から Low への伝搬遅延、サイド 1 からサイド 2 へ	V _I = 550mV、V _O = 0.3 × V _{CC2} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	125			164			110			ns
t _{pLH2-1}	Low から High への伝搬遅延、サイド 2 からサイド 1 へ	V _I = 0.4 × V _{CC2} 、V _O = 0.7 × V _{CC1} 、 R1 = 300Ω、R2 = 220Ω、 C1 = 80pF、C2 = 550pF	148			157			143			ns
t _{pHL2-1}	High から Low への伝搬遅延、サイド 2 からサイド 1 へ	V _I = 0.4 × V _{CC2} 、V _O = 0.3 × V _{CC1} 、 R1 = 300Ω、R2 = 220Ω、 C1= 80pF、C2 = 550pF	249			222			202			ns
PWD ₁₋₂	パルス幅歪み t _{pHL1-2} − t _{pLH1-2}	R1 = 300Ω、R2 = 220Ω、 C1= 80pF、C2= 550pF	205			194			210			ns
PWD ₂₋₁	パルス幅歪み t _{pHL2-1} − t _{pLH2-1}	R1 = 300Ω、R2= 220Ω、 C1= 80pF、C2= 550pF	59			92			80			ns
t _{LOOP1}	サイド 1 の往復伝搬遅延	0.4 V ≤ V _I ≤ 0.3 × V _{CC1} 、 R1 = 300Ω、C1 = 80pF、 R2 = 220Ω、C2 = 550pF	330			315			319			ns

5.9 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

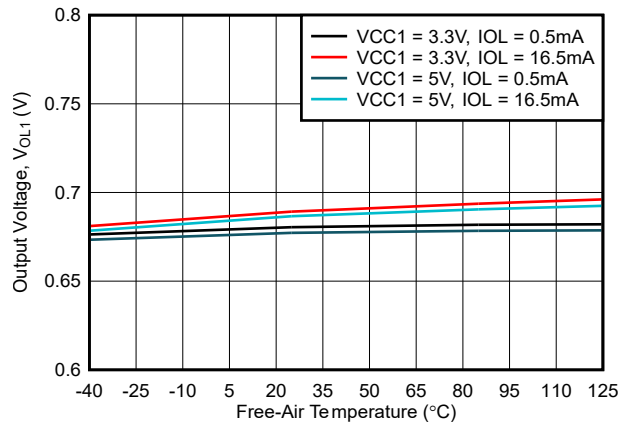


図 5-1. サイド 1 : 低出力電圧と周囲温度との関係

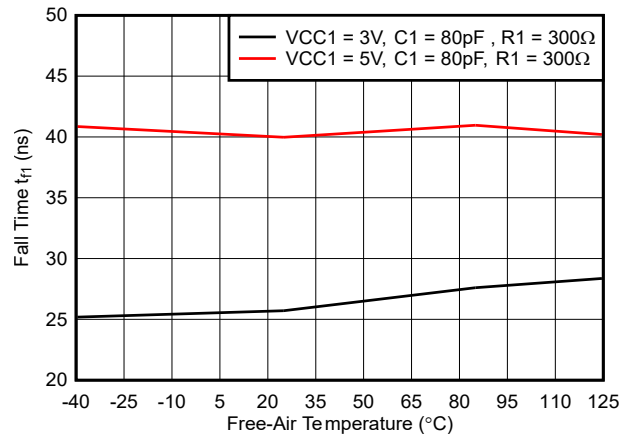


図 5-2. サイド 1 : 出力立ち下がり時間と周囲温度との関係

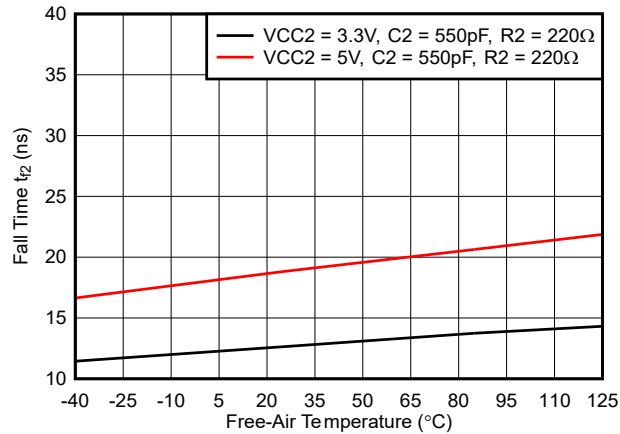


図 5-3. サイド 2 : 出力立ち下がり時間と周囲温度との関係

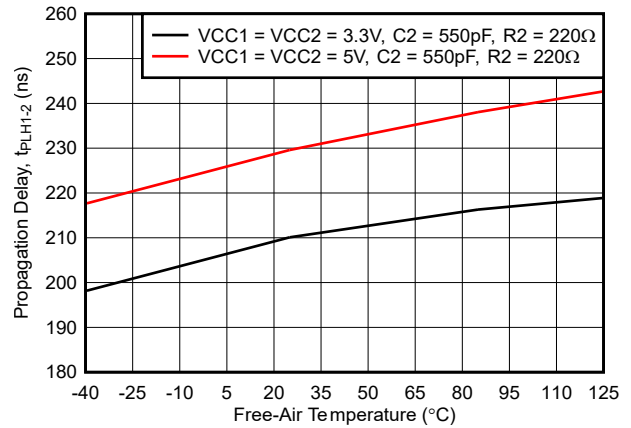


図 5-4. 伝搬遅延、 T_{PLH1-2} と温度との関係

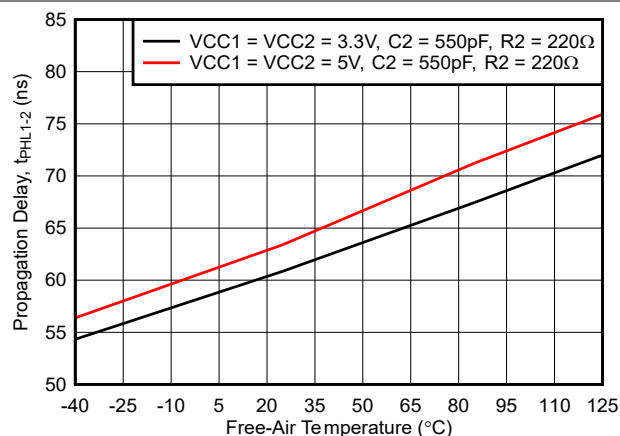


図 5-5. 伝搬遅延、 T_{PLH1-2} と温度との関係

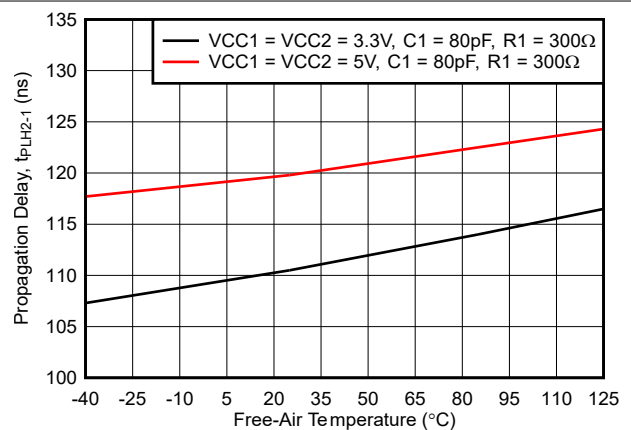


図 5-6. 伝搬遅延、 T_{PLH2-1} と温度との関係

5.9 代表的特性 (続き)

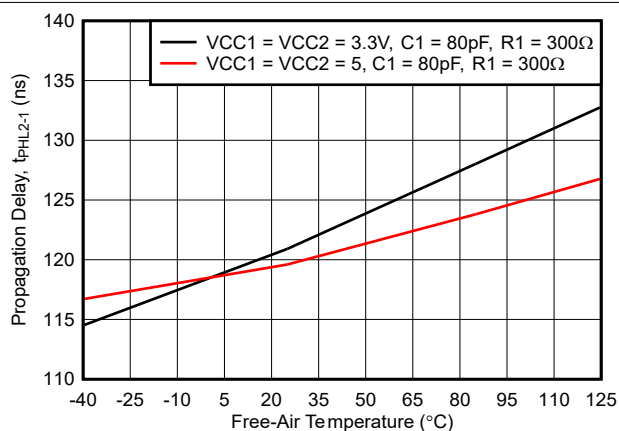


図 5-7. 伝搬遅延、 T_{PHL2-1} と温度との関係

6 AC ノイズ耐性

TXGx122 は、ノイズの多いグラウンドのある環境での I/O 電圧変換をサポートします。下のプロットは、全周波数帯域でのピークツーピーク電圧において、GND1 と GND2 が 2 つのシステム間の通信を中断せずに除去できるノイズ量を示しています。

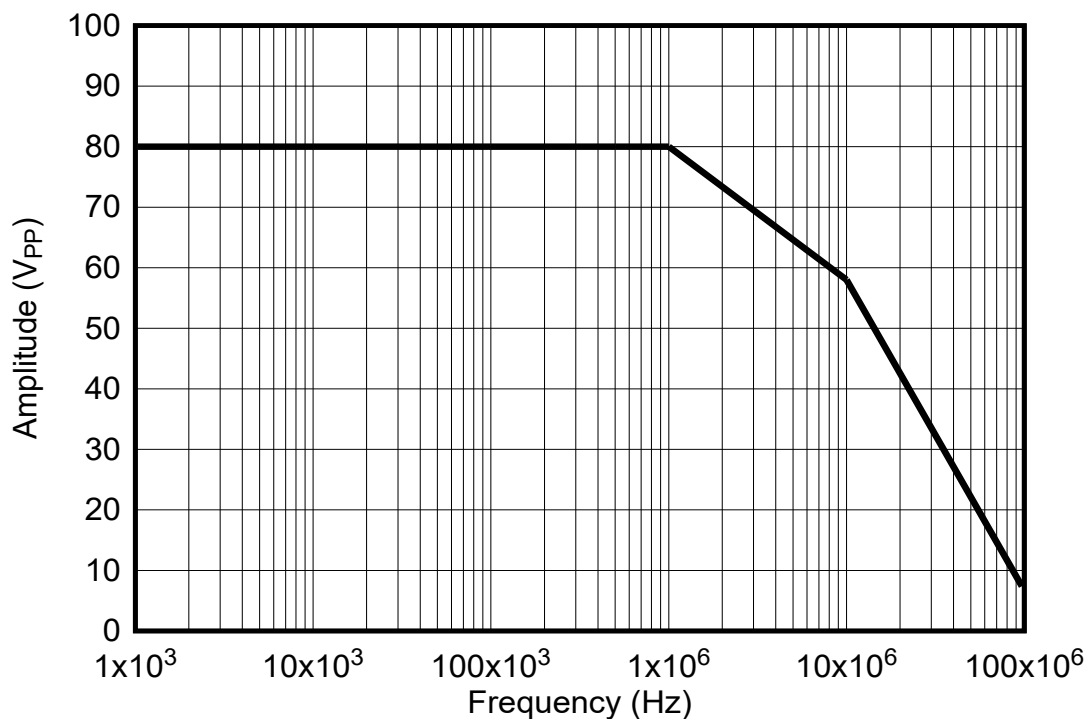


図 6-1. ノイズ耐性

7 パラメータ測定情報

7.1 負荷回路および電圧波形

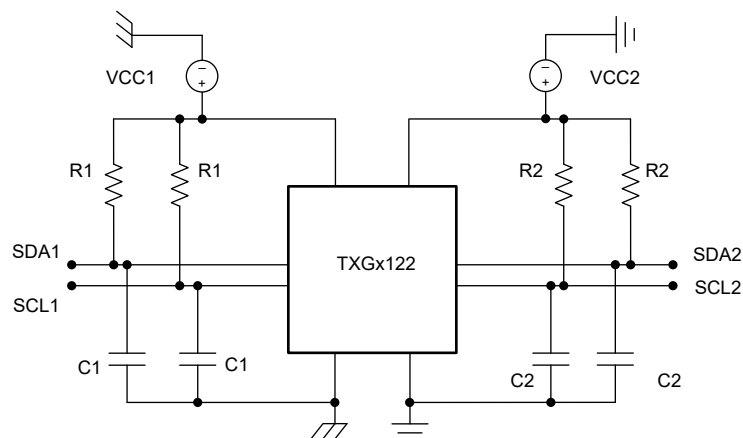


図 7-1. テスト回路

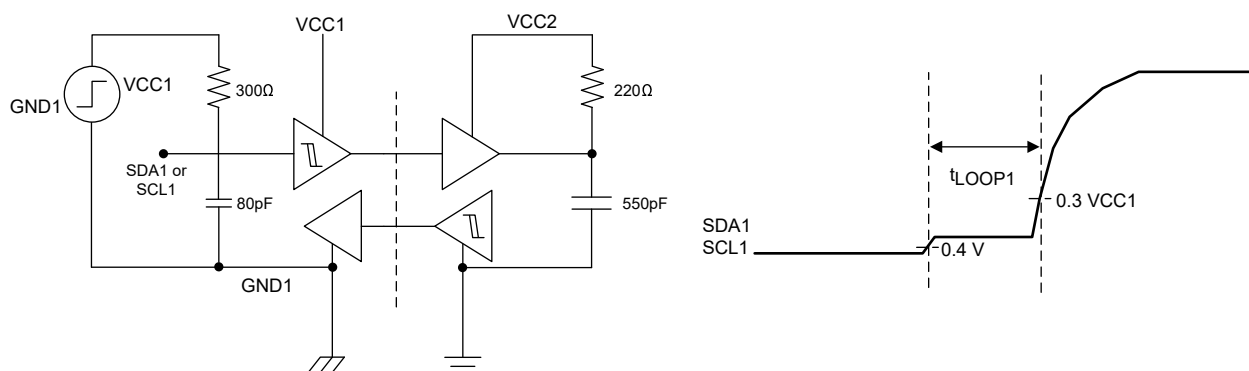


図 7-2. t_{LOOP1} のセットアップおよびタイミング図

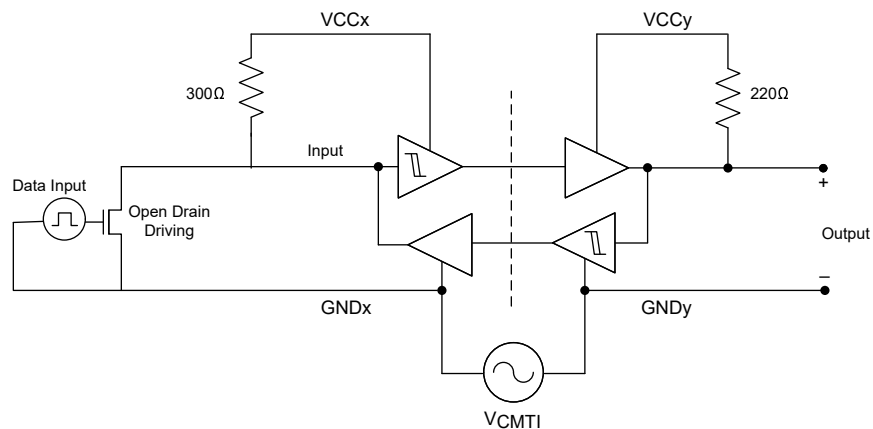


図 7-3. 同相過渡電圧耐性試験回路

8 詳細説明

8.1 概要

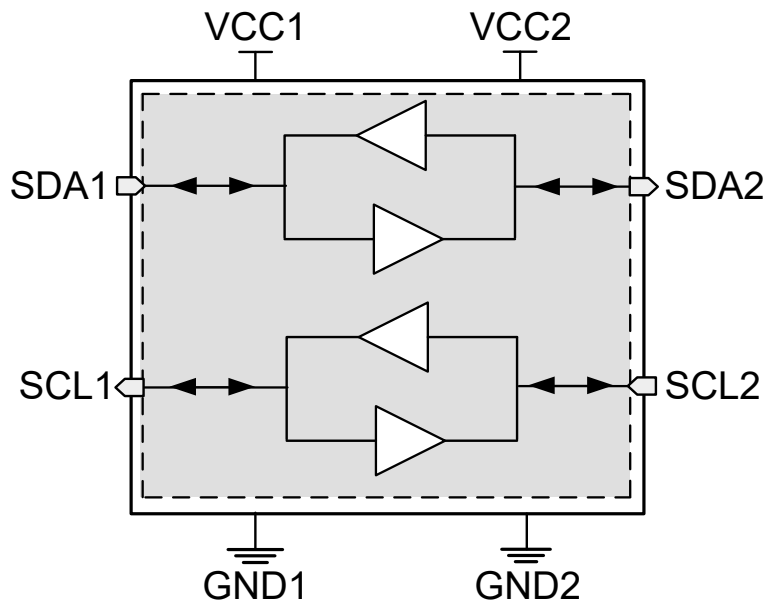
TXG4122 は、デュアル双方向トランスレータで、I2C および SMBus システム用に設計されています。このトランスレータは、 $\pm 40V$ までのロジックレベル シフトとグランドレベル シフトをサポートできます。標準的な I2C システムと同様に、SDA および SCL I/O ラインはオープンドレインであり、システムの電源レールに外部プルアップ抵抗が必要です。

- **アイドル状態:** デバイスがバスを駆動しない場合、プルアップ抵抗が SDA と SCL を強制的に High にします。これはロジック「1」を表します
- **アクティブ Low:** どのデバイスも、それぞれのラインをグランドにプルすることでロジック「0」をアサートできます。

プルアップ抵抗の値を選択する場合は、測定されたバス容量と電源電圧について、I2C の立ち上がり時間仕様が満たされるような値にします。詳細については、『[I2C バスのプルアップ抵抗値の計算](#)』を参照してください。TXG4122 は Standard Mode ($\leq 100kHz$)、Fast Mode ($\leq 400kHz$)、Fast Mode Plus ($\leq 1MHz$) をサポートできます。

このデバイスのサイド 1 は 3V ~ 5.5V で動作し、サイド 2 は 2.25V ~ 5.5V の範囲で動作します。最高のシグナル インテグリティを実現するため、サイド 1 (SDA1、SCL1) をホスト コントローラ (MCU、SoC、または任意のシングルマスタ ノード) に接続します。複数のペリフェラルをリンクする共有 I2C バスにサイド (SDA2、SCL2) を接続します。サイド 1 の最大負荷は $\leq 80pF$ 、サイド 2 の最大負荷は $\leq 550pF$ です。

8.2 機能ブロック図



8.3 機能説明

8.3.1 双方向レベル変換

TXG4122 は、混在モード アプリケーションで、双方向電圧レベル変換 (昇圧変換および降圧変換) を行います。サイド 1 が 3V ~ 5.5V、サイド 2 が 2.25V ~ 5.5V で動作します。

8.4 デバイスの機能モード

表 8-1. 機能表

VCC1 ⁽¹⁾	VCC2	SDA1/SCL1	SDA2/SCL2
> UVLO	> UVLO	H またはオープン	H またはオープン
		L	L
< UVLO	> UVLO	ハイ インピーダンス	H またはオープン
> UVLO	< UVLO	H またはオープン	ハイ インピーダンス
< UVLO	< UVLO	ハイ インピーダンス	ハイ インピーダンス

(1) > UVLO = VCC が UVLO スレッショルドより高い、< UVLO = VCC が UVLO スレッショルドより低い、L = Low、H またはオープン = High または解放、High-Z = ハイ インピーダンス

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TXG4122 はレベル変換に使用され、異なるインターフェイス電圧やグラウンド電圧で動作するデバイスやシステム間の通信を可能にします。TXG4122 デバイスは、オープンドレインドライバがデータ I/O に接続されているアプリケーションで使用するのに最適です。図 9-1 は、I2C インターフェイスを介して 3.3V から 5.5V に変換すると同時に、GND1 が 0V であるときに GND2 のグラウンドシフトが -1V である 2 つのシステムの一例です。

9.2 代表的なアプリケーション

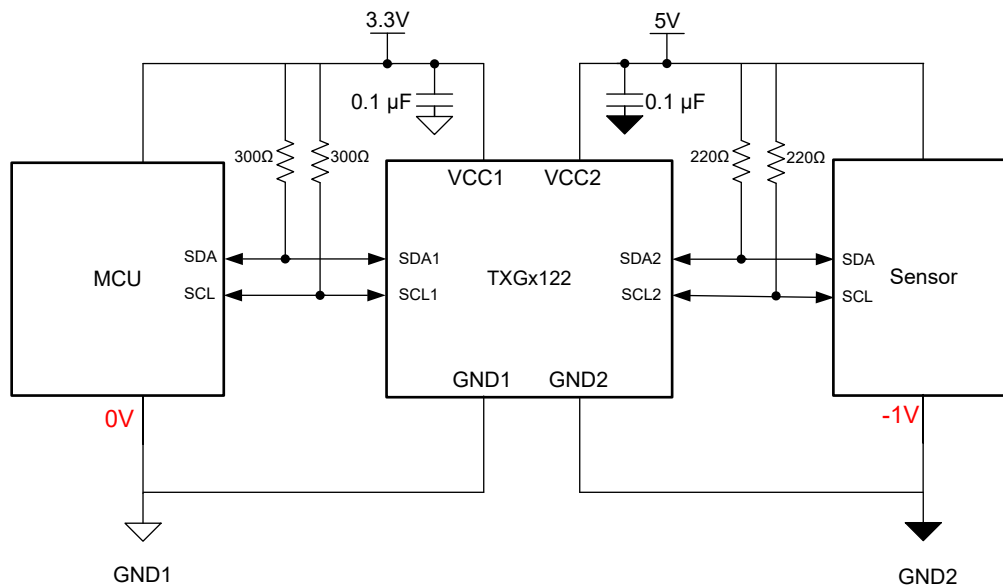


図 9-1. 産業アプリケーションの TXG4122

9.2.1 設計要件

この設計例では、表 9-1 の設計パラメータを使用します。

表 9-1. 設計パラメータ

設計パラメータ	例の値
SDA1/SCL1	3V ~ 5.5V
SDA2/SCL2	2.25V ~ 5.5V

9.2.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 電源電圧の選択
 - VCC1 をサイド 1 ドメインの電源 (3.0V ~ 5.5V) に、VCC2 をサイド 2 ドメインの電源 (2.25V ~ 5.5V) に設定します。これらの範囲は非対称です。
 - ロジック High レベルがローカルドメイン電圧と一致するように、各側のプルアップ抵抗をその側の VCC に接続する必要があります。
- プルアップ抵抗の選択 (RP)
 - サイド 1 とサイド 2 には異なるシンク電流制限 ($IOL1 = 16.5\text{mA}$, $IOL2 = 30\text{mA}$) と、異なる最大容量性負荷 ($C1 = 80\text{pF}$, $C2 = 550\text{pF}$) があるため、プルアップ抵抗はそれぞれの側について個別に選択する必要があります。
 - それぞれの側で、 VCC / RP が IOL 定格を超えないこと、および立ち上がり時間がターゲットバス速度に関する I2C 仕様を満たしていることを確認します。
- グラウンドオフセット電圧
 - GND1 と GND2 の間の DC オフセットは $\pm 40\text{V}$ を超えないようにする必要があります。動的なグラウンドシフトの場合、 dv/dt が CMTI 定格である $2\text{kV}/\mu\text{s}$ を確実に下回るようにします。
 - それぞれの側の電源電圧が、ローカルグラウンドリファレンス (推奨動作条件に従い、VCC1 から $GND1 \leq 5.5\text{V}$ へ、および VCC2 から $GND2 \leq 5.5\text{V}$ へ) に対して 5.5V を超えないようにしてください。この制約は、GND1 と GND2 の間のグラウンドオフセットからは独立しています。

9.2.3 アプリケーション曲線

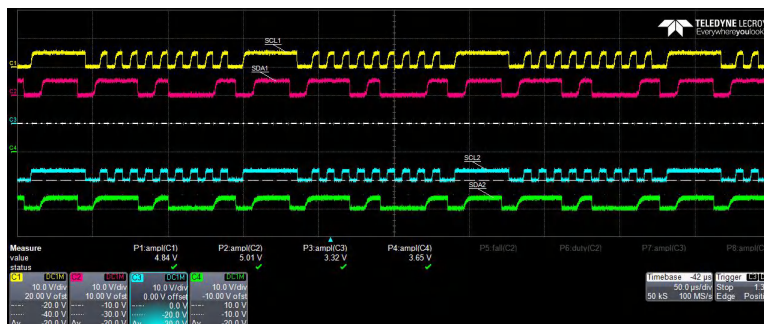


図 9-2. グラウンドシフト -20V における、1 MHz での降圧変換 (5V から 3.3V)

9.3 電源に関する推奨事項

GND ピンには最初に必ずグラウンドリファレンス電圧を印加してください。このデバイスは、グリッチの発生しない電源シーケンシング用に設計されており、ランプの順序やランプレートなどの電源シーケンシング要件はありません。VCC と GND の差が常に 5.5V であるようにしてください (推奨動作条件に従う)。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

デバイスの信頼性を確保するため、一般的なプリント回路基板レイアウトのガイドラインに従うことを推奨します。

- 電源ピンにバイパスコンデンサを使用し、デバイスのできる限り近くに配置します。 $0.1\mu\text{F}$ のコンデンサを推奨しますが、バイパスコンデンサとして $1\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを並列に使用することで、過渡性能を向上させることができます。
- CMTI の性能を改善するために、GND1 と GND2 の間に $0.1\mu\text{F}$ コンデンサを追加することもできます。

9.4.2 レイアウト例

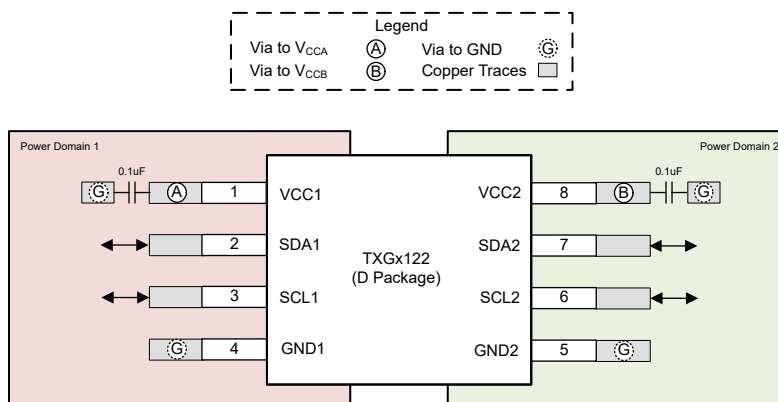


図 9-3. レイアウト例 – TXG4122

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[シュミットトリガについて](#)』アプリケーション レポート
- テキサス・インスツルメンツ、『[CMOS の消費電力と \$C_{pd}\$ の計算](#)』アプリケーション レポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXG4122DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TG4122

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

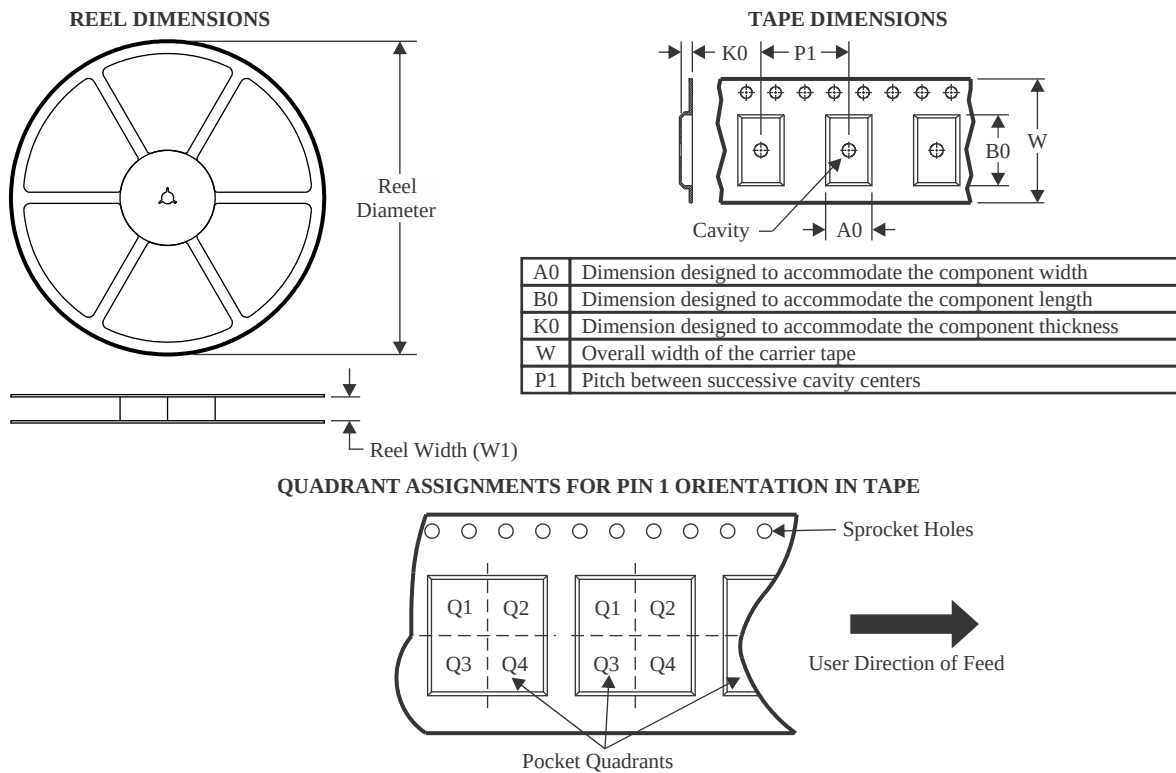
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

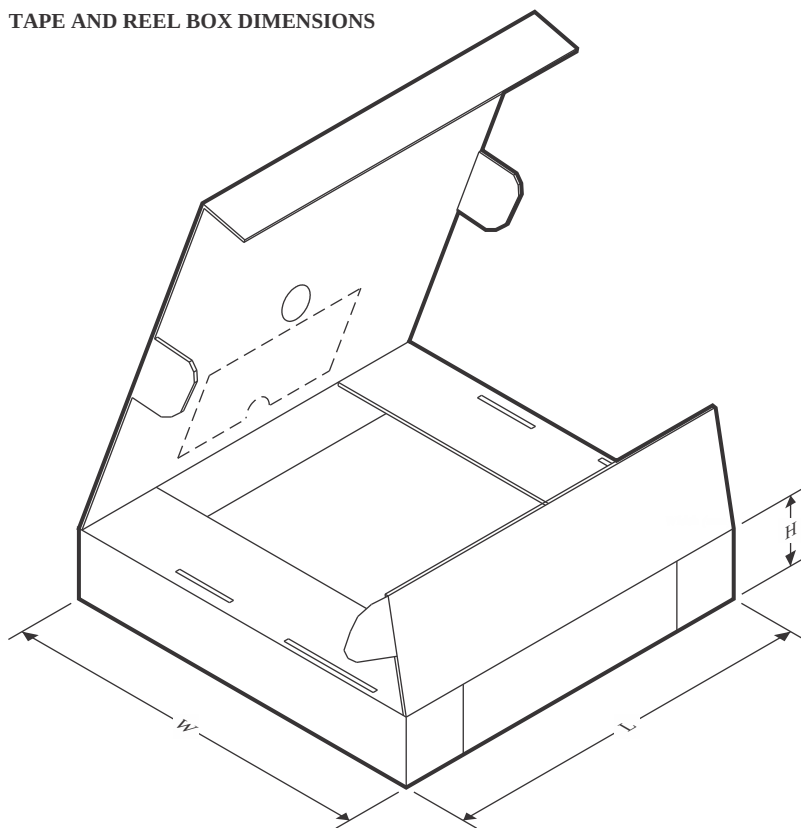
TAPE AND REEL INFORMATION



*All dimensions are nominal

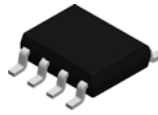
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXG4122DR	SOIC	D	8	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXG4122DR	SOIC	D	8	3000	340.5	336.1	32.0

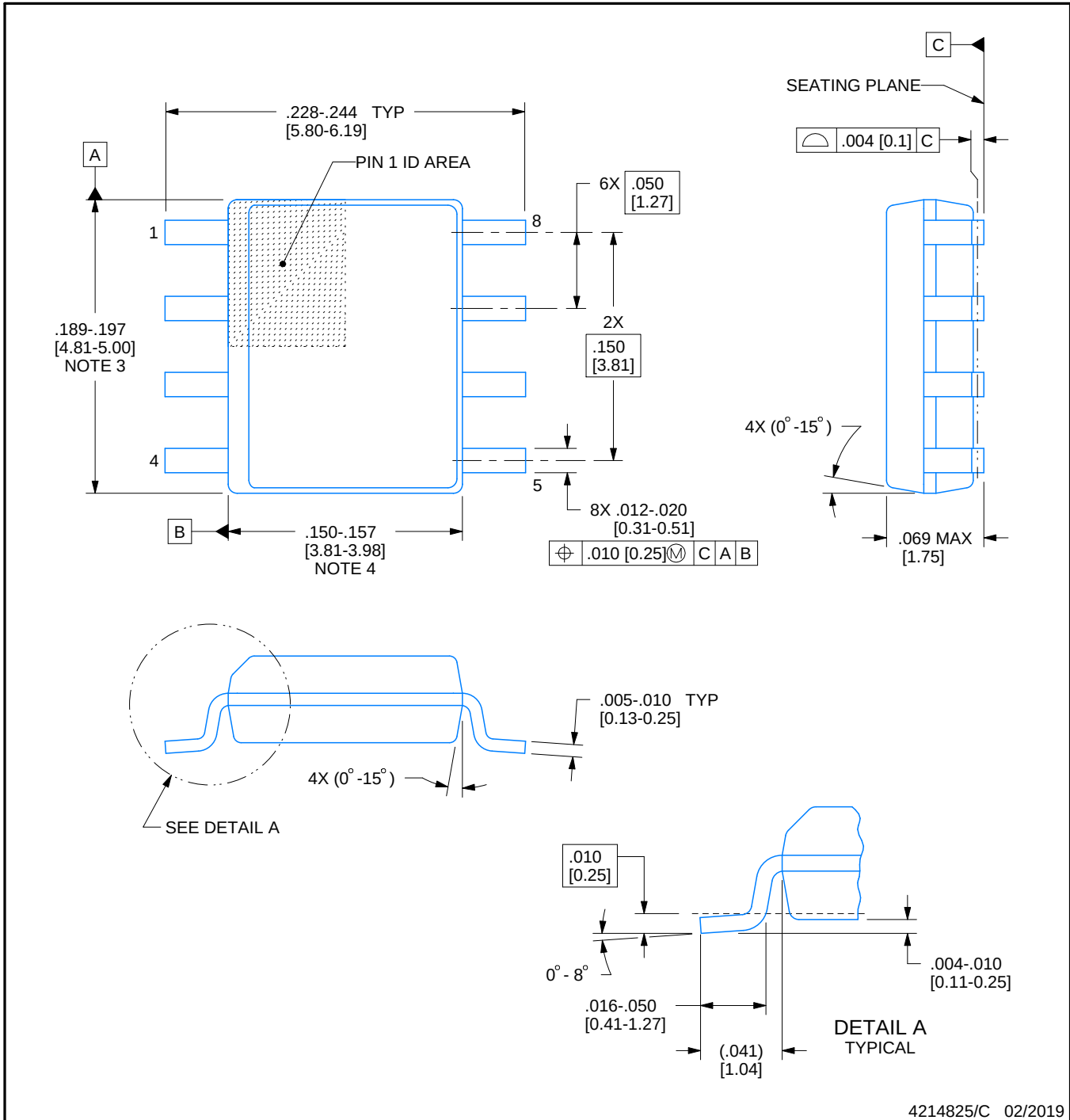


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

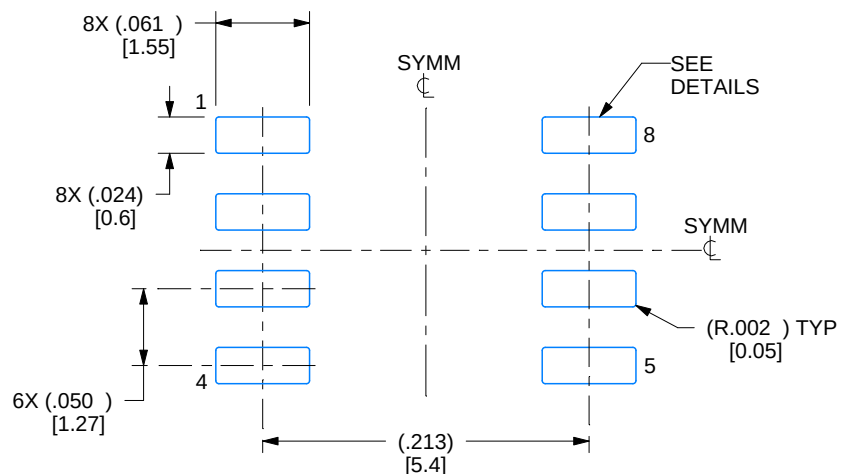
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

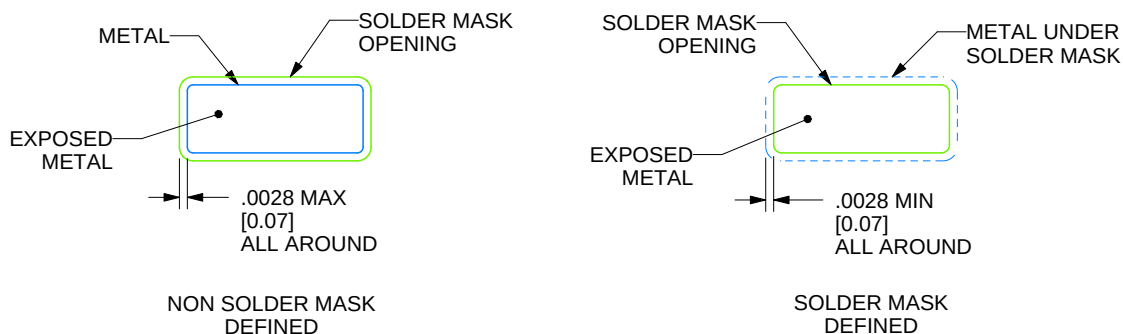
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

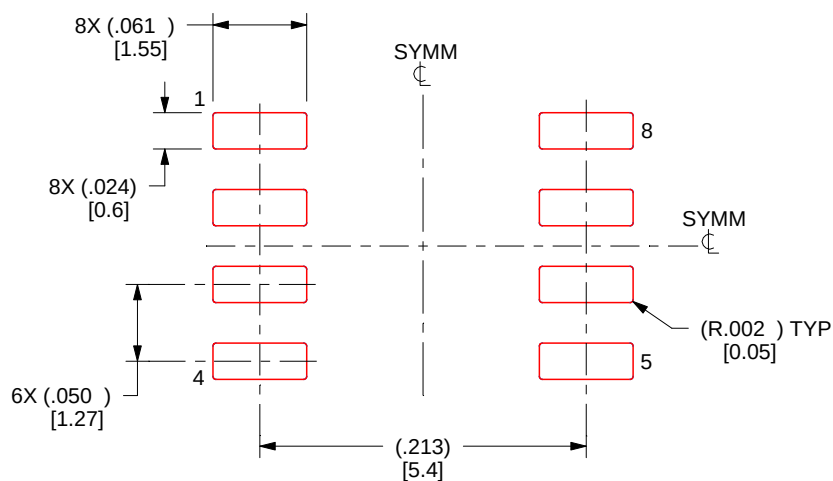
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月