

TXS4555 レベルトランスレータ内蔵 1.8V/3V SIM カード電源

1 特長

- レベルトランスレータ
 - V_{CC} 範囲: 1.65V ~ 3.3V
 - V_{BATT} 範囲: 2.3 V ~ 5.5V
- 低ドロップアウト (LDO) レギュレータ
 - イネーブル機能付き 50mA LDO レギュレータ
 - 1.8V または 2.95V を選択可能な出力電圧
 - 入力電圧範囲: 2.3V ~ 5.5V
 - 50mA 時に最大 100mV の非常に低ドロップアウト電圧
- ISO7816-3 に準拠した SIM カード信号のシャットダウン機能を内蔵
- JESD 22 を上回る ESD 保護
 - 2000V、人体モデル (A114-B)
 - 荷電デバイス モデルで 500V (C101)
 - SIM ピン用 8kV HBM
- パッケージ
 - 16 ピン VQFN (3mm x 3mm)
 - 12 ピン UQFN (2mm x 1.7mm)

2 説明

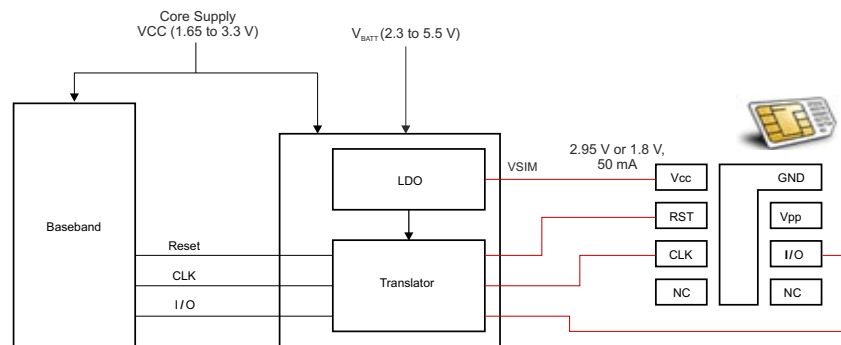
TXS4555 は、モバイル ハンドヘルド機器向けに、ワイヤレス ベースバンド プロセッサと SIM カードとの間でインターフェイスを提供するスマート アイデンティティ モジュール (SIM) カード インターフェイス デバイスです。このデバイスは、ISO/IEC のスマート カード インターフェイス要件に準拠しているほか、GSM および 3G モバイル規格にも対応しています。このデバイスには、Class-B (2.95V) および Class-C (1.8V) インターフェイスをサポートする高速レベルトランスレータと、これらのインターフェイスに対応した出力電圧を選択可能な低ドロップアウト (LDO) 電圧レギュレータが搭載されています。

このデバイスには、二つの電源電圧ピンがあります。VCC は 1.65V ~ 3.3V の全範囲で動作し、 V_{BATT} は 2.3 ~ 5.5V の範囲で動作します。VPWR は 1.8V または 2.95V に設定され、内部 LDO によって供給されます。内蔵 LDO は最大 5.5V の入力電圧を受け付け、B 側回路および外部 SIM カードに対して、1.8V または 2.95V を 50mA で出力します。TXS4555 を使用することで、システム設計者は低電圧マイクロプロセッサを、1.8V または 2.95V で動作する SIM カードに接続できます。

TXS4555 は、SIM カード向け ISO 7816-3 規格に基づいた SIM カード ピンのシャットダウン シーケンスを内蔵しています。携帯電話が予期せずシャットダウンした場合でも、SIM カードを適切にシャットダウンすることで、データの破損を防ぐことができます。このデバイスは、SIM ピンに対して 8kV HBM 保護を備えており、その他のすべてのピンには標準の 2kV HBM 保護を備えています。

製品情報

部品番号	パッケージ	本体サイズ (公称)
TXS4555	VQFN (16)	3.00mm × 3.00mm
	UQFN (12)	2.00mm × 1.70mm



Copyright © 2017, Texas Instruments Incorporated

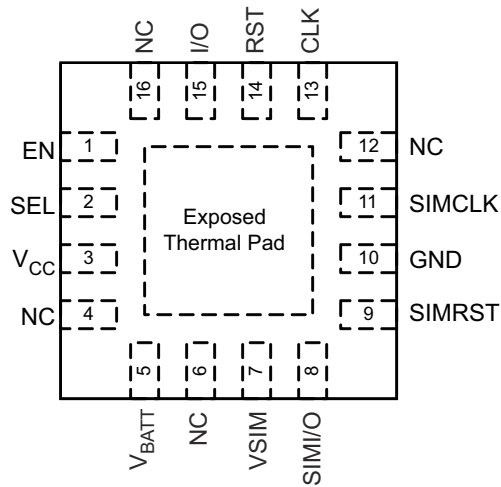
SIM カードとのインターフェイス



目次

1 特長.....	1	4.10 代表的特性.....	9
2 説明.....	1	5 詳細説明.....	10
3 ピン構成および機能.....	3	5.1 機能ブロック図.....	10
4 仕様.....	5	6 アプリケーションと実装.....	12
4.1 絶対最大定格.....	5	6.1 使用上の注意.....	12
4.2 ESD 定格.....	5	7 デバイスおよびドキュメントのサポート.....	14
4.3 熱に関する情報.....	6	7.1 ドキュメントの更新通知を受け取る方法.....	14
4.4 推奨動作条件.....	6	7.2 サポート・リソース.....	14
4.5 電気的特性 - レベルトランスレータ.....	6	7.3 商標.....	14
4.6 LDO の電気的特性.....	7	7.4 静電気放電に関する注意事項.....	14
4.7 一般的な電気的特性.....	7	7.5 用語集.....	14
4.8 スイッチング特性.....	8	8 改訂履歴.....	14
4.9 動作特性.....	8	9 メカニカル、パッケージ、および注文情報.....	14

3 ピン構成および機能



A. 露出した中央のサーマルパッドはグラウンドに接続する必要があります。

図 3-1. RGT パッケージ (1) 16 ピン VQFN (露出サーマルパッド付き) 上面図

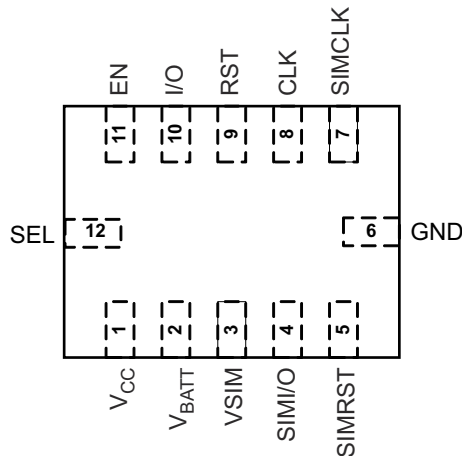


図 3-2. RUT パッケージ 12 ピン UQFN 上面図

表 3-1. ピンの機能

名称	番号		タイプ ⁽¹⁾	説明
	RGT	RUT		
CLK	13	8	I	ベースバンド プロセッサから接続されるクロック信号ピン
EN	1	11	I	制御入力の有効化 / 無効化。EN を low にすると、すべての出力がハイインピーダンス状態になり、LDO が無効になります。VCC を基準とします。
GND	10	6	—	グラウンド
I/O	15	10	I/O	ベースバンド プロセッサに接続される双方向 SIM I/O ピン
NC	4、6、12、16	—	—	内部接続なし
RST	14	9	I	ベースバンド プロセッサから接続された SIM リセットピン
SEL	2	12	I	VSIM 値を設定するためのピン (Low = 1.8V、High = 2.95V)
SIM_CLK	11	7	O	SIM カード コネクタの CLK ピンに接続されるクロック信号ピン
SIM_I/O	8	4	I/O	SIM カード コネクタの I/O ピンに接続される双方向 SIM I/O ピン
SIM_RST	9	5	O	SIM カード コネクタのリセットピンに接続される SIM リセットピン
VBATT	5	2	P	バッテリーの電源
V _{CC}	3	1	P	すべての A ポート I/O および制御入りに電源を供給する電源電圧
VSIM	7	3	O	SIM カードの電源ピン (1.8V または 2.95V)

(1) G=グラウンド、I=入力、O=出力、P=電源

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
レベルトランスレータ				
V _{CC}	電源電圧範囲	-0.3	4.0	V
V _I	入力電圧範囲	V _{CC} ポート	4.6	V
		SIM ポート	4.6	
		制御入力	4.6	
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲	V _{CC} ポート	4.6	V
		VSIM ポート	4.6	
		制御入力	4.6	
V _O	High または Low 状態にある任意の出力に印加される電圧範囲	V _{CC} ポート	4.6	V
		SIM ポート	4.6	
		制御入力	4.6	
I _{IK}	入力クランプ電流	V _I < 0	-50	mA
I _{OK}	出力クランプ電流	V _O < 0	-50	mA
I _O	連続出力電流		±50	mA
	VCCA または GND を通過する連続電流		±100	mA
T _{stg}	保管温度範囲	-65	150	°C
LDO				
V _{BAT}	入力電圧範囲	-0.3	6	V
V _{OUT}	出力電圧範囲	-0.3	6	V
	ピーク出力電流		未定	mA
	連続総許容損失		未定	
T _J	接合部温度範囲	-55	150	°C
T _{stg}	保管温度範囲	-55	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電 (ホスト側)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2 kV
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500 V
V _(ESD)	静電放電 (SIM 側)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±8 kV

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

4.3 熱に関する情報

熱評価基準 ⁽¹⁾		TXS4555		単位
		RGT	RUT	
		16 ピン	12 ピン	
θ_{JA}	接合部から周囲への熱抵抗	47	87.2	°C/W
θ_{JB}	接合部から基板への熱抵抗	25.12	該当なし	
Ψ_{JT}	接合部から上面への特性パラメータ	1.3	1.7	
$\theta_{JC(bot)}$	接合部からケース (底面) への熱抵抗	3.6	該当なし	

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

4.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

				最小値	最大値	単位
レベルトランスレータ						
V_{CC}	電源電圧			1.65	3.3	V
V_{IH}	High レベル入力電圧	VCC ポート	EN、SEL、RST、CLK、I/O	$V_{CC} \times 0.7$	V_{CC}	V
		SIM ポート	SIM_I/O	$V_{sim} \times 0.7$	V_{sim}	
V_{IL}	Low レベル入力電圧	VCC ポート	EN、SEL、RST、CLK、I/O	0	$V_{CC} \times 0.3$	V
		SIM ポート	SIM_I/O	0	$V_{sim} \times 0.3$	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート				5	ns/V
T_A	自由空気での動作温度			-40	85	°C
T_J	動作時接合部温度			-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用のデータ入力はすべて、VCCI または GND に固定する必要があります。TI のアプリケーション レポート『[低速またはフローティング CMOS 入力の影響](#)』(文献番号 SCBA004) を参照してください。

4.5 電気的特性 - レベル トランスレータ

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
V_{OH}	SIM_RST	$I_{OH} = -1\text{mA}$, $V_{CC} = 1.65\text{V} \sim 3.3\text{V}$ $V_{SIM} = 1.8\text{V}$ または 2.95V ⁽²⁾	$V_{SIM} \times 0.8$			V
	SIM_CLK	$I_{OH} = -1\text{mA}$	$V_{SIM} \times 0.8$			
	SIM_I/O	$I_{OH} = -20\mu\text{A}$	$V_{SIM} \times 0.8$			
	I/O	$I_{OH} = -20\mu\text{A}$	$V_{CC} \times 0.8$			
V_{OL}	SIM_RST	$I_{OL} = 1\text{mA}$, $V_{CC} = 1.65\text{V} \sim 3.3\text{V}$ $V_{SIM} = 1.8\text{V}$ または 2.95V ⁽²⁾			$V_{SIM} \times 0.2$	V
	SIM_CLK	$I_{OL} = 1\text{mA}$			$V_{SIM} \times 0.2$	
	SIM_I/O	$I_{OL} = 1\text{mA}$			0.3	
	I/O	$I_{OL} = 1\text{mA}$			0.3	
I_I	制御入力	$V_I = \text{EN}, 1.8\text{V}/3\text{V}$, $V_{CC} = 1.65\text{V} \sim 3.3\text{V}$ $V_{SIM} = 1.8\text{V}$ または 2.95V ⁽²⁾			± 1	μA
I_{CC}	I/O	$V_I = V_{CCI}$, $I_O = 0$, $V_{CC} = 1.65\text{V} \sim 3.3\text{V}$ $V_{SIM} = 1.8\text{V}$ または 2.95V ⁽²⁾			± 5	μA
C_{io}	I/O ポート			8		pF
	SIM ポート			4		

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
C _i	制御入力	V _I = V _{CC} または GND		4		pF

- (1) 標準値はすべて、T_A = 25°Cにおける値です。
 (2) (LDO から供給)

4.6 LDO の電気的特性

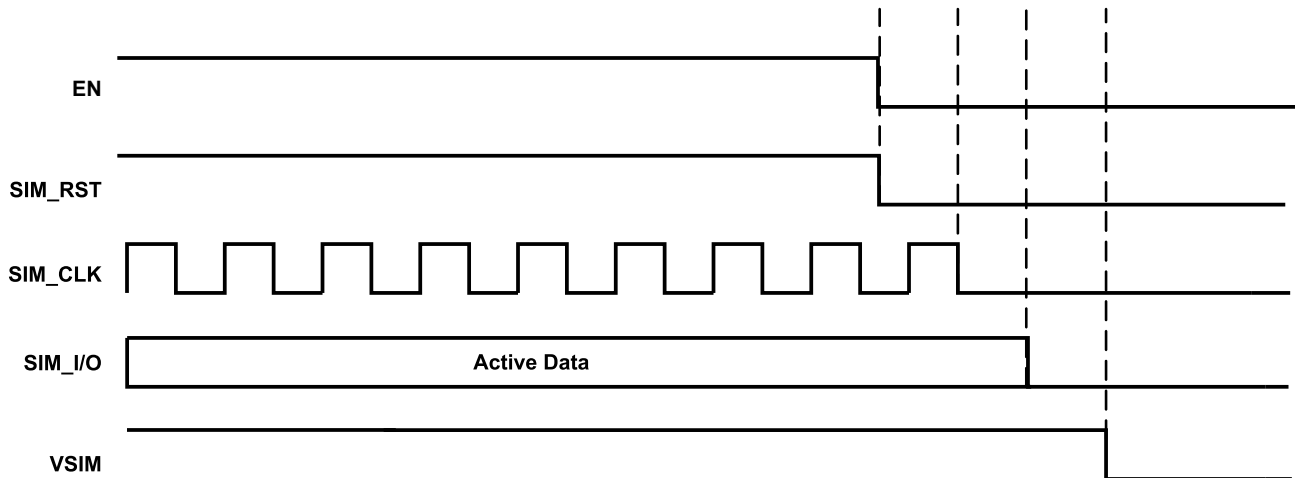
パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
V _{BAT}	入力電圧		2.3		5.5	V
V _{SIM}	出力電圧	Class-B モード (SEL = V _{CC})	2.85	2.95	3.05	V
		Class-C モード (SEL = 0)	1.7	1.8	1.9	
V _{DO}	ドロップアウト電圧	I _{OUT} = 50mA			100	mV
I _{GND}	グランド ピン電流	I _{OUT} = 0mA			35	μA
I _{SHDN}	シャットダウン電流 (IGND)	V _{ENx} ≤ 0.4V、(V _{SIM} + V _{DO}) ≤ V _{BAT} ≤ 5.5V、T _J = 85°C			3.5	μA
I _{OUT(SC)}	短絡電流	R _L = 0Ω		145		mA
C _{OUT}	出力コンデンサ			1		μF
PSRR	電源除去比	V _{BAT} = 3.25V、V _{SIM} = 1.8V または 2.95V C _{OUT} = 1μF、I _{OUT} = 50mA	f = 1kHz	50		dB
			f = 10kHz	40		
T _{STR}	起動時間	V _{SIM} = 1.8V または 2.95V、I _{OUT} = 50mA、C _{OUT} = 1μF			400	μS
T _J	動作時接合部温度		-40		125	°C

- (1) 標準値はすべて、T_A = 25°Cにおける値です。

4.7 一般的な電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{I/OPU}	I/O プルアップ		16	20	24	kΩ
R _{SIMPU}	SIM_I/O プルアップ		10	14	18	kΩ
R _{SIMPD}	SIM_I/O プルダウン	EN = 0 のとき、V _{SIM} レギュレータ出力に接続されたアクティブ プルダウン回路が、SIM_CLK、SIM_RST、および SIM_I/O に接続されます			3	kΩ



Copyright © 2017, Texas Instruments Incorporated

図 4-1. SIM_RST、SIM_CLK、SIM_I/O、VSIM のシャットダウン シーケンス

SIM 信号のシャットダウン シーケンスは、ISO 7816-3 規格に基づいています。これらの信号のシャットダウン シーケンスにより、各チャンネルを適切に無効化し、意図しないデータ破損が発生しないようにします。また、SIM カードがホット スワップ対応スロットに挿入されている場合にも有効です。SIM カードを取り外す際に、これらの信号を順序立ててシャットダウンすることで、不適切な書き込みやデータ破損を防ぐことができます。

EN が低下すると、シャットダウン シーケンスは SIM_RST チャンネルの電力を供給することで発生します。これが完了すると、SIM_CLK、SIM_I/O、および VSIM が順番の一つずつ投入されます。SIM ピンには内部 2K のプルダウン抵抗が搭載されており、これにより各信号ラインを Low レベルに保持できます。シャットダウン シーケンスの各タイミングは、数マイクロ秒の間隔で順序立てて実行されます。シャットダウンが発生するには最初に EN を下げる必要があります。これにより SIM IO、RST、CLK が制御されます。EN と VCC の両方が低下しても、シャットダウン シーケンスはトリガされません。

4.8 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC} = 1.8V ± 0.15V		単位
		最小値	最大値	
VSIM = 1.8V または 2.95V (内部 LDO により供給)				
t _{rA}	SIM_I/O C _L = 50pF	V _{CC} = 1.8V ± 0.15V		1 μs
t _{rB}	SIM_RST C _L = 50pF	V _{CC} = 1.8V ± 0.15V		1 μs
	SIM_CLK C _L = 50pF	V _{CC} = 1.8V ± 0.15V		18 ns
	SIM_I/O C _L = 50pF	V _{CC} = 1.8V ± 0.15V		1 μs
f _{max}	SIM_CLK C _L = 50pF	V _{CC} = 1.8V ± 0.15V		25 MHz
デューティ サイクル	SIM_CLK C _L = 50pF	V _{CC} = 1.8V ± 0.15V		40% 60%

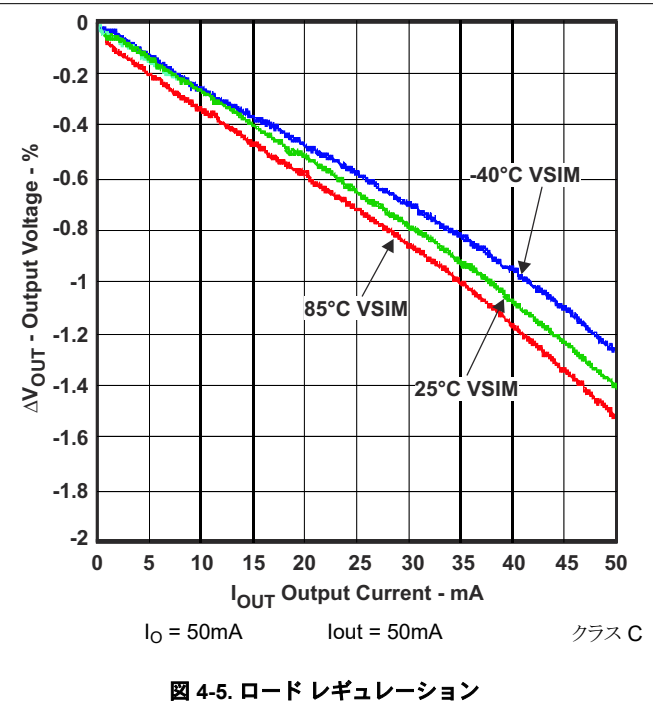
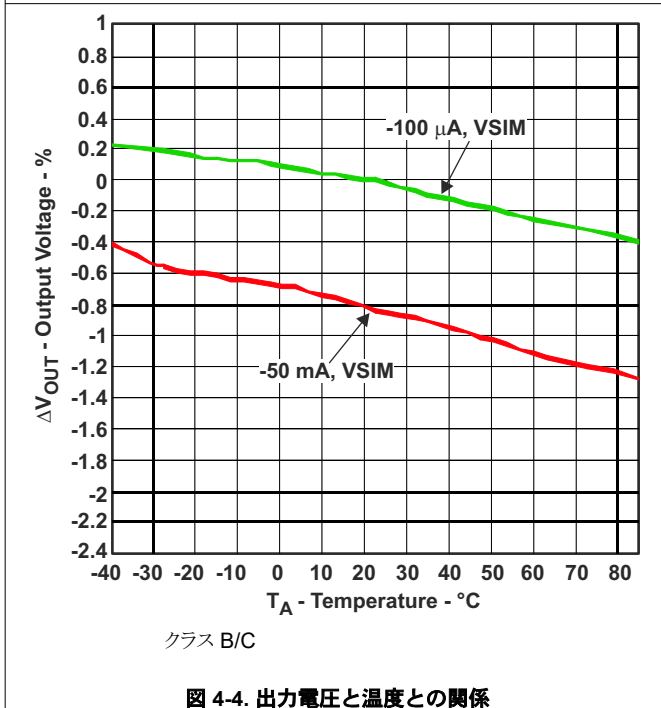
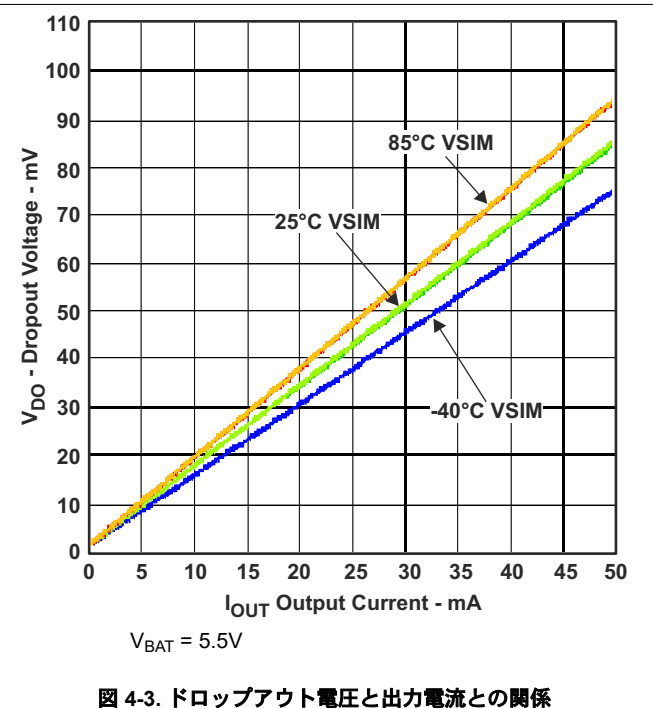
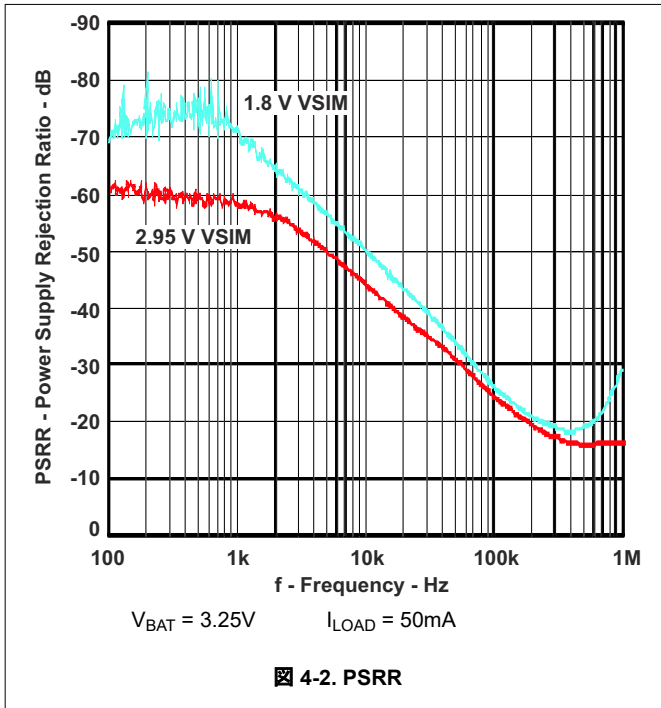
4.9 動作特性

T_A = 25°C, V_{SIM} = 1.8V

パラメータ	テスト条件	標準値	単位
C _{pdA} (1)	クラス B C _L = 0, f = 5MHz, t _r = t _f = 1ns, V _{CC} = 1.8V	13	pF
	クラス C C _L = 0, f = 5MHz, t _r = t _f = 1ns, V _{CC} = 1.8V	11	pF

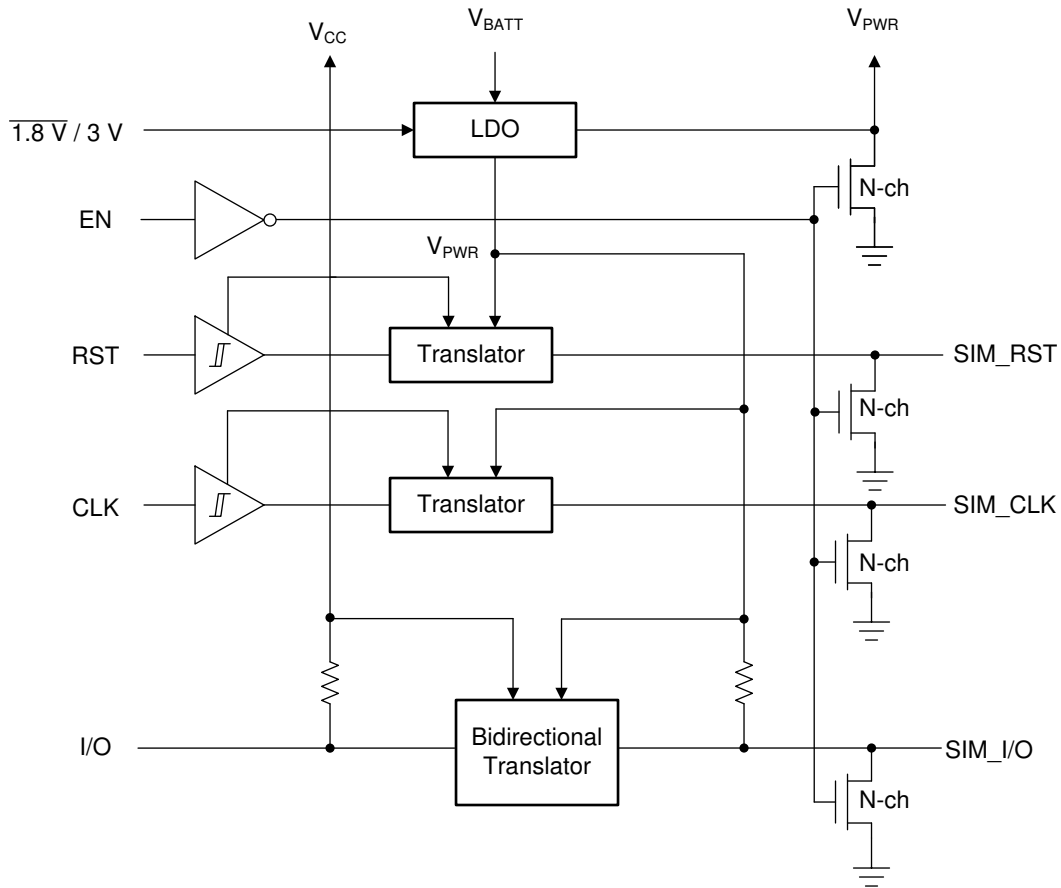
(1) トランシーバあたりの電力散逸容量。

4.10 代表的特性



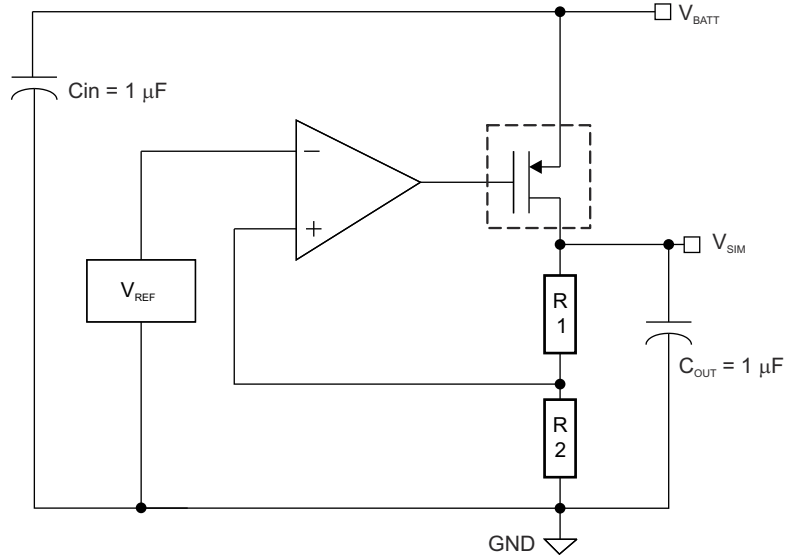
5 詳細説明

5.1 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

図 5-1. ブロック図



Copyright © 2017, Texas Instruments Incorporated

図 5-2. LDO モノブロック図

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 使用上の注意

TXS4555 に内蔵された LDO は、超広帯域幅と高いループ ゲインを実現しており、非常に小さいヘッドルーム ($V_{BAT} - V_{SIM}$) においても極めて高い PSRR を実現します。TXS4555 は、1.8V または 2.95V の固定出力電圧レギュレーションを提供します。低ノイズ、イネーブル機能、および低いグラウンド ピン電流を特長としており、携帯機器向けアプリケーションに適した設計となっています。このデバイスは、バンドギャップ電圧未満の出力電圧、電流制限機能、および過熱保護機能を備えており、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で仕様が規定されています。

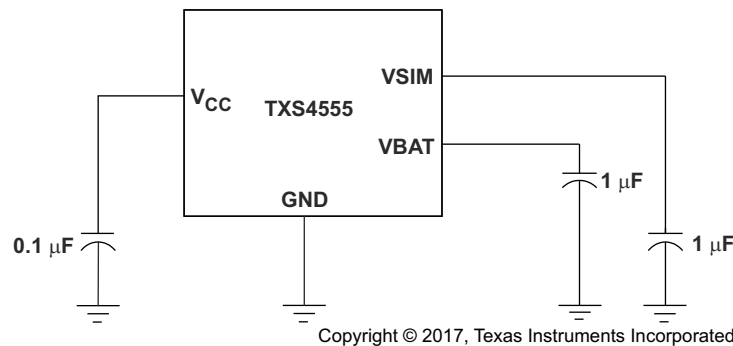


図 6-1. TXS4555 の標準アプリケーション回路

6.1.1 入出力コンデンサの必要性

優れたアナログ回路設計の手法として、レギュレータの近くで入力電源 (V_{BAT}) において、等価直列抵抗 (ESR) の低い $1\mu\text{F}$ のコンデンサを接続することを推奨します。ロジック コア電源 (V_{DDIO}) には、 $0.1\mu\text{F}$ のコンデンサが必要です。

このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。LDO は、 $1\mu\text{F}$ 以上の標準的なセラミック コンデンサを使用した場合に安定して動作するよう設計されています。X5R および X7R タイプのコンデンサを推奨します。これらのコンデンサは、温度変化による容量値および ESR の変動が極めて小さい特長があります。最大 ESR は 1Ω 未満である必要があります。

6.1.2 出カノイズ

ほとんどの LDO では、バンドギャップ回路が支配的なノイズ源となります。PSRR、出力ノイズ、過渡応答などの AC パフォーマンスを向上させるために、TI では、基板設計では V_{IN} と V_{OUT} に別々のグラウンド プレーンを設け、各グラウンド プレーンをデバイスの GND ピンのみで接続することをお勧めします。さらに、バイパス コンデンサのグラウンド接続部はデバイスの GND ピンに直接接続する必要があります。

6.1.3 内部電流制限

TXS4555 の内部電流制限は、故障時にもレギュレータを保護します。電流制限中、出力は、出力電圧には大きく依存しない固定量の電流を供給します。信頼性の高い動作を確保するため、デバイスを電流制限状態で長時間動作させないでください。

TXS4555 の PMOS パス素子には内蔵ボディダイオードがあり、VSIM の電圧が VBAT の電圧を上回ると電流が流れます。この電流には電流制限がないため、長時間にわたる逆電圧動作が想定される場合は、外部に電流制限回路を設けることが適切な場合があります。

6.1.4 ドロップアウト電圧

TXS4555 は PMOS パストランジスタを使用して、低ドロップアウトを実現しています。(V_{BAT} – V_{SIM}) がドロップアウト電圧 (V_{DO}) よりも低い場合、PMOS パス デバイスはリニア領域での動作になり、入出力抵抗は PMOS パス素子の R_{DS(ON)} となります。V_{DO} は、ドロップアウト状態では PMOS 素子が抵抗として動作するため、出力電流にはほぼ比例して増加します。

6.1.5 スタートアップ

TXS4555 は、非常に低い出力ノイズと高速な起動時間を両立するクイック スタート回路を採用しています。

6.1.6 過渡応答

他のレギュレータと同様に、出力コンデンサの容量を大きくすると、オーバーシュートやアンダーシュートの大きさは小さくなりますが、過渡応答の継続時間は長くなります。

6.1.7 最小負荷

TXS4555 は、出力負荷がない状態でも安定して動作します。従来の PMOS LDO レギュレータは、出力負荷が非常に軽い場合にループ ゲインが低下するという課題があります。TXS4555 は、独自の低電流モード回路を採用しており、軽負荷時または無負荷時のループ ゲインを高めることで、出力電流が 0A の場合でも優れた出力電圧レギュレーション性能を実現しています。

6.1.8 熱に関する情報

6.1.8.1 過熱保護

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで低下すると、出力回路は再び有効になります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。このサイクル動作により、レギュレータの消費電力が制限され、過熱による損傷からレギュレータを保護します。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を確保するため、最大接合部温度は 125°C 以下に制限する必要があります。完全な設計 (ヒートシンクを含む) における熱設計の余裕度を評価するには、最悪条件の負荷および信号条件で動作させながら、サーマル保護機能が動作するまで周囲温度まで上昇させます。高い信頼性を確保するため、サーマル保護機能は、特定の用途で想定される最高周囲温度より少なくとも 35°C 高い温度で動作するようにします。この構成では、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TXS4555 の内部保護回路は、過負荷状態に対して保護を行うように設計されています。これは、適切な放熱設計に代わるものではありません。TXS4555 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (August 2013) to Revision C (May 2026) Page

- | | |
|-------------------------------------------------------------------------|---|
| • 新しい TI のレイアウトおよびフローに合わせてフォーマットを更新。ドキュメント全体にわたって表、図、相互参照の採番方法を更新。..... | 1 |
| • 「SIM カードとのインターフェイス」に VSIM を追加 | 1 |

Changes from Revision A (February 2011) to Revision B (August 2013) Page

- | | |
|--------------------------------------------------------|---|
| • 「注文情報」表を削除。..... | 3 |
| • V_{IH} および V_{IL} に関する追加情報を明確にするため、記載内容を更新。..... | 6 |

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXS4555RGTR	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ZUT
TXS4555RGTR.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ZUT
TXS4555RUTR	Active	Production	UQFN (RUT) 12	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	69R
TXS4555RUTR.B	Active	Production	UQFN (RUT) 12	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	69R

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

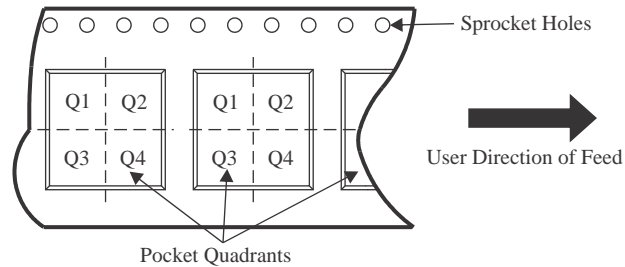
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

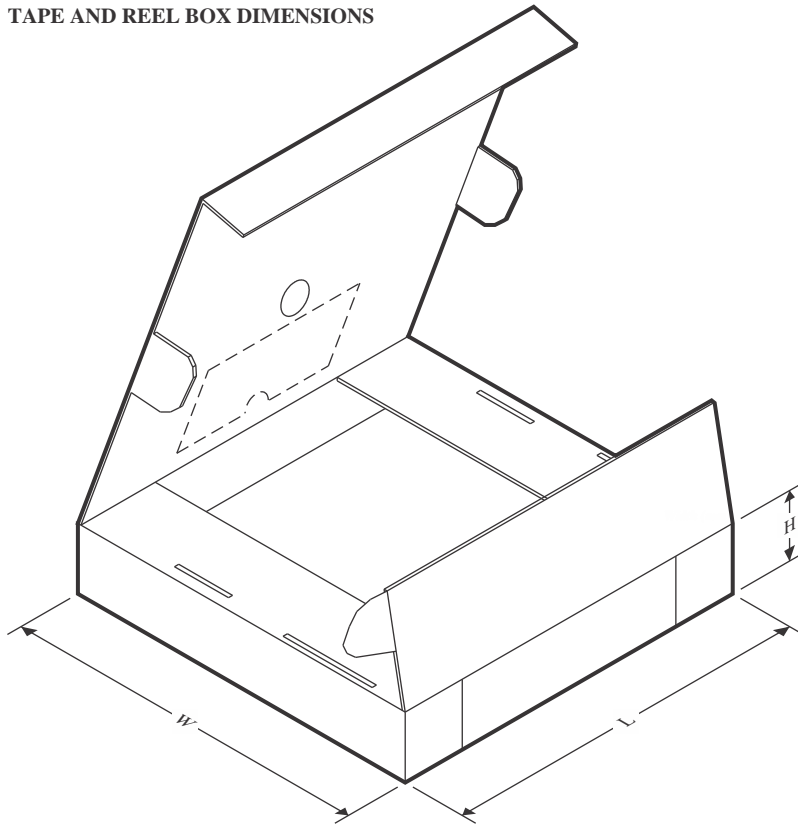
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


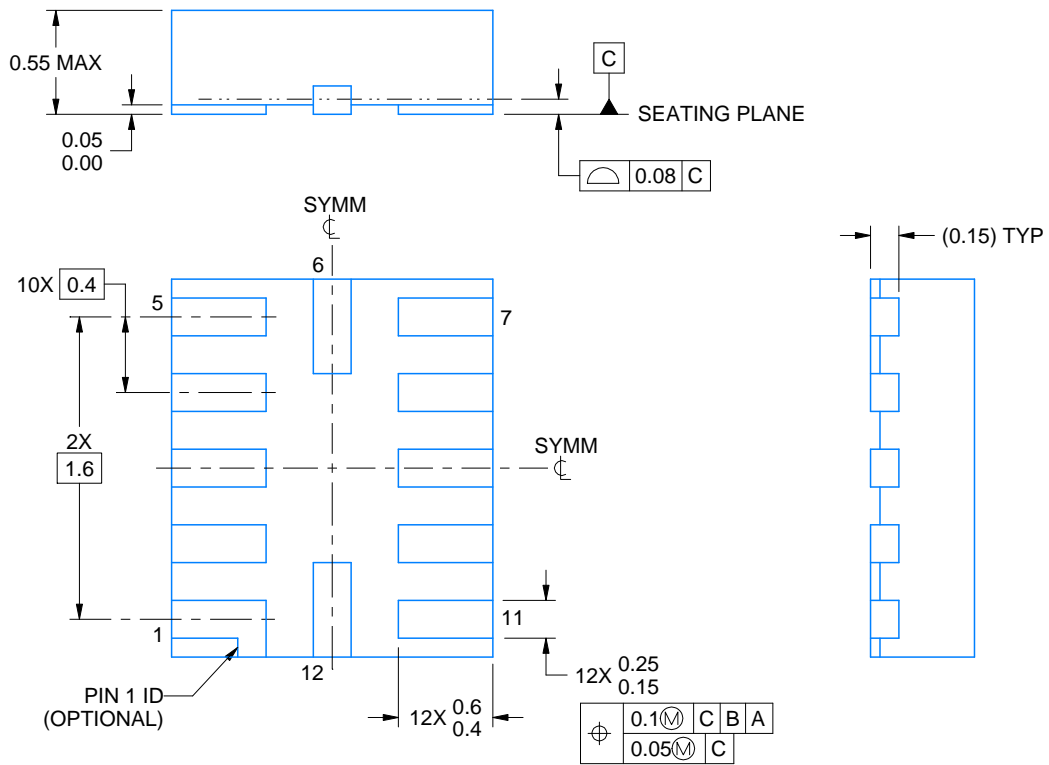
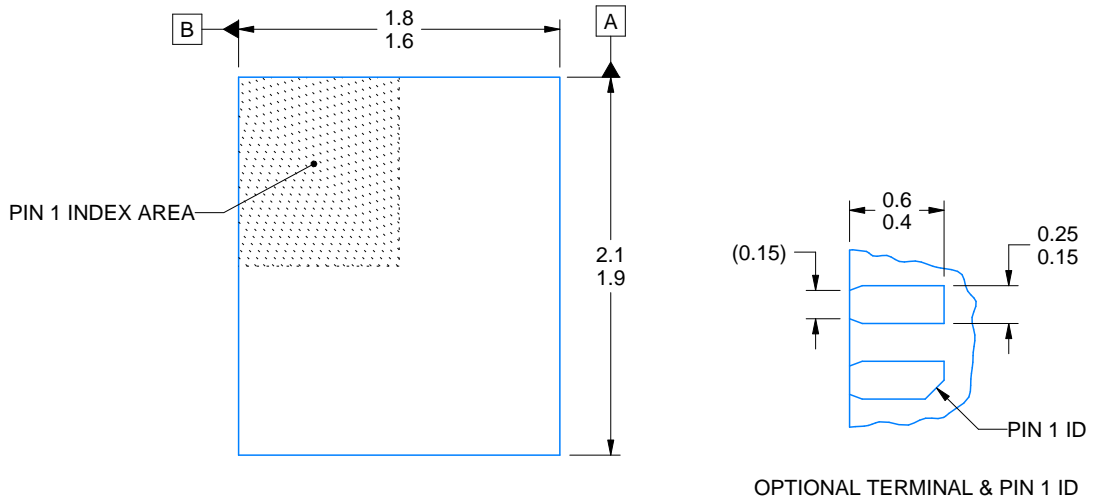
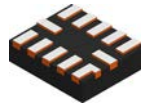
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXS4555RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TXS4555RUTR	UQFN	RUT	12	3000	180.0	8.4	1.95	2.3	0.75	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXS4555RGTR	VQFN	RGT	16	3000	353.0	353.0	32.0
TXS4555RUTR	UQFN	RUT	12	3000	202.0	201.0	28.0



4220310/A 11/2016

NOTES:

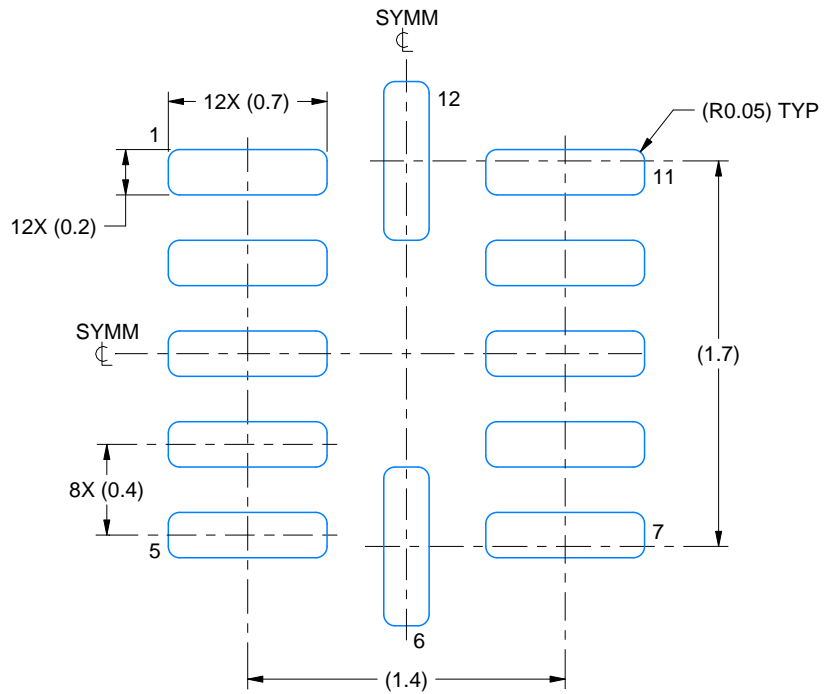
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

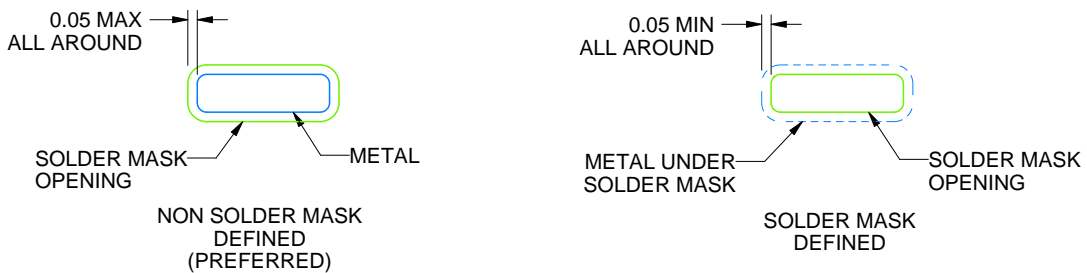
RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS

4220310/A 11/2016

NOTES: (continued)

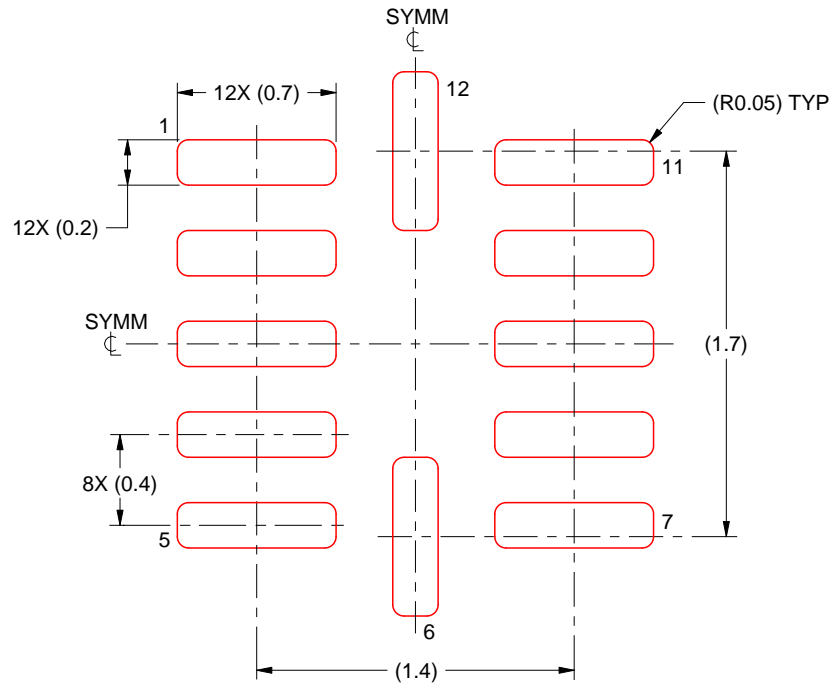
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 30X

4220310/A 11/2016

NOTES: (continued)

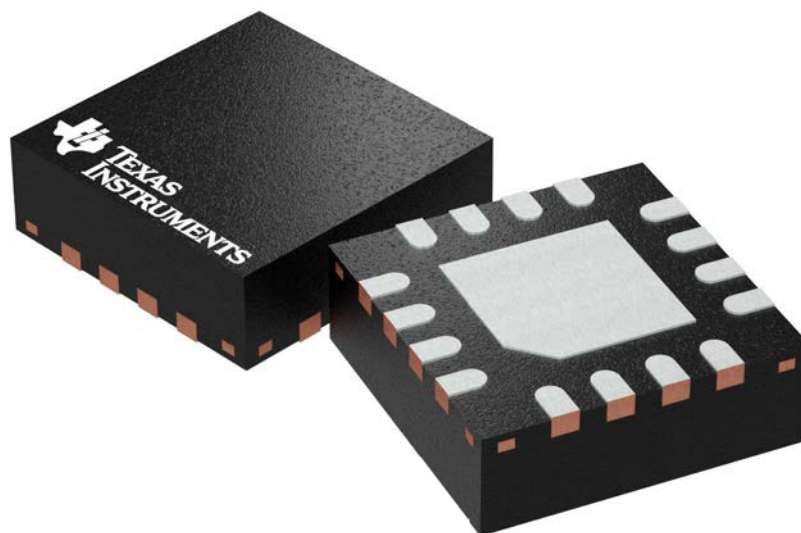
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RGT 16

GENERIC PACKAGE VIEW

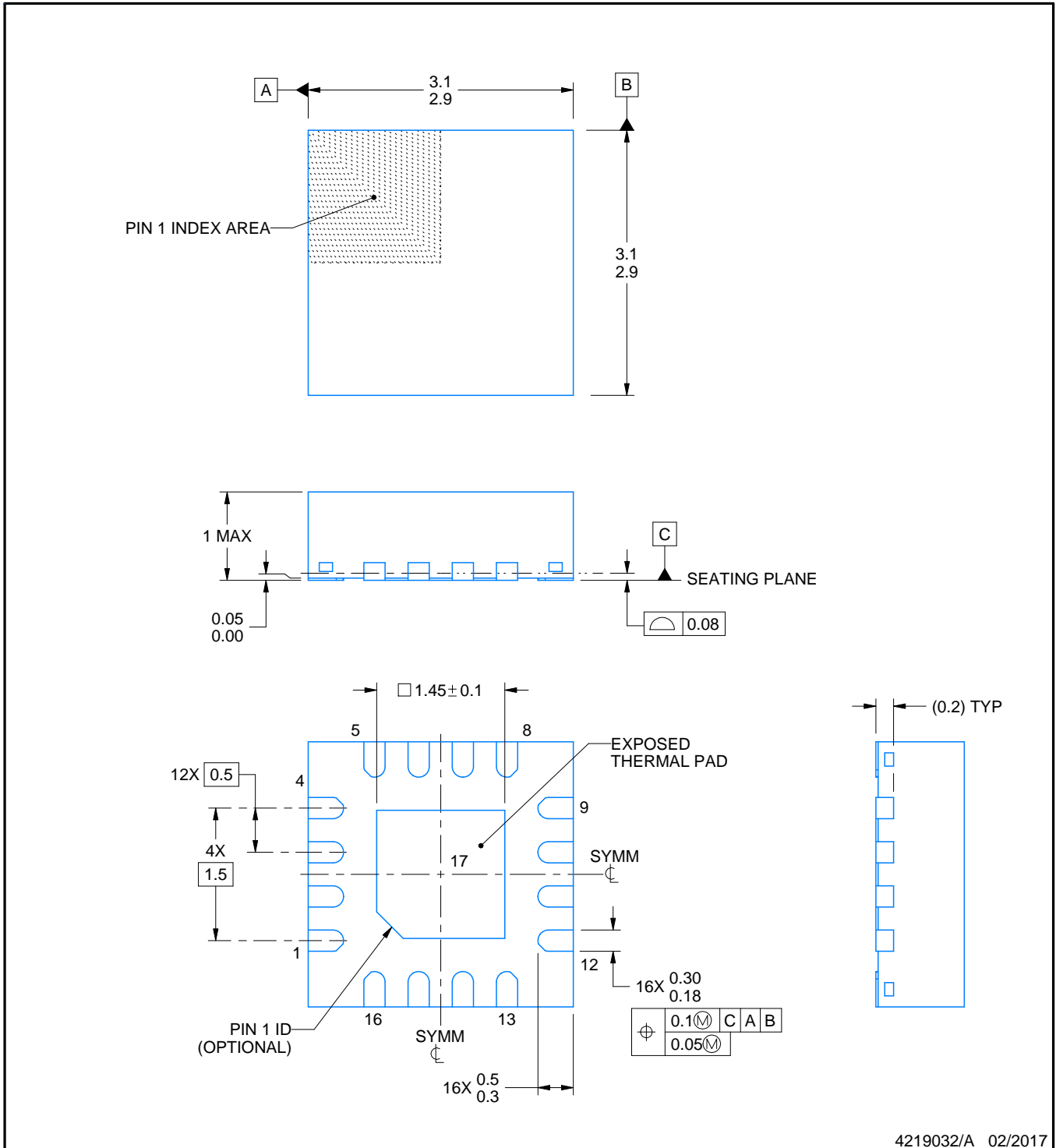
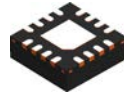
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



4219032/A 02/2017

NOTES:

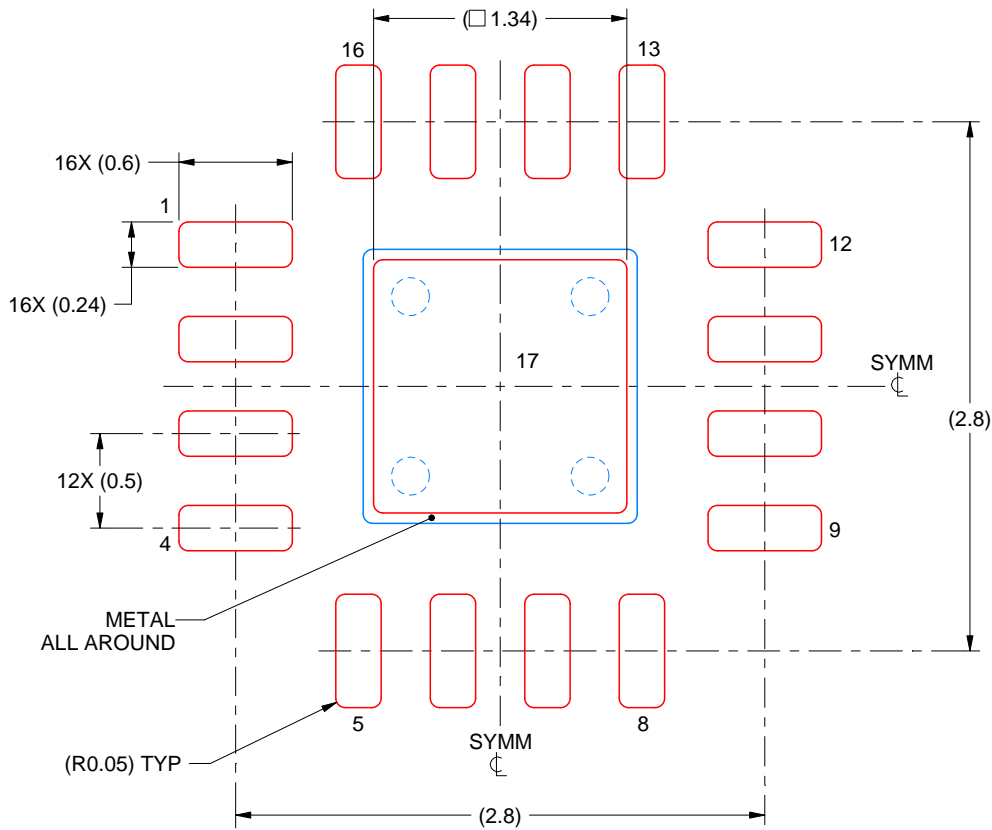
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Reference JEDEC registration MO-220

EXAMPLE STENCIL DESIGN

RGT0016A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
86% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219032/A 02/2017

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月