

臨界モードPFCコントローラ

特長

- 臨界モードの力率改善コントローラ
- 改善したマルチプライヤ機能のより広入力/負荷変動に対応が可能
- スルーレート・コンパレータによる過渡応答の改善
- ゼロ・パワー検出により軽負荷状態時OVPを防止
- 精密内部基準電圧による精密出力レギュレーション
- 過電圧保護 (OVP)、オープン・フィードバック保護、イネーブル回路
- $\pm 750\text{mA}$ のピーク・ゲート駆動電流
- 低起動電流及び低動作電流
- 2種類のUVLO電圧
- 鉛フリー・パッケージ
- 業界標準のピン互換

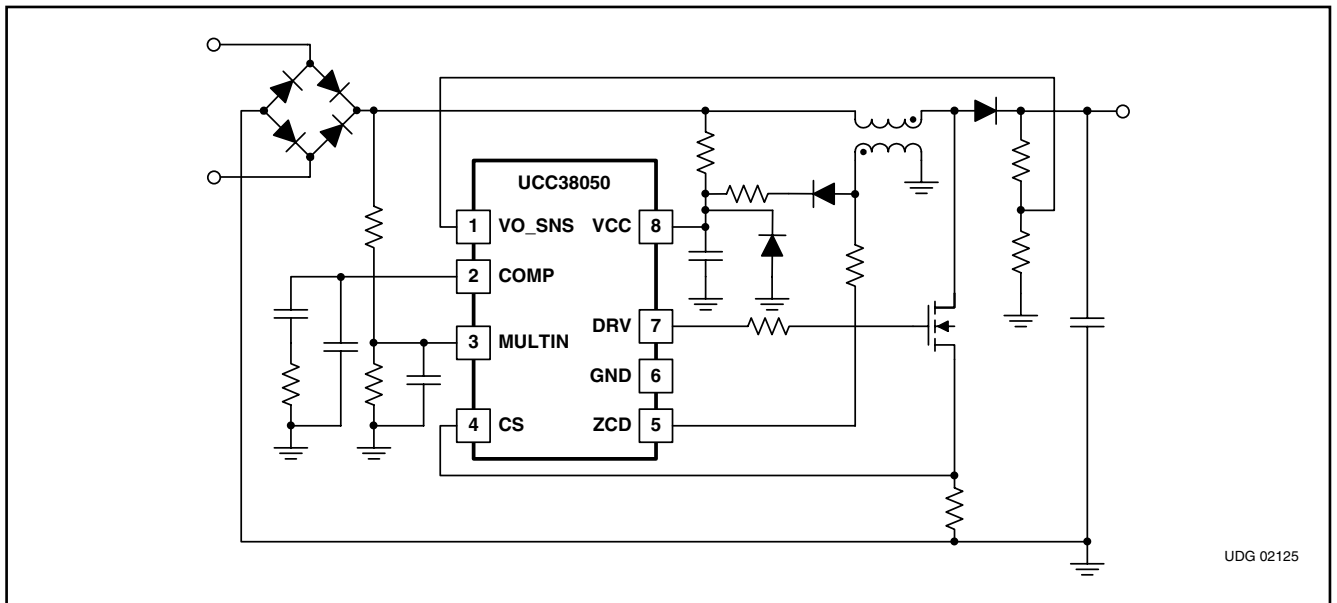
アプリケーション

- デスクトップ、モニタ、照明機器、OA機器、TV、セットトップ・ボックス (STB) 用スイッチモード電源
- ACアダプタ電源 標準電源
- 電子安定器

概要

UCC38050及びUCC38051は、IEC61000-3-2高調波対策の規格およびJIS C61000-3-2電磁両立性第3-2部に準拠することが必要とされる低電力から中電力程度の電源システム向けのPFCコントローラです。これらのデバイスは臨界モードで動作する昇圧プリレギュレータの制御用に設計されます。特長としては、電圧帰還信号の誤差制御用のトランスコンダクタンス電圧アンプ、入力電圧に比例した電流制御を生成するための広いダイナミックレンジを持つ掛け算器 (マルチプライヤ)、電流検出 (PWM) コンパレータ、PWMロジック、外部FETを駆動するためのト

SIMPLIFIED APPLICATION DIAGRAM



UDG 02125

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

テムポール型ドライバ、軽負荷状態時過電圧状態を防止するゼロ・パワー検出用回路があります。

臨界動作では、PWM回路はインダクタのゼロ電流検出器 (ZCDピン) により制御されるターンオン信号と、電流検出コンパレータにより管理されるターンオフ信号により発振動作を管理します。さらに、このコントローラは、ピーク電流制限、再起動タイマ、過電圧保護 (OVP)、イネーブルなどの機能を備えています。

UCC38050及びUCC38051は、同等機能を備えている他の業界コントローラとピン互換であると同時に、多くの機能強化とより厳しい仕様を実現しているために、電圧変動や負荷変動に対しても高い安定性を維持できシステムのトータルコストを低減できます。特に軽負荷時のシステム特性は、軽負荷状態時に他製品のように出力電圧が上昇して過電圧状態になることなしにコントローラ出力をシャットダウンさせるゼロ・パワー検出を内蔵して、軽負荷時のシステム特性が大幅に改善されます。また、このデバイスには電圧誤差増幅器の大信号の過渡特性を改善する画期的なスルーレート改善回路をもっているという特長があります。このデバイスの起動電流と動作電流はBICMOSプロセスを利用することで非常に低いため低消費電力化と起動抵抗損出が大幅に改善できます。高精度の内蔵基準電圧回路により正常状態及び過電圧状態でも精密な出力電圧レギュレーションがもたらされ、その結果システムの信頼性が向上します。イネーブル・コンパレータにより、フィードバック検出パスが断線している場合、または入力電圧が規定値よりも低い場合にコントローラは不安定動作を防止するための、低電圧保護回路により、安全な状態の保証がされます。

UCC38050とUCC38051には特性上の重要な違いが2つあります。UCC38050のUVLOターンオン・スレッシュホールドが15.8Vであるのに対し、UCC38051では12.5Vです。第二に、

UCC38050の g_m アンプのソース電流は標準で1.3mAであるのに対し、UCC38051では300 μ Aです。UCC38050は起動スレッシュホールド電圧が高いため、小さなVCC容量で高速で容易に起動ができるのに対し、UCC38051は起動スレッシュホールド電圧が低いため、後段のメイン・コンバータよりPFCデバイス電源を供給する構成にすることにも適しています。

また、UCC38050の g_m アンプは全1.3mA (標準) のソース電流を供給するため、出力が起動時または過渡状態時のどちらかの状態の場合でも、高速起動及び過渡応答の改善が達成できます。UCC38051ではこのソース電流が300 μ A (標準) と小さくなっており誤差電圧が徐々に増加するため、起動時のライン電流の増加が回避されますが、それでもなお過渡応答は良好です。UCC38051はACアダプタなどの複合的なアプリケーションに適しています。一方、UCC38050は、小型VCCコンデンサや過渡応答の改善などの利点を実現できる電子安定器などのアプリケーションに適しています。

動作温度範囲は工業用温度範囲の-40°C~105°C (UCC2805x)、または商用温度範囲の0°C~70°C (UCC3805x) です。パッケージ



静電気放電対策

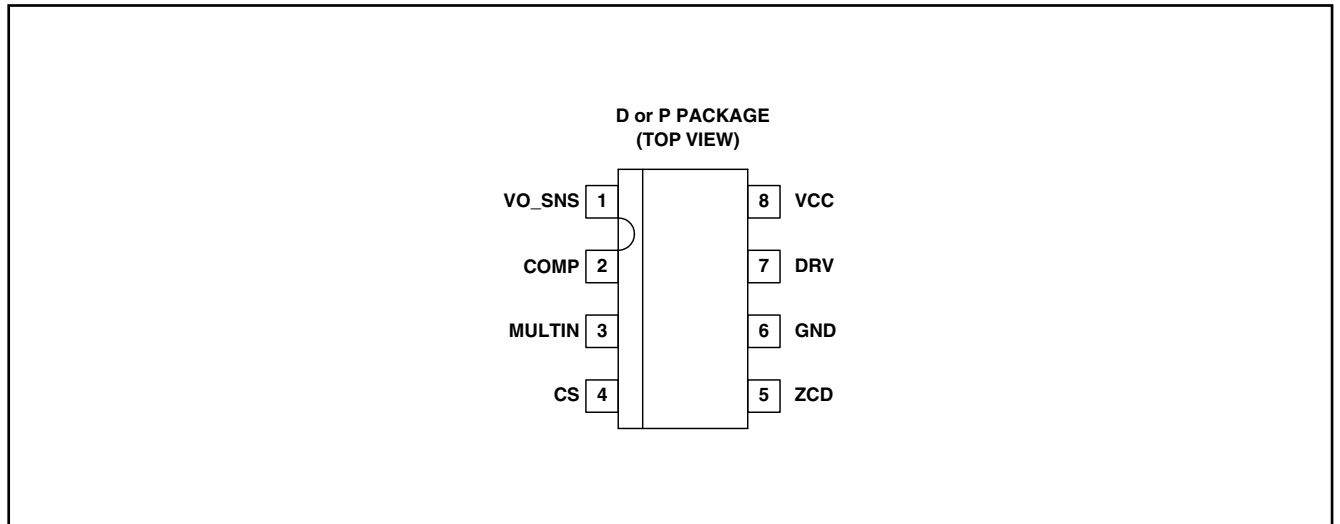
静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ORDERING INFORMATION

T _A = T _J	UVLO Threshold Voltage ON/OFF (V)	g _m Amplifier Source Current (μ A)	Packaged Devices ⁽¹⁾	
			SOIC-8 (D)	PDIP-8 (P)
40°C to 105°C	15.8 / 9.7	-1300	UCC28050D	UCC28050P
	12.5 / 9.7	-300	UCC28051D	UCC28051P
0°C to 70°C	15.8 / 9.7	-1300	UCC38050D	UCC38050P
	12.5 / 9.7	-300	UCC38051D	UCC38051P

(1) D (SOIC-8) パッケージはテープ/リールで供給されています。型番にRを付けてください (例、UCC28050DR)。リール当たりの数量は2500個です。

CONNECTION DIAGRAM



ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature range unless otherwise noted⁽¹⁾

		UCCx805x	UNIT
Supply voltage, V_{CC}	(Internally clamped)	20	V
Input current into V_{CC} clamp	I_{DD}	30	mA
Input current	ZCD	± 10	
Gate drive current (peak), I_{DRV}	DRV	± 750	
Input voltage range, V_{CC}	VO_SNS, MULTIN, CS	5	V
Maximum negative voltage	VO_SNS, MULTIN, DRV, CS	-0.5	
Power dissipation at $T_A = 25^\circ\text{C}$	D package	650	mW
	P package	1	W
Operating junction temperature range, T_J		-55 to 150	°C
Storage temperature, T_{stg}		-65 to 150	
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		300	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

ELECTRICAL CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C for the UCC3805x, -40°C to 105°C for the UCC2805x, $T_A = T_J$, $V_{CC} = 12\text{V}$.

supply

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC} operating voltage				18	V
Shunt voltage	$I_{VCC} = 25\text{ mA}$	18	19	20	V
Supply current, off	$V_{CC} = V_{CC}$ turn on threshold -300 mV		75	125	μA
Supply current, disabled	$VO_SNS = 0.5\text{ V}$		2	4	μA
Supply current, on	75 kHz, $C_L = 0\text{ nF}$		4	6	mA
Supply current, dynamic operating	75 kHz, $C_L = 1\text{ nF}$		5	7	mA

UVLO

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC} turn-on threshold	UCCx8050	15.4	15.8	16.4	V
	UCCx8051	12.0	12.5	13.0	
V_{CC} turn-off threshold		9.4	9.7	10.0	
UVLO hysteresis	UCCx8050	5.8	6.3	6.8	
	UCCx8051	2.3	2.8	3.3	

voltage amplifier (VO_SNS)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Input voltage (V_{REF})	UCC3805x	2.46	2.50	2.54	V
	UCC2805x	2.45	2.50	2.55	
Input bias current				0.5	μA
V_{COMP} high	$VO_SNS = 2.1\text{ V}$	4.5		5.5	V
V_{COMP} low	$VO_SNS = 2.55\text{ V}$		1.80	2.45	V
GM	$T_J = 25^\circ\text{C}$, $V_{COMP} = 3.5\text{ V}$	60	90	130	μS
Source current	UCCx8050	-0.2	-1.0		mA
	UCCx8051	-200	-300	-400	μA
Sink current	$VO_SNS = 2.7\text{ V}$, $V_{COMP} = 3.5\text{ V}$	0.2	1.0		mA

over voltage protection / enable

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Overvoltage reference	UCCx8050	$V_{REF} + 0.165$	$V_{REF} + 0.190$	$V_{REF} + 0.210$	V
	UCCx8051	$V_{REF} + 0.150$	$V_{REF} + 0.180$	$V_{REF} + 0.210$	
Hysteresis	UCCx8050	175	200	225	mV
	UCCx8051	150	180	210	
Enable threshold	UCCx8050	0.62	0.67	0.72	V
	UCCx8051	0.18	0.23	0.28	
Enable hysteresis		0.05	0.10	0.20	V

multiplier

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Multiplier gain constant (k)	$V_{MULTIN} = 0.5\text{ V}$, $COMP = 3.5\text{ V}$	0.43	0.65	0.87	1/V
Dynamic input range, V_{MULTIN} INPUT		0 to 2.5	0 to 3.5		V
Dynamic input range, COMP INPUT		2.5 to 3.8	2.5 to 4.0		V
Input bias current, MULTIN			0.1	1.0	μA

ELECTRICAL CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C for the UCC3805x, -40°C to 105°C for the UCC2805x, $T_A = T_J$, $V_{CC} = 12\text{ V}$.

zero power

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Zero power comparator threshold ⁽¹⁾	Measured on V_{COMP}	2.1	2.3	2.5	V

zero current detect

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Input threshold (rising edge) ⁽¹⁾		1.5	1.7	2.0	V
Hysteresis ⁽¹⁾		250	350	450	mV
Input high clamp	$I = 3\text{ mA}$		5	6	V
Input low clamp	$I = -3\text{ mA}$	0.30	0.65	0.90	V
Restart time delay		200	400		μs

current sense comparator

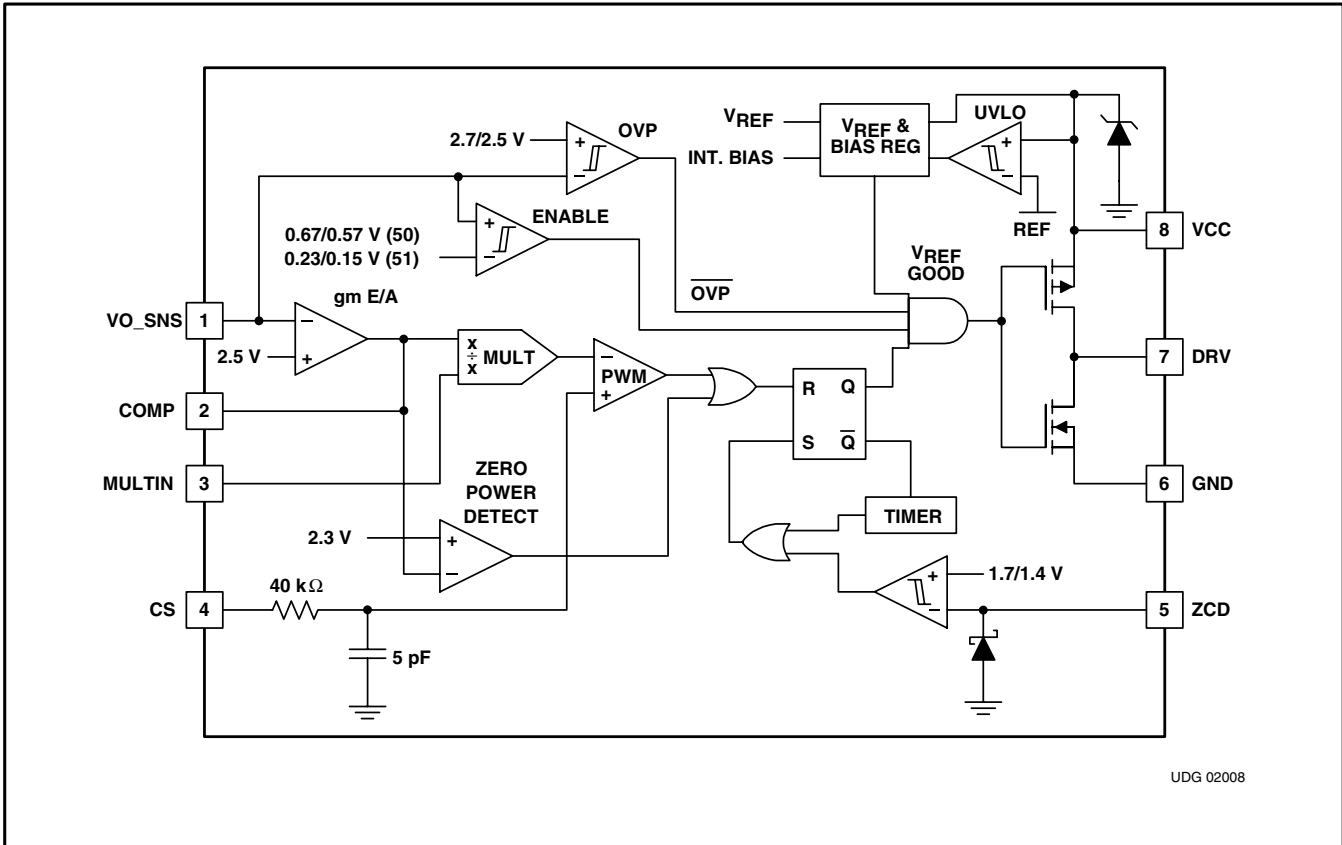
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Input bias current	$CS = 0\text{ V}$		0.1	1.0	μA
Input offset voltage ⁽¹⁾		10		10	mV
Delay to output	CS to DRV		300	450	ns
Maximum current sense threshold voltage		1.55	1.70	1.80	V

PFC gate driver

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
GT1 pull up resistance	$I_{OUT} = -125\text{ mA}$		5	12	Ω
GT1 pull down resistance	$I_{OUT} = 125\text{ mA}$		2	10	Ω
GT1 output rise time	$C_{LOAD} = 1\text{ nF}$, $R_{LOAD} = 10\ \Omega$		25	75	ns
GT1 output fall time	$C_{LOAD} = 1\text{ nF}$, $R_{LOAD} = 10\ \Omega$		10	50	ns

(1) 設計で保証されており、テストは行われていません。

BLOCK DIAGRAM



ピンの説明

VO_SNS (1ピン)：このピンは昇圧された出力電圧を抵抗分圧を介して検出します。内部で、このピンはトランスコンダクタンス・アンプ(標準値は2.5V)への反転入力であり、また、OVPコンパレータへの入力でもあります。さらに、このピンをENABLEスレッシュホールドより低くすると出力のスイッチングがオフになり、昇圧動作をしている間もゲート駆動は確実にオフに保たれ、また、帰還回路のパスがオープンの場合でも確実に暴走が回避され安全が確保されます。

COMP (2ピン)：トランスコンダクタンス誤差増幅器の出力です。このピンとグラウンドの間に位相補償の部品が接続されます。通常のアンプと同様にコンデンサをGND間に接続することで位相を制御し抵抗をGND間に接続することで利得を制御できます。このピンの出力電流能力は正常状態時10μAですが、差動入力信号レベルによって約1mAまで増加します。この電圧は2.5Vから3.8Vのダイナミック入力電圧範囲をもつマルチプライヤへの入力のうちの1つです。ゼロ・パワーまたは過電圧状態時、このピンは2.5V(標準)より低くなります。2.3Vより低くなると、ゼロ・パワー・コンパレータ回路が動作し、ゲートのスイッチング動作を停止します。

MULTIN (3ピン)：このピンは掛け算器(マルチプライヤ)入力ピンです。入力ライン電圧の瞬時入力電圧を分圧器を介して検出します。この電圧は内部の掛け算器への入力のうちの1つとなります。推奨動作範囲は高入力ライン電圧時には0Vから2.5Vです。

CS (4ピン)：このピンはインダクタンス電流を検出し、PWMコンパレータのリセット信号として使用します。内部には、ノイズ対策のためのCR回路が内蔵されており、その機能により出力スイッチング・ノイズ等を除去します。仕様条件によっては別に、スパイクノイズを抑制するため外付けのR-Cフィルタが必要となることもあります。このピンの電圧が1.7Vを越えると掛け算器出力とPWM回路で比較され、オフ信号を生成してスイッチング・サイクルが終了します。CSのスレッシュホールド

$$V_{CS} \cong 0.67 (COMP - 2.5 V) (MULTIN + V_{OFFSET})$$

ドは以下の式におおよそ等しい値になります。
V_{OFFSET}はゼロ・クロス歪を改善するため約75mVです。

ZCD (5ピン) : このピンはゼロ電流信号の検出ピンです。インダクタのゼロ電流信号は補助巻き線や電流トランスなどを利用して間接的にそのタイミングを検出します。インダクタ電流がゼロに達し、その信号が検出された時ZCDピンの入力は“L”レベルになります。外部からのストレスに対する保護のためにこのピンがグランドより低くなるか、または高くなりすぎるのを防止するために内部にクランプ回路が備えられています。デバイスの動作中にゼロ電流信号が400 μ s以内に1度も検出されないと、リセット・タイマ回路が働きラッチとゲート駆動をセットし再起動を試みます。

GND (6ピン) : チップのグランドです。全素子はできるだけ最短のループでグランド・ピンに接続してください。

DRV (7ピン) : ゲート駆動出力です。この出力はターンオン及びターンオフ時最大750mAまでピーク電流を供給することができます。使用される V_{CC} 電圧にもよりますがピーク電流を制限するためにゲート駆動抵抗を外付けすることが必要な場合があります。UVLO回路が動作すると出力は“L”レベルに保たれます。

VCC (8ピン) : 電源電圧ピンです。このピンはコンデンサ(0.1 μ Fより大きな値)でバイパスし、GNDに接続してください。UCC38050は約6.3Vの広いUVLOヒステリシス電圧幅をもっています。UCC38051では、UVLOヒステリシス電圧の幅は約2.8Vと狭く起動電圧は約12.5Vです。

ブロックの説明

UVLO及び基準電圧ブロック

この回路部はUVLOスレッシュホールドを精密に制御するために使用される精密な基準電圧を生成します。gMアンプの非反転端子用に2.5Vの基準電圧を印加するのに加え、このブロックはOVP、イネーブル、ゼロ・パワー、掛け算器などのブロック用にも基準電圧を生成します。また、全内部回路を駆動するため7.5VのIC内部の電源も生成します。

誤差増幅器

UCC3805xの電圧誤差増幅器は約90 μ sのトランスコンダクタンス値をもつトランスコンダクタンス・アンプです(入力が電圧制御で出力が電流制御)。トランスコンダクタンス・アンプを使用する場合の利点とは帰還ループがないためアンプの反転入力が単に出力電圧からの外付け抵抗分割で決まり、帰還制御では決まらなかつ高速応答特性で高い直線性を持っていることです。このことにより、VO_SNSピンを過電圧状態を検出するのに使用することができます。

誤差増幅器のシンク及びソース電流能力はアンプの通常動作時で約10 μ Aです。しかし、VO_SNSピンの電圧が正常動作条件($VO_SNS > 1.05 \times V_{REF}$, $VO_SNS < 0.88 \times V_{REF}$)の域を越えた場合は、アンプのスルーレートを改善する追加回路がアクティブになります。補償コンデンサのスルーレート改善により起動や過渡応答が速くなります。このことにより、補償コンデンサが通常のスルーレートの電流動作される場合に起こる可能性のある出力電圧が高すぎるか、または低すぎるというドリフトが防止されます。VO_SNSが正常範囲を越えて上昇した時、シンク電流能力は改善され1mAを上回ります。VO_SNSが正常範囲より低下した時は、UCC38050は1mAを越えるソース電流が可能で、UCC38051ではソース電流は約350 μ Aです。UCC38051ではソース電流が制限されているため、COMPピンの誤差電圧が徐々に増加するのに貢献し、ライン電流のステップ増加が回避されず。実際の V_{COMP} の増加速度はCOMPピンに接続される補償回路により決まります。

ゼロ電流検出及びリスタート・タイマ・ブロック

昇圧インダクタ電流がゼロになった時、パワーMOSFETのドレイン端の電圧は低下します。この電圧はZCDピンに接続されている二次側巻線により間接的に検出されます。ZCD電流を10mAより低い範囲に収めるよう二次側巻線に直列に接続される抵抗の値を選択してください。ZCDコンパレータの立上りエッジのスレッシュホールドは2.0Vです。補助巻線はZVDピンの正電圧(パワーMOSFETがオフの時)が2.0Vを越えるように選択してください。また、このピンには異常なZCD信号の電圧が入力されたときにデバイスのストレスを軽減するために内部にクランプ回路が内蔵されています。このクランプ回路のシンク/ソース電流能力は10mAです。

リスタート・タイマはゲート駆動が標準で約400 μ sを越えて連続でオフ状態のままである場合には、ゲート駆動を強制的に“H”レベルにセットしようとします。タイマの最小保証期間は200 μ sです。これは5kHzのスウィッチング周波数に相当します。すなわち、昇圧インダクタ値は5kHzより高いスウィッチング周波数用で正常な動作ができるように選択してください。

イネーブル・ブロック

ゲート駆動信号はVO_SNSピンの電圧がENABLEスレッシュホールドより低いと“L”レベルに保たれます。この機能はVO_SNSピンを“L”レベルにすることでコンバータを停止することに使用することができます。出力の帰還回路のパスが断線している場合、VO_SNSピンはグランドに落ち、出力はパワー段の保護のため停止状態になります。尚、再起動のリスタート回路は独立して動作をしているため、完全に出力を停止状態に維持することはできません。電源電圧が正常に印加されている場合には、出力スウィッチング動作が約400 μ Sec以上停止した場合には強制的にリスタート回路が間欠的な動作をします。

ゼロ・パワー・ブロック

g_M アンプの出力が2.3Vより低くなると、ゼロ・パワー・コンパレータがゲート駆動信号を“L”レベルにラッチします。過電圧状態時にアクティブとなる g_M アンプのスルーレート改善回路がCOMPピンを約2.4Vにします。このことにより過渡動作時ゼロ・パワー・コンパレータはアクティブにならず、システムは確実に安定性を保つことができます(スルーレート改善回路が改善されている場合)。

マルチプライヤ(掛け算器)・ブロック

マルチプライヤ・ブロックには2つの入力があります。1つは誤差増幅器の出力電圧(V_{COMP})で、もう1つはACオフラインからの抵抗分割により得られる V_{MULTIN} です。マルチプライヤの出力はおおよそ $0.67 \times V_{MULTIN} \times (V_{COMP} - 2.5V)$ です。ゼロ・クロス歪を改善し、ひいてはコントローラのTHD特性を改善するため、 V_{MULTIN} 信号には約75mVの正のオフセット電圧があります。入力のダイナミック・レンジは電気的特性表に記載されています。この特性が力率改善のシステムの性能に最も大きな影響を及ぼします。幅広いダイナミックレンジの特性を持つUCC2805xは入力変動や負荷変動に対してもより安定したセッティングを構築することができます。

過電圧保護(OVP)ブロック

誤差増幅器にスルーレート改善回路が内蔵されているためほとんどの動作状態ではデバイスのOVP機能は動作しません。出力電圧が設定値を約5%から7%越えた値に達すると、スルーレート改善回路が働き、誤差増幅器の出力電圧はマルチプライヤ回路の入力ダイナミック・レンジより低くなるため出力電圧がさらに上昇することが回避されます。

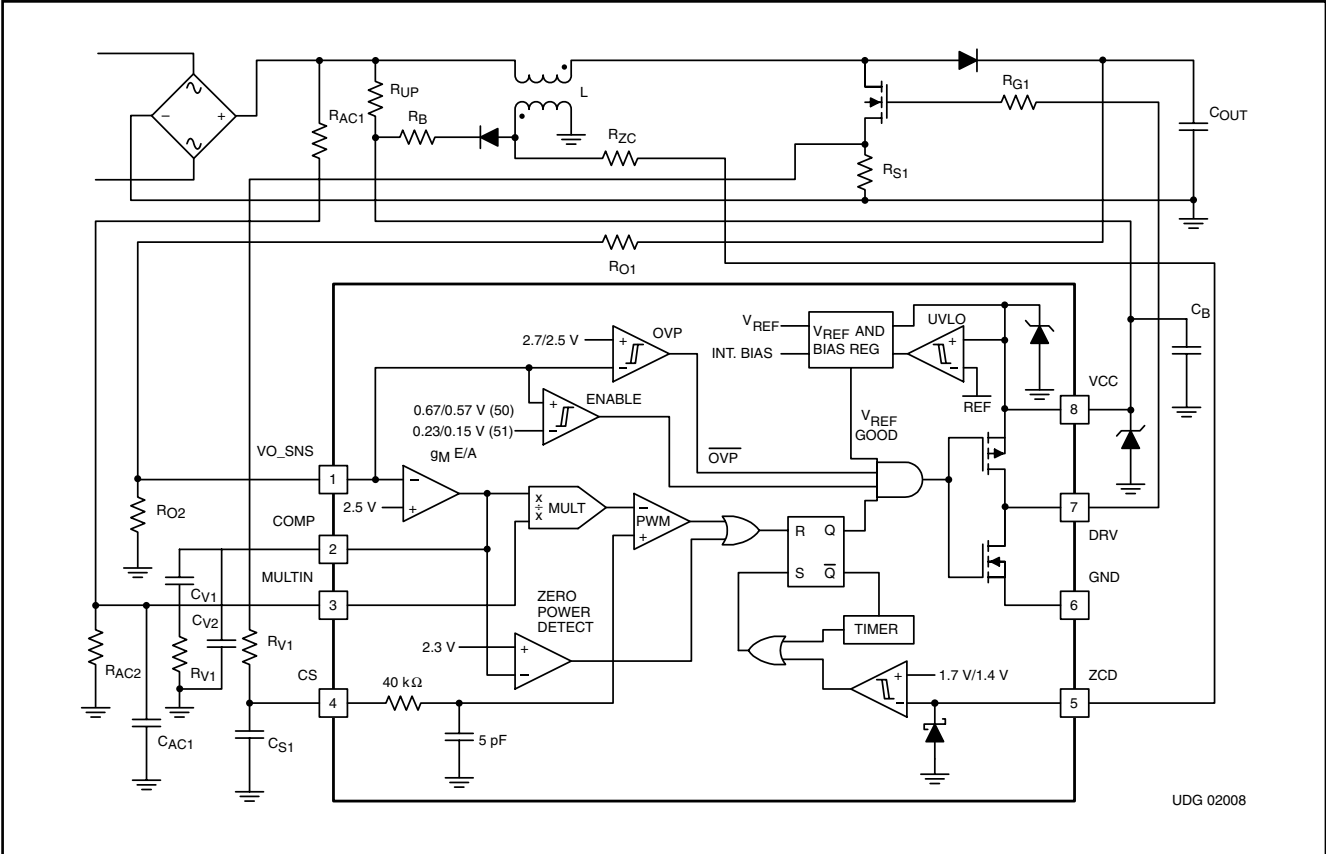
COMPピンが十分な速度で“L”レベルにならず、また、出力電圧がさらに上昇した場合、OVP回路は二次的保護の役目をします。VO_SNSピンの電圧が設定値の7.5%より高くなった時($>(V_{REF} + 0.190)$)、OVP機能が動作します。VO_SNSピンの電圧が標準値(V_{REF})より高い限りスイッチングを停止させます。このことにより、出力直流電圧が設定された値の7.5%より高くなることが回避され、スイッチや昇圧コンデンサのシステム部品が保護されます。

臨界モード・コントロール

力率改善制御にもっとも一般的に利用される制御方式である昇圧コンバータ制御方式は、連続導通モード(CCM)と不連続導通モード(DCM)の2つの制御が存在します。トランジション・モード・コントロールは、臨界導通モード(CRM)または境界導通モードとも呼ばれており、スイッチング周波数を変調することでコンバータを連続電流CCMと不連続電流DCMの間の境界に保ちます。

臨界モードコンバータは一般的にゼロ電流に等しい低い境界のヒステリック・コントロールの変調を使います。これは整流器の逆回復損失を除去しながら本質的に安定した入力電流コントロールをもつ可変周波数コントロール手法です。図1に示されているように、スイッチ電流は基準信号(マルチプライヤの出力)と直接比較されます。このコントロール方法には実現が容易であるという利点があり、さらに非常に優れた力率改善および、優れた電力の変換効率をもたらされます。

TYPICAL APPLICATION DIAGRAM



APPLICATION INFORMATION

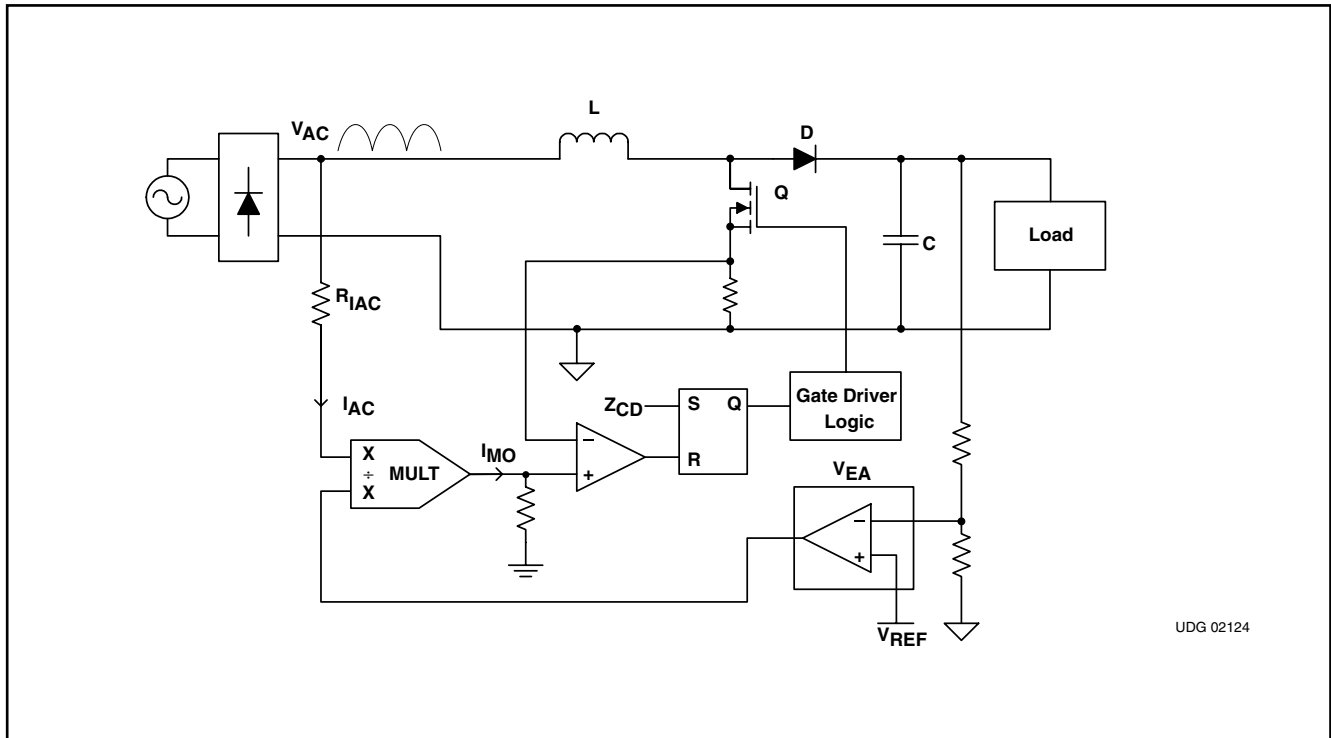


図 1. Basic Block Diagram of CRM Boost PFC

臨界モードのパワー段の式及び伝達関数は連続電流モードと同じですが、コントロール機能の実行形態は異なります。臨界モードではインダクタ電流を連続電流モードと不連続モードのちょうど境界で動作させます。また、電流の特徴も異なり、これは部品の電力損失とフィルタ要件に影響を与えます。臨界モードの昇圧コンバータのピーク電流は連続モードコンバー

タの振幅の2倍であるため導通損失が大きくなります。ピーク間リップルは平均電流の2倍でありMOSFETのスイッチング損失と交流磁気損失に影響を与えますが、整流器の逆回復損失な極端に少なく、コイル電流が非連続な電流導通のため、連続電流モードの力率改善制御よりも、臨界モード制御の方がはるかに電力の変換効率は優れた特性を持っています。

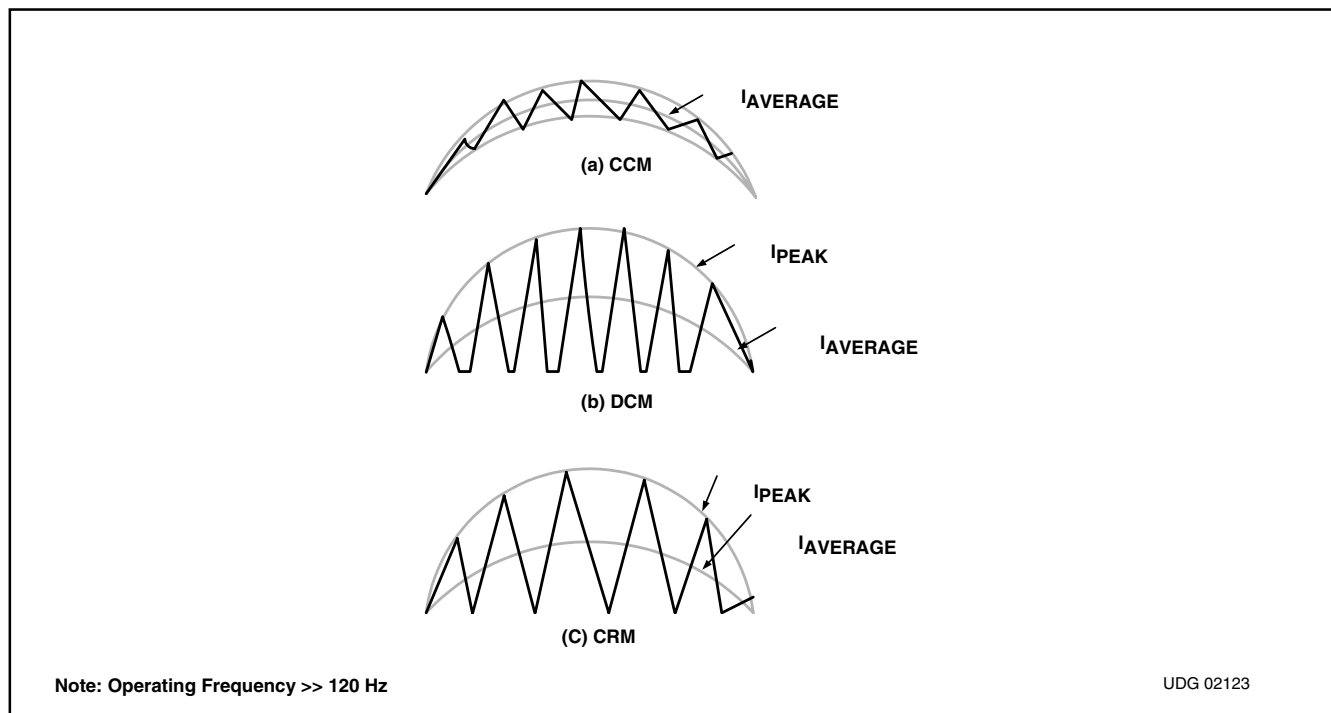


図 2. PFC Inductor Current Profiles

はじめに

このアプリケーション・ノートではUCC38050臨界モードPFCコントローラを用いた力率改善100Wオフライン・プリレギュレータの設計手順について概説します。

- このアプリケーション・ノートはワースト・ケース値ではなく標準パラメータを使用しています。
- 設計仕様と部品配置については表1と図1を参照してください。
- すべての変数の定義は表2の変数定義表を参照してください。
- WebにてMathCAD計算ツールを提供しています参照ください。

PARAMETER	TEST CONDITION	MIN	TYP	MAX	UNIT
V _{IN}		85		265	V _{RMS}
Input frequency			60		Hz
V _{OUT dc}	V _{IN} = 85 V _{RMS}	370	400	425	V
V _{OUT dc}	V _{IN} = 265 V _{RMS}	370	390	410	V
P _{OUT}		0		100	W
Output voltage ripple	V _{IN} = 85 V _{RMS} , P _O = 100 W			3%	
Efficiency	V _{IN} = 265 V _{RMS} , P _O = 100 W	90%			
Total harmonic distortion (THD)	V _{IN} = 265 V _{RMS} , P _O = 100 W		5%		
Total harmonic distortion (THD)			15%		
Hold-up time		16.7			ms

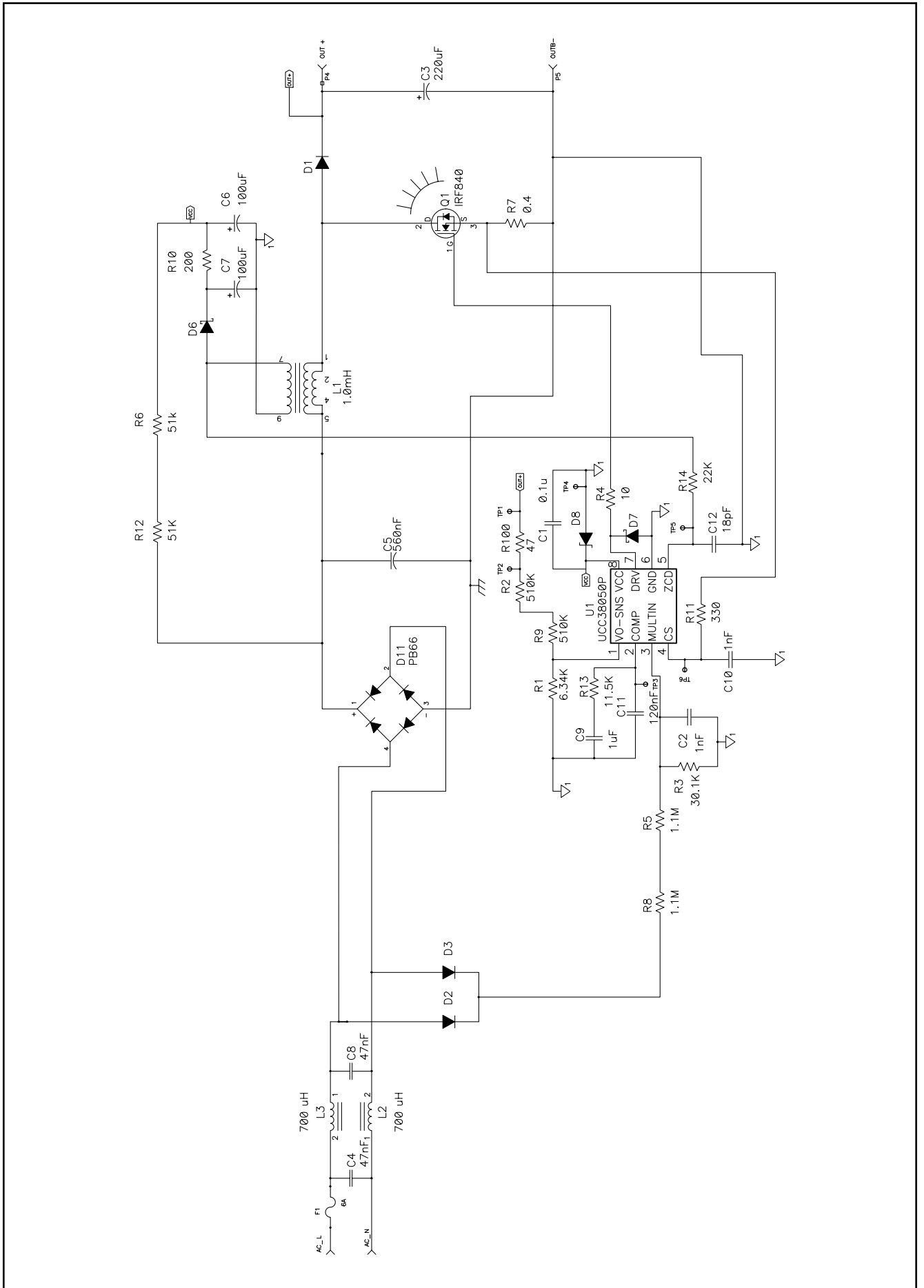
表 1. 設計仕様

以下の表はこのアプリケーション・ノートで使用される全ての変数のリストと定義を示しています。

変数	定義
I _{RMS_C3}	昇圧コンデンサのRMS電流
C _{DIODE}	昇圧ダイオード容量
COMP	マルチプライヤのCOMPピンのダイナミック・レンジ
C _{OSS}	FETのドレイン/ソース間容量
f _{LINE}	入力ライン周波数
f _S	最小スイッチング周波数
G _{C(s)}	コントロール伝達関数
G _{CO(s)}	コントロールから出力の伝達関数
g _M	トランスコンダクタンス・アンプのゲイン
G _{VEA}	電圧アンプのゲイン
H _S	分圧器のゲイン
I _{PEAK}	ピーク・インダクタ電流、ピーク・ダイオード電流、ピーク・スイッチ電流
I _{RMS_DIODE}	昇圧ダイオード電流
I _{RMS_FET}	FETのRMS電流
I _{RMS_L}	RMSインダクタ電流
P _{SEMI}	半導体デバイスで消費される電力
P _{CON_FET}	FETの導通損失
P _{COND_DIODE}	ダイオードの導通損失
P _{COSS}	FETのドレイン/ソース間容量により消費される電力
P _{DIODE}	昇圧ダイオードの総損失
P _{DIODE_CAP}	昇圧ダイオード容量による損失
P _{FET_TR}	FETの過渡損失
P _{GATE}	FETのゲートで消費される電力
P _{OUT}	最大出力電力
P _{Q1}	FETの総損失

変数	定義
QGATE	FETのゲート電荷
RDS(on)	FETのオン抵抗
R θ cs	ケース/シンク間熱インピーダンス
R θ jc	接合部/ケース間熱インピーダンス
R θ sa	シンク/周囲間熱インピーダンス
T _{AMB}	周囲温度
t _F	FETの立下り時間
t _{HOLDUP}	昇圧コンデンサのホールドアップ時間
T _{J(max)}	半導体の最大温度
t _{ON}	昇圧インダクタのエネルギー・オン時間
t _R	FETの立上り時間
T _{S(f)}	電圧ループのゲイン
V _{CSENSE}	最大電流検出電圧
V _{DROP}	昇圧コンデンサがホールドアップしなければならない電圧量
V _{EA(max)}	電圧アンプの最大出力
V _{EA(min)}	電圧アンプの最小出力
V _{GATE}	ゲート駆動電圧
V _{IN(max)}	最大RMS入力電圧
V _{IN(min)}	最小RMS入力電圧
V _{OUT}	昇圧された出力電圧
V _{PP}	出力ピーク間リップル電圧
VR ₃	低ライン入力電圧時のマルチプライヤ平均入力電圧
V _{REF}	UCC38050内部基準電圧
η	効率
%THD	許容電流総高調波歪の百分率

表 2. 変数定義



3. UCC38050 Schematic

パワー段の設計

インダクタの選択

昇圧インダクタは最小ライン電圧及び最小スイッチング周波数のピークにおける最大リップル電流に基づいて選択されます。最小スイッチング周波数(f_s)は可聴範囲より大きな周波数に設定することが必要です。当設計では f_s は25kHzが選択されています。以下の式は臨界導通の設計のパワー段に必要とされるインダクタを計算するのに使用できます。当設計でのインダクタンスの計算結果はおおよそ1mHでした。設計プロセスをより容易にするためインダクタはCooper Electronicsの型番CTX16-15954で設計しています。

$$L1 = \frac{(V_{OUT} - \sqrt{2}V_{IN(min)}) \times \eta \times V_{IN(min)}^2}{2 \times f_s \times V_{OUT} \times P_{OUT}} \quad (1)$$

当設計では補助巻線はUCC38050 PFCコントローラに電源を供給するため昇圧インダクタから取っています。巻線比(N)は以下の式を用いて計算されます。

$$N = \frac{V_{OUT} - V_{IN(max)} \times \sqrt{2}}{2V} \quad (2)$$

昇圧スイッチの選択 (D1) と 昇圧ダイオードの選択 (Q1)

D1とQ1を適切に選択するには、一般的には目的とする効率目標を維持するようこれらのデバイスに対して電力量を設定します。以下の式はスイッチング・デバイスの電力損失を見積もるのに使用できます。

当設計の電力量に適合させるため、当設計では電力制約にかなうようInternational RectifierのIRF840 HEX FET及びHFA08TB60STRR高速回復ダイオードを選択しています。

Q1の損失の計算に使用される式は以下のとおりです。

$$I_{RMS_FET} = \frac{P_{OUT} \times 2 \times \sqrt{2}}{\eta \times V_{IN(min)}} \times \sqrt{\frac{1}{6} - \frac{4 \times \sqrt{2} \times V_{IN(min)}}{9 \times \pi \times V_{OUT}}} \quad (3)$$

$$I_{RMS_L} = \frac{P_{OUT}}{\eta \times V_{OUT(min)} \times \sqrt{6}} \quad (4)$$

$$P_{GATE} = Q_{GATE} \times V_{GATE} \times f_s \quad (5)$$

$$P_{COSS} = \frac{1}{2} C_{OSS} V_{OUT(min)}^2 \times f_s \quad (6)$$

$$P_{COND_FET} = R_{DS(on)} \times I_{RMS_FET}^2 \quad (7)$$

$$I_{PEAK} = \frac{P_{OUT} \times 2 \times \sqrt{2} \times 1.3}{\eta \times V_{IN(min)}} \quad (8)$$

D1の損失の見積もりに使用される式は以下のとおりです。

$$P_{DIODE} = P_{COND_DIODE} + P_{DIODE_CAP} \quad (9)$$

$$I_{RMS_DIODE} = \frac{P_{OUT} \times 2 \times \sqrt{2}}{\eta \times V_{IN(min)}} \times \sqrt{\frac{4 \times \sqrt{2} \times V_{IN(min)}}{9 \times \pi \times V_{OUT}}} \quad (10)$$

$$P_{COND_DIODE} = Vf \times I_{AVG} \quad (11)$$

$$P_{DIODE_CAP} = \frac{C_{DIODE}}{2} \times V_{OUT(min)}^2 \times f_s \quad (12)$$

注：ダイオードのRMS電流はダイオードの導通損失を概算するための平均電流の見積もりに使用されます。

ヒート・シンク

以下の式はQ1とD1について当設計で必要とされるヒート・シンクの最小所要熱インピーダンス($R\theta_{sa}$)を計算するのに使用できます。ヒート・シンクは60°Cの最大周囲温度で対流冷却された場合確実に接合部温度がそれらの最大定格の75%を越えないよう設計されています。Q1に必要とされるヒート・シンクはAvvidヒート・シンク型番593002 B 0 00 00です。この制御手法で使用されているゼロ電流スイッチング手法(ZCS)によりD1にはヒート・シンクは不要です。

$$R\theta_{sa} = \frac{T_{J(max)} - T_{AMB} - \frac{P_{SEMI} \times (R\theta_{CS} + R\theta_{JC})}{P_{SEMI}}}{P_{SEMI}} \quad (13)$$

出力ホールドアップ・コンデンサの選択

以下の式は最小ホールドアップ・コンデンサの大きさ (C3) と昇圧コンデンサを流れる最大許容RMS電流 (I_{RMS-C3}) を見積もるのに使用されます。ホールドアップ・コンデンサは出力85Vの降下 (V_{DROP}) が可能なホールドアップ時間 (t_{holdup}) である16.7msに対して設計されています。

$$C3 \geq 2 \times P_{OUT} \times \frac{t_{HOLDUP}}{V_{OUT(min)}^2 - [V_{OUT(min)} - V_{DROP}]^2} \quad (14)$$

$$I_{RMS-C3} = \frac{P_{OUT}}{V_{OUT(min)}} \times \sqrt{\frac{16 \times V_{OUT(min)}}{3 \times \pi \times V_{IN(min)} \times \sqrt{2}} - 1} \quad (15)$$

入力ホールドアップ・コンデンサの選択

当PFCプリレギュレータの制御手法ではリップル電流が大きいため、ホールドアップ容量が必要ですが、過度の量の容量を付加すると、電流に好ましくない位相シフトが生じます。昇圧インダクタL1が時間 t_{ON} の間エネルギーを与えている時低ラインの最大負荷時に入力電流の半分を供給するようコンデンサを選択します。

$$t_{ON} = \frac{2 \times L1 \times P_{OUT}}{\eta \times V_{IN(min)}^2} \quad (16)$$

$$C5 \geq \frac{\frac{P_{OUT} \times t_{ON}}{\eta \times 2}}{(V_{OUT(min)} \times \sqrt{2})^2 - [V_{OUT(min)} \times \sqrt{2} - V_{DROP}]^2} \quad (17)$$

電流検出抵抗の選択

以下の式は電流検出抵抗R7の大きさを決めるのに使用できます。電流検出抵抗は最大出力電力の130%でピーク電流制限コンパレータをトリップさせるよう選択してください。 V_{CSENSE} はピーク電流制限コンパレータのスレッシュホールドで1.7Vです。

$$R7 = \frac{V_{CSENSE}}{\frac{P_{OUT} \times 2 \times \sqrt{2}}{\eta \times V_{IN(min)}} \times 1.3} \quad (18)$$

マルチプライヤの構成

マルチプライヤは入力電流波形を成形するのに使用され、適切なPFCを得るため正しく構成しなければなりません。マルチプライヤは3:1の最大入力電圧範囲用に設計されています。マルチプライヤの入力は整流ライン電圧から検出されます。抵抗R8、R5、R3及びC2が分圧器とローパス・フィルタを形成します。R8とR5を最初に選択し、3:1の入力範囲に対してR3の大きさを適切に決めるのに以下の式を使います。高周波ノイズをフィルタで除去するため1nFのコンデンサ (C2) をR3に並列に配置しています。

$$V_{R3} = \frac{V_{C_SENSE} \times (0.9)}{K \times (V_{EA(max)} - 2.5 V)} - 0.075 V \quad (19)$$

$$R3 = \frac{(R8 + R5)V_{R3}}{V_{IN(min)} - V_{R3}} \quad (20)$$

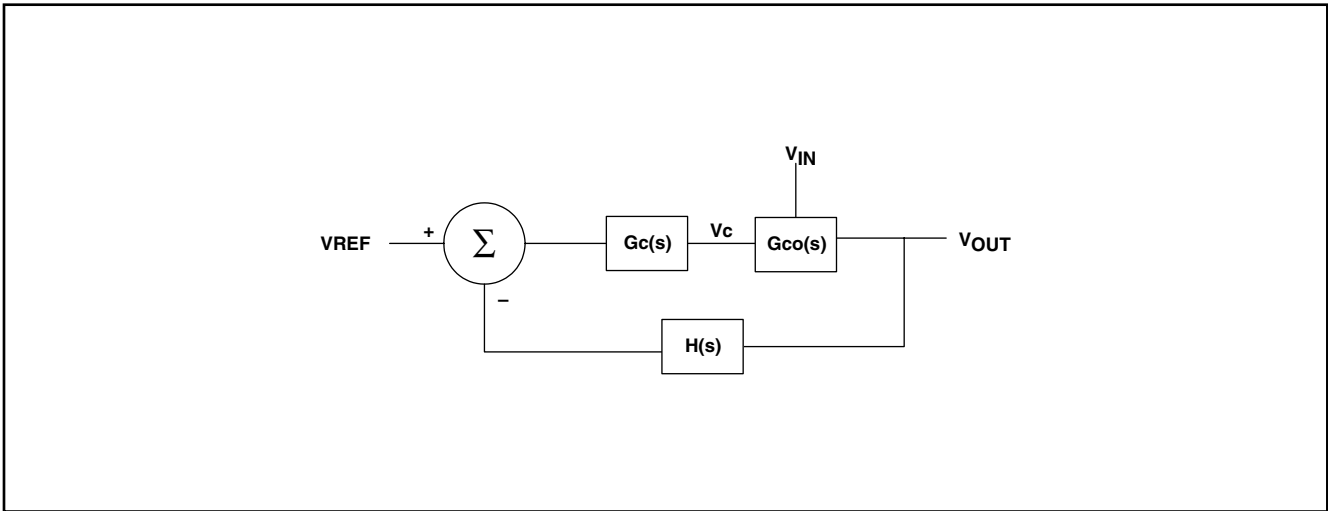


図 4. Small Signal Control

電圧ループの補償

図4に当アプリケーションの小信号コントロールのブロック図を示します。以下の式には、電圧ループの周波数応答 T_S に加えて各小信号のゲイン・ブロックも記載されています。

$$H_S = \frac{R1}{R1 + R2 + R9} \quad (21)$$

$$G_{C(s)} = gm \times \frac{(s(f) \times R13 \times C9 + 1)}{s(f) \times (C9 + C11) \times \left(\frac{s(f) \times C9 \times C11}{C9 + C11} + 1 \right)} \quad (22)$$

$$G_{CO(s)} = \frac{\Delta V_{OUT}}{\Delta V_C} = \frac{k \times V_{IN}^2}{s \times C3 \times V_{OUT} \times R7 \times 2} \times \frac{R3}{R5 + R8 + R3} \quad (23)$$

$$T_{S(f)} = - H(s) \times G_{C(s)} \times G_{CO(s)} \quad (24)$$

三次高調波歪を低減するため、通常、電圧ループはおおよそ10Hzから12Hzでクロスオーバーします。当設計では最大入力電圧時 ($V_{IN(max)}$) おおよそ10Hzの電圧ループのクロスオーバー (f_C) を使用します。以下の式は45°の位相余裕をもつ目的とする f_C でクロスオーバーするよう電圧ループの $T_{S(f)}$ を補償する部品を選択するのに使用します。

$$R13 = 4 \times V_{OUT}^2 \times \pi \times f_C \times C3 \times R7 \times \frac{(R3 + R8 + R5)}{(V_{REF} \times V_{IN(max)}^2 \times R3 \times gm)} \quad (25)$$

$$C9 = \frac{1}{2 \times \pi \times R13 \times F_C} \quad (26)$$

C11は120Hzの出力電圧リップル (V_{PP}) がマルチプライヤのCOMPピンのダイナミックレンジの1.5% (%THD) まで減衰させるよう選択されています。

$$V_{PP} = \frac{\frac{P_{OUT}}{\eta}}{2 \times \pi \times 120 \text{ Hz} \times C12 \times V_{IN(min)}} \quad (27)$$

$$G_{VEA} = \frac{\%THD \times COMP}{V_{PP} \times 100} \quad (28)$$

$$C11 = H(s) \times gm \times \frac{1}{2 \times \pi \times (2 \times f_{LINE}) \times G_{VEA}} \quad (29)$$

コントロールから出力の伝達関数 $G_{CO(f)}$ を求める場合、伝達関数はライン電圧(V_{IN})で変化しその結果 T_S に変化が生じることがわかります。部品選択後、電圧のフィードバック・ループ(T_S)が入力電圧の変化に安定であるということを二重にチェックすることが得策です。設計の完了後、周波数応答をネットワーク・アナライザで測定し、その結果を図5に示します。この結果から、

高ラインで位相余裕はおおよそ 45° でクロスオーバー周波数は8Hzであることがわかります。この結果は設計目標に近いものです。低ラインでは位相余裕はおおよそ 36° でクロスオーバー周波数はおおよそ8Hzです。当設計ではライン電圧の変化による位相余裕が 35° を越えるため条件にかなっています。

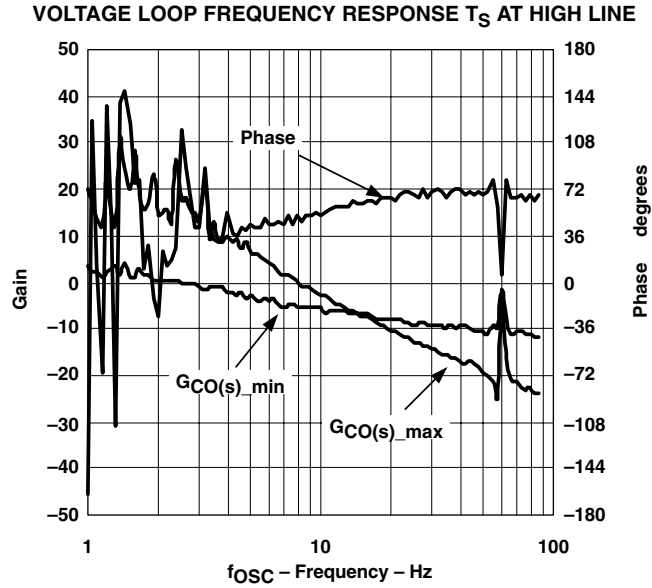


図 5

入力フィルタの設計

臨界導通のPFCプリレギュレータの入力を図6の波形Aで示します。10%より低い電流THDの設計目標を満たすには、入力電流波形は図6に示されるきれいな正弦波に類似した波形Bに似ていなければなりません。電流THDの設計目標を達成するためには、入力フィルタを設計する必要があります。必要とされる差動入力フィルタは電気部品C4、C8、L3、L2より構成されています。

以下の式は入力フィルタを適切に設計するのに使用できます。フィルタ・インダクタ (L2とL3) は入力ホールドアップ・コンデンサC5の電圧変化にかかわらず確実に連続入力電流が滑らかになるよう設計されています。差動モードの入力フィルタは双方向

性があり、二重極周波数 (f_p) は高周波ノイズを減衰させるよう設定することができます。

$$L2 = L3 = \frac{(V_{IN(min)} \times \sqrt{2} \times V_{DROP}) \times t_{ON}}{\frac{P_{OUT} \times \sqrt{2}}{\eta \times V_{IN(min)}}} \quad (30)$$

$$C4 = C8 = \frac{1}{(2 \times \pi \times f_p)^2 L1} \quad (31)$$

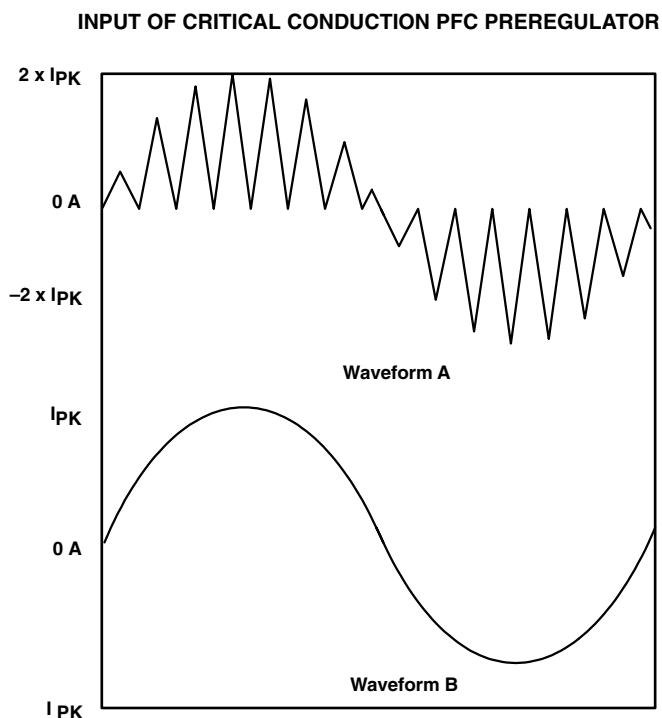


図 6

設計特性

以下のグラフはこのアプリケーション・ノートの測定結果の特性を示しています。

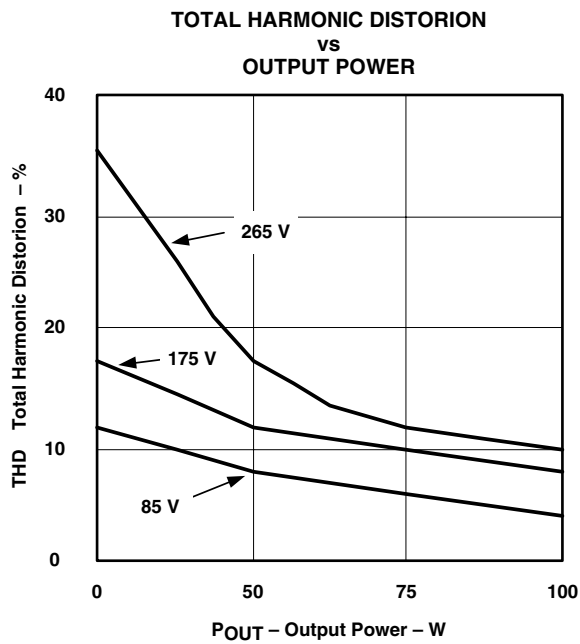


図 7

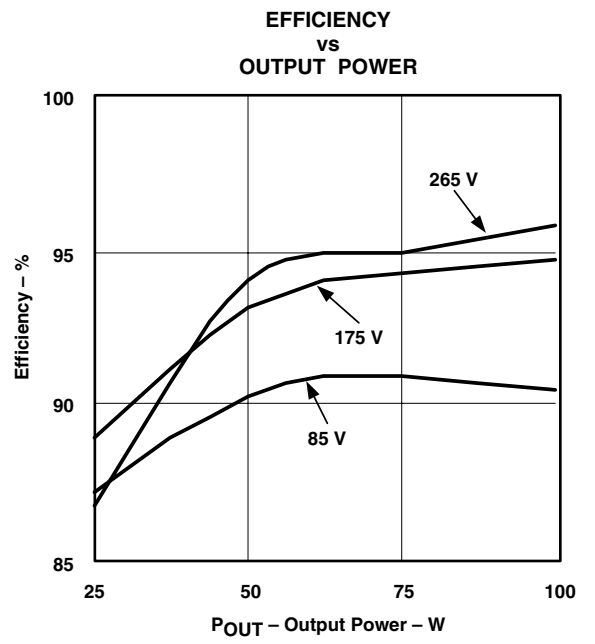


図 8

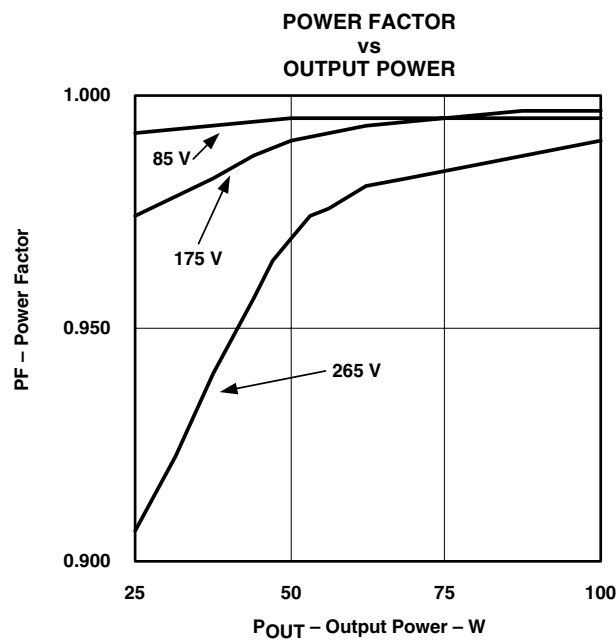
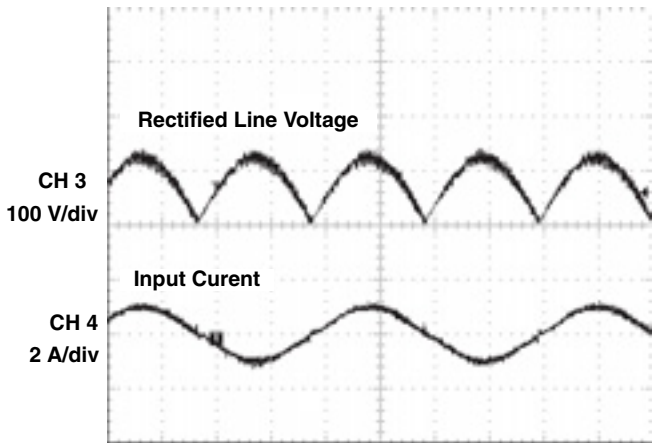


図 9

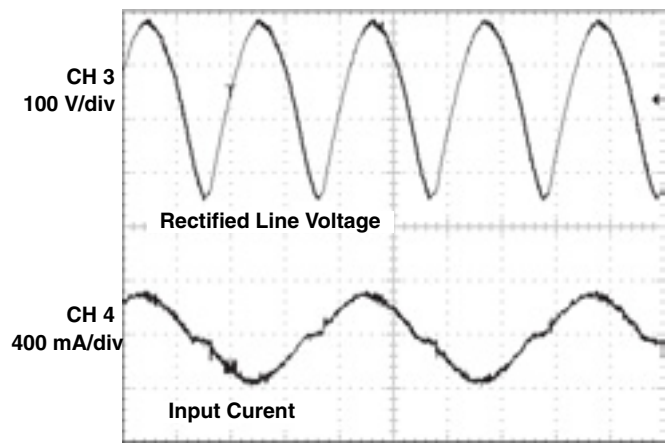
$V_{IN} = 85 \text{ V}, P_{OUT} = 100 \text{ W}$



t – Time – 4 ms/div

図 10

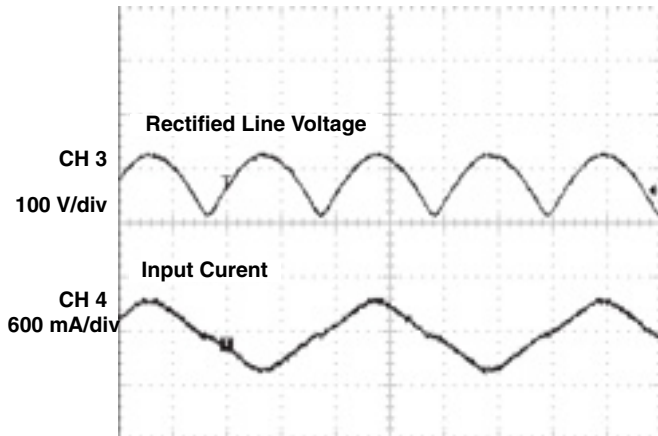
$V_{IN} = 265 \text{ V}, P_{OUT} = 100 \text{ W}$



t – Time – 4 ms/div

図 11

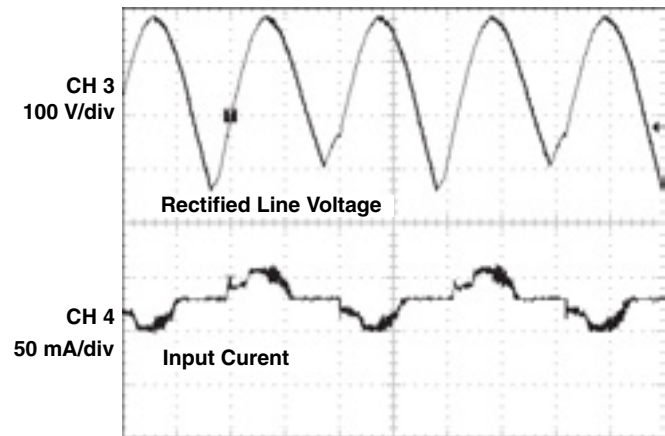
$V_{IN} = 85 \text{ V}, P_{OUT} = 25 \text{ W}$



t – Time – 4 ms/div

図 12

$V_{IN} = 265 \text{ V}, P_{OUT} = 25 \text{ W}$



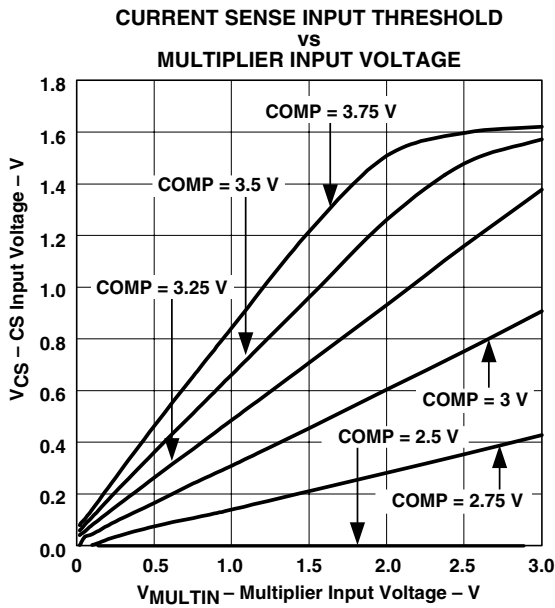
t – Time – 4 ms/div

図 13

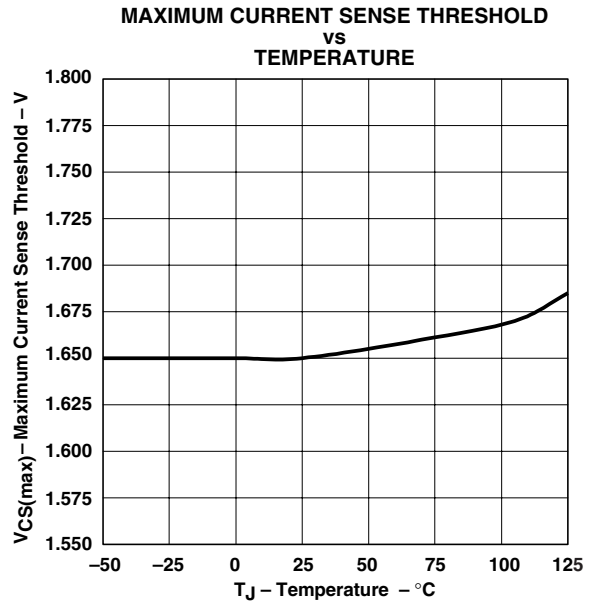
まとめ

UCC38050臨界導通型PFCコントロール・デバイスを用い、かつ、入力フィルタを注意深く設計することで、汎用入力電圧範囲に対して全負荷時10%より低いTHDの設計目標を達成することができます。当設計は、平均電流モード・コントロールの制御手法を使用したソリューションより、少ない部品ながらIEN61000-3-2およびJIS C61000-3-2の入力電流要件に適合しています。

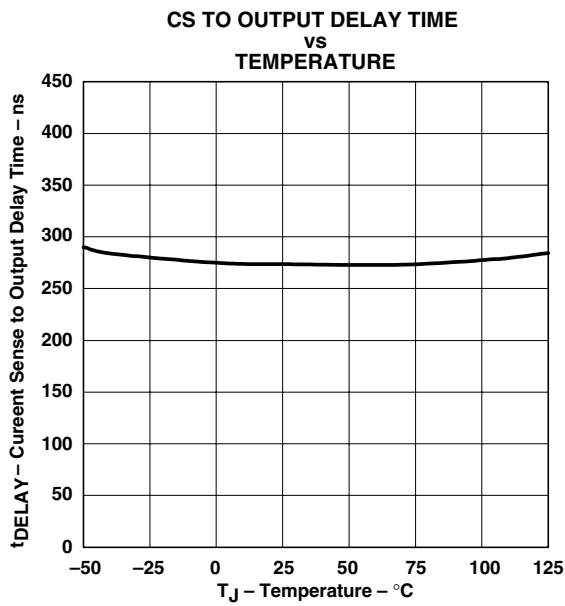
TYPICAL CHARACTERISTICS



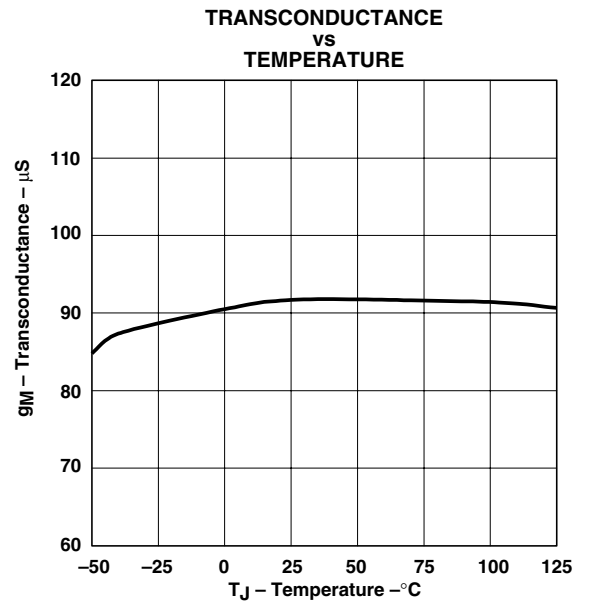
14



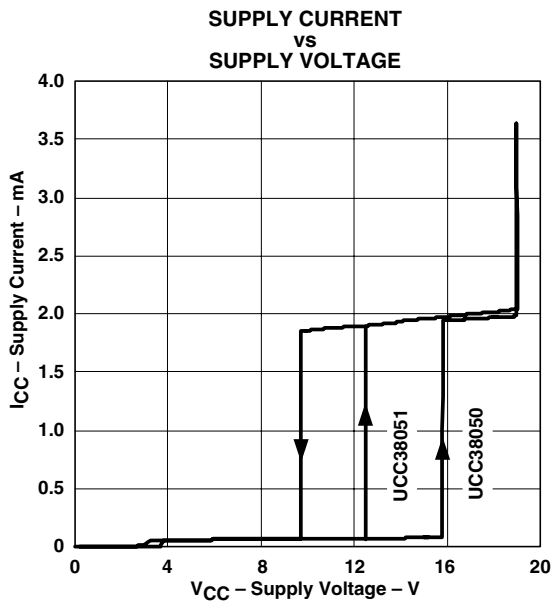
15



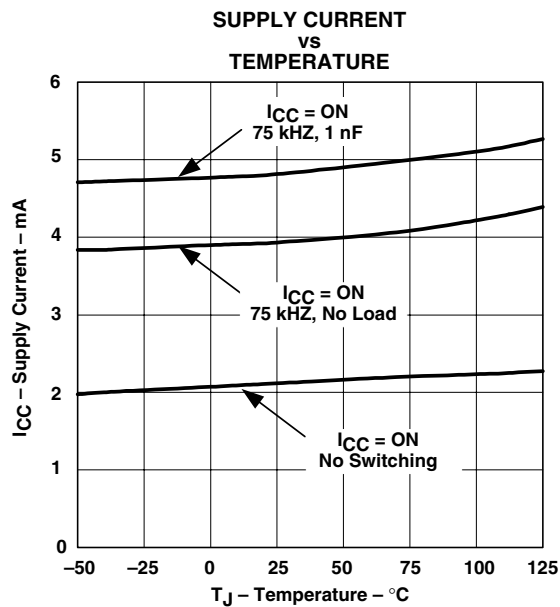
16



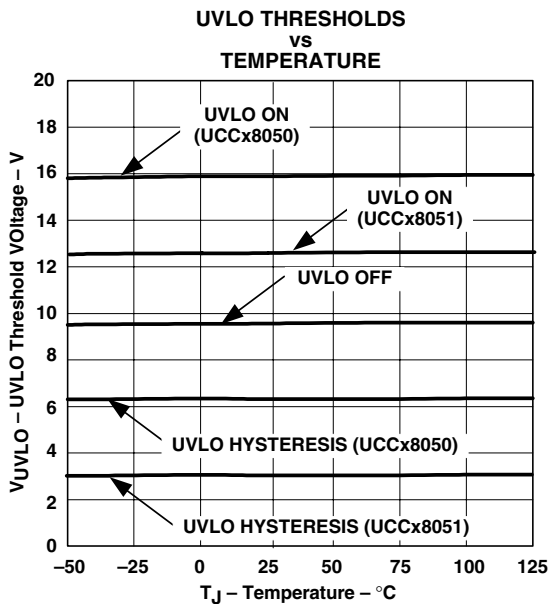
17



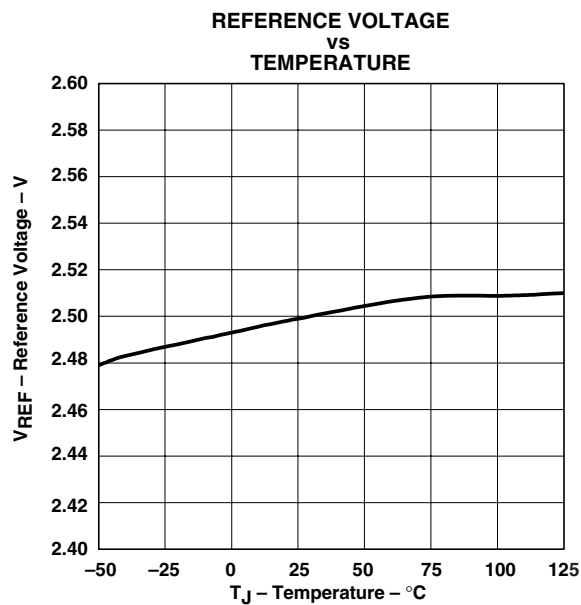
18



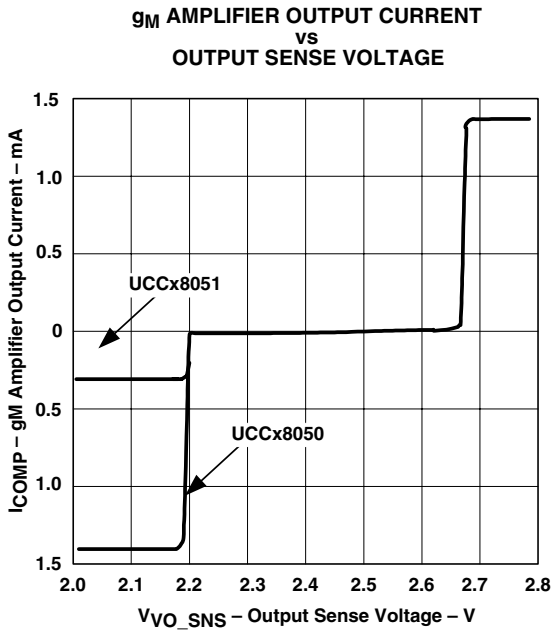
19



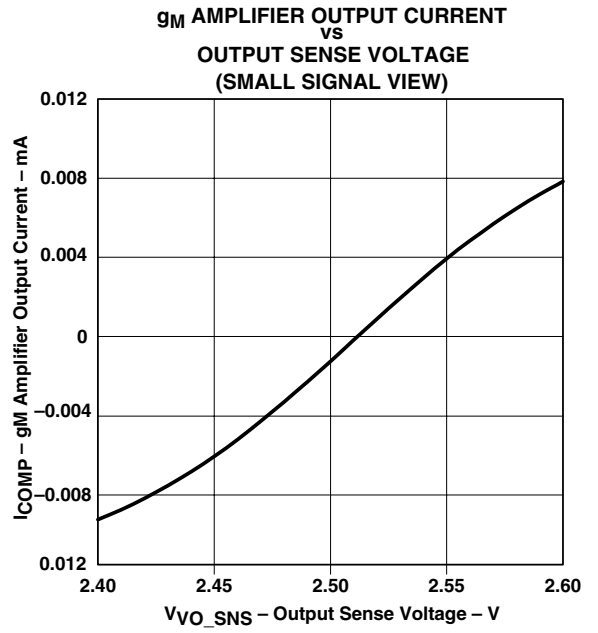
20



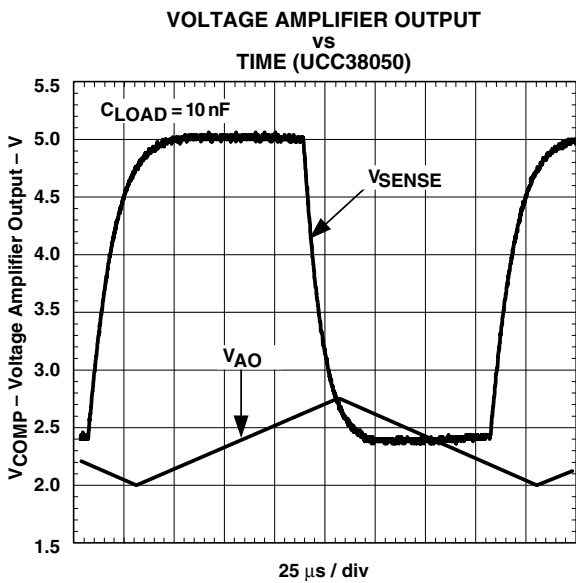
21



22



23



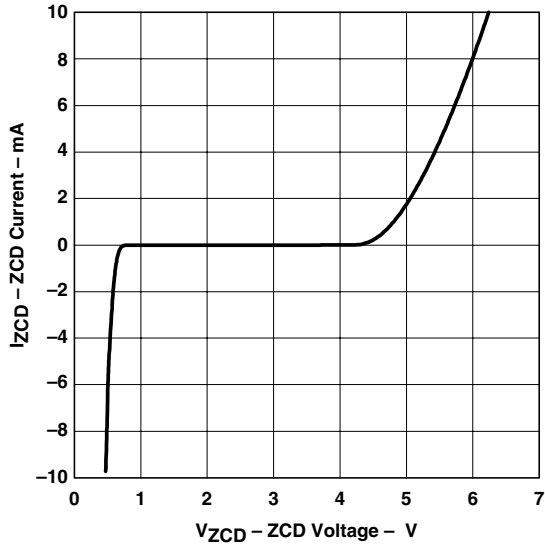
24



25

ZERO CURRENT DETECTION CLAMP

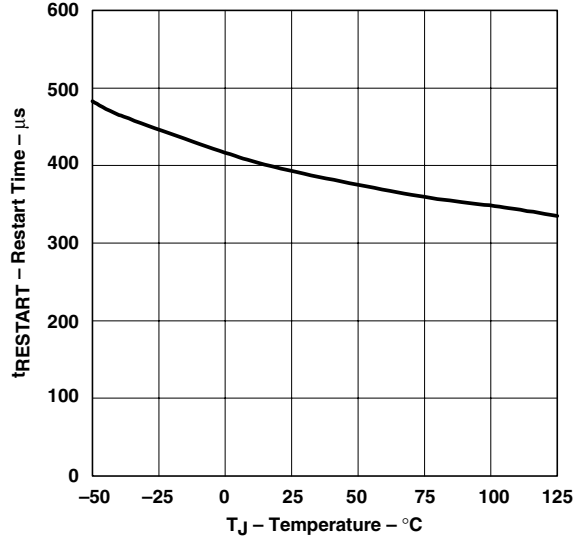
CURRENT vs VOLTAGE



26

RESTART TIME

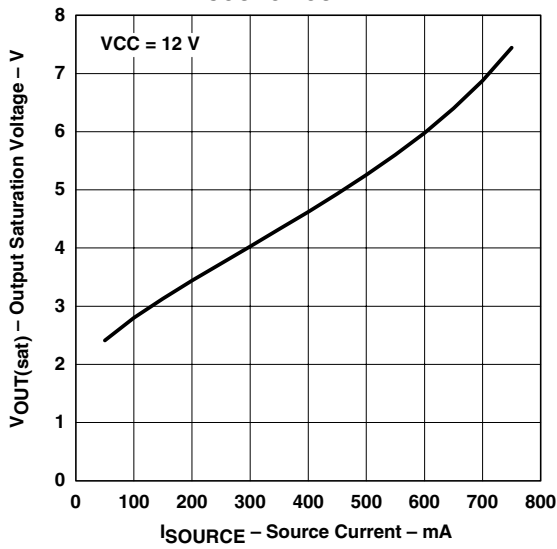
vs TEMPERATURE



27

OUTPUT SATURATION VOLTAGE

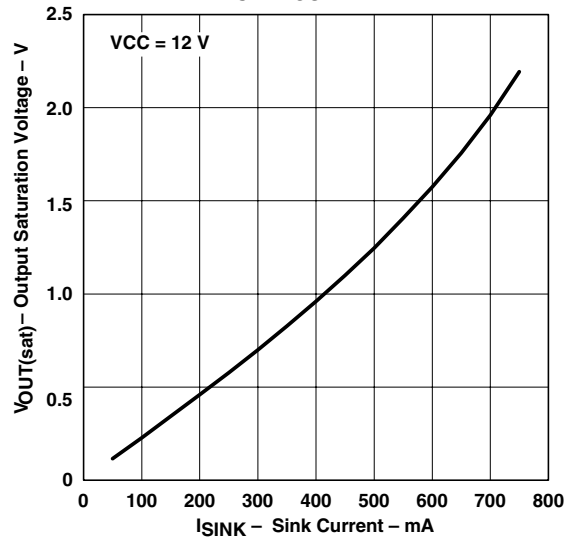
vs SOURCE CURRENT



28

OUTPUT SATURATION VOLTAGE

vs SINK CURRENT



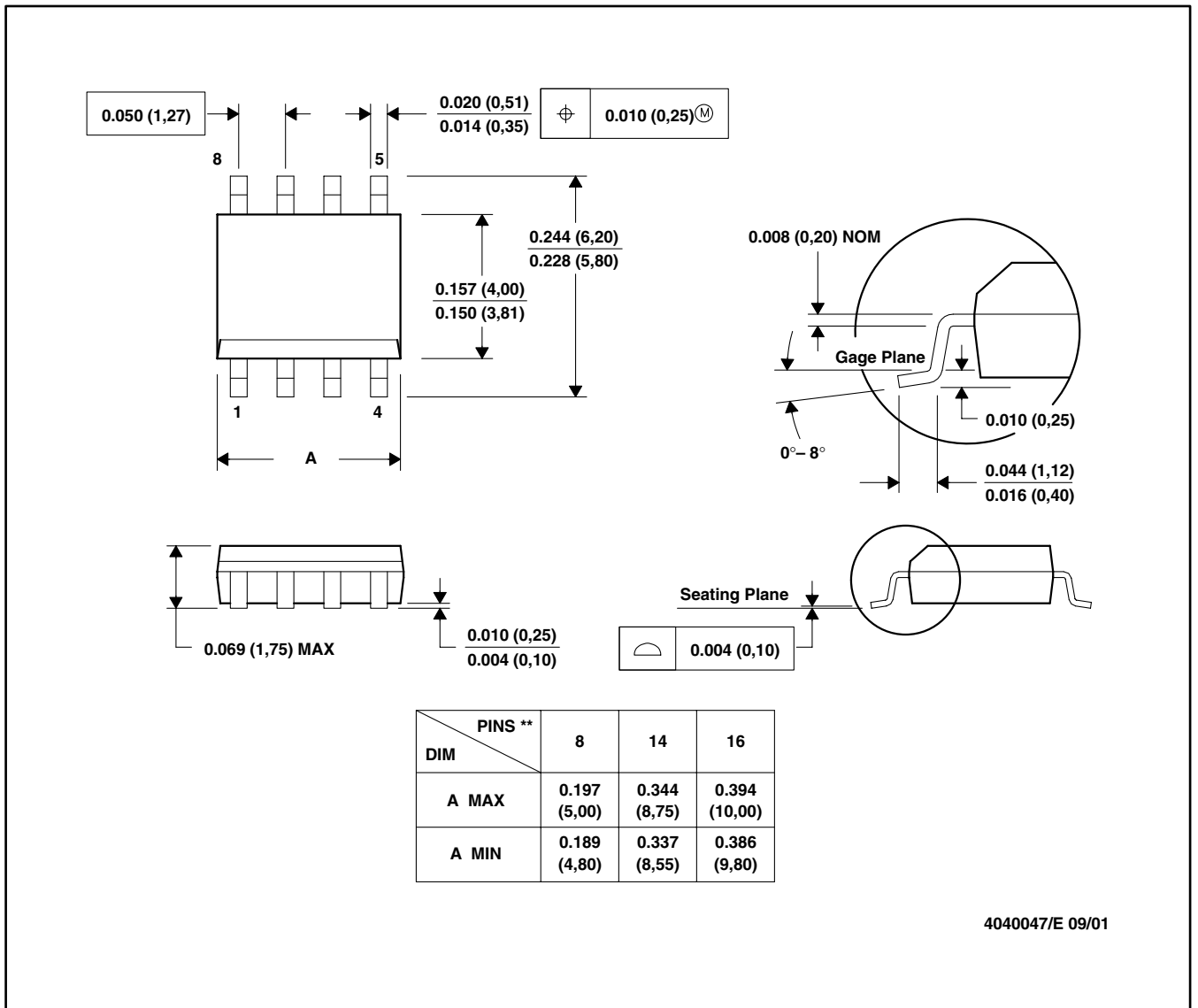
29

メカニカル・データ

D (R-PDSO-G**)

8 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE

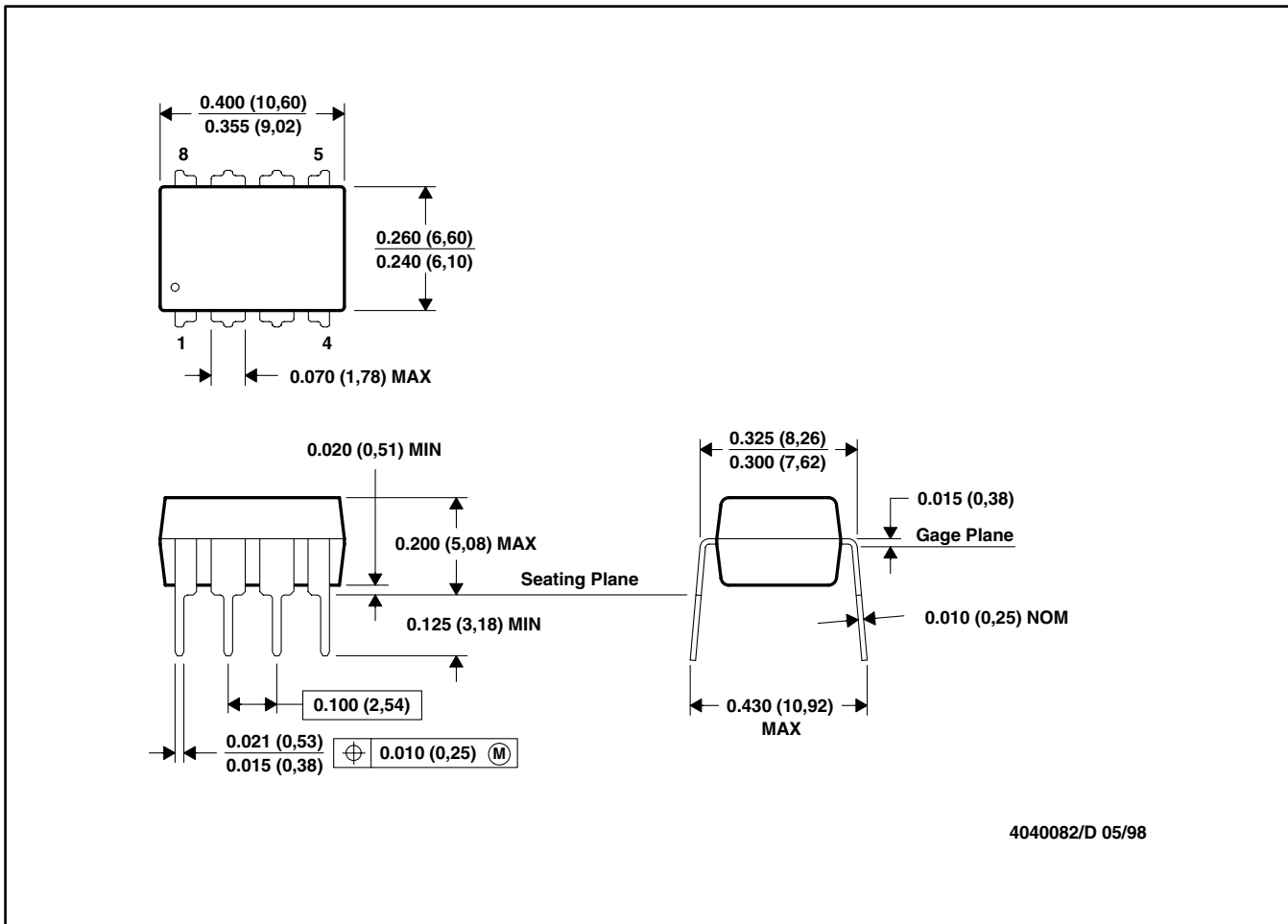


- 注： A. 全ての線寸法の単位はインチ(ミリメートル)です。
 B. 図は予告なく変更することがあります。
 C. ボディ寸法はモールド突起部を含みません。突起部は0.006(0,15)を越えません。
 D. JEDEC MS-012に準拠します。

メカニカル・データ

P (PDIP)

PLASTIC DUAL-IN-LINE



4040082/D 05/98

- 注： A. 全ての線寸法の単位はインチ(ミリメートル)です。
 B. 図は予告なく変更することがあります。
 C. JEDEC MS-001に準拠します。

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
UCC28050D	ACTIVE	SOIC	D	8	75	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC28050DR	ACTIVE	SOIC	D	8	2500	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC28050P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC28050PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC28051D	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
UCC28051DG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
UCC28051DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
UCC28051P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC28051PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC38050D	ACTIVE	SOIC	D	8	75	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC38050DR	ACTIVE	SOIC	D	8	2500	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC38050P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC38050PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC38051D	ACTIVE	SOIC	D	8	75	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC38051DR	ACTIVE	SOIC	D	8	2500	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC38051P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
UCC38051PE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

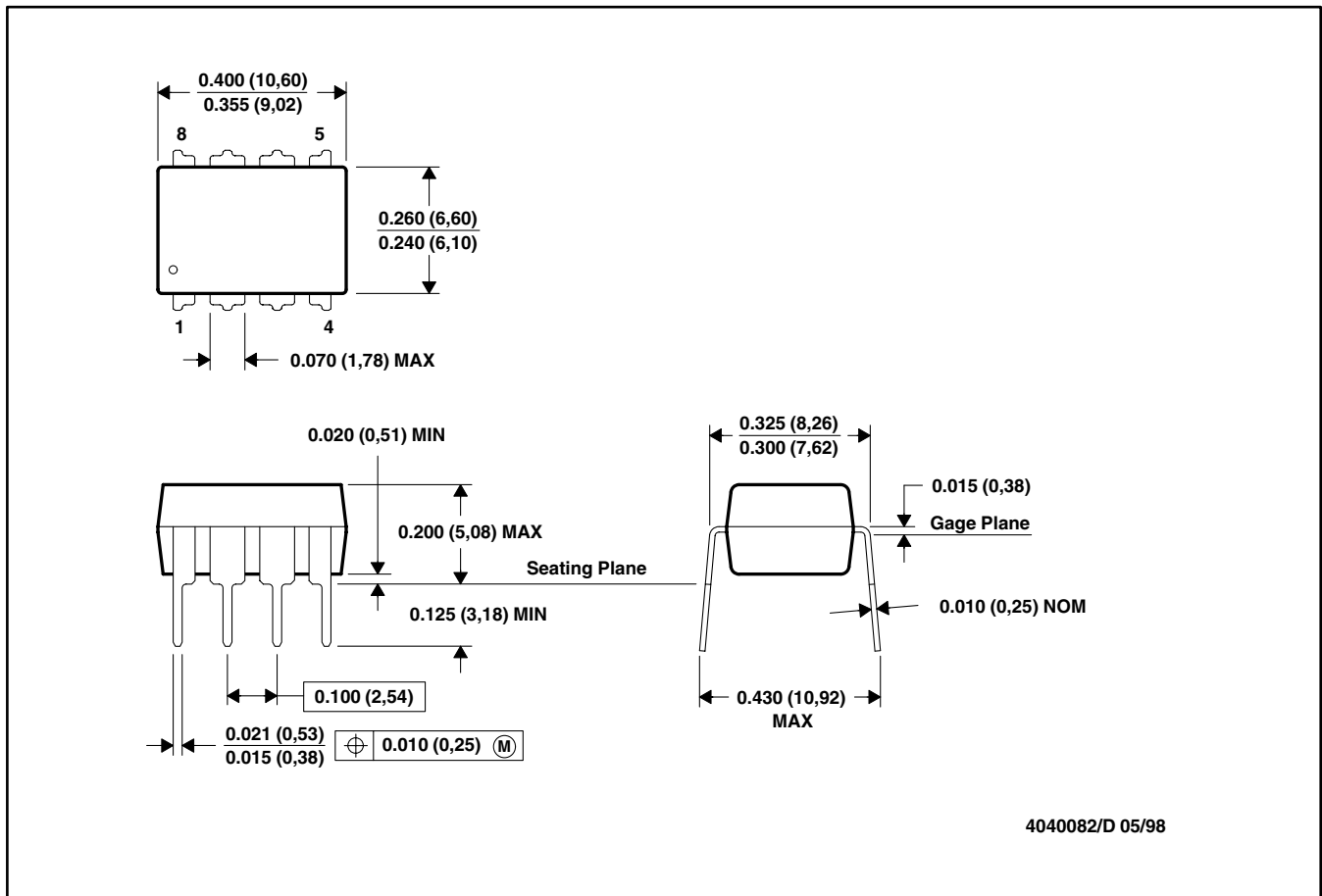
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

メカニカル・データ

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE

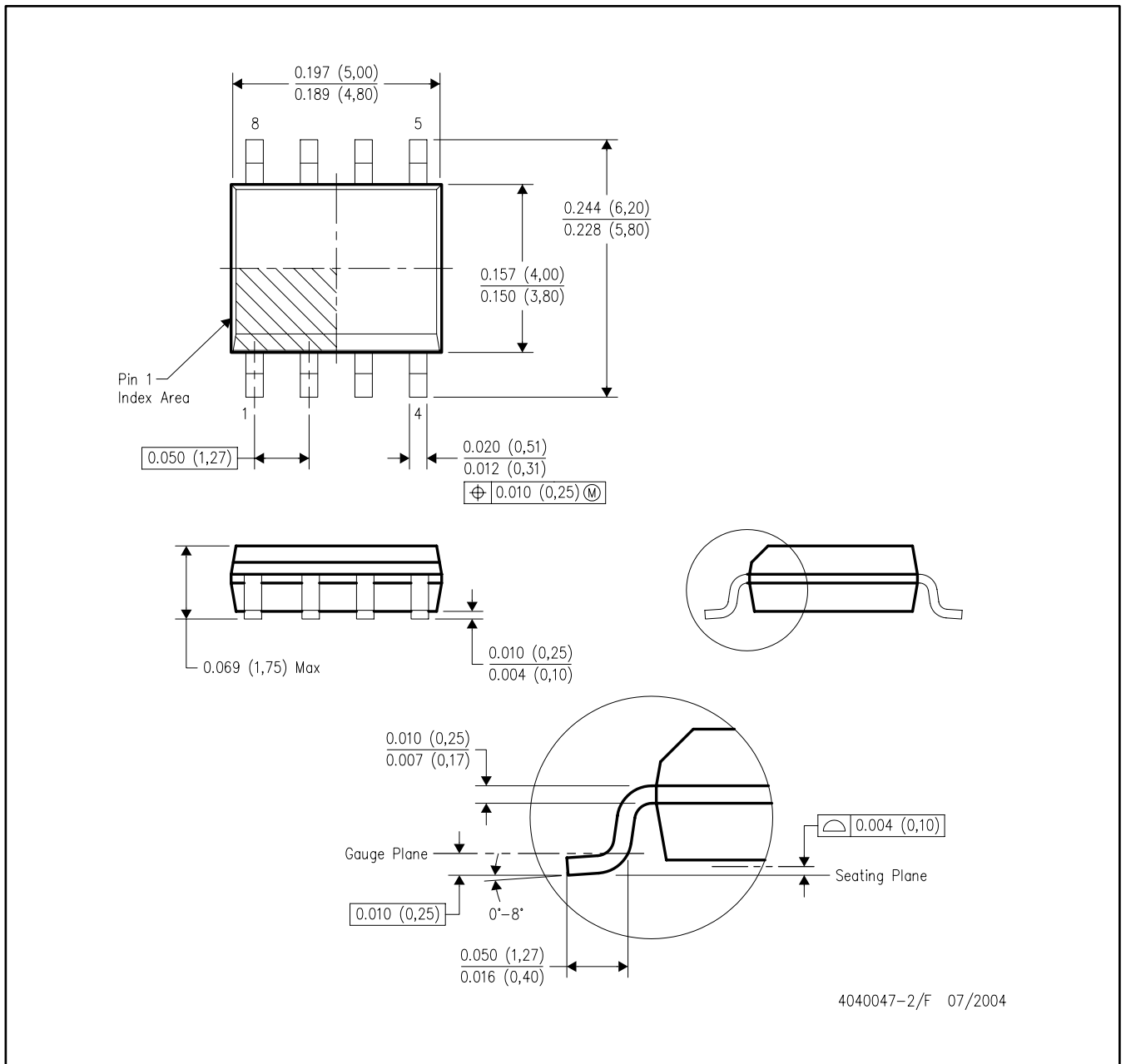


- 注： A. 全ての線寸法の単位はインチ(ミリメートル)です。
 B. 図は予告なく変更することがあります。
 C. JEDEC MS-001に準拠します。

メカニカル・データ

D (R-PDO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



- A. 全ての線寸法の単位はインチ(ミリメートル)です。
- B. 図様予告なく変更することがあります。
- C. ボディ寸法はモールド突起部を含みません。突起部は0.006(0,15)を越えません。
- D. JEDEC MS-012改AAに準拠します。

SLUS515C/SLUU138A

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

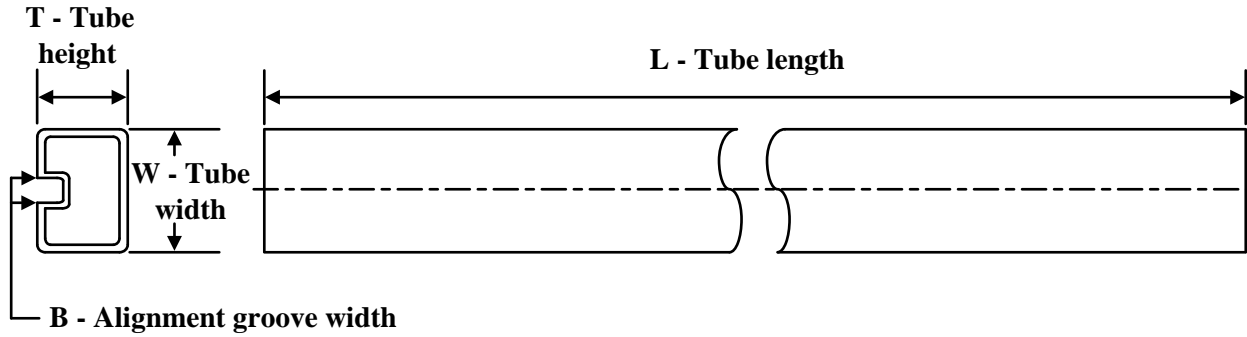

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC28050DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC28051DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC28050DR	SOIC	D	8	2500	353.0	353.0	32.0
UCC28051DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
UCC28050D	D	SOIC	8	75	507	8	3940	4.32
UCC28050D.A	D	SOIC	8	75	507	8	3940	4.32
UCC28050P	P	PDIP	8	50	506	13.97	11230	4.32
UCC28050P.A	P	PDIP	8	50	506	13.97	11230	4.32
UCC28051D	D	SOIC	8	75	507	8	3940	4.32
UCC28051D.A	D	SOIC	8	75	507	8	3940	4.32
UCC28051DG4	D	SOIC	8	75	507	8	3940	4.32
UCC28051P	P	PDIP	8	50	506	13.97	11230	4.32
UCC28051P.A	P	PDIP	8	50	506	13.97	11230	4.32
UCC38050D	D	SOIC	8	75	507	8	3940	4.32
UCC38050D.A	D	SOIC	8	75	507	8	3940	4.32
UCC38050P	P	PDIP	8	50	506	13.97	11230	4.32
UCC38050P.A	P	PDIP	8	50	506	13.97	11230	4.32
UCC38051D	D	SOIC	8	75	507	8	3940	4.32
UCC38051D.A	D	SOIC	8	75	507	8	3940	4.32

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月