

UCD91320 32 レールの PMBus™ パワー シーケンサおよびシステム マネージャ

1 特長

- 最大 24 本のアナログまたはデジタル (パワー グッド) レール + 8 本のデジタル限定レールのシーケンシングと監視
- 最大 16 レールの PWM マージニング
- 最大 4 つのデバイスをカスケード接続して、最大 128 レールをシーケンスします
- アクティブ トリム機能により、出力電圧を調整できます
- OV、UV、タイムアウト、GPI に起因するフォルトを監視し、それらに応答します
- フレキシブルなシーケンシングの依存関係、遅延時間、ブール論理、GPIO 構成
- 複雑なシーケンシング アプリケーションでのレールのステータス依存シーケンシング、遅延時間、LGPO ピン
- 適応型電圧識別 (AVID) 電圧レギュレータ用の 4 つのレール プロファイル
- RTC とタイムスタンプ機能を搭載した不揮発性フォルト イベント ログ
 - シングル イベントフォルト ログ (100 エントリ)
 - ブラック ボックス フォルト ログには、すべてのレールのフォルト情報とステータスが保存されます。これには、パワー ダウン イベントが発生する前の最初のフォルトや、最後のフォルトが含まれます
- 構成アクティビティ中にレールの監視を継続して、稼働時間を最大化します
- ウォッチドッグ タイマとシステム リセットをプログラム可能
- GPI 制御レール グループ
- SEU 軽減と ECC (シングルエラー訂正 + ダブルエラー検出)
- PMBus™ 1.2 準拠
- PMBus セキュリティ プロファイル レベル 0。セキュリティ プロファイル レベル 2 で機能を有効にするためのカスタム コマンドが使用可能

2 アプリケーション

- 有線ネットワーク
- ワイヤレス インフラ
- データコム モジュール
- データ センターおよびエンタープライズ コンピューティング

- ファクトリ オートメーション / 制御
- 試験および測定機器
- 医療用

3 説明

UCD91320 デバイスは、32 レール PMBus 制御の電源シーケンサです。

専用ピン (MONx) は、アナログまたはデジタル モードで最大 32 個の電圧レールを監視します。32 レール イネーブル (ENx) ピンにより、レギュレータのシーケンシングを可能にします。16 本のマージニング (MARx) ピンを使用して、レギュレータをテストのために上限または下限 (マージン) にプッシュしたり、出力をアクティブにトリムして精度を向上させることができます。16 の論理 GPO (LGPOx) ピンの出力状態は、GPI、レールステータス、その他の LGPO の状態で制御できます。

不揮発性のイベント ログにより、電源のドロップアウト後もフォルト イベントが保持されます。ブラック ボックス フォルト ログには、フォルト情報とすべてのレールのステータスが保持されます。これは、最初の故障とパワーダウン イベント前の最後の故障に対して発生します。カスケード接続機能は、最大 128 個の電圧レールを管理する便利な方法を提供します。

ユーザー定義のフォルトピンによってカスケード接続されたデバイスを調整し、同期されたフォルト応答を取得します。ユーザーは、3 つの GPI を使用して、最大 8 つのグループのレール構成を選択できます。これらの構成では [高度な構成と電源のインターフェイス \(ACPI\)](#) 仕様に規定されているように、システムの低消費電力モードを実装できます。

Sequencer Studio™ ソフトウェアは PC ベースの直感的なグラフィック ユーザー インターフェイス (GUI) で、システムの動作パラメータすべてを構成、保存、監視できます。

パッケージ情報表

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
UCD91320SPZR	LQFP (100)	14.0mm × 14.0mm
UCD91320SZAWR	nFBGA (100)	9.0mm × 9.0mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



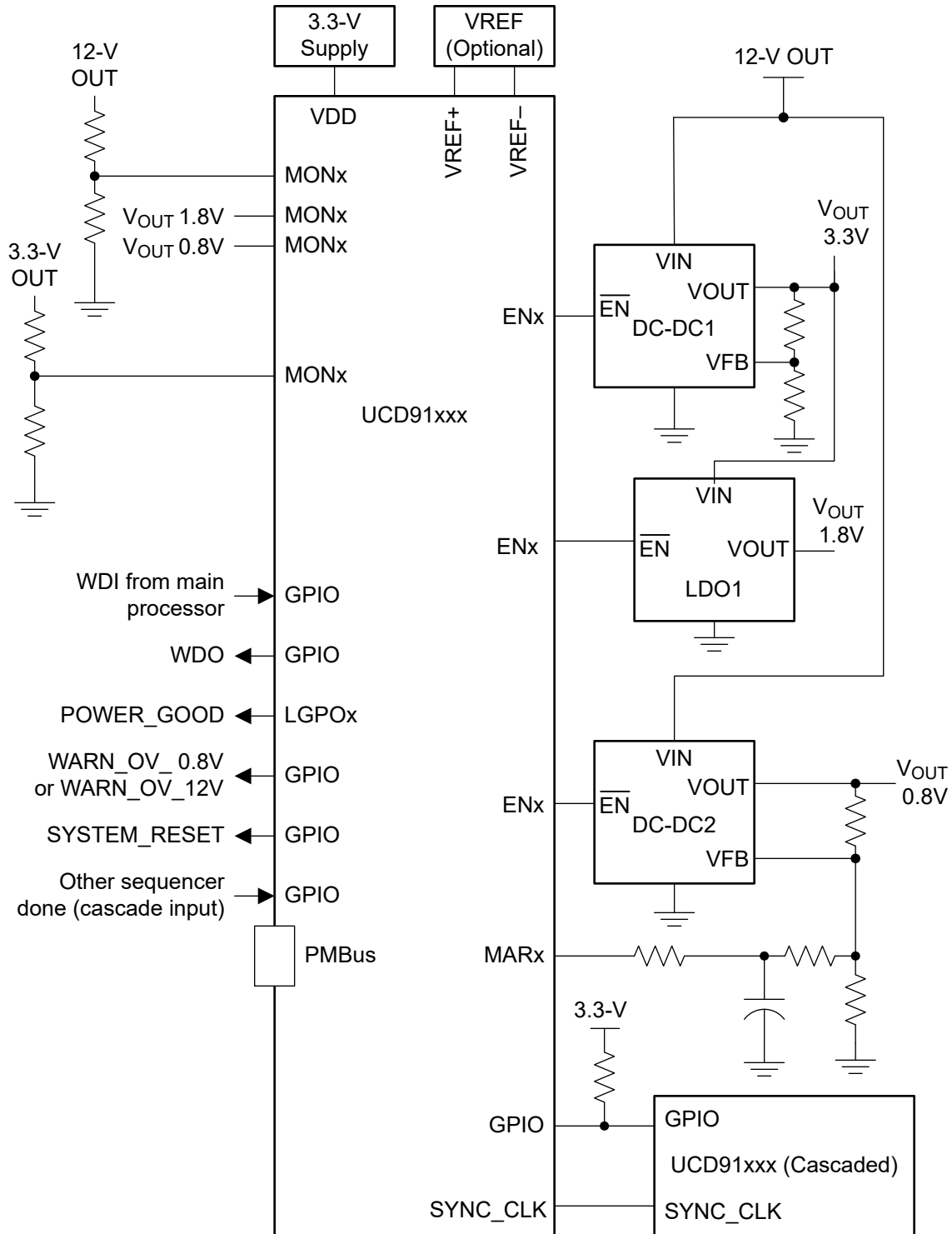


図 3-1. アプリケーション概略図

目次

1 特長	1	6.2 機能説明	13
2 アプリケーション	1	6.3 デバイスの機能モード	15
3 説明	1	障害分析と返品.....	16
4 ピン構成および機能	4	7 アプリケーションと実装	17
5 仕様	9	7.1 アプリケーション情報.....	17
5.1 絶対最大定格.....	9	7.2 代表的なアプリケーション.....	17
5.2 ESD 定格.....	9	7.3 電源に関する推奨事項.....	20
5.3 推奨動作条件.....	9	7.4 レイアウト.....	20
5.4 熱に関する情報.....	10	8 デバイスおよびドキュメントのサポート	21
5.5 電気的特性.....	10	8.1 ドキュメントの更新通知を受け取る方法.....	21
5.6 直線性パラメータ.....	11	8.2 サポート・リソース.....	21
5.7 POR および BOR.....	11	8.3 商標.....	21
5.8 低周波数クリスタル / クロック.....	11	8.4 静電気放電に関する注意事項.....	21
5.9 フラッシュ メモリ の特性.....	12	8.5 用語集.....	21
6 詳細説明	13	9 改訂履歴	21
6.1 概要.....	13	10 メカニカル、パッケージ、および注文情報	21

4 ピン構成および機能

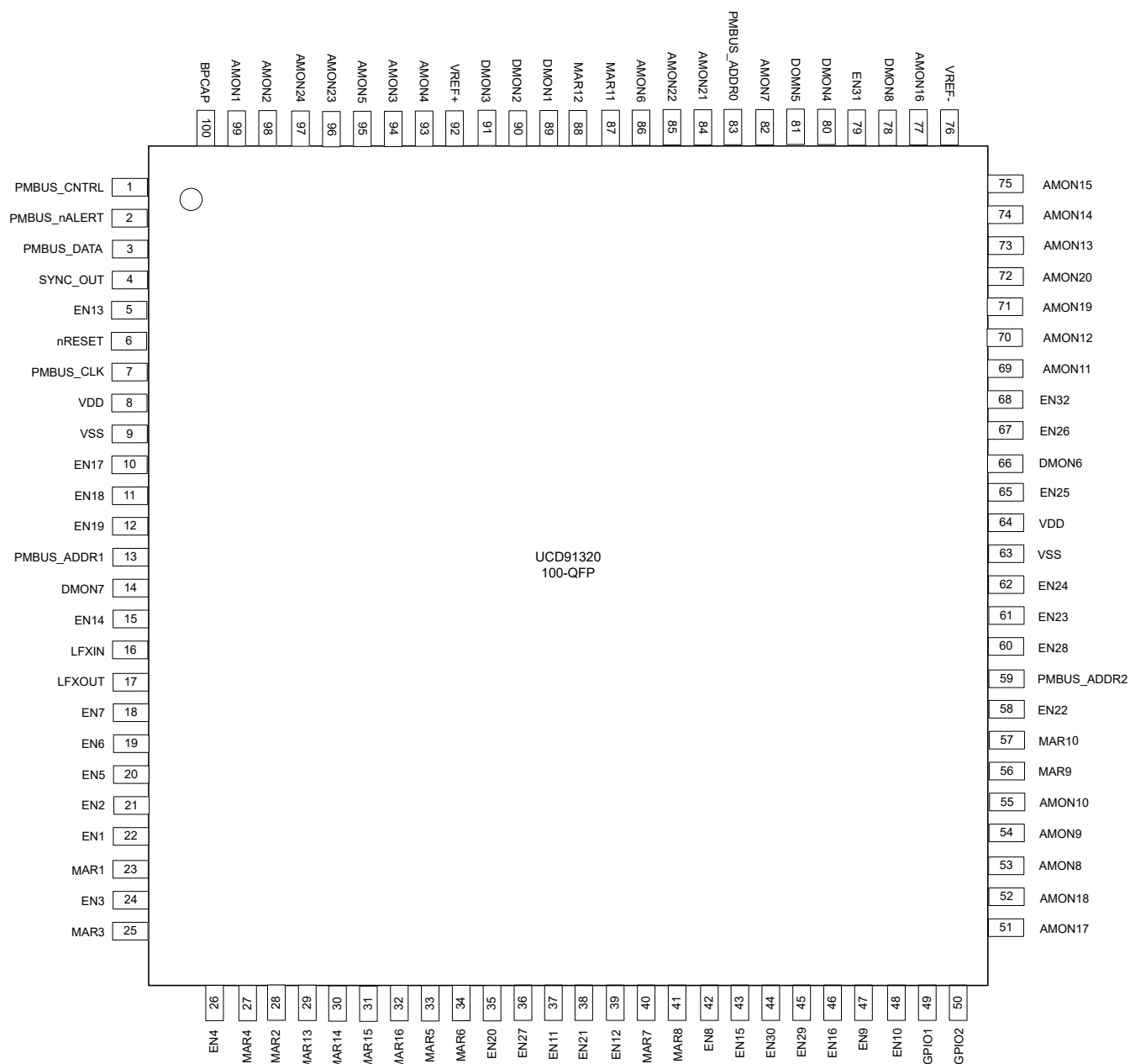


図 4-1. PZ パッケージ 100 ピン LQFP 上面図

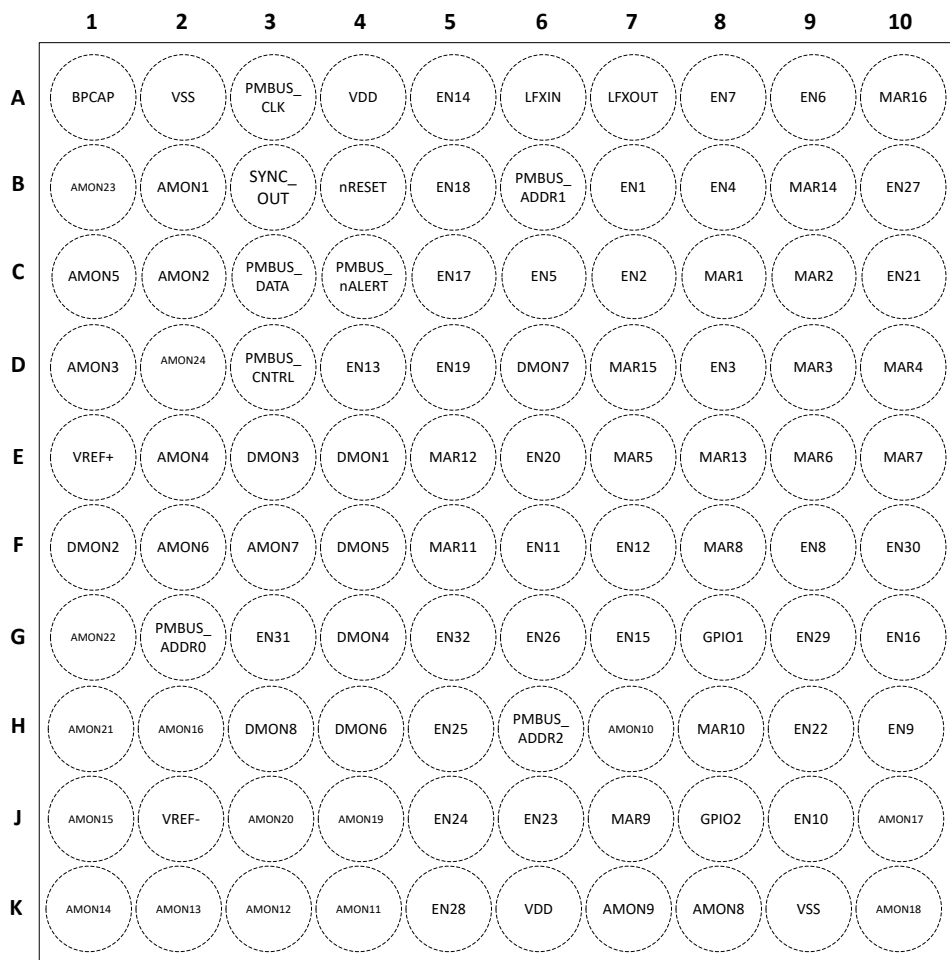


図 4-2. ZAW パッケージ 100 ピン nFBGA 上面図

表 4-1. ピンの機能

ピン			タイプ	ピン ID	説明
名称	100-QFP	100-nFBGA			
監視入力 (MONx)					
MON1	99	B2	I/O	1	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON2	98	C2	I/O	2	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON3	94	D1	I/O	3	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON4	93	E2	I/O	4	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON5	95	C1	I/O	5	アナログまたはデジタルモニタ (0V ~ 3.3V)
MON6	86	F2	I/O	6	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON7	82	F3	I/O	7	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON8	53	K8	I/O	8	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON9	54	K7	I/O	9	アナログモニタ (0V ~ 3.3V) ¹
MON10	55	H7	I/O	10	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO

¹ MON9 はアナログ監視ピンとしてのみ使用します。

表 4-1. ピンの機能 (続き)

ピン			タイプ	ピン ID	説明
名称	100-QFP	100-nFBGA			
MON11	69	K4	I/O	11	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON12	70	K3	I/O	12	アナログモニタ (0V ~ 3.3V) ²
MON13	73	K2	I/O	13	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON14	74	K1	I/O	14	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON15	75	J1	I/O	15	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON16	77	H2	I/O	16	アナログモニタ (0V ~ 3.3V) ³
MON17	51	J10	I/O	17	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON18	52	K10	I/O	18	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON19	71	J4	I/O	19	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON20	72	J3	I/O	20	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON21	84	H1	I/O	21	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON22	85	G1	I/O	22	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON23	96	B1	I/O	23	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
MON24	97	D2	I/O	24	アナログまたはデジタル モニタ (0V ~ 3.3V)、または GPIO
デジタル監視 (DMONx)					
DMON1	89	E4	I/O	25	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON2	90	F1	I/O	26	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON3	91	E3	I/O	27	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON4	80	G4	I/O	28	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON5	81	F4	I/O	29	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON6	66	H4	I/O	30	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON7	14	D6	I/O	31	デジタル モニタ (0V ~ 3.3V)、または GPIO
DMON8	78	H3	I/O	32	デジタル モニタ (0V ~ 3.3V)、または GPIO
レール イネーブル (ENx)					
EN1(GPIO)	22	B7	I/O	33	レール イネーブル信号、デジタル出力、または GPIO
EN2(GPIO)	21	C7	I/O	34	レール イネーブル信号、デジタル出力、または GPIO
EN3(GPIO)	24	D8	I/O	35	レール イネーブル信号、デジタル出力、または GPIO
EN4(GPIO)	26	B8	I/O	36	レール イネーブル信号、デジタル出力、または GPIO
EN5(GPIO)	20	C6	I/O	37	レール イネーブル信号、デジタル出力、または GPIO
EN6(GPIO)	19	A9	I/O	38	レール イネーブル信号、デジタル出力、または GPIO
EN7(GPIO)	18	A8	I/O	39	レール イネーブル信号、デジタル出力、または GPIO
EN8(GPIO)	42	F9	I/O	40	レール イネーブル信号、デジタル出力、または GPIO
EN9(GPIO)	47	H10	I/O	41	レール イネーブル信号、デジタル出力、または GPIO
EN10(GPIO)	48	J9	I/O	42	レール イネーブル信号、デジタル出力、または GPIO

² MON12 はアナログ監視ピンとしてのみ使用します。

³ MON16 はアナログ監視ピンとしてのみ使用します。

表 4-1. ピンの機能 (続き)

ピン			タイプ	ピン ID	説明
名称	100-QFP	100-nFBGA			
EN11(GPIO)	37	F6	I/O	43	レール イネーブル信号、デジタル出力、または GPIO
EN12(GPIO)	39	F7	I/O	44	レール イネーブル信号、デジタル出力、または GPIO
EN13(GPIO)	5	D4	I/O	45	レール イネーブル信号、デジタル出力、または GPIO
EN14(GPIO)	15	A5	I/O	46	レール イネーブル信号、デジタル出力、または GPIO
EN15(GPIO)	43	G7	I/O	47	レール イネーブル信号、デジタル出力、または GPIO
EN16(GPIO)	46	G10	I/O	48	レール イネーブル信号、デジタル出力、または GPIO
EN17(GPIO)	10	C5	I/O	49	レール イネーブル信号、デジタル出力、または GPIO
EN18(GPIO)	11	B5	I/O	50	レール イネーブル信号、デジタル出力、または GPIO
EN19(GPIO)	12	D5	I/O	51	レール イネーブル信号、デジタル出力、または GPIO
EN20(GPIO)	35	E6	I/O	52	レール イネーブル信号、デジタル出力、または GPIO
EN21(GPIO)	38	C10	I/O	53	レール イネーブル信号、デジタル出力、または GPIO
EN22(GPIO)	58	H9	I/O	54	レール イネーブル信号、デジタル出力、または GPIO
EN23(GPIO)	61	J6	I/O	55	レール イネーブル信号、デジタル出力、または GPIO
EN24(GPIO)	62	J5	I/O	56	レール イネーブル信号、デジタル出力、または GPIO
EN25(GPIO)	65	H5	I/O	57	レール イネーブル信号、デジタル出力、または GPIO
EN26(GPIO)	67	G6	I/O	58	レール イネーブル信号、デジタル出力、または GPIO
EN27(GPIO)	36	B10	I/O	59	レール イネーブル信号、デジタル出力、または GPIO
EN28(GPIO)	60	K5	I/O	60	レール イネーブル信号、デジタル出力、または GPIO
EN29(GPIO)	45	G9	I/O	61	レール イネーブル信号、デジタル出力、または GPIO
EN30(GPIO)	44	F10	I/O	62	レール イネーブル信号、デジタル出力、または GPIO
EN31(GPIO)	79	G3	I/O	63	レール イネーブル信号、デジタル出力、または GPIO
EN32(GPIO)	68	G5	I/O	64	レール イネーブル信号、デジタル出力、または GPIO
クローズド ループ マージン ピン (MARx)					
MAR1(GPIO)	23	C8	I/O	65	クローズド ループ マージン PWM 出力、または GPIO
MAR2(GPIO)	28	C9	I/O	66	クローズド ループ マージン PWM 出力、または GPIO
MAR3(GPIO)	25	D9	I/O	67	クローズド ループ マージン PWM 出力、または GPIO
MAR4(GPIO)	27	D10	I/O	68	クローズド ループ マージン PWM 出力、または GPIO
MAR5(GPIO)	33	E7	I/O	69	クローズド ループ マージン PWM 出力、または GPIO
MAR6(GPIO)	34	E9	I/O	70	クローズド ループ マージン PWM 出力、または GPIO
MAR7(GPIO)	40	E10	I/O	71	クローズド ループ マージン PWM 出力、または GPIO
MAR8(GPIO)	41	F8	I/O	72	クローズド ループ マージン PWM 出力、または GPIO
MAR9(GPIO)	56	J7	I/O	73	クローズド ループ マージン PWM 出力、または GPIO
MAR10(GPIO)	57	H8	I/O	74	クローズド ループ マージン PWM 出力、または GPIO
MAR11(GPIO)	87	F5	I/O	75	クローズド ループ マージン PWM 出力、または GPIO
MAR12(GPIO)	88	E5	I/O	76	クローズド ループ マージン PWM 出力、または GPIO

表 4-1. ピンの機能 (続き)

ピン			タイプ	ピン ID	説明
名称	100-QFP	100-nFBGA			
MAR13(GPIO)	29	E8	I/O	77	クローズド ループ マージン PWM 出力、または GPIO
MAR14(GPIO)	30	B9	I/O	78	クローズド ループ マージン PWM 出力、または GPIO
MAR15(GPIO)	31	D7	I/O	79	クローズド ループ マージン PWM 出力、または GPIO
MAR16(GPIO)	32	A10	I/O	80	クローズド ループ マージン PWM 出力、または GPIO
汎用入出力 (GPIOx)					
GPIO1	49	G8	I/O	81	ブール論理出力、または GPIO
GPIO2	50	J8	I/O	82	ブール論理出力、または GPIO
PMBus COMM インターフェイス					
PMBUS_CLK	7	A3	I/O	該当なし	PMBus クロック (3.3V にプルアップする必要があります)
PMBUS_DATA	3	C3	I/O	該当なし	PMBus データ (3.3V にプルアップする必要があります)
PMBUS_nALERT	2	C4	O	該当なし	PMBus アラート、アクティブ Low、オープンドレイン出力 (3.3V にプルアップする必要があります)
PMBUS_CNTRL	1	D3	I	該当なし	PMBus 制御 (3.3V にプルアップする必要があります)
PMBUS_ADDR0	83	G2	I	該当なし	PMBUS アドレス選択
PMBUS_ADDR1	13	B6	I	該当なし	PMBUS アドレス選択
PMBUS_ADDR2	59	H6	I	該当なし	PMBUS アドレス選択
入力電源、グランド、クロック					
LFXOUT	17	A7	CLK	該当なし	低周波水晶発振器出力
LFXIN	16	A6	CLK	該当なし	低周波水晶発振器入力
nRESET	6	B4	I	該当なし	アクティブ Low のデバイス リセット入力。アプリケーションで必要ない場合は、VDD にプルアップすることを推奨します。少なくとも 1.5μs の間 Low に保持してブートリセットを実行するか、1 秒の間 Low に保持してパワー オンリセット (POR) を実行します
SYNC_OUT	4	B3	O	該当なし	マルチ チップ カスケード接続用同期クロック I/O (5kHz)
VREF+	92	E1	I	該当なし	(オプション) 外部リファレンス電圧の正のノード
VREF-	76	J2	P	該当なし	(オプション) 外部リファレンス電圧の負のノード ⁴
VDD	8.64	A4, K6	P	該当なし	入力 3V ~ 3.6V 電源。レイアウトのガイドライン セクションを参照
VSS	9.63	A2, K9	P	該当なし	デバイスのグランド
BPCAP	100	A1	P	該当なし	0.47μF バイパス コンデンサ。レイアウトのガイドライン セクションを参照

⁴ VREF ピンを使用しないときは、グランドに接続してください。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V _I	入力電圧	5V 対応のオープンドレイン ピンに印加	-0.3	5.5	V
V _I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V _{DD} + 0.3 (最大 4.1)	V
I _{VDD}	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _J ≤ 130°C		80	mA
	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _J ≤ 85°C		100	mA
I _{VSS}	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _J ≤ 130°C		80	mA
	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _J ≤ 85°C		100	mA
I _{IO}	デバイス ピンの電流	デバイス ピンによってシンクまたはソースされる電流		6	mA
I _D	サポートされているダイオード電流	VREF- を除くすべてのデバイス ピンのダイオード電流		±2 ⁽³⁾	mA
T _J	接合部温度	接合部温度	-40	130	°C
T _{stg}	保存温度 ⁽²⁾	保存温度 ⁽²⁾	-40	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) ボード実装時のみはんだ付けでは、現在の JEDEC J-STD-020 仕様に従い、ピークリフロー温度が梱包箱またはリール上のデバイス ラベルに記載されている分類を超えなければ、より高い温度になってもかまいません。
- (3) VREF- にはテスト目的で内部接続があり、このピンでは注入電流は許容されません。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠、すべてのピン ⁽²⁾	±500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧	2.9		3.6	V
C _{VDD}	VDD と VSS の間に配置されたコンデンサ ⁽¹⁾		10		μF
C _{BPCAP}	BPCAP と VSS の間に配置されたコンデンサ ^{(1) (2)}		470		nF
T _A	周囲温度、S パージョン	-40		125	°C
T _J	最大接合部温度、T パージョン			125	°C

- (1) C_{VDD} と C_{BPCAP} は、それぞれ VDD/VSS 間と BPCAP/VSS 間に、本デバイスのピンにできる限り近づけて接続します。C_{VDD} と C_{BPCAP} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。

(2) BPCAP ピンは、 C_{BPCAP} にのみ接続する必要があります。電圧を供給したり、BPCAP ピンに外部負荷を加えたりしないでください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-100 (PZ)	72.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		21.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		54.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		53.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	nfBGA-100 (ZAW)	53.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		21.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		32.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		32.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IN(ADC)}	アナログ入力電圧範囲 ⁽¹⁾	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V _{R+}	正の ADC リファレンス電圧	VDD から供給される V _{R+}		VDD		V
T _s	チャンネルごとの ADC サンプルング時間			250		ns
F _S	ADC サンプルング周波数 (チャンネルごと)			10		ksps
I _(ADC)	VDD 端子に流れ込む動作電源電流	V _{R+} = VDD		1.5 ⁽²⁾		mA
C _{S/H}	ADC サンプル ホールド容量			3.3		pF
R _{in}	ADC 入力抵抗			0.5		kΩ
ENOB	有効ビット数	外部リファレンス	12.3	12.5		ビット
		内部リファレンス、V _{R+} = 2.5V	9.9	10.8		
SNR	信号対雑音比	外部リファレンス ⁽³⁾		78		dB
		内部リファレンス、V _{R+} = 2.5V		66		
PSRR _{DC}	電源除去比、DC	外部リファレンス ⁽³⁾ 、VDD = VDD _(min) ~ VDD _(max)		62		dB
		VDD = VDD _(min) ~ VDD _(max) 内部リファレンス、V _{R+} = 2.5V		53		
PSRR _{AC}	電源除去比、AC	外部リファレンス ⁽³⁾ 、1kHz 時 ΔVDD = 0.1V		61		dB
		1kHz 時 ΔVDD = 0.1V 内部リファレンス、V _{R+} = 2.5V		52		

- (1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 ($V_{R+} \sim V_{R-}$) にアナログ入力電圧範囲が含まれている必要があります。
- (2) 内部リファレンス電圧 (V_{REF}) の消費電流は、消費電流パラメータ ($I_{(ADC)}$) には含まれません。
- (3) 外部リファレンス電圧のすべての仕様は、 $V_{R+} = V_{REF+} = VDD = 3.3V$ かつ $V_{R-} = V_{REF-} = VSS = 0V$ の条件で、 V_{REF+} ピンの外部容量 1μF として測定されたものです。

5.6 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての標準値は 25°C で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り) ⁽¹⁾

パラメータ		テスト条件		最小値	標準値	最大値	単位
E _I	積分直線性誤差 (INL)	外部リファレンス ⁽²⁾	外部リファレンス ⁽²⁾	-2		2	LSB
E _D	微分直線性誤差 (DNL) ミッシング コードなしを保証	外部リファレンス ⁽²⁾	外部リファレンス ⁽²⁾	-1		1	LSB
E _O	オフセット誤差	内部または外部リファレンス ⁽²⁾		-2		2	mV
E _G	ゲイン誤差	外部リファレンス ⁽²⁾		-3		3	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。TUE = $\sqrt{(E_I)^2 + |E_O|^2 + E_G^2}$

注: 上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります

(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD、V_{R-} = VSS = 0V、VREF+ ピンの外部容量 1μF として測定されたものです。

5.7 POR および BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/μs
		立ち下がり ⁽²⁾			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V _{POR+}	パワーオン リセット電圧レベル	立ち上がり ⁽¹⁾	1.04	1.30	1.5	V
V _{POR-}		立ち下がり ⁽¹⁾	0.99	1.25	1.48	V
V _{HYS, POR}	POR ヒステリシス		30	58	74	mV
V _{BOR+}	ブラウン アウトリセット電圧	立ち上がり ^{(1) (2)}	2.88	2.96	3.04	V
V _{BOR-}		立ち下がり ^{(1) (2)}	2.85	2.93	3.01	
V _{BOR, STBY}		STANDBY モード ⁽¹⁾	2.80	2.92	3.02	
V _{HYS, BOR}	ブラウンアウトリセットのヒステリシス	レベル 0 ⁽¹⁾		14	18	mV
		レベル 1~3 ⁽¹⁾		34	38	

(1) |dVDD/dt| ≤ 3V/s

(2) デバイスは RUN、SLEEP、STOP モードで動作しています。

5.8 低周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f _{LFXT}	LFXT 周波数			32768		Hz
DC _{LFXT}	LFXT デューティ サイクル		30		70	%
OA _{LFXT}	LFXT 水晶発振余裕度			419		kΩ
C _{L, eff}	集積実効負荷容量 ⁽¹⁾			1		pF
t _{start, LFXT}	LFXT スタートアップ時間			483	640	ms

(1) 集積実効負荷容量には、寄生ボンドおよびパッケージ容量 (ピンごとに約 2pF) が含まれ、C_{LFXIN} × C_{LFXOUT} / (C_{LFXIN} + C_{LFXOUT}) として計算されます。ここで、C_{LFXIN} および C_{LFXOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。

5.9 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
IDD_ERASE	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_PGM	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
NWEC	消去 / プログラム サイクル耐久性		10			k サイクル
NE _(MAX)	故障に至るまでの全消去動作回数 ⁽¹⁾		802			k 回の消去動作
保持						
t _{RET_85}	フラッシュ メモリのデータ保持	-40°C ≤ T _j ≤ 85°C	60			年
t _{RET_105}	フラッシュ メモリのデータ保持	-40°C ≤ T _j ≤ 105°C	11.4			年
t _{RET_130}	フラッシュ メモリのデータ保持	-40°C ≤ T _j ≤ 130°C	2.4			年
フォルトおよびイベントのログ						
NF	フォルトが発生するまでのフォルト イベント レコードの合計数		64			100 万件のイベント ログ

(1) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。

6 詳細説明

6.1 概要

CPU、DSP、マイクロコントローラ、FPGA、ASIC などのエレクトロニクス システムは、複数の電圧レールを備えていることがあり、正常に機能するためには、パワー オン/パワー オフの高精度シーケンスが必要です。UCD91320 は、最大 32 個の電圧レールのシーケンス制御、電圧およびフォルト状態の監視、PMBus インターフェイス経由でのシステム状態情報の報告を可能にします。

UCD91320 は、電源システムのフォルトに対して事前に設定された応答を実行することで、電子システムを保護します。フォルトが発生すると、直ちにブラック ボックス フォルト ログがトリガされて包括的なシステム ステータス レポートが保存されますが、それ以降のフォルト ログは不揮発性メモリ内に保存されます。

システムの信頼性は、4 コーナーテストで検証できます。電圧レールに、最小と最大の出力電圧で動作するように命令することができます。これをマージニングと呼びます。本デバイスは、最大 16 つの電圧レールに対して、高精度のクローズドループ マージニングを実行できます。通常動作中、UCD91320 は、これら 16 本のピンと同じマージン処理回路を使用して、DC 出力電圧をアクティブにトリムできます。

UCD91320 には、32 本の GPIO ピンのプールがあります。これらのピンの多くは、主に ENx、MARx、LGPOx ピンなどの機能を備えていますが、汎用 I/O (GPIO) としてデバイスが外部回路と相互作用するためにも構成できます。ピンの説明表に、各ピンの主な機能を示します。GPIO の状態は、次の複数の方法で制御できます：

- コマンド制御 GPO—これらの出力は、PMBus コマンドで設定できます
- GPIO—これらのピンは、フォルトの生成、マージニングの有効化 / 無効化、他の GPIO の状態への影響を与えるために使用できます。
- プール論理制御 (LGPO)—UCD91320 は、任意の GPIO を LGPO として構成できます (最大 16 の LGPO をサポート)。これらのピンの状態は、レールの状態やフォルト イベントなどの項目の状態によって異なります。

このデバイスは、カスケード、ピン選択状態、システム ウォッチドッグ、システム リセット、ランタイム クロック、リセット カウンタなどの追加機能を提供します。カスケード機能は、最大 4 つ UCD91320 のデバイスをカスケード接続し、最大 128 の電圧レールを管理する便利な方法を提供します。ピン選択状態機能により、ユーザーは最大 8 つのレールの状態を定義できます。これらの状態は、高度な構成と電源のインターフェイス (ACPI) 仕様に規定されているように、システムの低消費電力モードを実装できます。

6.2 機能説明

6.2.1 TI Sequencer Studio ソフトウェア

PC ベースのテキサス インストルメンツ Sequencer Studio ソフトウェアは、PMBus インターフェイス経由でデバイスと通信し、設計エンジニアがアプリケーションの動作パラメータを構成できるようにします。これを実現するために、低レベルの PMBus コマンドを学習する必要はありません。ソフトウェアにより、構成がオンチップの不揮発性メモリに保存され、デバッグ作業中にシステム ステータスを観察するために使用できます。設定後、デバイスは起動時に独立して実行されます。[UCD91320 ウェブ ページ](#)から *Sequencer Studio* ソフトウェアをダウンロードします。

6.2.2 PMBUS インターフェイス

PMBus は、パワー マネージメント アプリケーションをサポートするように設計されたシリアル インターフェイスです。PMBus インターフェイスは、I²C 物理仕様に基いて構築された SMBus インターフェイスをベースにしています。この UCD91320 デバイスは PMBus 1.3 をサポートしています。標準的な PMBus インターフェイス コマンドはデバイスの機能をサポートし、MFR_SPECIFIC コマンドにより独自の機能を構成できます。これらのコマンドは、[UCD91320 シーケンサおよびシステム状態コントローラ PMBUS コマンドリファレンス](#)で定義されています。最新の UCD91320 PMBus コマンドリファレンスは、ヘルプ メニュー (ヘルプ、ドキュメントとヘルプ センター、シーケンサ タブのドキュメントセクション) から Sequencer Studio ソフトウェア内にあります。

このデータシートでは、PMBus 仕様について頻繁に言及しています。具体的には、このドキュメントは、PMBus 電力システム管理プロトコル仕様パート II—コマンド言語、リビジョン 1.2 (2010 年 9 月 6 日付け) です。この仕様は電力管理バスインプリメンターズフォーラムで公開されており、www.pmbus.org から入手できます。

本 UCD91320 デバイスは、PMBus 仕様のコンプライアンスセクションのすべての要件を満たしています。このファームウェアは、SMBus のアラート機能をサポートすることを含め、SMBus 1.2 仕様に準拠しています。このハードウェアは、100kHz または 400kHz の PMBus 動作をサポートしています。

6.2.3 PMBUS セキュリティ

UCD91320 デバイスラインは PMBus セキュリティレベル 0 を維持し、カスタム コマンドをサポートしているため、最大 PMBus セキュリティレベル 2 の機能を実現できます。

PMBus セキュリティレベル 0 に準拠するため、UCD91320 デバイスは以下の機能のサポートを継続します：

1. **PASSKEY** コマンド
2. **ACCESS_CONTROL** コマンド

6.3 デバイスの機能モード

6.3.1 ブラック ボックス フォルト ログ

システム障害イベントの最初のフォルトは、根本原因を診断するために重要となる場合があります。初期フォルトが検出されると、UCD91320 本デバイスは、この機能用に予約されている NVM の特別な領域 (ブラックボックス) に各レールのステータスを記録し、保存します。デバイスは、後続のフォルトおよびモニタリング ステータスをブラックボックス フォルト ログに保存せず、代わりに標準のフォルトログに記録します。BOR 電圧を超えたときの最後のフォルトログも、ブラックボックスのフォルトログに保存されます。ブラック ボックス フォルト ログを収集するには、PMBus コマンドを使用してブラック ボックス フォルト ログをクリアする必要があります。

6.3.2 PMBus アドレス選択

3 つのデジタル入力を使用して PMBus アドレスを選択します。これらのピンは、High または Low のいずれかに設定する必要があります。

表 6-1. PMBus アドレス構成

PMBUS_ADDR2	PMBUS_ADDR1	PMBUS_ADDR0	PMBUS アドレス選択済	
L	L	L	17d	0010001b
L	L	H	19d	0010011b
L	H	L	23d	0010111b
L	H	H	49d	0110001b
H	L	L	51d	0110011b
H	L	H	113d	1110001b
H	H	L	115d	1110011b
H	H	H	119d	1110111b

6.3.3 ブラウンアウト

UCD91320VDD ピンの電圧がブラウンアウトスレッショルド電圧 (V_{BOR}) を下回ると、デバイスはブラウン アウト イベントをトリガします。ブラウン アウト イベント中、本デバイスは、ブラウン アウト イベント前に発生した NVM にフォルトログを書き込み続けます。VDD ピンの電圧がシャットダウン スレッショルド電圧 (V_{SHDN}) を下回ると、デバイスは完全にシャットダウンされます。デバイスのシャットダウンが失われる前に NVM に書き込まれていなかったすべてのフォルトイベントが発生します。

ブラウンアウトイベントの直前に複数のフォルトが発生した場合、本デバイスは最初のフォルトイベントを NVM に書き込むために、500 μ s の容量を必要とします。書き込み機能では、ブラック ボックス フォルト ログを NVM に書き込むために、さらに 4ms が必要です。最初のフォルト ログを維持するため、500 μ s のために VDD レールが VSHDN より高く維持される (ブラック ボックス フォルト ログでは 4.5ms) ために、十分なローカル容量を用意する必要があります。容量が大きいほど、ブラウンアウト時に、より多くのフォルト イベントを NVM に書き込むことができます。

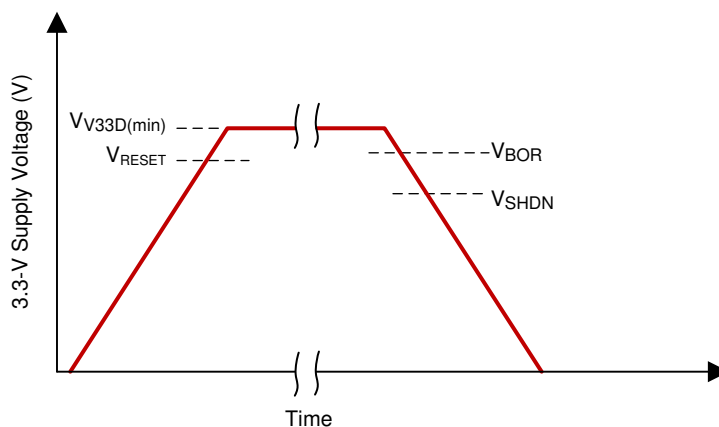


図 6-1. リセットおよびブラウンアウト スレッシュホールド

障害分析と返品

UCD91xxx デバイスは、複数のセキュリティ保護機能を活用して、デバイスのファームウェアと構成の整合性を維持しています。そのため、故障解析中や返品された場合に、TI がデバイス構成およびファームウェアを読み出すことができない場合があります。デバイスで実行されているファームウェアのバージョンと、デバイスの設定パラメータを記録しておいてください。その結果、TI のチームは返品の際にあらゆる条件を再現することができます。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

UCD91320 このデバイスは、最大 32 個の電圧レールのシーケンシングと監視を行い、最大 16 個の電圧レールをマーキングするために使用できます。最大 4 つ **UCD91320** のデバイスをカスケード接続できるため、最大 128 のレールを監視し、同期されたフォルト応答を記録できます。代表的な用途には、自動試験装置、通信・ネットワーク機器、サーバー、ストレージシステムなどがあります。デバイス構成は、TI が提供する **Sequencer Studio** ソフトウェアを使用して実行できます。コーディングスキルは必要ありません。

7.2 代表的なアプリケーション

図 7-1 に、簡略化したシステム図を示します。この図では簡略化のため 3 つのレールしか示していませんが、各 **UCD91320** デバイスは最大 32 のレールを管理できます。

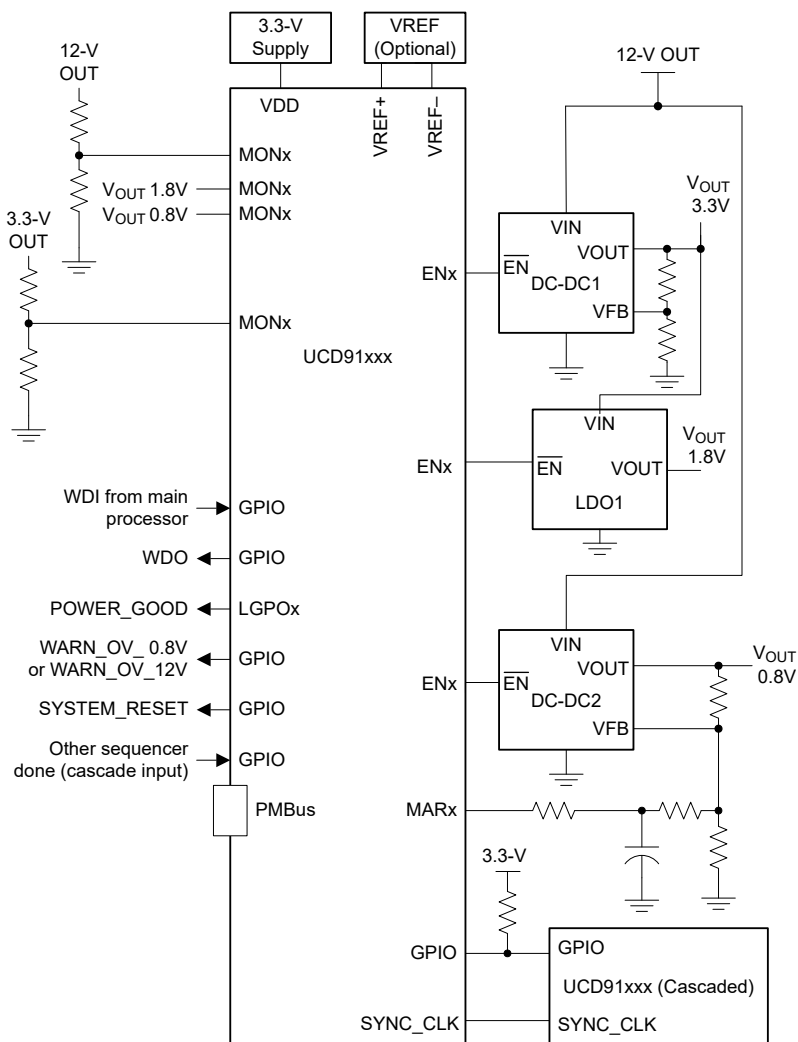


図 7-1. システム簡略図

7.2.1 設計要件

UCD91320 は VDD、BPCAP、VREF+ ピンにデカップリングコンデンサが必要です。VDD、BPCAP、VREF+ の容量値は、「電気的特性」に規定されています。これらのコンデンサ設計構成を、オプションとして考慮してください。

- アプリケーションで nRESET 信号を使用しない場合は、[図 7-2](#) に示すように、VDD ピンに直接接続するか、R-C 回路によって nRESET ピンを VDD に接続する必要があります。[図 7-2](#) に示す R-C 回路は、パワー アップ時にリセットを遅延させるためにも使用できます。アプリケーションで nRESET 外部ピンを使用する場合は、nRESET 信号のトレースをできるだけ短くする必要があります。nRESET 信号に接続されているすべての部品は、デバイスにできる限り近づけて配置します。
- nRESET ピンを 1 秒未満 Low に保持すると、BOOT リセットがトリガされ、1 秒を超えて nRESET を Low に保持すると、POR/パワー オンリセットがトリガされます。
- アナログ監視ピンは、0V ~ 3.3V の電圧レールを監視できます。MONx ピンの入力、この範囲外にならないようにしてください。
- VDD 電源が安定し、デバイスのプログラミング中はデバイスリセットが発生しないことが必須です。デバイスのプログラミング中にトリガされたリセットにより、デバイスが破損する可能性があります。
- テキサス・インスツルメンツは、10 μ F と 0.1 μ F の低 ESR セラミック デカップリング コンデンサを VDD ピンと VSS ピンの間に接続するとともに、これらのコンデンサを分離する電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることをおすすめします。ほとんどのアプリケーションでは 10 μ F のバルク デカップリング コンデンサが推奨値ですが、PCB の設計とアプリケーションの要件に基づいて、必要に応じてこの容量を調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。
- BPCAP ピンには 0.47 μ F のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。他の回路は BPCAP ピンに接続しないでください。

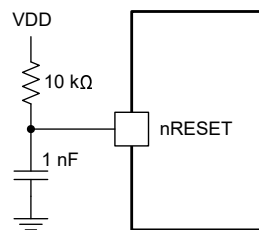


図 7-2. R-C ネットワーク付きの nRESET ピン

7.2.2 詳細な設計手順

Sequencer Studio ソフトウェアを使用して、デバイス構成をオンラインまたはオフラインで設計できます (コンピュータにデバイスが接続されている場合と接続されていない場合 UCD91320)。オフライン モードでは、起動時にプロジェクト ファイル (.xml) を作成するか開くかをユーザーに指示するプロンプトが表示されます。オンライン モードでは、ソフトウェアは PMBus インターフェイス経由でデバイスを自動的に検出し、デバイスから構成データを抽出します。**Sequencer Studio** ソフトウェアを PMBus に接続するには、TI から入手できる [USB インターフェイスアダプタ評価基板](#) が必要です。

一般的な設計手順も含まれています。手順の詳細については、[セクション 6](#) に記載されて、**Sequencer Studio** ソフトウェアから簡単にアクセスできます。

1. レール セットアップ
2. レール監視構成
3. GPI による構成
4. レール シーケンス構成
5. フォルト応答構成
6. GPO による構成
7. マージニング構成
8. その他の構成には、以下のものがありますが、これらに限定されません:

- ピン選択レール状態
- ウォッチドッグ タイマ
- システムリセット
- 同期クロック
- フォルトピン

ハードウェアへの書き込み をクリックして、変更を適用します。オンラインモードでは、**RAM をフラッシュに保存** をクリックして、新しい構成をデバイスのデータフラッシュに永続的に保存します。

7.2.3 アプリケーション曲線

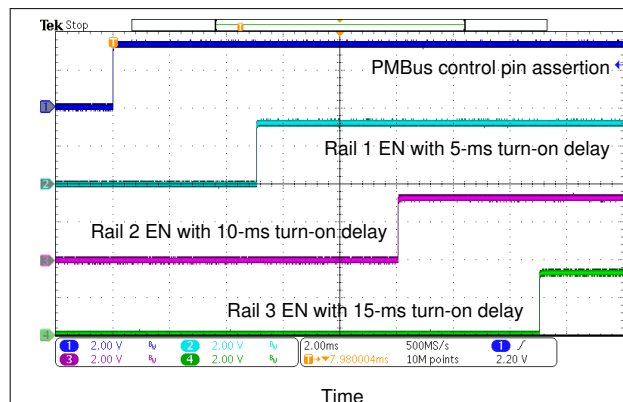


図 7-3. スタートアップ波形

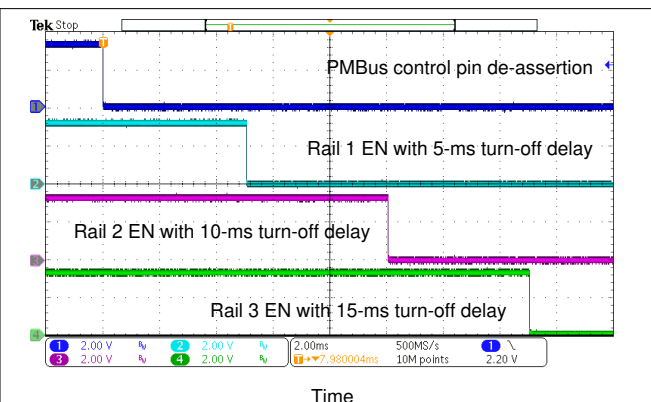


図 7-4. シャットダウン波形

7.3 電源に関する推奨事項

3.3V 電源から UCD91320 デバイスに電力を供給します。

内部基準電圧を使用する場合、VDD は ADC リファレンスとして機能し、正確に 3.3V と想定されます。3.3V からの入力電圧の偏差は、ADC リファレンスと ADC の結果に誤差を生じさせます。したがって、3.3V 電源は厳密にレギュレートする必要があり、非常に小さな電圧変動 (負荷過渡によって生じる電圧リップルと電圧偏差を含む) のみを許容する必要があります。

外部リファレンス電圧 (VREF+) を使用する場合、3.3V 電源はセクション 5.3 およびセクション 5.5 に規定されている最小要件のみを満たす必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- デカップリング コンデンサは、デバイスにできる限り近づけて配置してください
- BPCAP デカップリング コンデンサは、BPCAP ピンにできる限り近づけて接続してください
- マージンピン (MARx) は、高速エッジを持つ PWM 信号を出力します。これらの信号は、敏感なアナログ信号から離して配線します

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

PMBus™ is a trademark of SMIF, Inc..

Sequencer Studio™ is a trademark of TI.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCD91320SPZR	Active	Production	LQFP (PZ) 100	1000 LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCD91320S

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

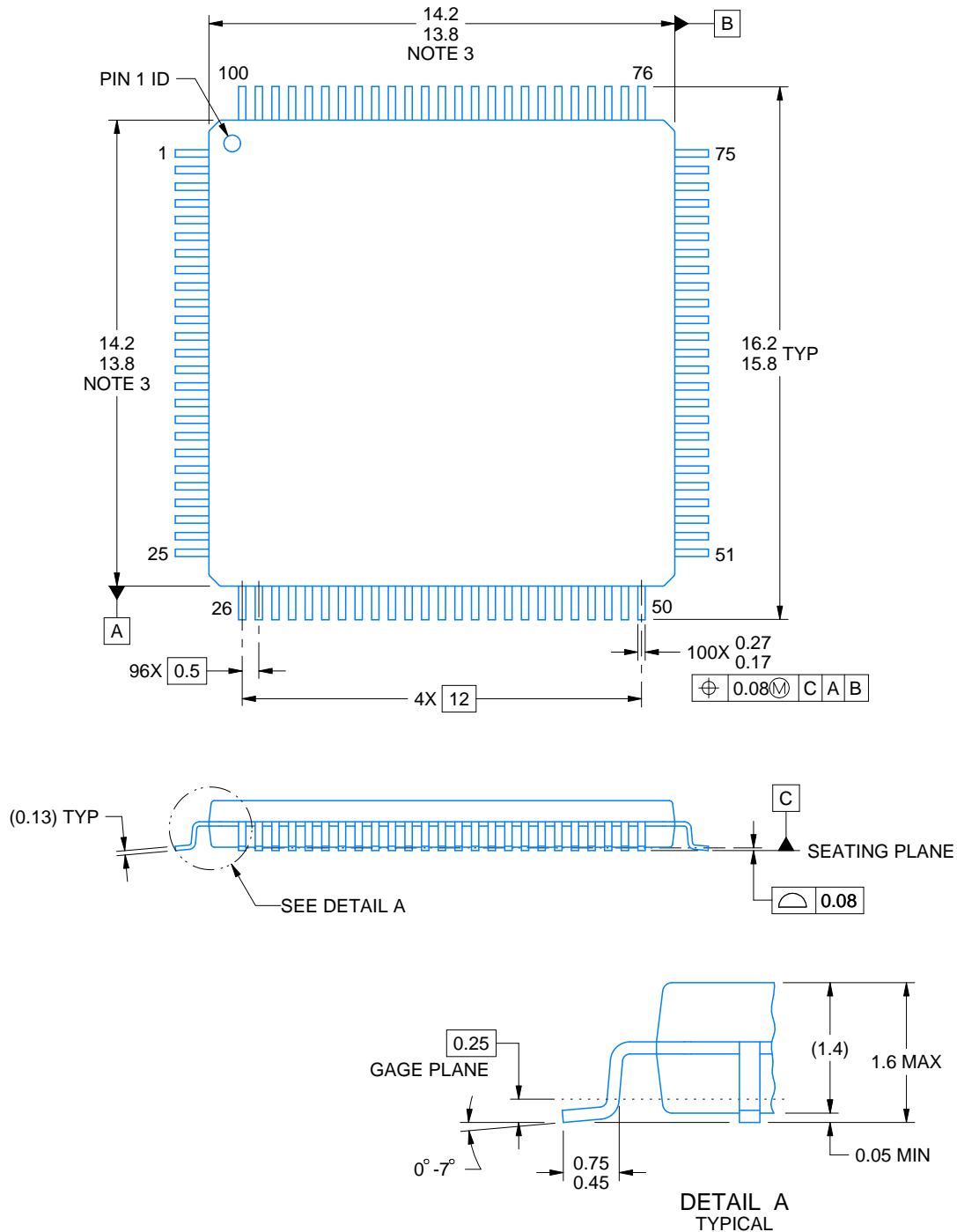
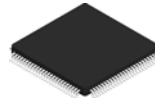
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4215169/A 03/2017

NOTES:

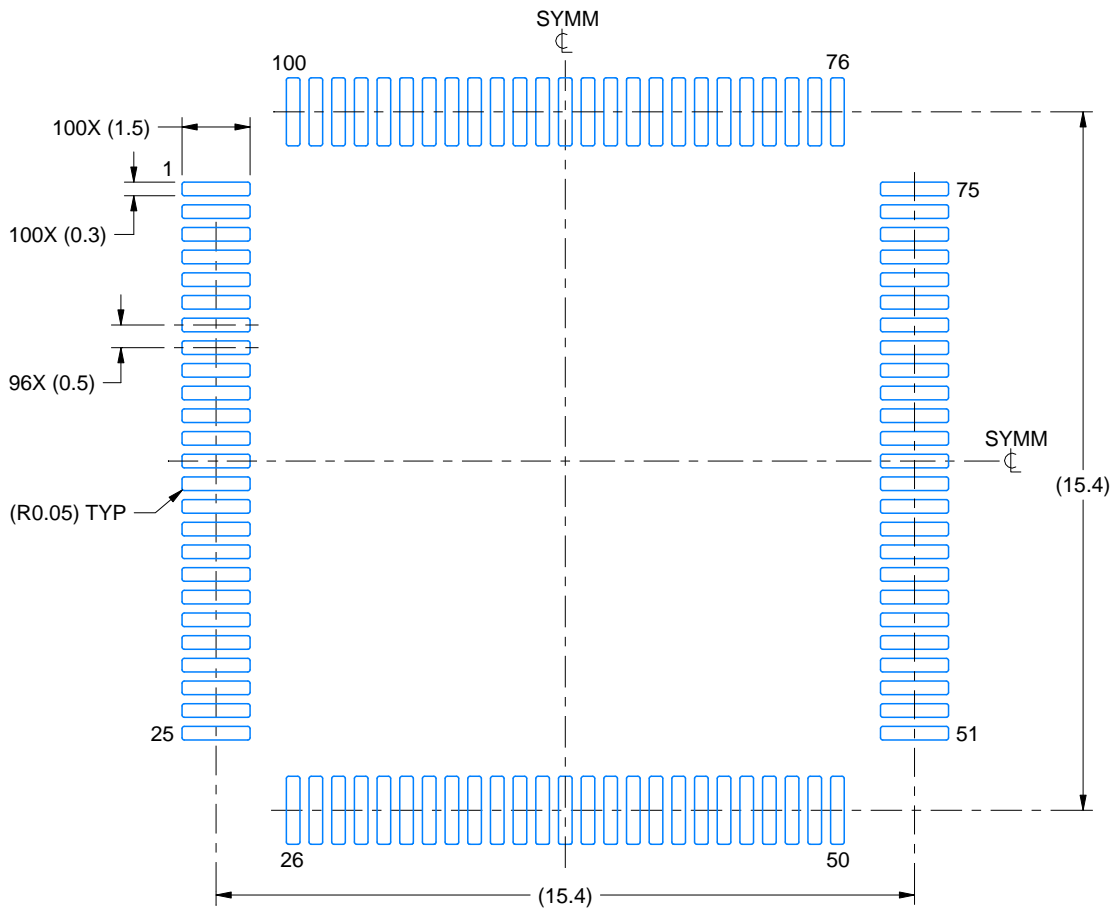
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

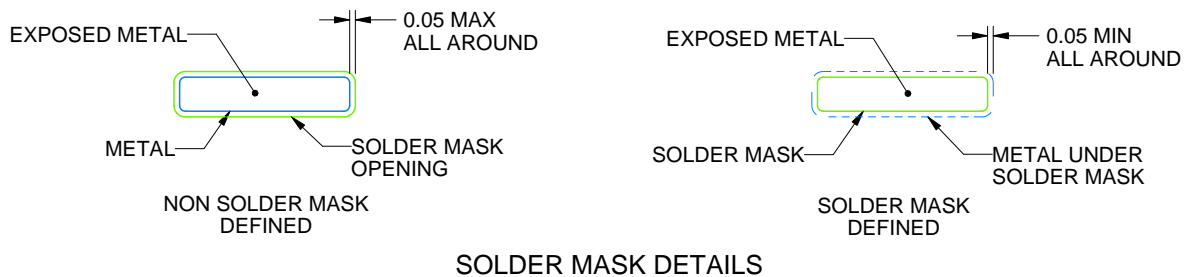
PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

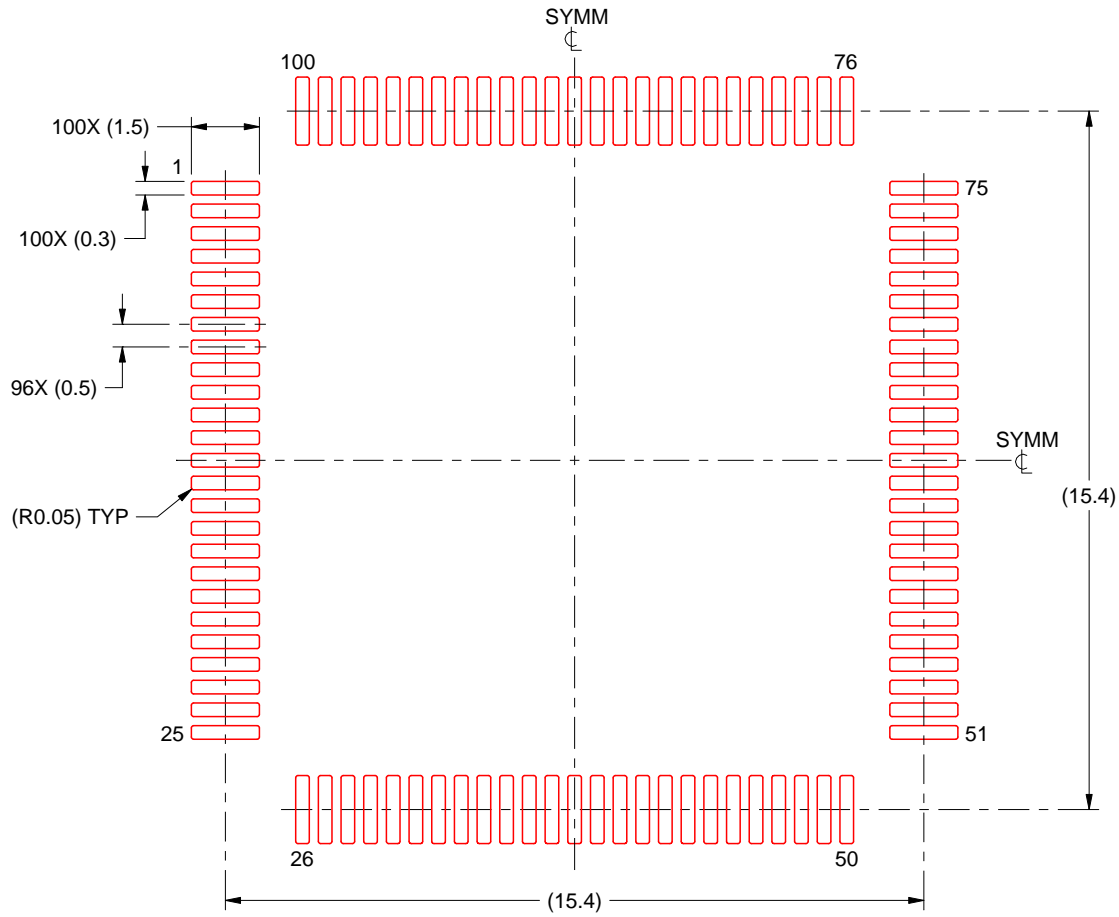
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PZ0100A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月