

PCM1723のクロック・インターフェースとジッタ性能

概要

このアプリケーションノートは、PCM1723内蔵のPLL部の構成および生成システムクロックのジッタ性能、クロック・インターフェースの実際について実測データも含めて解説したものです。

特に、各種DVD応用製品やセット・トップ・ボックス等MPEG2アプリケーションでの応用法について、実設計の参考資料として役立てていただければ幸いです。

27MHzマスター・クロックの入出力

PCM1723では、図1に示す通り、基本的に27MHzマスター・クロックをクリスタルで自己発振する動作モードと外部入力する動作モードがあります。この27MHzクロックは当然、MPEGデコーダICにも使用されますが、この時のインターフェース方法に関しては一考を要します。

PCM1723は、27MHzマスター・クロックのバッファ出力がMCKO端子より出力されますが、このMCKO出力は内部構成上、ジッタを若干含んでいます。図2にMCKO出力でのジッタの実測データを示します。図2Aはクリスタル発振の場合で、図2Bは外部入力の場合をそれぞれ示しています。

このデータから明らかなように、いずれの場合も480psecから900psecのジッタがあります。このMCKOクロックはMPEGデコーダICにインターフェースされますが、MPEGデコーダICによっては27MHzマスター・クロック入力のジッタについて規定しているものがあり、その許容ジッタ・レベルを満足しないかもしれません。また、MCKO端子自体はスイッチング動作における電流ノイズでのオーディオ特性への影響を避けるため、ドライブ能力を抑えてあります。したがって、27MHzマスター・クロックのインターフェースを考えた場合、MCKO端子の使用はなるべく避けられた方が良くと判断できます。

図3にこれらを考慮したインターフェース例を示します。この例では、27MHzマスター・クロックがクリスタル発振クロックの場合でも、前段のPLLクロックの場合でもPCM1723のXTI端子に入力すると同時に、MPEGデコーダICにもパラレルに供給する方式としています。これにより、MCKO端子のジッタの影響は全くなくなり、余計なトラブルを避けることができます。

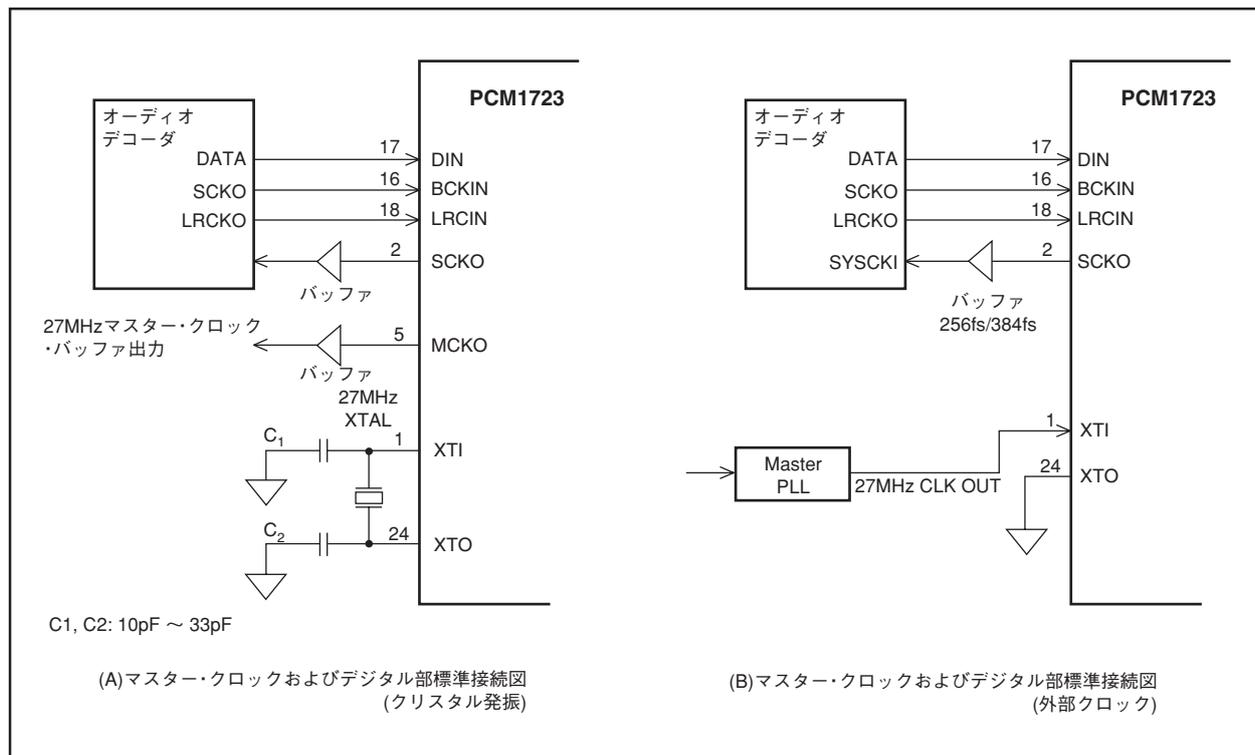


図 1. 27MHzマスター・クロック動作モード

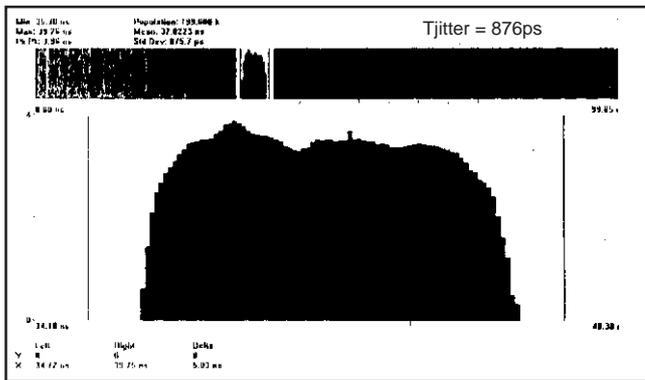


図2A. MCKOジッタ(クリスタル発振)

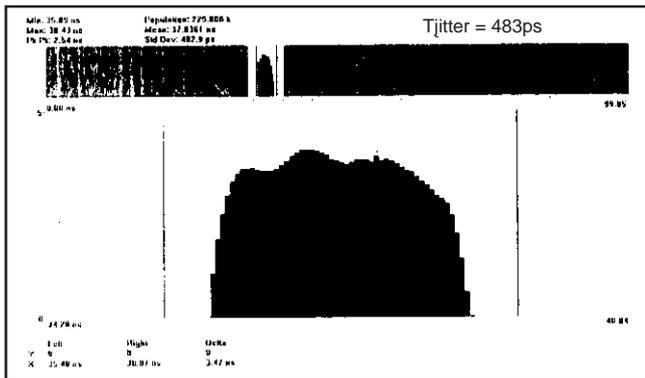


図2B. MCKOジッタ(外部クロック入力)

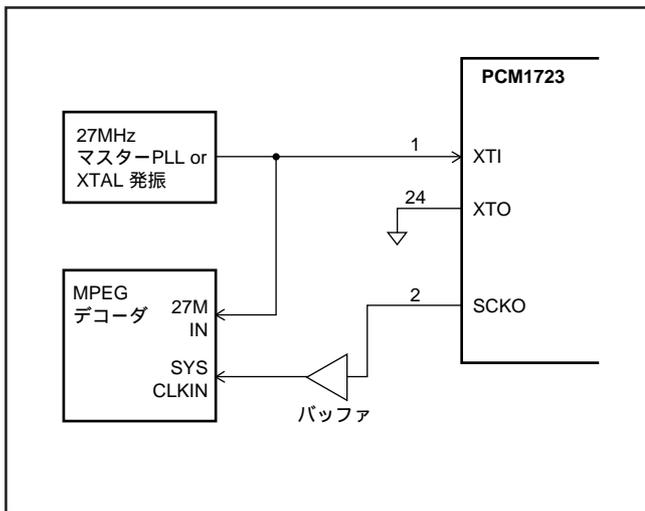


図3. 27MHzクロック接続例

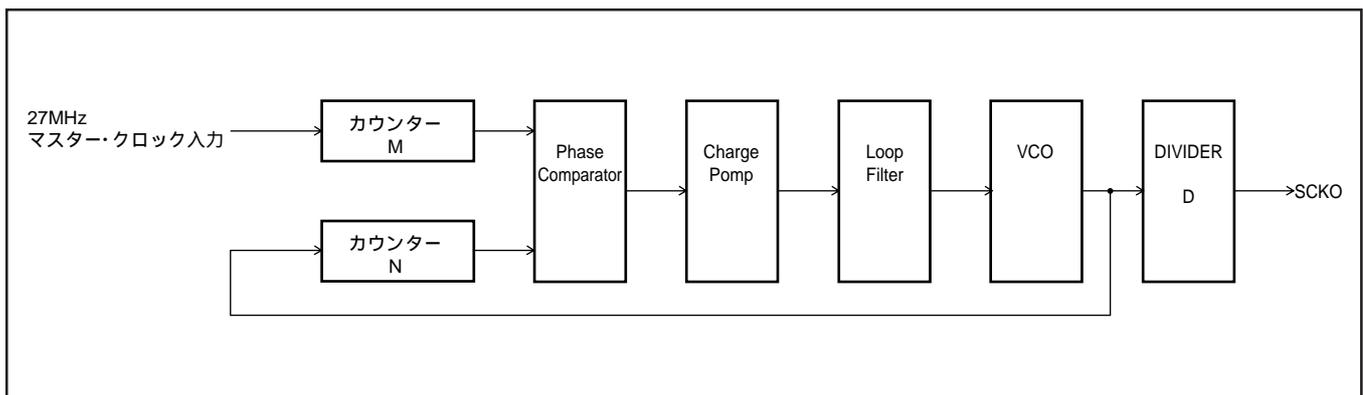


図4. PCM1723 PLL部ブロック図

内蔵PLLの構成と性能

PCM1723で用いたPLL部のブロック図を図4に、また、 $256f_s$ および $384f_s$ を生成するための内部動作の概要を図5にそれぞれ示します。

PLL部は、主にM、NビットのカウンターとPhase Comparator、Charge Pump、Loop Filter、高速VCO、デバイダDで構成されています。クリスタル発振並みの周波数精度と低ジッタ特性を確保するため、VCOの発振周波数は極めて高い周波数での安定動作を条件に設計されており、実際の最高動作周波数は実に、184.32MHzに設定されています。また、例えば、 $f_s = 44.1\text{kHz}$ に対する $384f_s$ のシステムクロック、 $f = 16.9344\text{MHz}$ を正確に生成するため、カウンターM、Nの桁数とデバイダDの桁数は数学的にその最適構成を求めて設定されており、27MHzの周波数から、下限は4.096MHz($256f_s$ 、 $f_s = 16\text{kHz}$)、上限は36.864MHz($384f_s$ 、 $f_s = 96\text{kHz}$)といった極めて広範囲な周波数を理論誤差無しで生成することができます。

このように、PCM1723の内蔵PLLは極めて優秀な性能を有しています。実際の生成システムクロックはSCKO端子から出力されますが、システムクロック・ジッタはD/A変換性能に影響するため低ジッタであることが要求されます。図6にSCKO端子でのジッタの実測例を示します。実測データから分かる通り、PCM1723の生成システムクロック・ジッタはほぼ、200psecから330psecであり、これは他の市販のどのMPEG再生用PLLよりも優れていると言えます。

(全てのジッタ実測データは標準値です。測定はHp社タイム・インターバル・アナライザによるもので、データ中のStd Devがジッタの実効値(rms)を意味しています。)

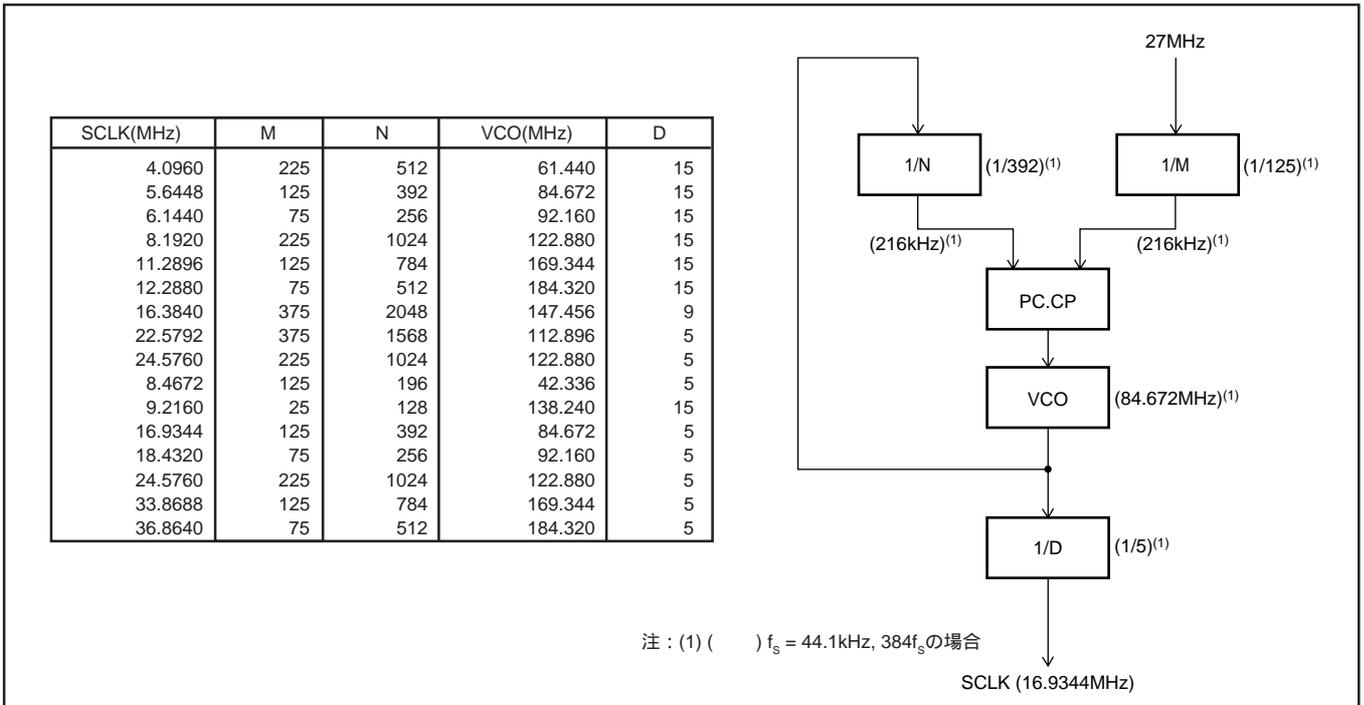


図5. PLL各部の動作概要

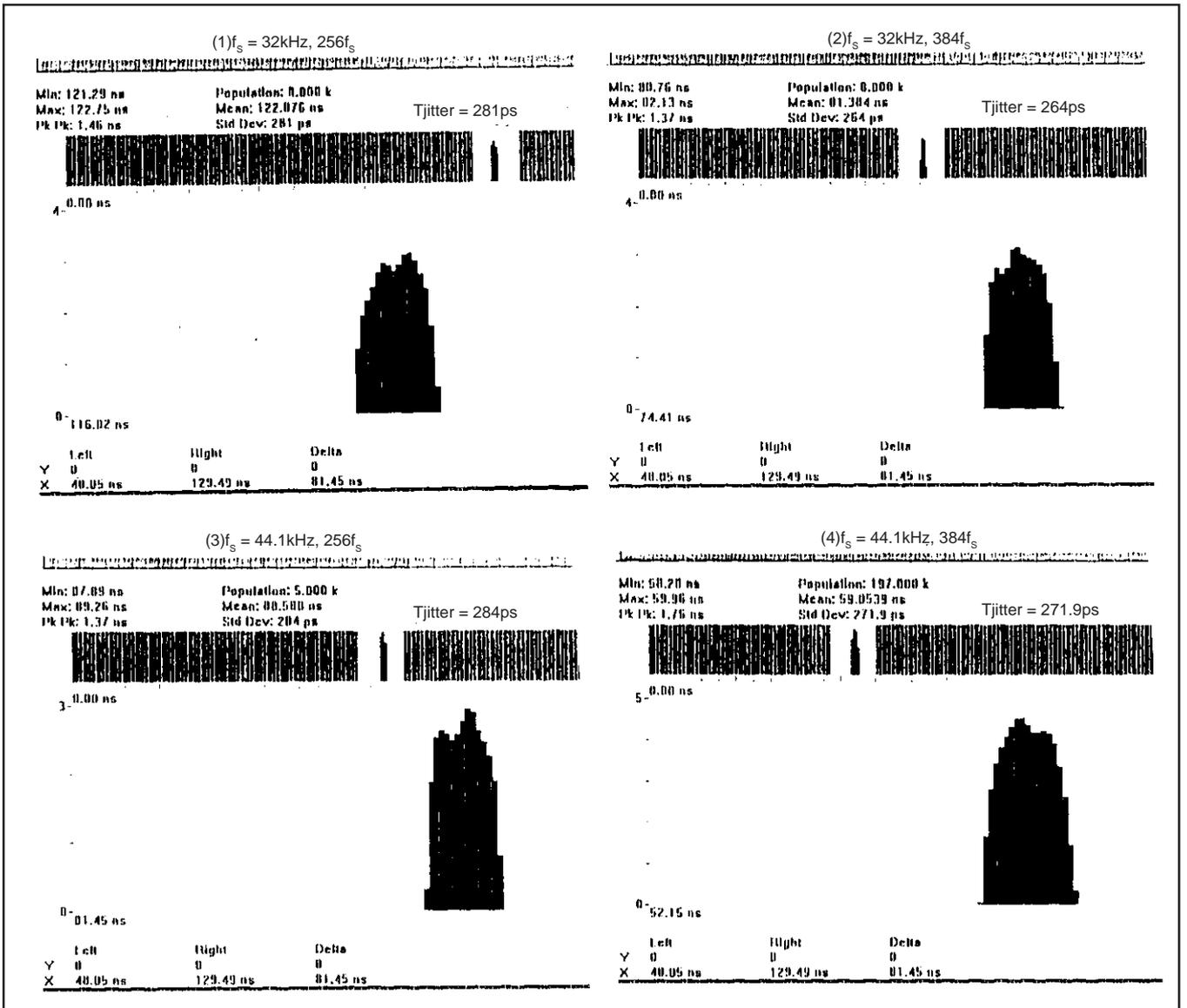
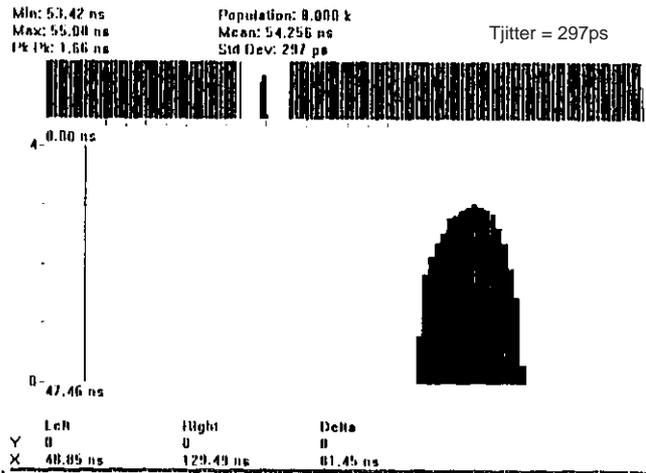
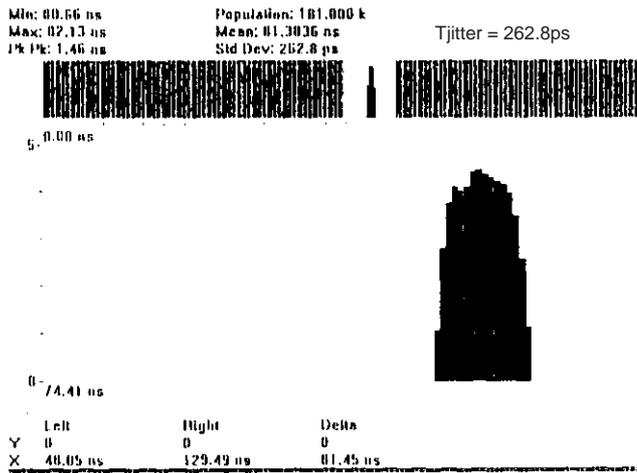


図6. SCKOジッタ実測例

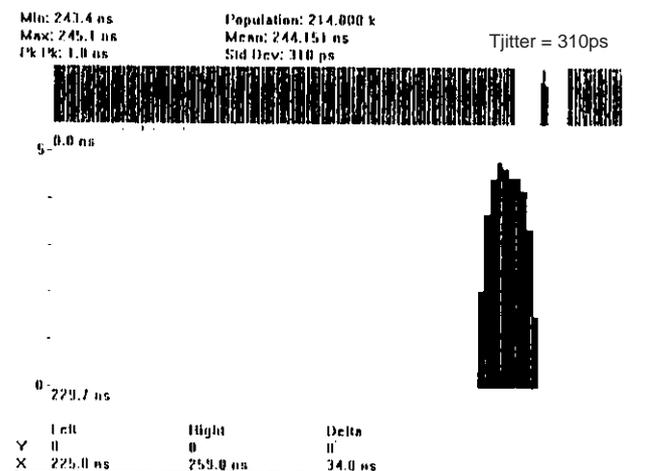
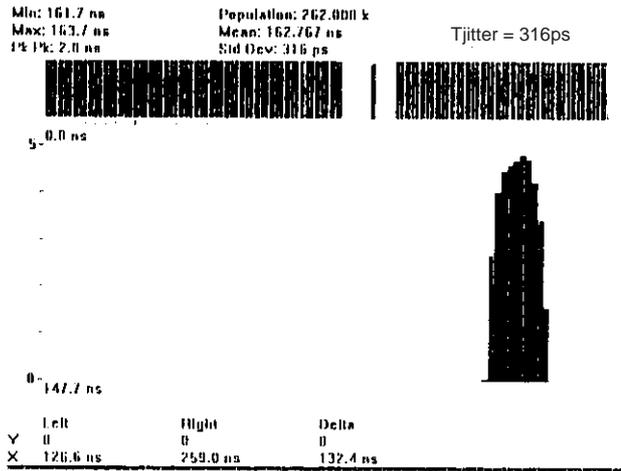
(5) $f_s = 48\text{kHz}$, $256f_s$

(6) $f_s = 48\text{kHz}$, $384f_s$



(7) $f_s = 16\text{kHz}$, $256f_s$ (最低生成周波数)

(8) $f_s = 16\text{kHz}$, $384f_s$



(9) $f_s = 96\text{kHz}$, $256f_s$

(10) $f_s = 96\text{kHz}$, $384f_s$ (最高生成周波数)

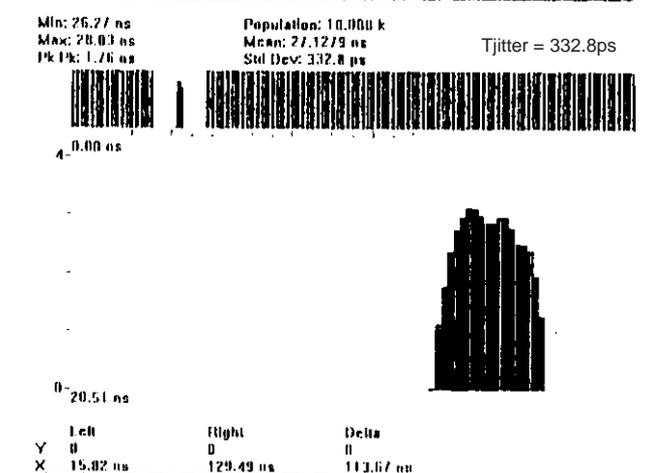
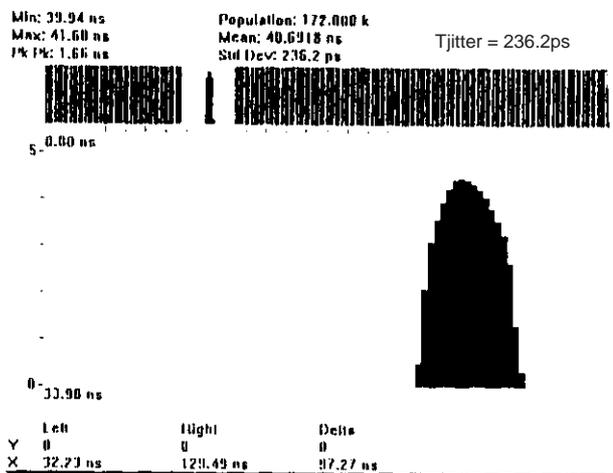


図6. SCKOジッタ実測例

SCKO端子のドライブ能力とオーディオ特性

PLL部で生成した $256f_s$ または $384f_s$ のシステムクロックは、そのままPCM1723自体のDAC動作クロックとして用いられ、これは内部で接続されています。一方、このシステムクロックは一般的にMPEGデコーダICのオーディオ用基準動作クロックとして、PCM1723のSCKO端子からMPEGデコーダICへ供給されます。

ここで、先のMCKO端子のところでも触れましたが、SCKO端子も一般的なCMOS ICと比べて十分なドライブ能力を持っていないため、外部へのインターフェースには外部バッファを介して接続することを推奨します。この外部バッファは、PCM1723自体のオーディオ特性の劣化を避ける目的と、システムクロックの供給先であるMPEGデコーダICの入力タイミング規定への合致を目的としています。

具体的には、図7にPCM1723の負荷容量対THD+N特性の実測例を示します。この図7のデータから分かる通り、SCKO端子の負荷容量が大きくなると、SCKO端子での負荷電流が増え、これは非常に高速であるため、DAC部の電源にも影響し、結果的にTHD+N特性に悪影響します。

もうひとつの具体的例は、SCKO端子でのクロック出力の立ち上がり/立ち下がり時間の特性とMPEGデコーダICにおける入力

クロックへの要求性能の関係です。図8にSCKO端子でのクロック実測波形を示します。10% of V_{DD} から90% of V_{DD} への遷移時間は8nsecから9nsecです ($f_s = 44.1\text{kHz}$ 、 $394f_s = 16.9344\text{MHz}$)。この遷移時間は特に遅いものではありませんが、MPEGデコーダICによっては、この遷移時間の規定を4nsecとしているものがあり、この要求仕様を満足させるには、外部バッファの接続が絶対に必要となります。

すなわち、MPEGデコーダICとのインターフェース・タイミングおよびPCM1723自体のオーディオ特性を満足させる意味でSCKO端子の出力には外部バッファを必ず接続して下さい。また、ここで用いるバッファICの電源系はPCM1723のアナログ系を用いるのではなく、MPEGデコーダIC側のデジタル系電源に接続して下さい。これらを考慮した接続例を図9に示します。ここでは詳しく触れませんが、27MHzマスター・クロック、 $256f_s/384f_s$ システムクロック共にその周波数はMHzオーダーの高周波数クロックであり、その接続はできる限り最短距離で行って下さい。

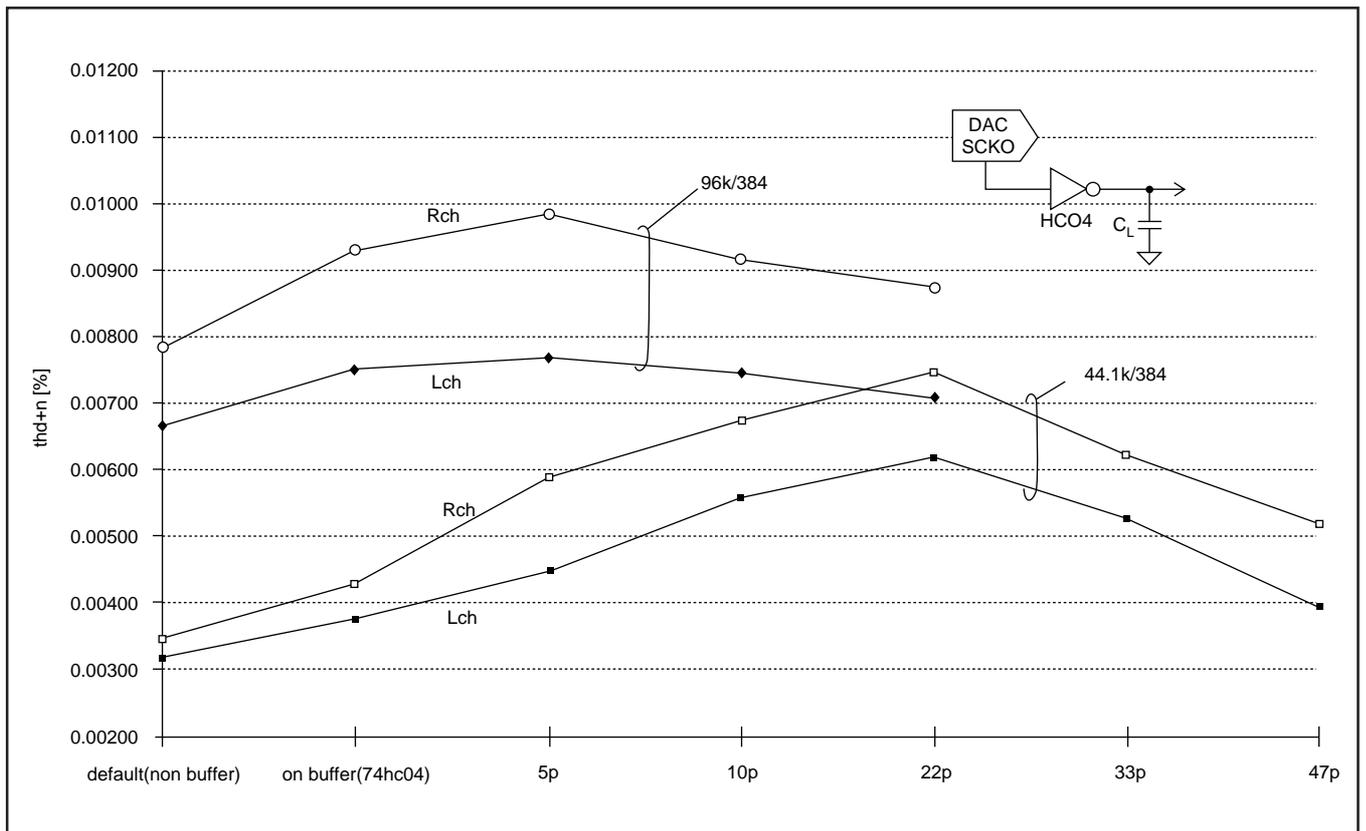


図7. SCKO負荷容量対THD+N特性

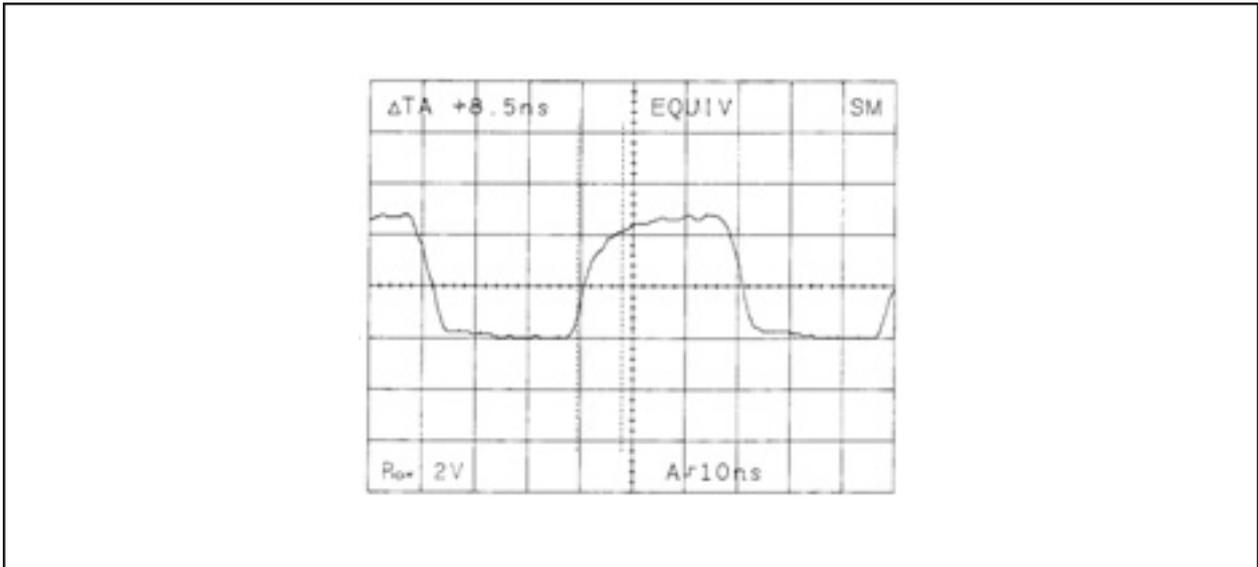


図 8. SCKO出力波形($C_L = 15\text{PF}$)、クロック周波数 = 16.9344MHz

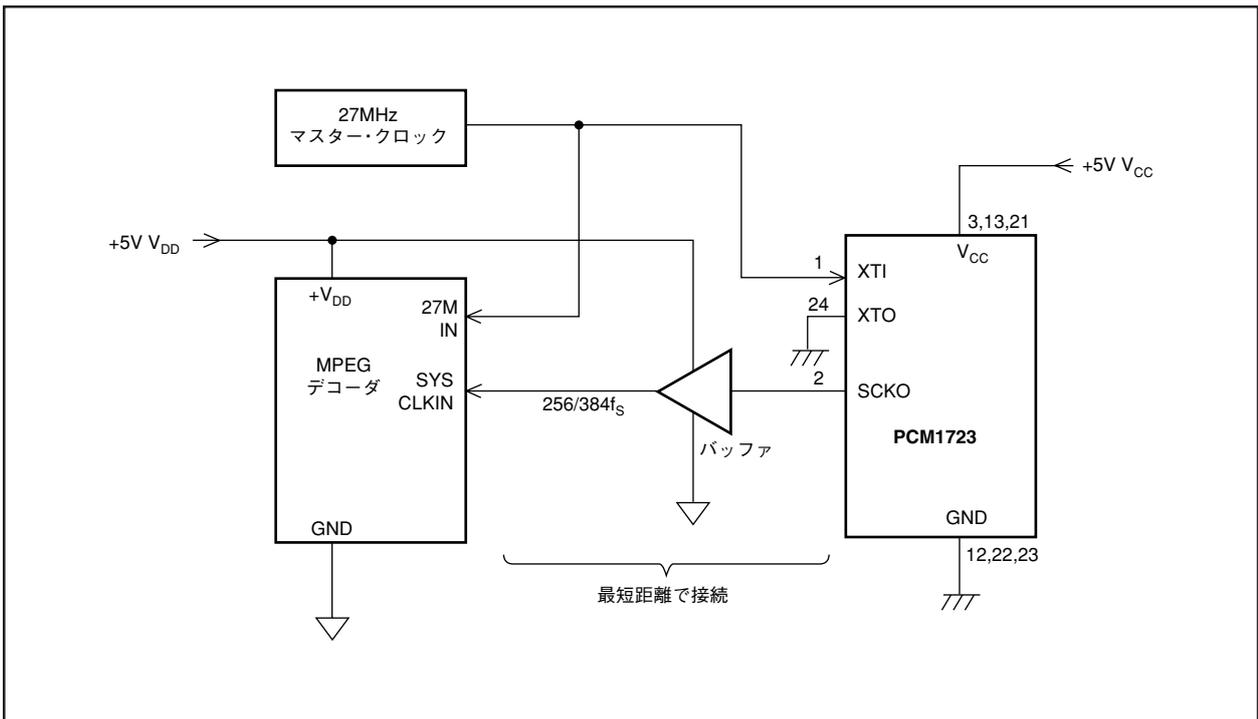


図 9. 推奨クロック・インターフェース例

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路

配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上