

# シリアルコントロールおよびリセットの スペックとタイミング設計

## 概要

このアプリケーション・ノートは、ソフトウェア・コントロールによりDAC、コーデックを制御する場合のコントロール・タイミングのスペックの解釈や実際のタイミング例、およびPCMデバイスをリセットする場合のタイミング例について解説したものです。以下の解説ではシリアルコントロールはPCM1717、PCM1716、PCM1720、PCM1723、PCM1727、PCM3000、PCM3002の各モデル、ハードウェア・コントロールについてはPCM1800、PCM3001、PCM3003、PCM3006が対象となります。

### シリアルコントロール入力部の構成

図1に、上記該当モデルにおけるシリアルコントロール入力部(ML、MC、MD)のブロック図を示します。MCクロックはデータMDの取り込み用クロックで、単純なシリアル-パラレル変換が行なわれ、ラッチに伝送されます。

ラッチ部にはシリアル-パラレル変換されたデータを逐次保持する役目と、MLクロックによって決定したデータを実際の制御データとして伝送する役目があります。

### 各クロックのタイミング仕様

図2にシリアルコントロール・タイミングのタイミング概要を示します。データMDは、MCクロックの立ち下がりに同期したデータでありMCクロックの立ち上がりエッジで取り込まれ、MLクロックの立ち上がりエッジでその直前の16ビットのデータ入力をラッチします。

図3は、タイミング・スペックの詳細で、この規定は各モデルのデータシートに記載されています。モデルによって規定表現が若干異なりますが、ここでの規定が最も適切なものです。実際、このシリアルコントロール入力回路は該当モデルで全て共通になっています。

#### \*MCおよびMDの各タイミング

MCクロックに関しては、 $t_{MCH}$ 、 $t_{MCL}$ 、 $t_{MCY}$ で、MDデータに関してはMCクロックとの位置関係として、 $t_{MDS}$ 、 $t_{MDH}$ でそれぞれ規定します。

#### \*MLのタイミング

ML自体に対しては、 $t_{MLL}$ 、 $t_{MLH}$ で、MCとの関係として、 $t_{MLH}$ 、 $t_{MLS}$ でそれぞれ規定しています。

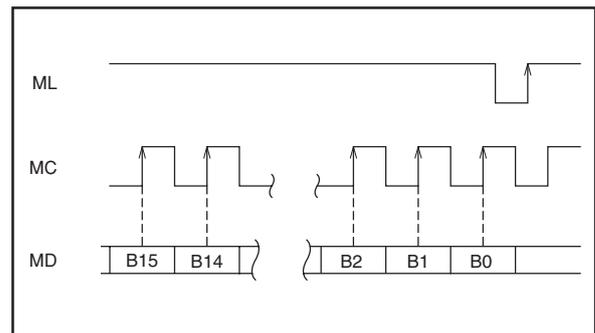


図2. 制御タイミング概略

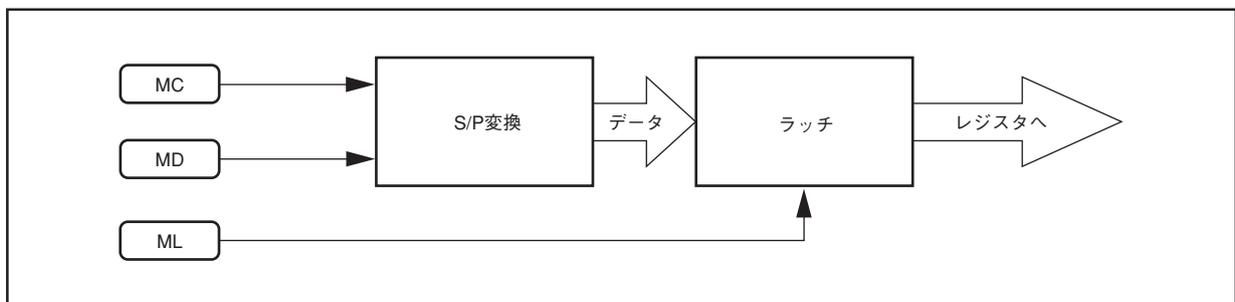
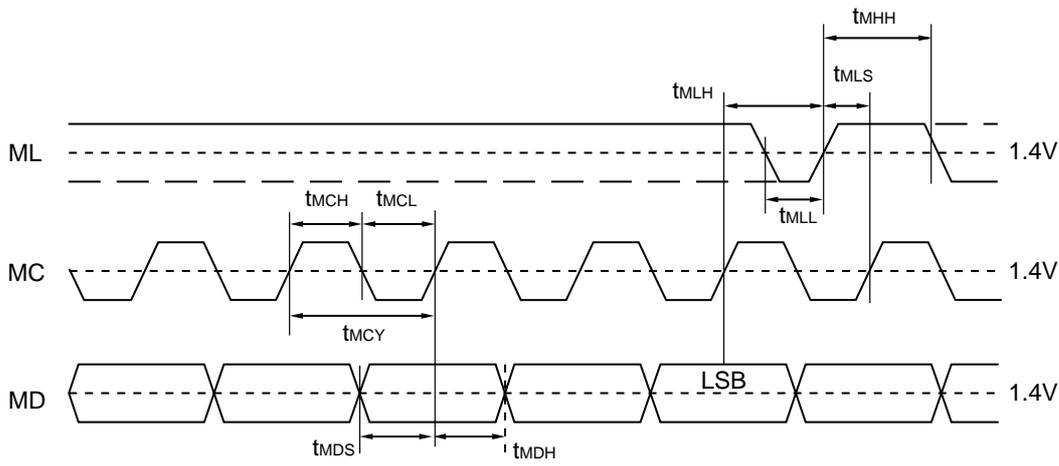


図1. シリアルコントロール入力部簡易ブロック図

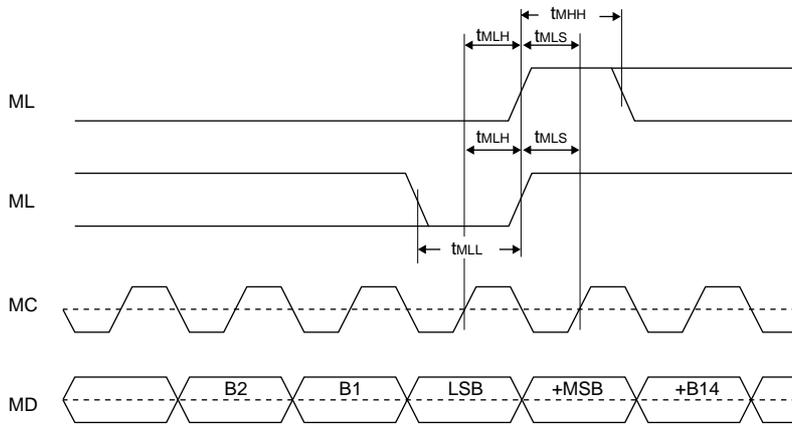


MC Pulse Cycle Time	$t_{MCY}$	100ns	(min)
MC Pulse Width Low	$t_{MCL}$	40ns	(min)
MC Pulse Width High	$t_{MCH}$	40ns	(min)
MD set-up Time	$t_{MDS}$	40ns	(min)
MD Hold Time	$t_{MDH}$	40ns	(min)
ML Low Level Time	$t_{MLL}$	40ns + 1 SYSCLK*	(min)
ML Set-up Time	$t_{MLS}$	40ns	(min)
ML Hold Time	$t_{MLH}$	40ns	(min)
ML High Level Time	$t_{MHH}$	40ns + 1 SYSCLK*	(min)

\* SYSCLK : システム・クロック周期

図3. 制御タイミング詳細

(1) 連続データ



(2) 間欠データ

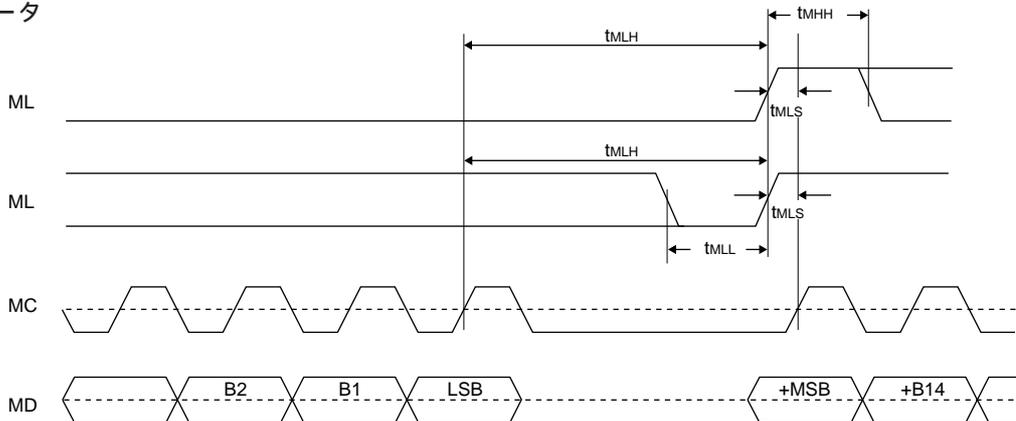


図4. 制御タイミング例

## MLクロックのタイミング解釈とタイミング例

図3では、MLクロックはデータ取り込みにおいて、その立ち上がりエッジのみを使用しているため、基本的にはLSBデータを取り込んだあとにMLクロックを立ち上げれば良いことになります。このMLクロックの立ち上がりエッジは、LSBに相当するMCクロックの立ち上がりエッジからに対して $t_{MLH}$ で規定されており、LSBの次のMCクロックとは $t_{MLS}$ で規定されています。また、MLクロック自体に最低必要なLおよびH期間は $t_{MLL}$ 、 $t_{MHH}$ でそれぞれ規定しています。この規格は $40ns + 1 \text{ SYSCLK}$ となっていますが、この1 SYSCLKは、実際の内部でのMLクロックの伝送にシステム・クロックの1パルスを用いているための規定です。図4に、これらの各タイミングを考慮した制御タイミング例を示します。

図4(1)は、16ビットの制御データが連続している場合で、(2)は、制御データが間欠している場合をそれぞれ示しています。 $t_{Mxx}$ の各タイミングを満足する形で、この図4に示した様々なMLクロックの制御法が可能です。

## Visual Basicによるレジスタ設定プログラム例

デモソフトウェア・キットで使用しているプログラムを例に実際のプログラムについて説明します。デモソフトウェア・キットによる制御はPC上のプリンタポートを利用しているため、プリンタポートのI/Oアドレスを直接制御するDLL(Dynamic Link Libraries)を用意しています。

図5がVisual Basic2.0で書かれたプログラム例です。このプログラムではモード・レジスタの内容を16ビット・データとして引数Dataに与えてパラレルポートにデータを出力します。データ転送時にML、MC、MD信号への雑音による誤動作を出来る限り避けるため、MLクロックを“H”レベルに固定し、データを実際にラッチする時に初めて“L”レベルにするようにしています。

PCMデバイスへのデータ出力はパラレルポートを用いてシリアル転送を行なっています。データはMSBファーストで入力するため、与えられたデータの内容を上位ビット(MSB)から転送するデータビットを決めます。パラレルポートに出力する実際のデータはMLを“H”、MCを“L”、データ、次にMLを“H”、MCを“H”、同一データとして1MCクロック分を連続して出力します。このようにしてMCの立ち下がりエッジでデータを出力しています。MLは16ビット・データ転送後に“L”レベルにし、その後“H”レベルにすることでデータをラッチします。図6に実際のタイミングを示します。

図7はMLを“L”レベルにしてデータ転送を行なった例です。この場合はデータ転送の前にMLを“L”に設定し、データ転送後にMLを“H”にします。いずれの場合にもMLの立ち上がりエッジ直前の16ビットのデータが取り込まれる点に注意してください。

```
'
' Subroutine Transmit Data
'   Data: 16 bit mode register value
'
Sub Transmit Data (ByVal Data As Integer)
    Dim iData As Long
    Dim Count As Integer
    Dim Dbit As Integer

    ' Transfer data from MSB to LSB

    iData = Data And &HFFFF&

    ' Repeat 16 times

    For Count = 0 To 15
        If (iData And &H8000&) = 0& Then
            Dbit = cLow
        Else
            Dbit = cHigh
        End If

        ' Data transfer at falling edge of MC
        '
        '   Usage Output Port(ML, MC, MD)
        '
        Call Output Port(cHigh, cLow, Dbit)
        Call Output Port(cHigh, cHigh, Dbit)

        ' Shift 1bit to left for next transfer

        iData = (iData And &H7FFF) * &H2&

    Next Count

    '
    ' 16bit data transfer finished and
    ' ML Output "H" -> "L" -> "H"
    '
    Call Output Port(cHigh, cHigh, cHigh)
    Call Output Port(cLow, cHigh, cHigh)
    Call Output Port(cHigh, cHigh, cHigh)

End Sub
```

図5. Visual Basicによるプログラム例

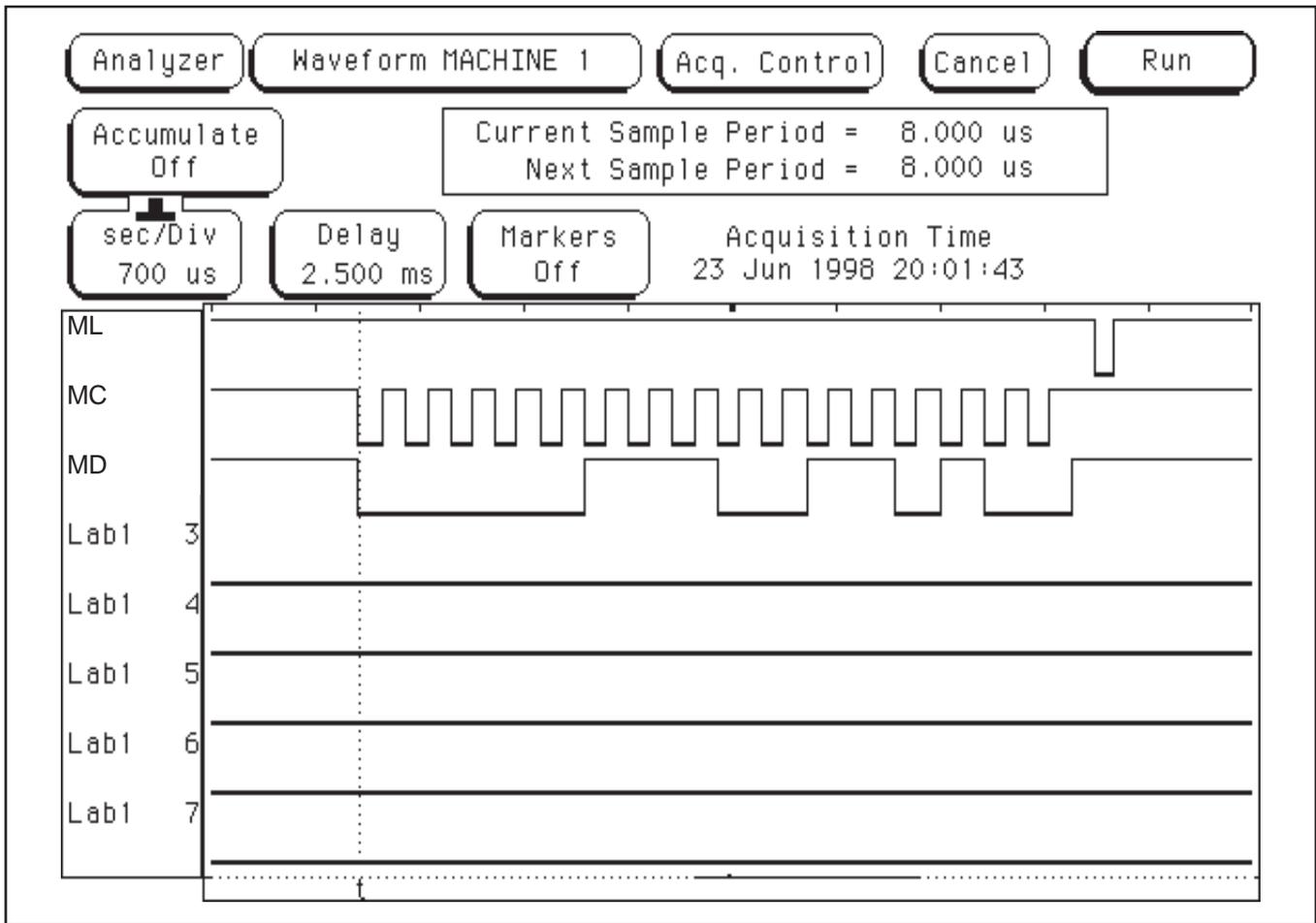


図6. シリアルデータ・タイミングの実測例 (ML="H")

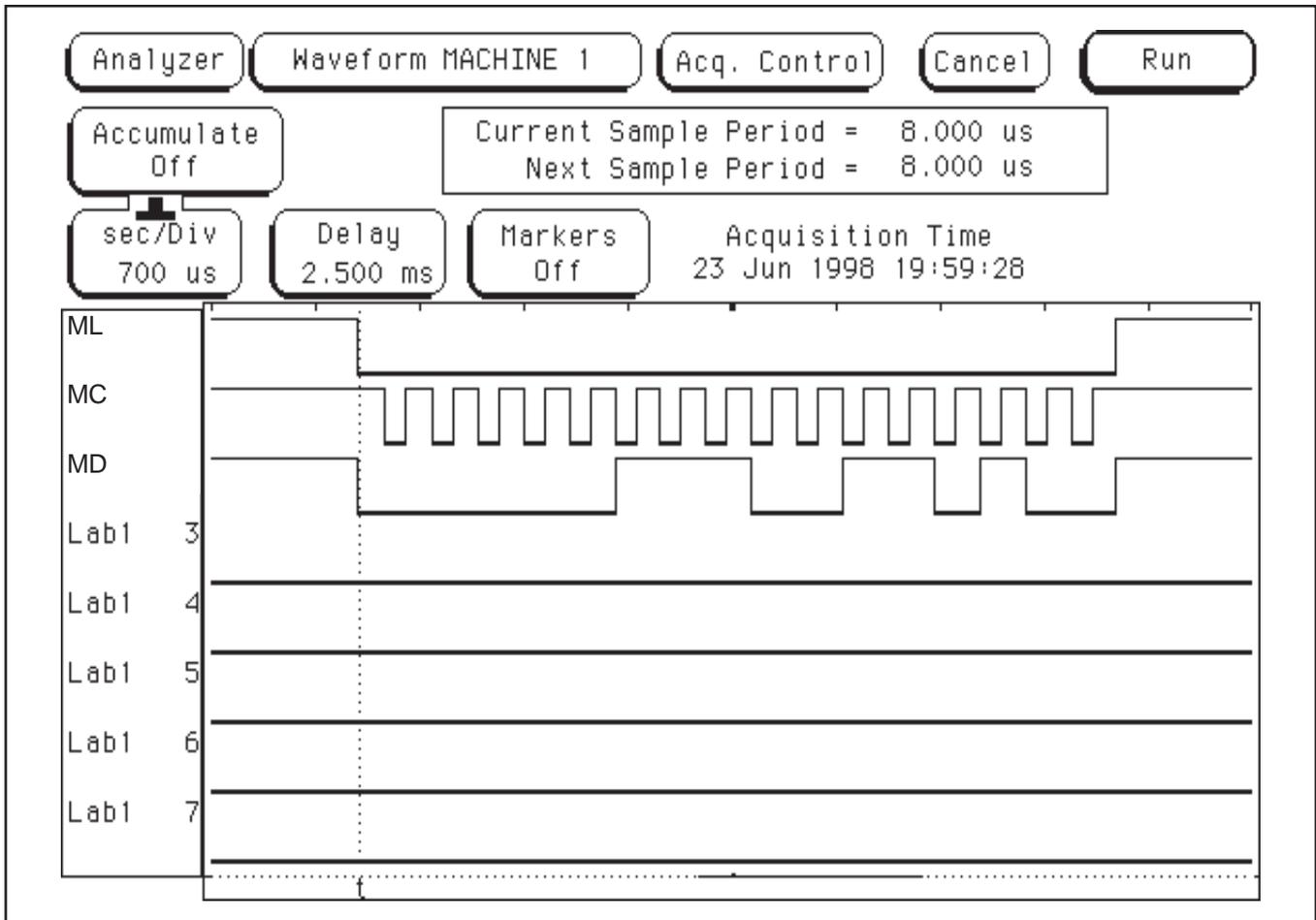


図7. シリアルデータ・タイミングの実測例 (ML="L")

## シリアルコントロール時のリセット・タイミング

シリアルコントロール部は電源投入後のパワーオン・リセット、あるいは外部リセットによるリセット動作が完全に終了後にイネーブルされ制御可能な状態になります。このため、リセット期間内にML、MC、MDを制御してもデータを正常に設定できません。またリセット動作では図1に示すブロック図中のシリアル・パラレル変換部はリセットされません。したがって、特にパワーオン・リセットにおいてリセット期間終了後にMLクロックだけが立ち上がるタイミング設計や、リセット期間中にデータを書き込もうとした場合には不定データが設定されて誤動作する可能性があります。

これを回避するためには、以下の2通りの方法が考えられます。

1. 図8に示すリセット・タイミングのようにリセット期間終了前にMLクロックを“H”レベルに固定し、不定データを取り込まないようにする。
2. リセット期間終了後のレジスタ設定時には、シリアルコントロール・データを確実に16ビット転送し、その後MLクロックを立ち上げる。

また、実際のレジスタ設定を行なう際にも、MC、MD、MLの各信号線にノイズが重畳しないように注意が必要です。

## ハードウェア制御モデルのリセット・タイミング

ハードウェア制御モデルであるPCM3001、PCM1800、PCM3003、PCM3006の4モデルはリセット信号が入力される以前にシステム・クロックが供給されている必要があります。具体的には図9のように、パワーオン・リセット時では電源電圧がパワーオン・リセット開始電圧である2.2V(PCM3003、PCM3006)または4.0V(PCM3001、PCM1800)を超える場合、外部リセット時ではリセット信号の立ち上がりエッジにおいて3クロック以上のシステム・クロックが入力されている必要があります。

以上のように、シリアルコントロールおよびリセットのタイミング設計について解説しましたが、ここで示したタイミング設計に従った制御を行なうことでPCMデバイスのマイコンによる制御が容易に行なえますので設計の参考として下さい。

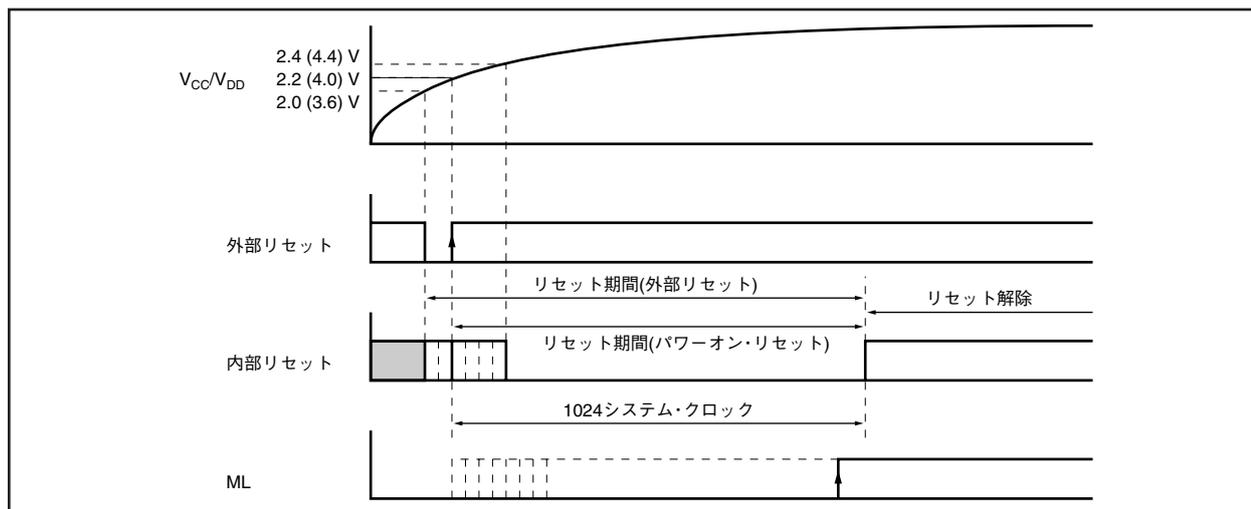


図 8. シリアルコントロール時のリセット・タイミング

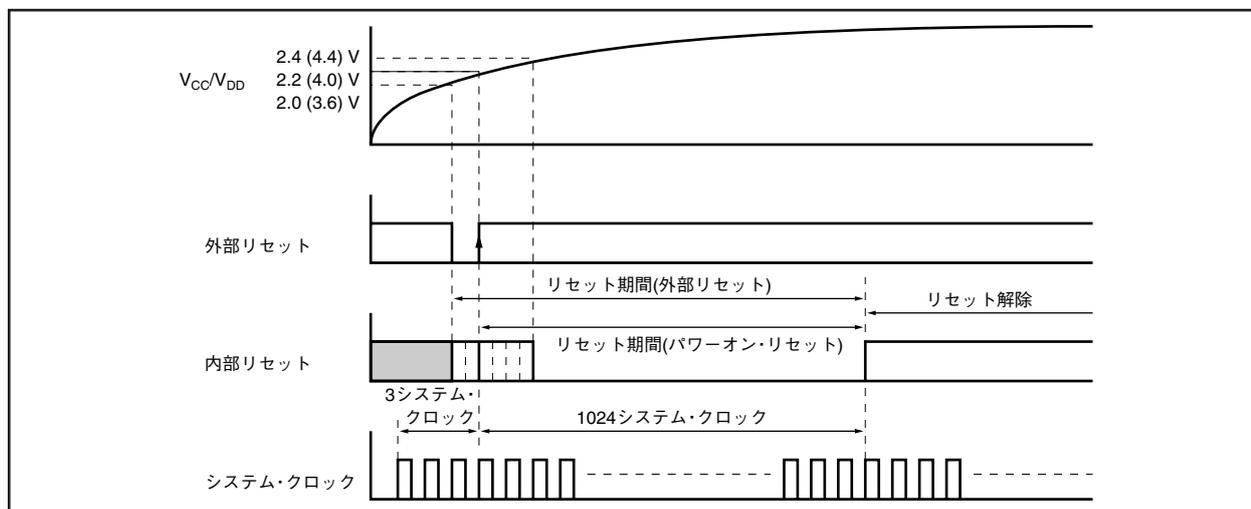


図 9. ハードウェア制御モデルのリセット・タイミング

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIJといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIJ製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TIJ製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIJの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIJの特許権、著作権、回路

配置利用権、その他のTIJの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIJの特許その他の知的財産権に基づきTIJからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIJの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TIJ製品もしくはサービスを再販売することは、当該TIJ製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上