

LVDS オーナーズ・マニュアル Part 1



LVDS オーナーズ・マニュアル

Part 1

2004 年 12 月

エンジニアがオーナーズ・マニュアルを手にするのはいつも最後です。エンジニアは、説明書を読まなくとも、自分の知識や技術で製品を使いこなせると考えています。確かに私の経験でも、直感や試行錯誤を経て、最後には基本的な原理の理解に至っていることは事実です。もっとも、プラモデルの組み立てのような趣味の世界では許されるかも知れませんが、電子エンジニアリングの世界では費用も時間も無駄でしかありません。

お客様の一助とするために、この LVDS オーナーズ・マニュアルを制作しました。LVDS に関する情報や考え方をまとめたこの設計ガイドは、お客様の貴重な時間と費用の節減を助け、小振幅差動信号方式 (LVDS) 製品の利点を最大限に活用する上で欠かせないものとなるでしょう。

ナショナル セミコンダクター (現テキサス・インスツルメンツ) は、LVDS のイノベータであり、LVDS に関する経験を生かして、お客様の信頼できるパートナーとなるよう努めています。今回ご提供する LVDS オーナーズ・マニュアル第 3 版は、すべてのお客様にとって役立つ情報をわかりやすくまとめたものです。LVDS を採用した回路設計のスタート・ポイントとして、テクノロジーの概要、コンセプト、アプリケーションなどについて述べています。チップ間、ボード間、筐体間のそれぞれのアプリケーションにふさわしい LVDS デバイスやファミリの選定方法を示しています。また、ケーブルの選定や、終端回路とバックプレーンの設計に関するガイドラインは、多くのエンジニアにとって参考となるに違いありません。

テキサス・インスツルメンツ (TI) が提供している数多くのアプリケーション・サポート・ツールのリファレンス・ガイドおよび入門書として、この LVDS オーナーズ・マニュアルをご活用いただければ幸いです。なお、製品の具体的な情報については、ウェブサイトをご覧ください。TI の販売代理店までお問い合わせください。

お客様の日頃のご高配に感謝申し上げますとともに、今後もアナログ半導体製品に対するお客様のあらゆるニーズにお応えできるよう努めてまいります。

目次

第1章： LVDS 入門

| | | |
|-----|-------------------------|-----|
| 1.1 | LVDS への潮流..... | 1-1 |
| 1.2 | 高速動作で低ノイズと低消費電力を両立..... | 1-1 |
| 1.3 | LVDS の IC | 1-4 |
| 1.4 | Bus LVDS (BLVDS) | 1-4 |
| 1.5 | LVDS の応用例..... | 1-5 |

第2章： LVDS の使用法

| | | |
|-----|-------------------------------|-----|
| 2.1 | 小振幅差動信号の利点..... | 2-1 |
| 2.2 | 低コストなインターフェイス..... | 2-4 |
| 2.3 | FPGA と ASIC の内蔵 LVDS I/O..... | 2-5 |
| 2.4 | 幅広い LVDS ソリューション | 2-9 |
| 2.5 | まとめ..... | 2-9 |

第3章： 高速回路設計

| | | |
|-----|------------------------|------|
| 3.1 | PCB レイアウトのヒント..... | 3-1 |
| 3.2 | EMI (電磁妨害ノイズ) の低減..... | 3-6 |
| 3.3 | AC 結合 | 3-14 |

第4章： LVDS を使用した設計

| | | |
|-----|------------------------------|------|
| 4.1 | はじめに..... | 4-1 |
| 4.2 | 良い設計手法と悪い設計手法の結果比較..... | 4-2 |
| 4.3 | EMI (電磁妨害ノイズ) の低減..... | 4-5 |
| 4.4 | コモンモード・ノイズの除去..... | 4-6 |
| 4.5 | LVDS 構成..... | 4-8 |
| 4.6 | LVDS のフェイルセーフ・バイアス | 4-10 |
| 4.7 | パワーオフ時に高インピーダンスになるバス・ピン..... | 4-12 |

LVDS オーナーズ・マニュアル

第 5 章： バックプレーン設計の考慮事項と Bus LVDS

| | | |
|-----|----------------------|------|
| 5.1 | バスの構成 | 5-1 |
| 5.2 | Bus LVDS | 5-3 |
| 5.3 | バックプレーン設計の考慮事項 | 5-5 |
| 5.4 | 補足情報 | 5-14 |

第 6 章： ケーブル、コネクタ、および性能テスト

| | | |
|-----|--------------------------|-----|
| 6.1 | 概要 | 6-1 |
| 6.2 | 推奨ケーブル | 6-1 |
| 6.3 | ケーブルのグラウンドとシールドの接続 | 6-4 |

第 7 章： 性能テスト

| | | |
|-----|-----------------------|-----|
| 7.1 | LVDS の信号品質 | 7-1 |
| 7.2 | ビット誤り率テスト (BERT)..... | 7-7 |

第 8 章： 評価キット

| | | |
|-----|------------------|-----|
| 8.1 | 評価 / デモボード | 8-1 |
|-----|------------------|-----|

付録

| | | |
|-----|-----------------------------------|-----|
| A.1 | LVDS アプリケーション・ノート、ホワイト・ペーパー | A-1 |
| A.2 | 用語解説 | A-2 |
| A.3 | データシート記載の各パラメータの説明 | A-4 |

第1章

LVDS 入門

小振幅差動信号方式 (LVDS : Low-Voltage Differential Signaling) は、今日の高性能データ伝送アプリケーションのニーズを満たす新しいテクノロジーです。LVDS 規格は差動データ伝送の規格として最も広く採用が進んでいます。その普及を推し進めている要因は2つの簡潔な特長にあります。すなわち「ギガビットの性能」を「ミリワットの消費電力」で実現できることです。

LVDS は高いデータ・レートを實現する一方で、競合する他のテクノロジーと比較して消費電力の大幅な低減を實現しています。加えて、次のような多くの特長を備えています。

- 低電圧電源との親和性
- 少ないノイズ発生量
- 高いノイズ除去性能
- 信頼性の高い伝送信号
- システム・レベル IC への集積化が可能

100Mbps クラスから最高で 2Gbps 以上の高いデータ・レートに対応するさまざまな製品が、LVDS テクノロジーを基盤として登場しています。そして、上に述べたすべての理由によって、高速性と低消費電力を求められるあらゆるマーケット・セグメントで LVDS の採用が進んでいるのです。

1.1 LVDS への潮流

企業でも家庭でも、より実物に近い映像表現が求められています。このような動向を背景に、動画、3-D グラフィックス、またはカメラで撮影した写真クラスの画像データを、LAN、電話回線を介して PC やプリンタに伝送したり、衛星通信を介して家庭のセットトップ・ボックスやデジタル・ビデオデッキに伝送するニーズがますます高まっています。現在、プリント基板、ファイバ・ネットワーク、さらには衛星回線をアプリケーションとして、高速デジタル・データを短距離あるいは長距離にわたって伝送できるさまざまなテクノロジーが登場しています。しかし、たとえば筐体間あるいは基板間といった短い距離であっても、こうした高速デジタル・データを伝送するには、消費電力が小さく、ノイズ発生量が小さく、(ますます厳しくなっている FCC/CISPR EMI 要件を満たすほどに) 外来ノイズに強く、さらにコスト効率が高い、きわめて高性能なソリューションが必要です。

ナショナル セミコンダクター (現テキサス・インスツルメンツ) が規格として最初に LVDS を製品化した時期は 1994 年にさかのぼります。当時、要求される帯域が指数関数的に増大する一方で、ユーザーの低消費電力を求める要求は強まっていましたが、こうした要求は、ニーズに対応するための開発能力を超えるものでした。当時、エミッタ結合論理 (ECL または PECL) も使われていましたが、スタンダード・ロジック・レベルとは互換性がなく、負電源電圧レールを必要とし、さらにはチップの消費電力が大きい問題を抱えていました。これらの要因によって、エミッタ結合論理が広く普及することはありませんでした。

LVDS は 2 本の信号線を使って情報を運ぶ差動信号方式です。この点はあまり良い印象を与えないかも知れませんが、実際には多くの利点があります。信号の伝送に 2 本のトレース (または配線) を必要とするのは確かに欠点ですが、コモンモードを除去する性質を持っているため、高いノイズ耐性が得られます。

信号振幅をわずか数百 mV に抑えられた理由は、信号対ノイズの除去性能が高いからです。振幅が小さくなったため遷移時間は短くなり、結果として高いデータ・レートが實現されているのです。

1.2 高速動作で低ノイズと低消費電力を両立

LVDS は、単一チャンネルあたり数百~数千 Mbps (メガビット/秒) の速度でのデータ伝送が可能な、小振幅差動信号技術の 1 つです。電流モード・ドライバの採用と小振幅によって、広い周波数範囲に対して低ノイズと低消費電力を實現しています。

1.2.1 LVDS の動作原理

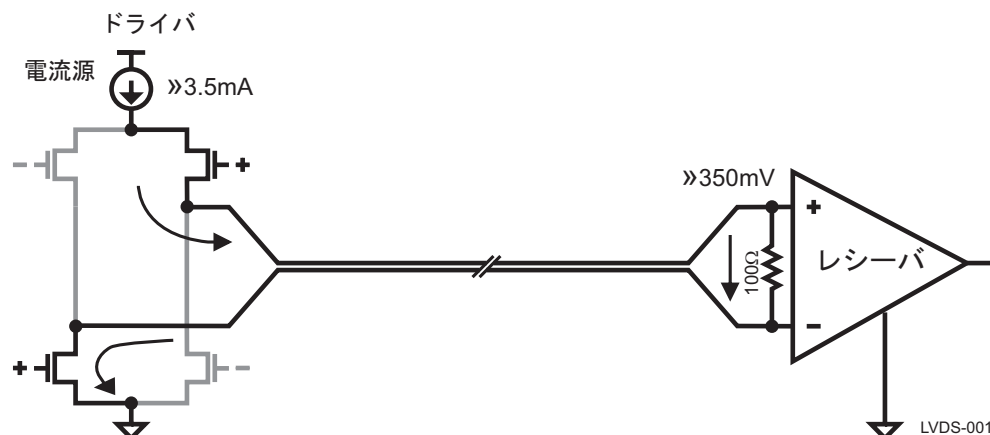


図 1.1. 100Ω の差動インピーダンス・メディアを使って接続した LVDS ドライバと LVDS レシーバの概略図

LVDS の出力段は差動ペア信号を駆動する電流源 (公称 3.5mA) で構成されています。基本レシーバ回路は DC 入力インピーダンスが高いため、ドライバ電流のほとんどは 100Ω の終端抵抗を流れ、レシーバ入力間に約 350mV の電圧が発生します。ドライバの出力レベルが差動ペア内で入れ替われば、終端抵抗に流れる電流の向きは逆になり、結果的に有効な「0」と「1」の論理状態が生み出されます。

1.2.2 LVDS 規格

LVDS は現在、TIA/EIA (米国電気通信工業会 / 米国電子工業会) によって ANSI/TIA/EIA-644 (LVDS) として標準化されています。

汎用 (複数のアプリケーション向き) LVDS 規格である ANSI/TIA/EIA-644 は、1995 年の TIA データ伝送インターフェイス委員会 TR30.2 での検討に始まります。この規格は ANSI/TIA/EIA-644-A として 2001 年に改訂、発行されています。ANSI/TIA/EIA 規格はドライバの出力特性とレシーバの入力特性、すなわち電気的特性のみを規定した規格です。アプリケーションに依存する機能的仕様、プロトコル、さらにはケーブル全体の特性は対象ではありません。ANSI/TIA/EIA-644 は、インターフェイス全体 (たとえばコネクタやプロトコル) を規定する他の規格から参照されることを意図しています。このような考え方によって、LVDS は、多くのアプリケーションに容易に適用が可能となっています。

LVDS 入門

ANSI/TIA/EIA-644-A (LVDS) 規格

表 1.1. ANSI/TIA/EIA-644-A (LVDS) 規格

| パラメータ | 説明 | 最小値 | 最大値 | 単位 |
|------------------|---------------------------------|-------|------------------------|----|
| V_{OD} | 差動出力電圧 | 247 | 454 | mV |
| V_{OS} | オフセット電圧 | 1.125 | 1.375 | V |
| V_{OD} | $ V_{OD}$ の変動 | | 50 | mV |
| V_{OS} | $ V_{OS}$ の変動 | | 50 | mV |
| I_{SA}, I_{SB} | 短絡電流 | | 24 | mA |
| t_r / t_f | 出力の立ち上がり / 立ち下がり時間 (200Mbps 以上) | 0.26 | 1.5 | ns |
| | 出力の立ち上がり / 立ち下がり時間 (200Mbps 未満) | 0.26 | tui の 30% [†] | ns |
| I_{IN} | 入力電流 | | 20 | μA |
| V_{TH} | レシーバ・スレッショルド電圧 | | +100 | mV |
| V_{IN} | 入力電圧範囲 | 0 | 2.4 | V |

[†] tui は単位間隔すなわちビット幅です。

注: 実際のデバイスのデータシートには上記よりも良好な仕様値が記載されている場合があります。

(これらパラメータの詳細は付録 A を参照してください。)

ANSI/TIA/EIA 規格は (制限事項を想定した上で) 推奨最大データ・レートを 655Mbps と規定し、また、無損失伝送路における理論的最大値を 1.923Gbps と規定しています。ANSI/TIA/EIA 規格を参照する他の規格は、求められる信号品質やメディア長 / 種類に応じて必要最大データ・レートを規定することが許されています。

なお、ANSI/TIA/EIA 規格は、最低限のメディア仕様、障害状態でのレシーバのフェイルセーフ動作、多重レシーバ動作などの回路構成上の問題についても規定しています。

ANSI/TIA/EIA-644 規格は 1995 年 11 月に承認されました。ナショナル セミコンダクターはこの規格の策定で規格委員を務めました。その後 644 仕様は改訂され、多重レシーバ動作の情報が追加されました。改訂仕様は 2001 年 2 月に TIA-644-A の仕様番号で発行されています。

これとは別に、IEEE プロジェクトで策定されたもう 1 つの LVDS 規格が存在します。こちらの規格は、マルチプロセッサ・システムでのプロセッサ間接続や、複数ワークステーションをクラスター・グループ化することを目的とした規格の開発過程で誕生したものです。スケーラブル・コヒーレント・インターフェイス (SCI) と名付けられたこのプロジェクトは、もともとは高いデータ・レートを実現する差動 ECL インターフェイスを使って規定されましたが、当初は消費電力やデバイスへの集積性が考慮されることはありませんでした。

のちに SCI の下位仕様として低電力 SCI-LVDS 規格が定義され、現在の IEEE 1596.3 規格に定められています。SCI-LVDS 規格は、高速 / 低電力 SCI 物理層インターフェイスとして、ANSI/TIA/EIA-644 規格と同様の信号レベル (電氣的仕様) を定めています。また、SCI データ転送で使用されるパケット・スイッチングのエンコード方法も定めています。なお、IEEE 1596.3 規格は 1996 年 3 月に承認されましたが、5 年後に満了となり更新されませんでした。ナショナル セミコンダクターは標準化委員会の議長を務めました。

両規格とも幅広い普及を促すために、特定のプロセス技術、伝送メディア、電源電圧などを定義せず、利用する側にゆだねています。つまり、CMOS、GaAs など利用可能なプロセス上に実装でき、5V、3.3V、または 3V 以下の電源で動作し、さらに、PCB トレースかケーブルを介した伝送に対応する LVDS は、さまざまな産業の幅広いアプリケーションに対応できることを意味します。

1.3 LVDS の IC

複数のサプライヤからさまざまな LVDS インターフェイス・デバイスが提供されています。LVDS を採用したデバイスの例は次のとおりです。

ライン・ドライバ/レシーバ

LVCMOS などのシングルエンド信号を、バックプレーンやケーブル上の伝送に適した信号形式に変換するデバイスです。シングル・チャンネル品やマルチ・チャンネル品があります。

SerDes

シリアライザ / デシリアライザのペアは、複数の低速 CMOS 信号をマルチプレクスして、単一の LVDS チャンネル上に高いデータ・レートで伝送するデバイスです。SerDes IC は、通常、ケーブルまたはバックプレーンのコネクタ・ピン数あるいは配線数を削減することを目的としています。また、IC パッケージの I/O ピン数を減らすために、大規模かつ複雑な IC に SerDes 機能が内蔵される場合もあります。

スイッチ

データ・レートが高いバスにはスイッチ・アーキテクチャが適しています。スイッチは必然的に高いデータ・レートで動作します。LVDS はバス・スイッチのような IC を実現する選択肢の 1 つです。スイッチはクロック分配にも使用されることがあります。LVDS は、その信号インテグリティの信頼性の高さによって、任意の周波数のクロック信号の分配に適した信号方式の規格の 1 つです。

1.4 Bus LVDS (BLVDS)

BLVDS とも呼ばれる Bus LVDS は、LVDS テクノロジーを基盤とした新しいバス・インターフェイス回路ファミリで、特にマルチポイントのケーブルまたはバックプレーン・アプリケーションへの適用を目的としています。マルチポイント・アプリケーションで必要となる両端終端に対応できるように、LVDS 規格に対して電流駆動能力を高めています

Bus LVDS は高速バス設計で直面する多くの課題を解決します。

- Bus LVDS は電源プルアップを用いた特殊な終端が不必要
- アクティブ終端デバイスが不必要
- 一般的な電源電圧レール (3.3V や 5V) で動作
- 単純な終端方式を採用
- インターフェイス・デバイスの消費電力が抑えられる
- 発生するノイズ量はわずか
- カードの活線挿抜に対応
- マルチポイントの高負荷バスを 100Mbps オーダーで駆動

設計者にとって Bus LVDS 製品は、高速なマルチポイント・バス・インターフェイス問題を解決する新たな選択肢となります。カード密度を高めるために高速バックプレーンを必要とするテレコム・インフラストラクチャやデータコム・アプリケーションから、ケーブル長が長くノイズ耐性が求められる産業用アプリケーションまで、Bus LVDS は幅広いアプリケーションに対応します。

Bus LVDS の詳細は第 5 章を参照してください。

LVDS 入門

1.5 LVDS の応用例

低消費電力/低ノイズ/低コストの特長を持つ LVDS は、さまざまなアプリケーションから見て魅力的なテクノロジーです。アプリケーションの一例を表 1.2. に示します。

表 1.2. アプリケーション例

| PC/ コンピューティング | テレコム/ データ通信 | 民生/ 業務用 |
|------------------|-------------------------------|-----------------------|
| フラットパネル・ディスプレイ | スイッチ | 民生/ 業務用ビデオ・リンク |
| モニタ・リンク | ADM (add/drop multiplexer) 装置 | セットトップ・ボックス |
| SCI プロセッサ・インタコネク | ハブ | 機内娯楽装置 |
| プリンタ・エンジン・リンク | ルータ | ゲーム・ディスプレイ/ コントローラ |
| デジタル・コピー機 | アクセス・システム | |
| システム・クラスタリング | ブロードバンド集線装置 | |
| マルチメディア周辺装置リンク | 基地局 | |

第 2 章

LVDS の使用法

2.1 小振幅差動信号の利点

LVDS に使用される差動データ伝送方式は、シングルエンド方式に比べてコモンモード・ノイズの影響を受けにくい性質があります。1本のワイヤでデータを送るシングルエンド方式に対して、差動伝送方式では互いに逆向きの電流 / 電圧振幅を持った2本のワイヤを使用します。差動方式の利点は、ノイズが2本のワイヤにコモンモード（両方のワイヤに等しくノイズが現れる）として重畳した場合、2本の信号の差分のみを検出するレシーバでノイズを除去できる点にあります。また、差動信号は互いに磁界を打ち消すため、シングルエンド信号に比べて放射するノイズが小さい性質を持っています。さらに、電流モード・ドライバはリングングやスイッチング・スパイクが発生しにくく、ノイズの一層の低減に寄与します。

LVDS に代表される差動通信技術はノイズが問題となりにくい性質を備えているため、電圧振幅を小さくできます。データ・レートを上げ、かつ消費電力を抑えるには、小振幅信号を使用する以外に方法はないため、この特長はきわめて重要です。ドライバの振幅を小さくすれば、データをきわめて高速に遷移できるようになります。また、ドライバは電流モードで動作するため、動作周波数に比べて消費電力は低く、ほぼ一定の値を示します。ドライバで発生するスイッチング・スパイクはとても小さいため、スイッチング周波数を上げても ICC は指数関数的には増えません。また、負荷で消費される電力は、大きさにおいて非常に小さな値となります ($3.5\text{mA} \times 350\text{mV} = 1.2\text{mW}$)。

2.1.1 各差動信号方式の比較

表 2.1. RS-422、PECL、LVDS の比較

| パラメータ | RS-422 | PECL | LVDS |
|-----------------|----------------------------|------------------------------|-----------------------------|
| 差動ドライバ出力電圧 | $\pm 2 \sim \pm 5\text{V}$ | $\pm 600 \sim 1000\text{mV}$ | $\pm 250 \sim 450\text{mV}$ |
| レシーバ入カスレッシュホールド | $\pm 200\text{mV}$ | $\pm 200 \sim 300\text{mV}$ | $\pm 100\text{mV}$ |
| データ・レート | $< 30\text{Mbps}$ | $> 400\text{Mbps}$ | $> 400\text{Mbps}$ |

| パラメータ | RS-422 | PECL | LVDS* |
|-----------------------------|------------|-----------------|-------------|
| 4 回路ドライバの電源電流 (無負荷、静的状態) | 60mA (max) | 32 ~ 65mA (max) | 8.0mA |
| 4 回路ドライバの電源電流 (無負荷、静的状態) | 23mA (max) | 40mA (max) | 15mA (max) |
| ドライバの伝播遅延 | 11ns (max) | 4.5ns (max) | 1.7ns (max) |
| レシーバの伝播遅延 | 30ns (max) | 7.0ns (max) | 2.7ns (max) |
| パルス・スキュー (ドライバまたはレシーバ) | 適用外 | 500ps (max) | 400ps (max) |

* 表に示した LVDS デバイスは DS90LV047A/048A です。

表 2.1. に LVDS の基本信号レベルと PECL の基本信号レベルの比較を示します。表から、LVDS の電圧振幅は PECL の半分であることがわかります。また、LVDS の信号振幅は、RS-422 あるいは従来の TTL/CMOS レベルと比べて約 10 分の 1 です。

LVDS の電圧特性上のもう 1 つの特長として、ドライバもレシーバも、たとえば 5V といった特定の電源電圧に依存していない点が挙げられます。したがって、信号レベルや性能を維持したままで 3.3V や 2.5V といった低電圧電源に容易に移行が可能です。対照的に ECL や PECL などの信号方式は電源電圧に大きく依存しているため、このようなテクノロジーを採用したシステムを低い電圧電源に移行するのは困難です。

2.1.2 簡単な終端方式

伝送メディアは、その特性差動インピーダンスで終端して、完全な電流ループの形成と高速（エッジ・レート）信号の終端を図らなければなりません。LVDS の伝送メディアがケーブルであっても、あるいはプリント基板上のインピーダンスを制御したトレースであっても、この要件は同じです。伝送メディアの終端が不適切な場合、ケーブルやトレースの遠端で信号が反射し、後続の信号に干渉を与える可能性があります。適切な終端は好ましくない電磁界放射を低減し、最適な信号品質を実現します。

反射を防ぐため、LVDS では、ケーブルまたは PCB トレースの実際の差動インピーダンスに整合した終端抵抗を必要とします。一般にインピーダンス 100Ω のメディアと抵抗を使用します。抵抗が電流ループを完結させ信号を適切に終端します。抵抗は、2本の信号線をまたがるように、レシーバの入力端のできるだけ近くに配置します。



図 2.1. LVDS 終端



図 2.1a. 内蔵終端

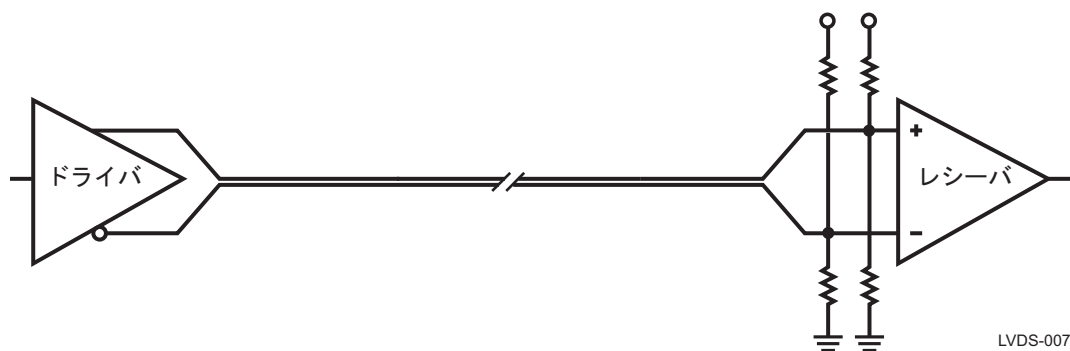


図 2.2. PECL 終端

LVDS は、その終端方式の単純さによって、ほぼすべてのアプリケーションで実装が容易です。単一抵抗のみで終端可能な LVDS に比べて、ECL や PECL の終端方法はより複雑です。さらに PECL 接続はいくつかの要件を満たさなければなりません。レシーバは VEE より $1V$ 程度低い電圧でバイアスする必要があります。伝送線路は終端が必要なだけでなく、ドライバから DC 電流を引き込む抵抗性の信号路となります。図 2.2. にテブナン終端ネットワークを用いた PECL の実装例を示します。

LVDS の使用法

2.1.3 最大スイッチング速度

LVDS インターフェイスで実現される最大スイッチング速度は、単純な問題ではなく、その答えはさまざまな要因によって変わってきます。すなわち、ライン・ドライバとライン・レシーバの性能 (エッジ・レート)、伝送メディアの帯域幅、目的のアプリケーションで求められる信号品質などの要因を考慮しなければなりません。

動作速度の上限は、きわめて高速な LVDS ドライバの出力ではなく、次のような他の要因によって制限されます。

1. ドライバに TTL データをどのくらい高速に供給できるか — TTL/CMOS 信号を LVDS に変換する単純な PHY デバイス (たとえば DS90LV047A) の場合
2. 使用する伝送メディア (ケーブル) の帯域特性 — 種類と長さによって異なる

たとえば、DS90LV047A ドライバの動作速度を制限する要因の 1 つは、TTL データを供給するデータ・レートです。

各種チャネル・リンク・デバイス (SerDes) は、TTL データをバス幅の狭い LVDS データ・ストリームにシリアル変換して、TTL と LVDS の速度差を吸収します。詳細は後述します。

2.1.4 省電力化技術

LVDS テクノロジーはさまざまな方法によって省電力化を図っています。負荷 (100Ω 終端抵抗) で消費される電力はわずか 1.2mW に過ぎません。それに比べて RS-422 では、ドライバが 100Ω の終端抵抗の両端に 3V を印加するため消費電力は 90mW となり、この値は LVDS のおよそ 75 倍に相当します。

LVDS デバイスは静止時の消費電力が低い CMOS プロセスで製造されます。回路設計上、LVDS のドライバおよびレシーバの電源電流は、PECL/ECL デバイスの約 10 分の 1 となります。

LVDS では、前述のとおり負荷で消費される電力と静止時の I_{DD} 電流に加えて、電流モード・ドライバ回路の採用もシステムが消費する電力の低減に寄与しています。この回路方式によって I_{DD} の周波数成分は大幅に小さくなります。LVDS の I_{DD} と動作周波数の関係をグラフに表すと、 10MHz から 100MHz の間でほぼ平坦となります。4 回路 (クワッド) デバイスである DS90C031/032 の場合、 100MHz でドライバとレシーバを動作させた場合でも、合計の消費電力は 50mA 未満です。周波数の上昇に伴って指数関数的に消費電力が動的に増えていく TTL/CMOS トランシーバと比べれば利点がわかります。

2.1.5 LVDS の回路構成

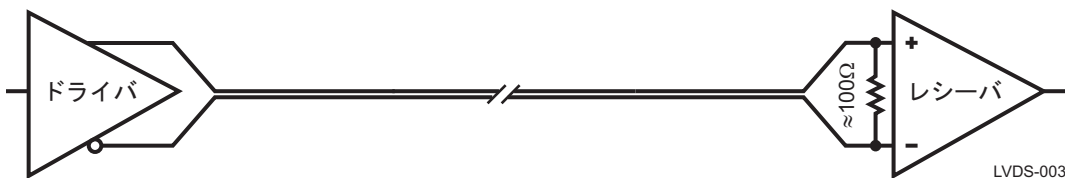


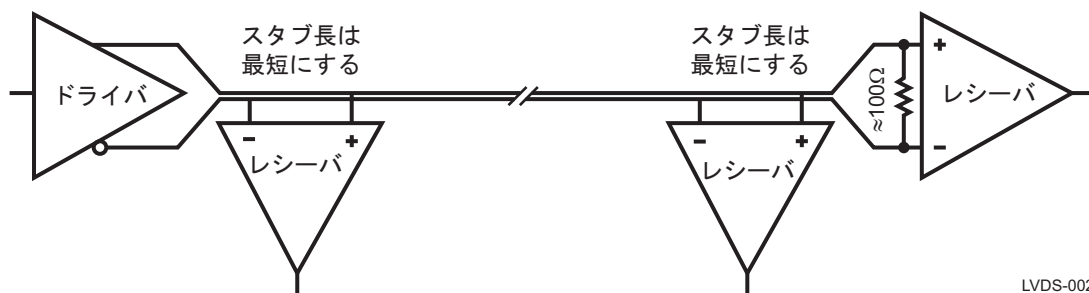
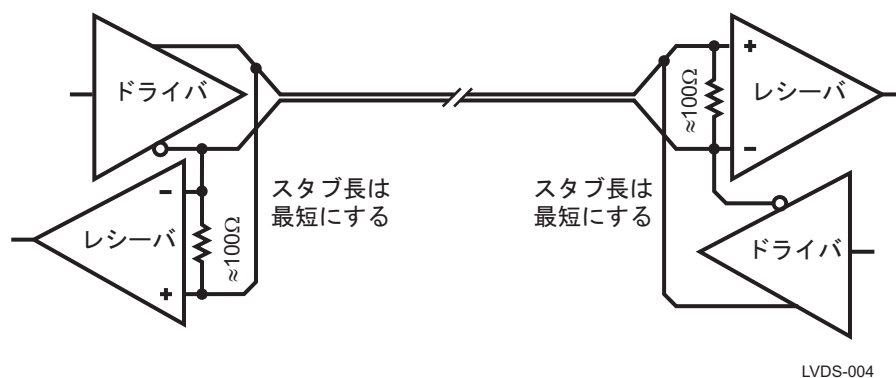
図 2.3. 一対一構成

LVDS のドライバとレシーバは、一般的に図 2.3. に示すような一対一構成で使用します。一対一の一対一リンクは伝送路の途中に妨げるものがないため最高の信号品質が得られます。この構成の場合、LVDS は相当の長さのケーブルに対して高速信号を駆動できる一方、電力消費は特筆すべきほど低く、またノイズ発生量はきわめてわずかです。もちろん、そのほかのトポロジー/回路構成も可能です。

システム設計者が性能そのものよりもインタコネクの本数 (配線数) を減らすことに重点を置いている場合も、優れたテクノロジーである LVDS は検討に値します。LVDS は双方向シグナリングやバス・アプリケーションにも適しているからです。

LVDS オーナーズ・マニュアル

図 2.4. は 1 組のツイスト・ペア・ケーブルでの双方向伝送を実現する回路構成です。データは同時には 1 方向にしか流せません。この回路方式の要件である 2 個の終端抵抗によって信号レベルの低下が生じる (つまり、差動ノイズ・マージンも小さくなる) ため、ノイズが小さく伝送距離が短い (10m 未満) 場合にのみ採用を検討してください。両端終端に対応し LVDS とレベル互換を実現した Bus LVDS デバイスの概要は第 5 章で説明します。



マルチドロップとは 1 個のドライバ出力を複数のレシーバに接続した回路構成です。この回路構成はデータを分配するアプリケーションに適しています。この構成もスタブ長を最短にしなければなりません (アプリケーションに依存しますが 20mm 未満)。マルチドロップ・アプリケーションは 5.2 項でも説明します。

2.2 低コストなインターフェイス

LVDS はコスト効率の高いソリューションです。

1. LVDS CMOS 実装は、複雑なカスタム設計に比べて優れた価格性能比を実現します。
2. 一般的な CAT3 ケーブルとコネクタ、または FR4 材料、あるいはその両方の組み合わせで高性能を達成します。
3. LVDS はきわめて小さな電力しか消費しませんので、電源の小型化や、ファンやそのほかの部品の削減が可能です。
4. LVDS は低ノイズ、かつ、ノイズ耐性の高いテクノロジーなので、ノイズに起因する種々の問題の発生が抑えられます。

LVDS の使用法

5. LVDS トランシーバはコスト効率の高い製品です。またトランシーバをデジタル・コアに集積すれば回路の高集積化が可能です。
6. LVDS は TTL に比べてはるかに高速にデータを伝送できるため、複数の TTL 信号をシリアル化または多重化して 1 本の LVDS チャンネルにまとめるのも可能であり、ボード、コネクタ、ケーブルの費用削減を実現します。

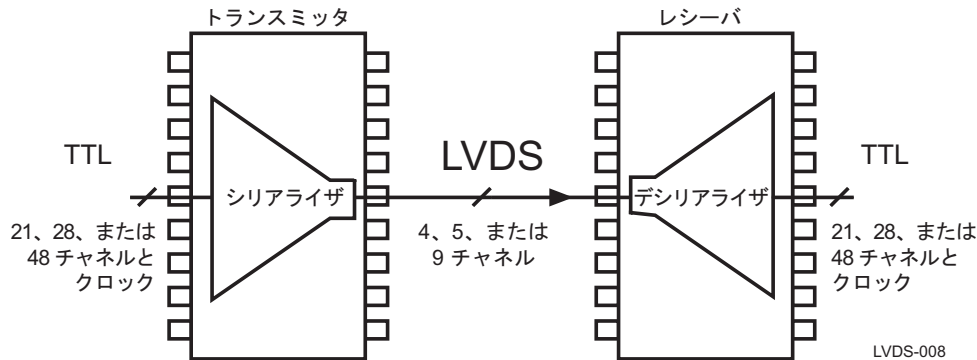


図 2.6. TTL バスをバス幅の狭い LVDS データ・ストリームに変換し再び元の TTL バスに戻す
チャンネル・リンク・チップセット

事実、一部のアプリケーションでは、シリコン・デバイスのコスト増加よりも、プリント基板 (PCB)、ケーブル、コネクタのコストを削減できるほうがはるかに重要です。PCB、ケーブル、コネクタの小型化によって、人間工学を重視したデザインの採用や、使い勝手のよいシステムの開発が可能になります。

2.3 FPGA と ASIC の内蔵 LVDS I/O

最近のフィールド・プログラマブル・ゲートアレイ (FPGA) や特定用途向け集積回路 (ASIC) に Bus LVDS を集積する事例が増えています。これら新しい半導体デバイスでは、一般的なマルチドロップ・テクノロジーとの整合性を一層高めるために、LVDS の駆動能力の改善が図られています。ディスクリート (単体 IC) ソリューションと比べて FPGA プラットフォームには長所と短所があります。たとえば、集積化によって PCB 上の IC 数が少なくなれば、一般的にインタコネクタ (配線) 数が減り設計の単純化が図れます。ボード・サイズの小型化が重要な場合、集積化は必須です。

システム設計者は、これら集積化によってもたらされる利点と、強力な駆動能力によって信号インテグリティに生じる影響とを、天秤にかけて判断しなければなりません。また、一般にディスクリート・ソリューションの方が、FPGA を用いた集積化に比べて、コスト効率では優れる点も理解しておく必要があります。

LVDS であっても、堅牢性の高いバックプレーン・インターフェイスを実現するには、設計上のさまざまな課題を解決しなければなりません。

1. スタブ長: バックプレーンのトレースからバックプレーン・コネクタをわたって Bus LVDS レシーバに至るまでのトレース長を指します。マルチドロップやマルチポイントのバスでスタブ長が長いと信号インテグリティの劣化を招きます。
2. ESD 保護: システム・ボードの挿入時または抜去時の信頼性を向上させるには静電放電 (ESD) に対する耐性が必要です。
3. 容量性負荷: アクティブ・デバイスの I/O には容量成分が存在します。容量が大きいとインピーダンスの低下とノイズ・マージンの減少を招きます。

2.3.1 スタブ長

マルチドロップ・バスやマルチポイント・バスで信号インテグリティを改善する最も適切な方法はスタブ長を短くすることです。

経験則からスタブ長は2.5cm(1インチ)より長くしてはなりません(5.3.3項参照)。ただし、信号反射によるバス・ノイズによってシステム性能が制約されることを理解しているなら、スタブ・トレース長を長めにした設計を行っても構いません。

ボード設計者は、FPGA や ASIC の配置に関して大きな自由度を常に与えられているとは限りません。LVDS レシーバを集積した大規模 IC の配置は数々の要件から決定されます。信号インテグリティの観点ではレシーバをバックプレーン・コネクタ近傍に配置すべきですが、部品配置上の条件と矛盾するものも珍しくありません。また、FPGA が多ピンの LVDS I/O を持つ場合、コネクタから FPGA 入力までのトレース長を調整できる自由度はさらに制約されます。

ディスクリット・ソリューションを用いれば、最適な信号インテグリティが得られるように LVDS I/O を配置できる自由度が高まります。大規模 IC を採用したときのように、部品配置と信号インテグリティの両立に悩む必要はありません。

2.3.2 ESD 保護

ボードやケーブルを取扱う際、あるいはシステムに接続する際は、常に ESD 事象が発生する可能性があります。多くの場合、外部インターフェイス用としてボードに実装されている集積回路が ESD のパスになります。高い ESD 耐性を持つデバイスを選択すると、ボードの信頼性を向上できます。TI のインターフェイス・デバイスを使用して、ESD 事象に起因する諸問題から、感度の高いプログラマブル・デバイスを分離し保護することが望まれます。

HBM ESD 保護レベルの例

| | |
|-----------|--------|
| DS90LV047 | >10kV |
| DS90LV048 | >10kV |
| DS90CP22 | >5.0kV |
| DS92LV090 | >4.5kV |
| DS92LV040 | >4.0kV |

FPGA や PLD の多くは 1000V から 2000V 程度の HBM ESD テストしかパスしません。これら回路の保護を高める必要がある場合は、高価なデバイスの前段に、安価な単品の LVDS IC を使用するとよいでしょう。

2.3.3 容量性負荷

プラグイン・カードはバックプレーン・トレース上に容量性負荷として現れます。バックプレーン・バス・トレースの負荷が増えるに伴いインピーダンスは低下します。インピーダンスの低下はノイズ・マージンの減少と回路動作の信頼性低下を招きます。

プラグイン・カードがバスに容量負荷を与える要因は3つです。

- コネクタに起因するバルク・コンデンサ負荷
- PCB トレース
- デバイスの I/O 構造

適切な回路設計を行った場合、コネクタの寄与分は 2pF から 3pF、トレースの寄与分は 2pF から 3pF、デバイスの寄与分は 4pF から 5pF です。このような設計での合計負荷はおおよそ 10pF となります。

LVDS の使用法

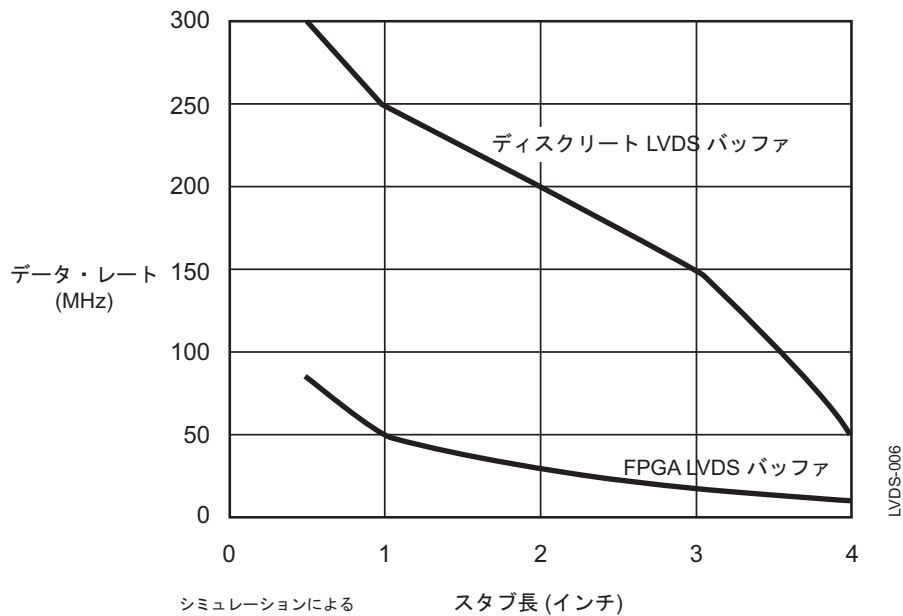


図 2.7. 集積ソリューションとディスクリート・ソリューションでのバックプレーン性能の比較

プログラマブル・デバイスが持つ自由度は負荷容量として跳ね返ってきます。TI の Bus LVDS 製品の I/O 容量は 5pF です。プログラマブル・デバイスの I/O 容量はおよそ 2 倍の 10pF です。容量の増加はバスのインピーダンスを低下させ、結果としてノイズ・マージンの減少と回路動作の信頼性低下を招きます。

図 2.7. は、ディスクリート・ソリューションの性能を、LVDS I/O を内蔵した FPGA の性能と比較したシミュレーション結果です。ディスクリート・ソリューションでサポートできるデータ・レートの方が数倍高くなっていますが、その大きな理由は I/O 容量が小さいためです。

2.3.4 ケーブル駆動能力

最近では、筐体間接続あるいは筐体内接続に高速シリアル・インターフェイスが採用されることも少なくありません。このとき、I/O 性能の観点ではケーブル駆動能力が重要となります。現在市場に出ている最新 FPGA の代表的な LVDS I/O 出力と、新世代の LVDS ディスクリート・デバイスの I/O 出力を比較すると、駆動能力が大きく異なっていることがわかります。

図 2.8. に複数の回路を用いてケーブル駆動能力を比較した実験結果を示します。データ取得に使用した FPGA は内部回路を最小にしたものです。回路を最適化し、入力段、内部バッファ、出力段のみで構成しています。仮に FPGA 内部で多くの内部ロジックがスイッチングした場合、LVDS の I/O 信号に現れるノイズ量が増加する点に注意してください。TI のナショナル セミコンダクター 製品であれば、すべての出力が入力周波数でスイッチングしても、動作に何ら影響はありません。

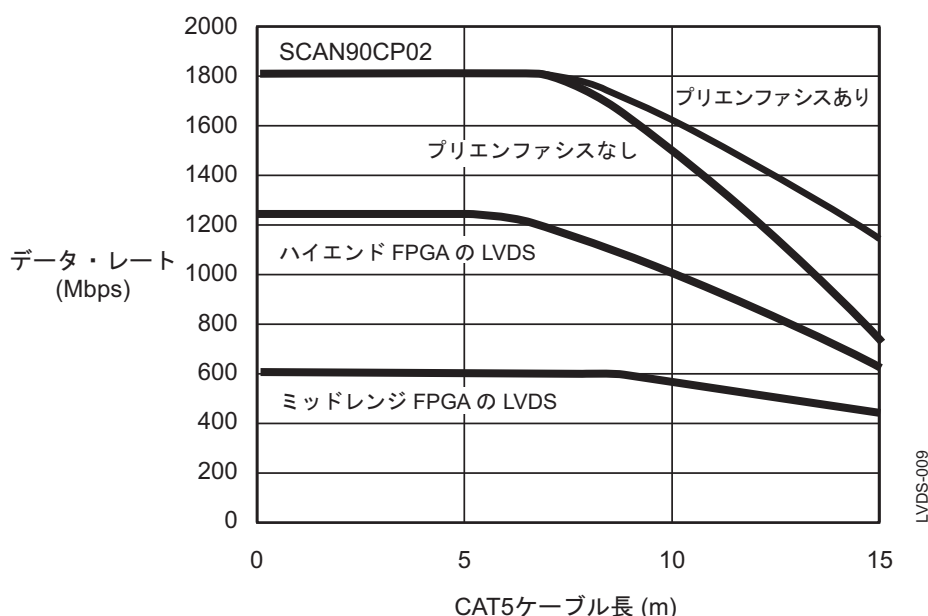


図 2.8. 集積化ソリューションとディスクリート・ソリューションのケーブル駆動性能の比較

ディスクリート LVDS デバイスの I/O はケーブル駆動に最適化されています。FPGA の汎用 I/O に比べた性能の優位性を図 2.8. に示します。

2.3.5 設計の自由度

高速 LVDS I/O を内蔵した FPGA は、低速 I/O を内蔵した同様のデバイスに比べて、どうしても価格が高くなりがちです。また、全部、あるいはほとんどすべての高速 I/O が回路に割り当てられているのであれば、高価な FPGA の価値を設計者も納得するでしょう。しかし、FPGA が備えている I/O 数ほど実際の回路は多くの I/O を必要としない事例がほとんどです。つまり、設計者が高付加価値に支払ったコストは無駄になってしまうのです。

現在、市場には、さまざまなインターフェイス構成やバス幅に対応した数多くのディスクリート LVDS 製品が存在しています。設計者が必要とする LVDS インターフェイスは、FPGA からではなくディスクリート部品から探したほうが、はるかに見つけやすいと考えられます。回路の最低限の要件を満たす程度のソリューションのほうが、高いコスト効率が得られるでしょう。

LVDS の使用法

2.4 幅広い LVDS ソリューション

テキサス・インスツルメンツはさまざまな形態で LVDS テクノロジーを提供しています。たとえば、5V DS90C031/DS90C032 と 3V DS90LV047A/DS90LV048A のクワッド型ライン・ドライバ/レシーバは、汎用的な用途に利用できるように、ディスクリット・パッケージに LVDS テクノロジーを収容しています。基本的なライン・ドライバとライン・レシーバで構成されるこのファミリには、クワッド回路品に加えて、シングル回路品、デュアル回路品も用意されています。

ラップトップ・パソコンやノートブック・パソコンで高解像度の LCD 画面を接続する特定用途向けに、さらに、FPD リンク (フラットパネル・ディスプレイ・リンク) 用と LDI (LVDS ディスプレイ・インターフェイス) 用のデバイスを提供しています。これらの部品は、広帯域、低消費電力、小型パッケージの特長に加え、ノートブック・パソコンや LCD モニタ・アプリケーション向けに、XGA/SXGA/UXGA、上位の解像度をサポートするインターフェイスを備えています。

21 ビット、28 ビット、または 48 ビットのパラレル・データを、3 ビット、4 ビット、または 8 ビットの LVDS シリアル・データと LVDS クロックに変換するチャンネル・リンク・ファミリは、LVDS の利用形態としてはより汎用的です。これらのデバイスは、最高スループット 6.4Gbps の高速データ・パイプを実現し、高速ネットワークハブ、ルータ、低価格ながら高速リンクが求められるあらゆるアプリケーションに適しています。シリアルライズ機能によってケーブルのピン数削減とコネクタの小型化が図れるため、優れた価格性能比が達成されます。

Bus LVDS は LVDS ライン・ドライバとライン・レシーバ・ファミリの拡張版です。バスを両端で終端する、マルチドロップ・アプリケーションとマルチポイント・アプリケーションでの使用を想定して設計されています。Bus LVDS は、多くの負荷が接続され実効インピーダンスが 100Ω よりも下がったバックプレーンにも適用可能です。この場合、ドライバから見た負荷インピーダンスは 30Ω から 50Ω になります。Bus LVDS ドライバは約 10mA の出力電流を駆動できるため、負荷が重い場合でも通常の LVDS と同じ信号振幅が得られます。本マニュアル執筆時点で、Bus LVDS ファミリとしてトランシーバとリピータが製品化されています。

単一のシリアル・ストリーム中にクロックとデータを埋め込み、シリアル伝送後にクロックとデータを復元する 18 ビット、16 ビット、10 ビットのシリアルライザとデシリアルライザのファミリ・デバイスも提供中です。これらのチップセットは集積度が高く、クロック復元回路を内蔵しています。すべてのデシリアルライザは、業界初となるランダム・データ・ロック機能を備えています。デシリアルライザは動作中バスへの活線挿入が可能で、また PLL のトレーニングに特殊なコードを送信する必要はありません。

LVDS テクノロジー採用の特定機能を備えたデバイスも開発中です。新しいファミリは、単純な PHY デバイスに機能を追加したものとなります。現時点で、クロスポイント・スイッチの製品ラインと合わせ、6 CMOS 出力を備える超低スキュー・クロック・トランシーバ (DS92CK16) を提供中です。

2.5 まとめ

LVDS テクノロジーを採用したソリューションは、高性能データ伝送アプリケーションで、速度、電力、ノイズ、コストのすべてを両立します。LVDS テクノロジーは、既存のアプリケーションにさまざまな利益をもたらすだけでなく、新たなアプリケーションに可能性の扉を広げます。

第 3 章

高速回路設計

3.1 PCB レイアウトのヒント

LVDS は、数百 MHz から 2GHz 程度のデータ・レートを持つシステムに適合するテクノロジーです。この周波数帯になると PCB を単なるインタコネクタ (配線) の集合体として取り扱えません。つまり、高速信号を伝搬するトレースは伝送線路として取り扱わなければなりません。伝送線路の設計では適切なインピーダンス管理と正しい終端が必要です。

この章では、インピーダンス計算や信号インテグリティに始まり、さらには適正な電源設計に至るまで、ECL、CML、LVDS などを採用した高速回路設計に関連するさまざまな事項についてまとめています。

次に、設計に際しての一般的な推奨事項を説明します。

LVDS ドライバが持つ高速なエッジ・レートは、たとえ短い距離であっても、インピーダンスの整合がきわめて重要となることを意味します。なお、整合すべきインピーダンスは差動インピーダンスです。差動インピーダンスに不整合が存在すると、信号の劣化やコモンモード・ノイズを引き起こす反射が発生します。線路上のコモンモード・ノイズは、差動線路が持つ磁界の打ち消し効果が及ばないため、EMI として放射されます。

IC ピンのできるだけ近くから、管理した差動インピーダンス・トレースを使用しなければなりません。スタブ長、あるいは管理されていないインピーダンス・トレースの長さは、12mm (0.5 インチ) 未満に抑えてください。また、インピーダンスの不連続につながるため、トレースを 90° の角度で曲げ配線しないでください。45° で配線するか斜角を付けてください。

差動ペアの導体間の信号スキューを最小限に抑えてください。一方の信号がペアの他方よりも速く到達すると、信号ペアの間に位相差が生まれ、コモンモード・ノイズを放射する原因となります。

デバイスのパッケージごとにバイパス・コンデンサを設け、給電パターンとグラウンド配線パターンは幅広で短くし (50Ω のパターン寸法を使用してはなりません)、ピンから電源層へのインダクタンスを下げるため複数のビアを介して接続します。

LVDS を用いた設計の詳細な推奨事項のリストを次の項以降に示します。いずれの推奨事項もコスト効率が高く実装も容易です。これら推奨事項をガイドラインとして使用すれば、LVDS を採用したシステムの性能最適化と開発期間の短縮が図れます。

3.1.1 PCB の設計

1. 4 層以上の PCB 基板を使用してください。最上層から順に、LVDS 信号、グラウンド層、電源層、TTL 信号に割り当てます。高速回路の設計では、通常、 V_{CC} とグラウンドにそれぞれ専用の層が必要です。伝送線路インタコネクタで、管理された (既知の) インピーダンスを得るには、均一なグラウンド層が必要です。電源とグラウンドとの層間隔を狭くすると、高周波領域で優れたバイパス・コンデンサとしても働きます。
2. ノイズの多いシングルエンド CMOS/TTL 信号は LVD 線路にクロストークを与える可能性があるため、高速エッジ・レートの CMOS/TTL 信号は LVDS 信号から離して配線してください。TTL 信号と LVDS 信号を別々の層に割り当て、その間に電源層とグラウンド層を挿入して分離する層構成が適切です。
3. ドライバとレシーバは LVDS ポート側のコネクタの可能な限り近くに配置してください。差動線路に対するボード上ノイズの重畳が抑えられるとともに、ノイズがケーブル・インタコネクタを介して EMI として放出されることを防ぎます。最短配線は線路間スキューを小さくする効果もあります。スキューは配線長に比例して増える性質があるので、配線長を短くすればスキューを抑えられます。コネクタをわたる高速信号のルーティングについては第 5 章を参照してください。
4. 各 LVDS デバイスは電源に対してバイパスを行い、さらにボード全体にバルク・コンデンサを分散して配置してください。表面実装タイプのコンデンサを電源ピンとグラウンド・ピンのすぐ近くに配置すると最も高い効果が得られます。

LVDS オーナーズ・マニュアル

電源: 電源とグラウンド間に、35V、容量 4.7 μ F ~ 10 μ F のタンタル・コンデンサを設けると良好な効果が得られます。電源 / グラウンドに含まれる最大周波数成分 (通常 100 ~ 300MHz) をフィルタできるコンデンサ容量を選択してください。周波数成分はバイパス・コンデンサの両端に印加されている V_{CC} のノイズ・スペクトルを調べればわかります。タンタル・コンデンサの電圧定格は重要で、 V_{CC} の 5 倍以上を選択しなければなりません。なお、一部の電解コンデンサも、タンタルと同様に優れた性能を発揮します。

V_{CC} ピン: 可能であれば、多層セラミック (MLC) タイプの表面実装コンデンサ (0.1 μ F ~ 0.01 μ F) を 1 個か 2 個並列に各 V_{CC} ピンとグラウンド層との間に接続してください。コンデンサを V_{CC} ピンのできるだけ近くに配置すると適切な効果が得られ、バイパス・コンデンサの周波数応答を劣化させる寄生効果が抑えられます。ビット幅が広い (4 ビット超) LVDS デバイスや、PLL を内蔵する (たとえばチャンネル・リンクや FPD リンクなどの) LVDS デバイスには、電源の種類ごとに最低でも 2 個のコンデンサを設けてください。他の LVDS デバイスは通常 0.1 μ F のコンデンサ 1 個で十分です。要は適切な電源バイパス手法を用いることです。

EMI に関連するさまざまな問題は、多くは電源とグラウンドの供給問題に端を発します。電源層とグラウンド層を安定した状態に維持すれば EMI は大幅に小さくなります。一般的な経験則として、電源ラインのノイズを 100mV 未満に抑えることが電源バイパスの目標となります。ただし、電源ラインのノイズに対し、より厳しい要件を持つデバイスも一部に存在します。デバイスの正確な要件についてはそれぞれのデータシートを参照してください。

1. 電源とグラウンドの目的は低インピーダンス点を構成することであり、幅広の (低インピーダンス) トレースを用いてください。電源とグラウンドのトレースに 50 Ω の設計ルールを適用してはなりません。
2. PCB のグラウンド・リターン・パスは、短く、かつ幅広に維持します。写像されるリターン電流に対して最小のループを構成するようにリターン・パスを設けてください。
3. ケーブルには、2 つのシステムのグラウンド間を接続したグラウンド・リターン・ワイヤが必要です。このパスによって既知の短いワイヤ上にコモンモード電流のリターンが形成されます。特に筐体間接続アプリケーションで、グラウンド電位のシフトをグラウンド・リターンによって抑えようとする場合に重要です。6.3 項を参照してください。
4. バイパス・コンデンサのパッドと電源またはグラウンドへの接続には、2 個のビアを使用してインダクタンス成分の影響を最小限に抑えてください。サイズが小さくデバイス・ピンのすぐ近くに配置できる表面実装タイプのコンデンサが適切です。

3.1.2 トレース

1. 差動線路には、エッジ結合 (端面の結合) マイクロストリップ・ライン、エッジ結合ストリップライン、ブロードサイド (長手方向の結合) ストリップラインのいずれかが適しています。
2. LVDS 信号のトレース同士は結合度を高くし、また、差動インピーダンスが 100 Ω となるように設計しなければなりません。3.1.3 項を参照してください。
3. エッジ結合マイクロストリップ・ラインは、差動インピーダンス Z_0 を高く (100 ~ 150 Ω) 設定できる特長を持っています。また、ビアを介さずにコネクタ・パッドからデバイス・パッドまで配線することも可能で、より「クリーン」なインタコネクトを実現できます。一方、マイクロストリップ・ラインは原理的に PCB の表面層にしか配線ができないため、配線チャンネル数が限られます。
4. ストリップラインはエッジ結合かブロードサイド結合のいずれかで構成します。ストリップラインは層間に構成されますが、通常はグラウンド層で挟まれるため、高いシールド性能が得られます。ノイズの放射と線路へのノイズの重量が抑えられます。ただし、線路間の接続にはビアが必要です。

高速回路設計

3.1.3 差動配線パターン

1. 伝送メディア（たとえばケーブル）および終端抵抗の差動インピーダンスとの整合を図った、管理したインピーダンスを持つPCBトレースを使用してください。差動ペアのトレースは、ICの出力ピンを出た直後から、可能なかぎり近接させてルーティングしてください。反射が抑えられ、また、ノイズはコモンモードとして重畳するようになります。トレースを近接させた方が磁界を打ち消す働きが強くなるため、間隔1mmの信号は間隔3mmの信号にくらべて放射量は大幅に小さくなります。また、差動線路上に励起されるノイズは、そのほとんどがレシーバで除去されるコモンモードとなります。

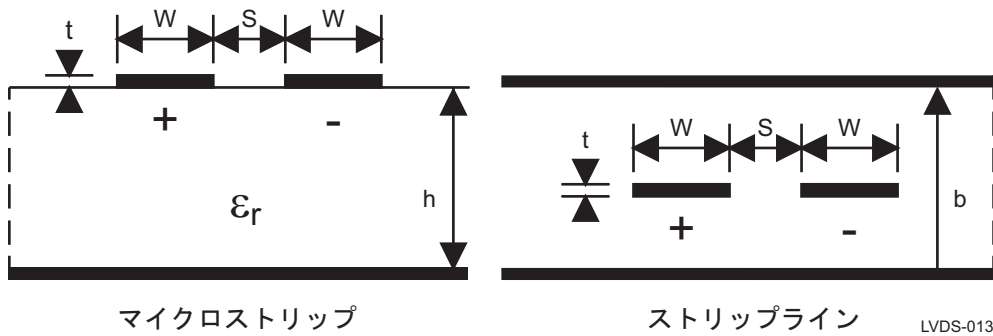


図 3.1. マイクロストリップ・ラインとストリップラインの差動配線

特定の差動インピーダンス Z_0 (Z_{DIFF}) を持つエッジ結合線路を設計する場合は、トレース幅「W」を変えて Z_{DIFF} を調整することが適切です。PCB メーカーが規定する最小トレース間隔「S」を変更することは推奨しません。TI では伝送線路設計ツールとして RAPIDESIGNER 計算尺を提供しており、ウェブサイトから申し込めるようになっています (RAIDESIGNER で検索してください)。または TI のサポート部門までお問い合わせください。インピーダンス Z_0 と Z_{DIFF} の計算には、RAPIDESIGNER 計算尺 (メートル法に対応した LIT# 633200-001 かヤードポンド法に対応した LIT# 633201-001) と説明書であるアプリケーション・ノート AN-905 (LIT# 100905-002) を使用するか、エッジ結合差動線路に対応した次の計算式を使用します。

$$Z_{DIFF} \approx 2 * Z_0 \left(1 - 0.48e^{-0.96 \frac{S}{h}} \right) \Omega \text{ マイクロストリップ}$$

$$Z_{DIFF} \approx 2 * Z_0 \left(1 - 0.374e^{-2.9 \frac{S}{h}} \right) \Omega \text{ ストリップライン}$$

$$Z_0 = \frac{60}{\sqrt{0.475 \epsilon_r + 0.67}} \ln \left(\frac{4h}{0.67 (0.8W + t)} \right) \Omega \text{ マイクロストリップ}$$

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4h}{0.67 \pi (0.8W + t)} \right) \Omega \text{ ストリップライン}$$

注: エッジ結合ストリップラインで $S < 12\text{mil}$ の密結合線路の場合は、上式の 0.374 の項を 0.748 に置き換えてください。

LVDS の差動配線にはブロードサイド結合 (異なる層間での長手方向の結合) を用いた構成を使用してもかまいません。配線寸法を図 3.2. に示します。ブロードサイド結合を用いたストリップラインは、通常は単一のルーティング・チャンネルしか占有しないため、コネクタ・ピン領域のルーティングを緩和できる余地があり、バックプレーン設計に適しています。

ブロードサイド結合ストリップラインのインピーダンスを直接的に求める計算式はありません。代わりにフルド・ソルバを使用してください。

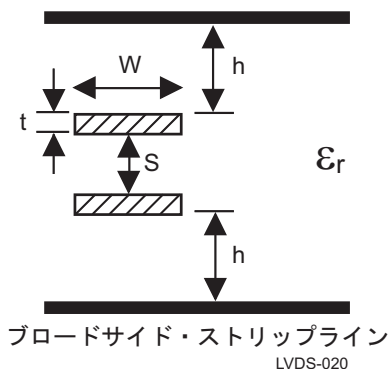


図 3.2. ブロードサイド結合ストリップライン

計算では、S、h、W、tのすべてについて同じ単位を使用してください(たとえば、すべて mil、cm、mm など)。

重要な注意： Z_{DIFF} の式は経験データに基づいており、結果は実際の値と異なる場合があります。精度に関する情報と適用範囲についてはアプリケーション・ノート AN-905 を参照してください。

プリント基板 (PCB) に使われる各種材料の一般的な比誘電率 (ϵ_r) の値を表 3.1. に示します。使用予定の特定材料の正確な比誘電率は PCB メーカーに問い合わせてください。LVDS を使用するほとんどのアプリケーションには、広く使われている FR-4 PCB 材が適用可能です。GETEK は価格こそ FR-4 の約 1.5 倍ですが 1000MHz を超える回路に向いています。また、 ϵ_r は単一ボード内で必ずしも一定ではないので注意してください。FR-4 PCB の場合、1 枚の基板内で ϵ_r が 10% 程度ばらつくことは珍しくなく、結果としてスキューに影響します。差動線路ペアを近接させてルーティングすべき理由の 1 つです。

表 3.1. PCB 材料の特性

| PCB 材 | 比誘電率 (ϵ_r) | 損失正接 |
|------------------|-----------------------|----------------------|
| 空気 | 1.0 | 0 |
| PTFE (テフロン) | 2.1 ~ 2.5 | 0.0002 ~ 0.002 |
| BT 樹脂 | 2.9 ~ 3.9 | 0.003 ~ 0.012 |
| ポリイミド | 2.8 ~ 3.5 | 0.004 ~ 0.02 |
| シリカ (石英) | 3.8 ~ 4.2 | 0.0006 ~ 0.005 |
| ポリイミド/ガラス | 3.8 ~ 4.5 | 0.003 ~ 0.01 |
| エポキシ/ガラス (FR-4) | 4.1 ~ 5.3 | 0.002 ~ 0.02 |
| GETEK | 3.8 ~ 3.9 | 0.010 ~ 0.015 (1MHz) |
| ROGERS4350 コア | 3.48±0.05 | 0.004 @ 10G, 23°C |
| ROGERS4403 プリプレグ | 3.17±0.05 | 0.005 @ 10G, 23°C |

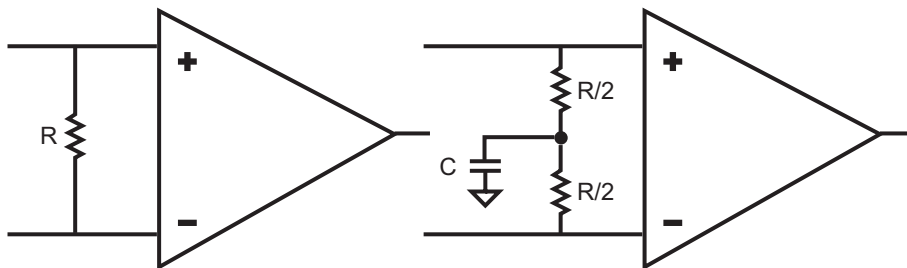
- スキューを最小限に抑えるためトレース・ペアの電気長を揃えてください。ペア信号間のスキューは信号間の位相差となって現れます。位相差は差動信号の利点である磁界の打ち消し効果を半減させ、結果として EMI が発生します (伝搬速度は $v = c/\epsilon_r$ で、 c (光速) = 0.2997 mm/ps あるいは 0.0118 in./ps です)。一般的な設計ルールとして、ペア間の長さを 100mil 以内に揃える必要があります。

高速回路設計

3. 差動線路のルーティングを自動配線機能に頼ってはなりません。トレース長が揃っているか、また差動信号のペアとペアの間に適切に距離が設けられているか、注意深く確認してください。
4. ビアの個数やインピーダンスの不連続箇所は最小限に抑えます。
5. ルーティングでは90°の曲げを避けます(インピーダンスの不連続が生じる)。トレースの方向を変えるときは、円弧か45°の斜角でルーティングしてください。
6. トレースペアのトレース間隔はできるだけ狭くして、レシーバにおけるコモンモード除去性能を維持してください。プリント基板では、トレース間隔を一定に保ち、差動インピーダンスに不連続点が生じないようにしてください。接続点における若干の逸脱は許容範囲です。「アンバランス(不平衡)」をできるだけ少なく、かつ、できるだけ小さくすることが鍵となります。差動伝送は平衡なインタコネク上でこそ最善の動作が得られます。優れた性能を得るために、ペアの両方の線路をできるだけ同じにしてください。

3.1.4 終端

1. 使用する伝送線路の差動インピーダンスに最も整合する終端抵抗を使用してください。一対一構成では90Ω～130Ωとなります。電流モード出力は適切な差動電圧を生成するためには終端抵抗を必要とします。LVDSは終端抵抗がない状態での動作は想定していません。
2. 通常は、レシーバ入力端の信号ペアをまたぐように単一の受動抵抗を接続するだけで十分です。
3. 表面実装タイプの抵抗が終端抵抗として最適です。PCBのスタブ長、部品のリード長、レシーバ入力点と終端点との距離は、いずれも可能な限り短くしてください。終端抵抗からレシーバ入力点までの距離は7mm未満(最長でも12mm)にしてください。
4. 推奨部品は許容差1%～2%品です。反射の観点から、10%のインピーダンス不整合は5%の反射につながる点に留意してください。整合が良好であれば、結果として得られる性能も良好になります。終端抵抗の値は、インタコネクの差動インピーダンスの公称値に整合させてください。マルチドロップ/マルチポイント・アプリケーションでは最大負荷条件における差動インピーダンスに整合させてください。
5. 必要に応じて、部品コストは増えるものの、コモンモード・ノイズをフィルタするために、2個の50Ω抵抗にセンタータップ・コンデンサを接続する終端方法を採用してください。なお、この終端方法は一般的ではなく、必ずしも必要ではありません。



ここで $R=Z_{DIFF}$ (100Ω～120Ω)、 $C \approx 50\text{pF}$

表面実装タイプの部品を使用しレシーバの近くに配置する

許容差1～2%の抵抗を使用する

LVDS-015

図 3.3. 一般的な差動終端方法

3.1.5 「S」ルール

トレース・ペアの端面と端面の間隔である「S」を使って、他の間隔を決める方法です。

- ペア同士の距離は $>2S$ にする。
- 差動ペアと TTL/CMOS 信号との距離は最近接でも $>3S$ にする。グラウンド層を挟んで TTL/CMOS 信号を別の層に配置するとさらによい。
- ガード用グラウンド・トレースやグラウンド・パターンとは $>2S$ の距離をおく。

3.2 EMI (電磁妨害ノイズ) の低減

3.2.1 差動信号の電磁放射

データ・レートがますます高くなる一方で電磁適合性 (EMC) の規制も一層厳しさを増している現在、電磁放射は大きな問題の 1 つとなっています。TEM (transverse electromagnetic) 波によって伝播し、シールドを通り抜ける性質を持ち、EMC 試験の不合格要因となる遠方 (far-field) 電磁界放射は、一般にシステム設計者にとって懸念材料の 1 つです。

導体の周囲に生じる電磁界は電圧または電流 (LVDS ではいずれも小さい) に比例します。電磁界は、周囲環境から歪みを受け、また周囲環境との間で相互作用を生じるため、EMI を予測するのは非常に困難です。しかし、電磁界の歪みを有利なものとして逆に考えることも可能であり、密結合の差動線路がその例に相当します (「+」と「-」信号が互いに近接)。

図 3.4. に示す CMOS/TTL などのシングルエンド線路では、ほとんどすべての電気力線が導体から自由に放射していきます。ある種の構造はこのような電界を遮蔽する能力を持っています。しかし、一部の電界は装置を通り抜ける TEM 波として伝搬し EMI の問題を引き起こすおそれがあります。

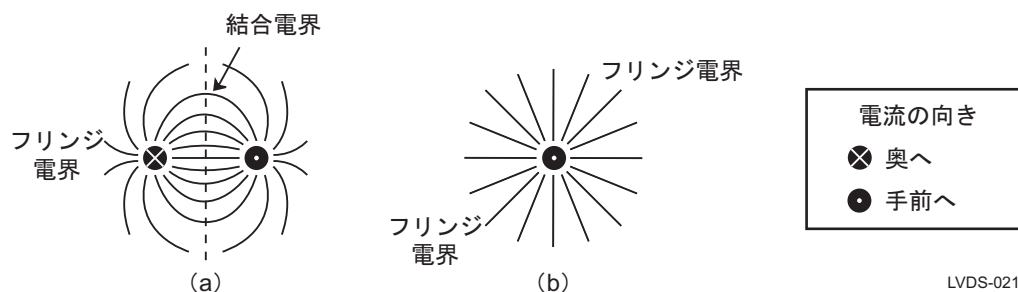


図 3.4. (a) は結合により電磁界を打ち消す差動信号、(b) はシングルエンド信号

一方、平衡な差動線路には、大きさが等しく反対向きの信号 (奇モード) が流れています。すなわち、同心円状の磁力線は打ち消す方向に働き、また同心円状の電気力線 (図 3.4. (a)) は結合するように働きます。結合した電界は「縛り付け」られているため、導体近傍を超えて TEM 波として伝播してはいけません。遠方に到達できるのは浮遊フリッジ電界のみです。したがって、シングルエンド信号に比べて結合差動信号では、TEM 波として伝播できる電磁界エネルギーが非常に小さくなります。「+」と「-」が近いほど結合が強くなり良好な結果につながります。

高速回路設計

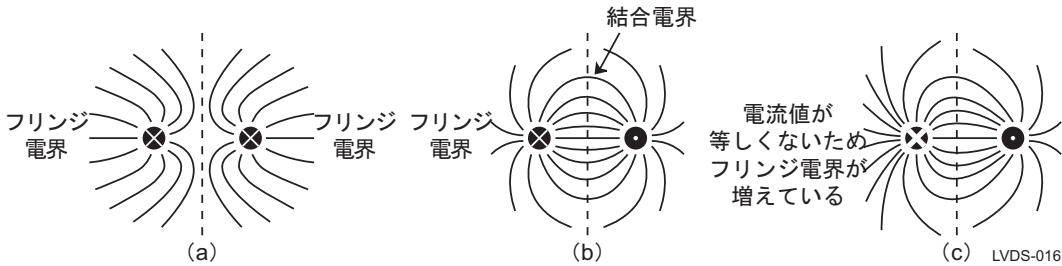
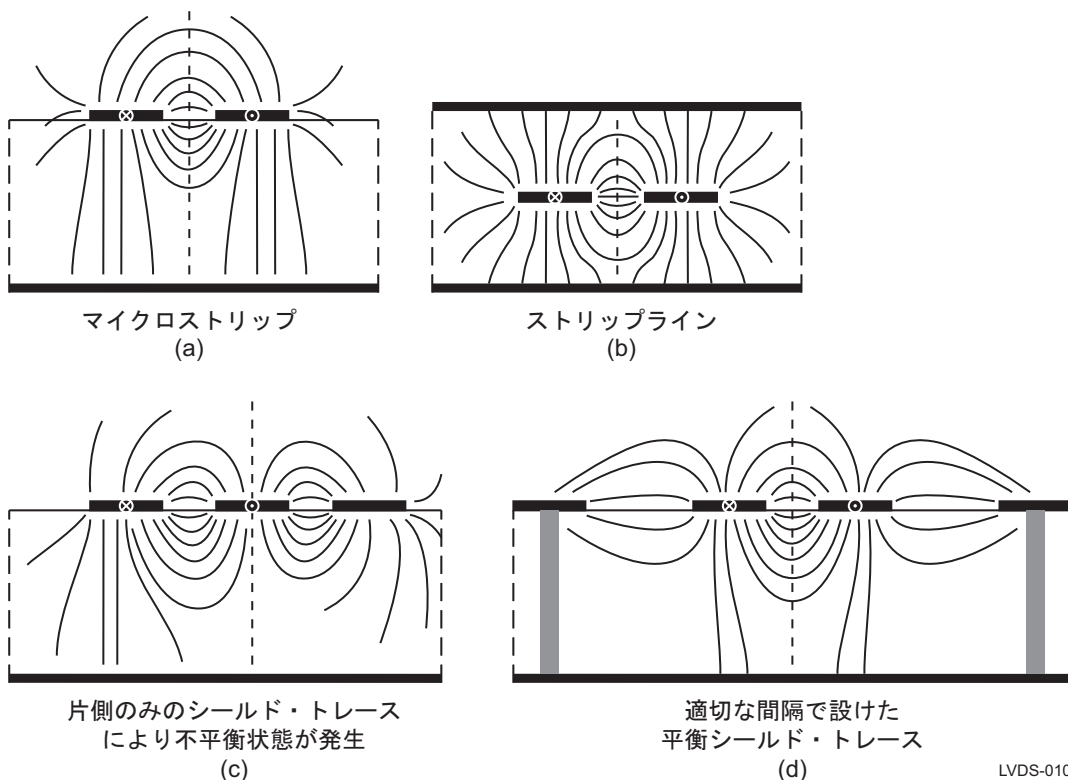


図 3.5. 差動線路における (a) は偶モードまたはコモンモード信号、(b) 向きが反対で値が等しい理想的な奇モード信号、(c) 不平衡信号

正負両方(「+」と「-」)の導体の電圧と電流は、常に反対向きに等しいとは限りません。LVDS では、DC 電流が図 3.5. (a) のように同一方向に流れることは決してありませんが、理想状態 (b) に対し、条件によっては不平衡状態 (c) になることがあります。不平衡状態が発生すると、2 つの導体の電界強度に差が生じフリッジ電界強度が増大します。増加したフリッジ電界は TEM 波として逃げていく場合があります、EMI の増大を引き起こします。

PCB トレースで構成されるマイクロストリップとストリップラインでも、図 3.6. に示すように、同じような現象が発生します。同図の (a) と (b) は、それぞれ理想的なマイクロストリップおよびストリップラインです。図から、マイクロストリップ・ラインでは、導体下方向に発生する電気力線に対してグラウンド層が結合する働きを持ち、多くの電気力線を捕捉して EMI の低減に寄与しているのがわかります。ストリップラインでは導体がほぼ完全に遮蔽されるため EMI は大幅に低減されますが、伝搬速度の低下 (マイクロストリップ・ラインに比べて約 40% 遅い)、PCB 層数が必要、ビアが必要、 100Ω の Z_0 (Z_{DIFF}) の実現が難しい、などの短所を抱えています。

マイクロストリップ・ラインに図 3.6. (d) のようにガードバンド・トレースを追加すると、伝搬速度に大きな影響を与えずにシールド効果を高められます。その際、ガードバンド・トレース (グラウンド電位が望ましい) は、同図 (d) のように差動ペアの両側に設けてください。同図 (c) のように、片側にだけガードバンド・トレース (あるいは他のトレース) を走らせると、EMI の増加を招く不平衡状態が生まれます。グラウンド電位のガードバンド・トレースは、規則的な間隔 (1/4 波長未満) で多めのビアを設けて下側のグラウンド層に接続し、また差動ペアとは 2S 以上の距離を離してください。



LVDS-010

図 3.6. (a) マイクログリップによる理想的な差動信号、(b) 同ストリップライン、(c) 不平衡シールド・トレースによる悪影響、(d) 平衡シールド・トレースによる好影響

3.2.2 EMI を低減する設計手法

これまで述べてきたように、EMI の少ない差動信号を設計する際には、(1) それぞれのペアで 2 本の導体を密結合させること、(2) それぞれのペアの導体間の不平衡を最小限に抑えること、の 2 点が重要です。まず、密結合の問題について説明します。

十分な結合を得るには導体ペアの間隔を図 3.7. に示すようにできるだけ狭くします (伝送線路のインピーダンス整合も維持しなければならない点に注意してください)。電源やグラウンドの層 / パターンと導体との間隔を導体ペアの間隔よりも狭くしてはなりません。各導体と電源 / グラウンド層との間の結合よりも、導体間同士の結合を強くする実装方法です。S<W、S<h、x を 2S 以上かつ 2W 以上に保つことが適切な設計ルールとなります。PCB メーカーによって許容される最小間隔「S」を使用し、トレース幅「W」を変えて差動インピーダンスの調節が望まれます。

高速回路設計

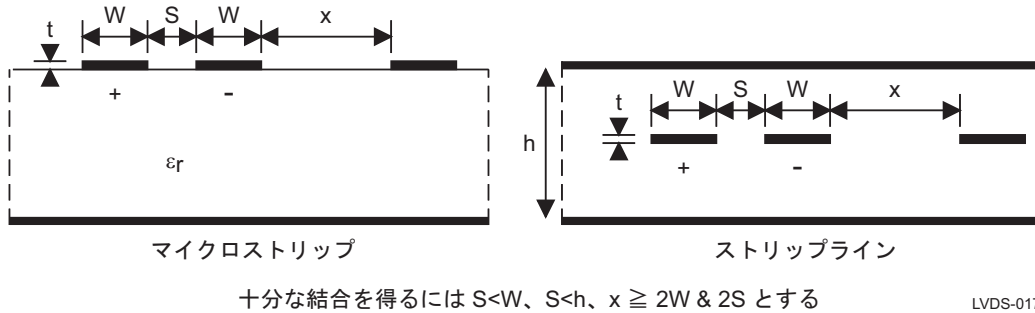


図 3.7. 差動配線の結合

電磁界を十分に結合 (キャンセル) させるため、「+」信号と「-」信号との間隔を可能な限り狭くしてください。前述のとおり、導体ペア間の結合度が高いほど電磁界放射は小さくなります。さらに、外乱の電磁界ノイズに対して回路の耐性が高くなります。導体に重畳されるノイズはレシーバで除去されるコモンモード・ノイズになります。差動ペアは電流ループを構成しますが、導体間隔を狭くすればアンテナ・ループの面積も小さくなります。

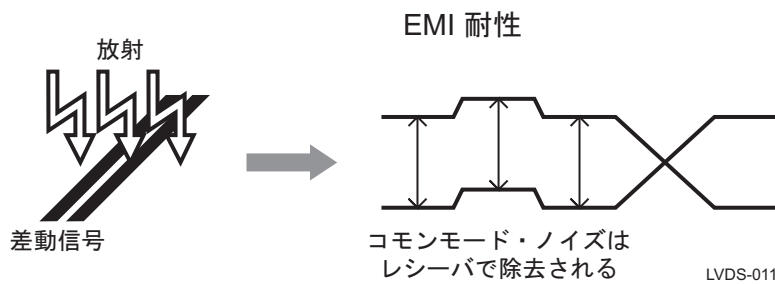


図 3.8. EMI の低減に加えて外部ノイズへの耐性も高める密結合

EMI の低減を図るには不平衡な状態を排除することも重要です。電磁界は同一システムにある物体間の複雑な相互作用によって発生するため、予測するのは (動的な場合は特に) 困難ですが、一部は一般化が可能です。信号配線のインピーダンスは厳密に管理しなければなりません。ペアとなっている 2 本の配線インピーダンスが同一でないと不平衡な状態を生み出します。一方の信号の電圧と電磁界と、ペアを構成する他方の電圧と電磁界に差が生じてしまいます。結果としてフリッジ電界が強くなり、これまで述べたように EMI が増える結果となります。

従うべき基本ルールは次のとおりです。すなわち、差動線路の近傍で止むを得ず不連続が生じる場合は、差動ペアを構成する両方の信号に等しく不連続となるようにしてください。不連続要因には、たとえば部品、ビア、電源層とグラウンド層、PCB トレースなどがあります。重要なキーワードが「バランス (平衡)」であることを忘れないでください。

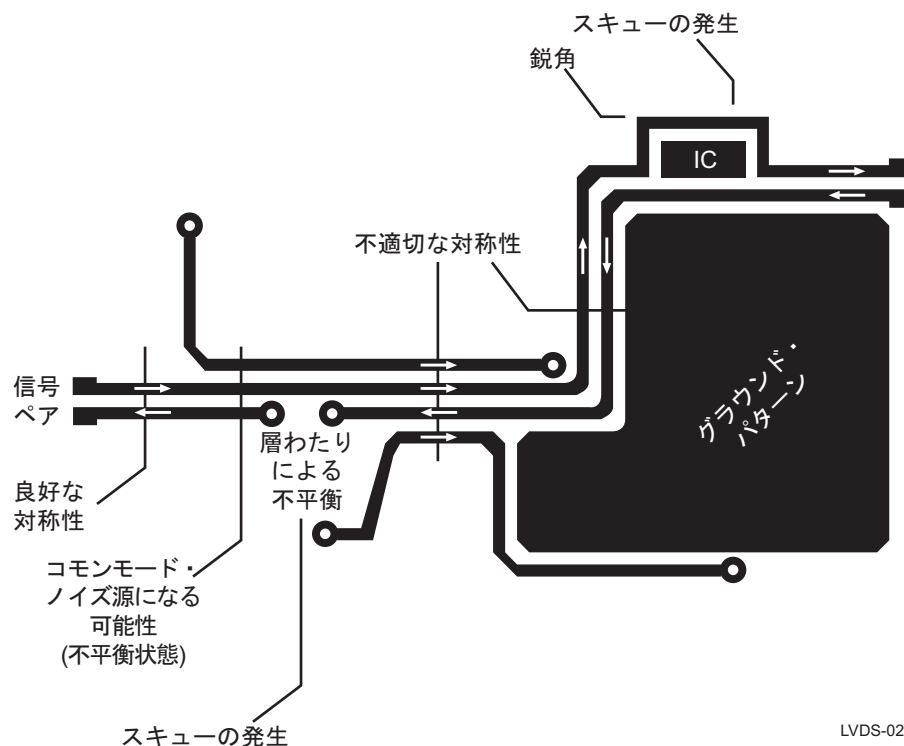
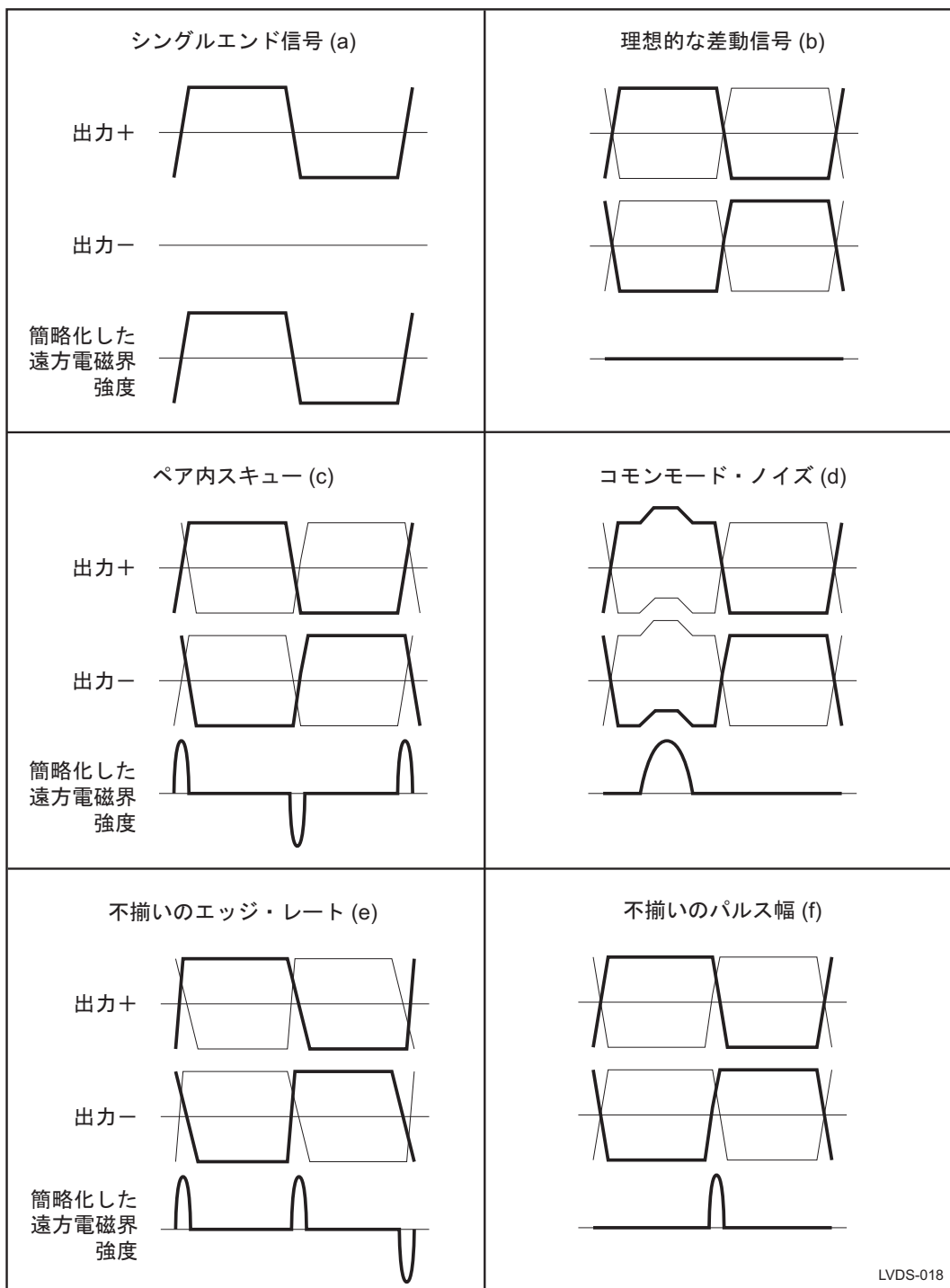


図 3.9. EMI の増加を招くさまざまな差動信号の不平衡要因を含む PCB のレイアウト例

設備の整った EMI テスト室がない限り、不平衡状態に起因する電磁界は残念ながら簡単には測定できません。ただし、波形だけであれば測定は容易です。電磁界の大きさは所与の時点における電圧 / 電流の大きさに比例します。信号の時間的属性 (たとえば遅延や速度) が振幅的属性 (たとえば減衰)、またはその両方に作用する要因は、EMI の増加を招きますが、一方でオシロスコープでの観測が可能です。図 3.10. に、オシロスコープで容易に捕捉される波形から遠方電磁界 EMI を推測する方法を示します。まず、(b) 電磁界を打ち消している理想的な差動信号と (a) シングルエンド信号を比較してみます。

実際の差動信号は理想的であるとは考えられず、スキュー、不揃いのパルス幅やエッジ・レート、コモンモード・ノイズ、異なる減衰などが混在した状態です。こうした要因は、ある所与の瞬間において電磁界の相対的な大きさに影響を与え、結果として差動信号による打ち消す利点が薄れ、EMI の増大につながるおそれがあります。したがって、EMI を最小限に抑えるには、ペアの一方の導体の波形と他方の波形とが鏡に映したように同じでなければなりません。

高速回路設計

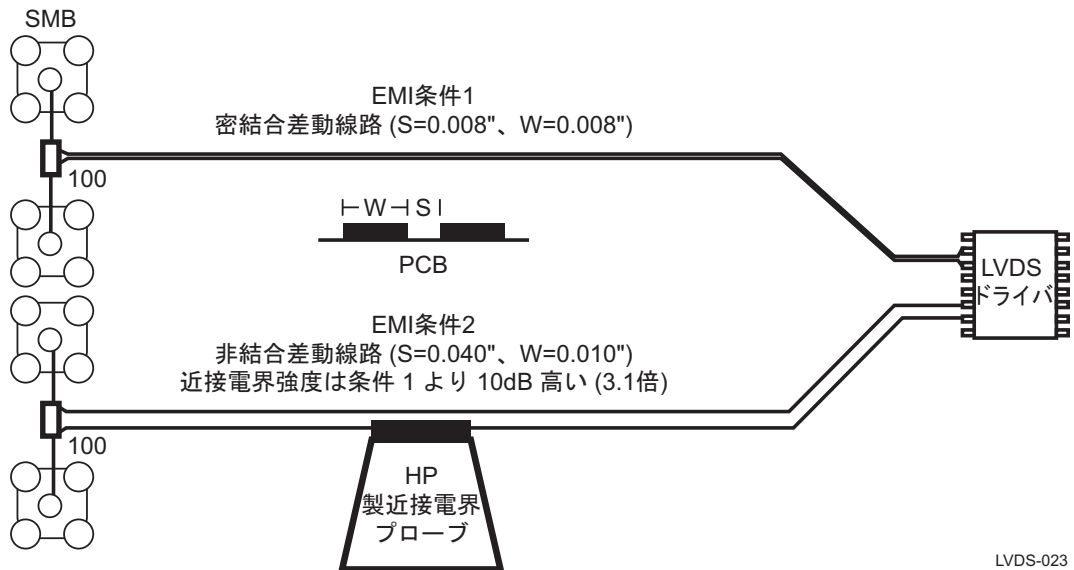


LVDS-018

図 3.10. さまざまな条件下における簡略化した遠方電磁界放射強度

3.2.3 EMI テストの結果

以下に示す図は、密結合差動信号と非結合差動信号で EMI の発生量の差異を測定するために使用した PCB です。回路は 2 種類の LVDS 信号を比較できるようになっています。一方はトレース幅よりも狭い間隔 ($S < W$) でルーティングした配線ペアです。もう一方は密結合していない ($S \gg W$) 配線ペアです。なお、間隔が広い配線ペアの差動インピーダンスも 100Ω に維持しています。



LVDS-023

図 3.11. EMI 試験の構成

両方の条件に対し、周波数 32.5MHz、デューティ・サイクル 50% のクロック信号を使用して、近接電界を測定しました。図 3.12. のグラフは非結合となっている条件 2 の電界強度の測定結果です。左のグラフは 200MHz ~ 1GHz に対する電界強度で、右のグラフはそのうちの 30MHz ~ 300MHz に対して詳細な測定を行った結果です。入力周波数の各高調波周波数に、電界ノイズが「スパイク」として現れています。

高速回路設計

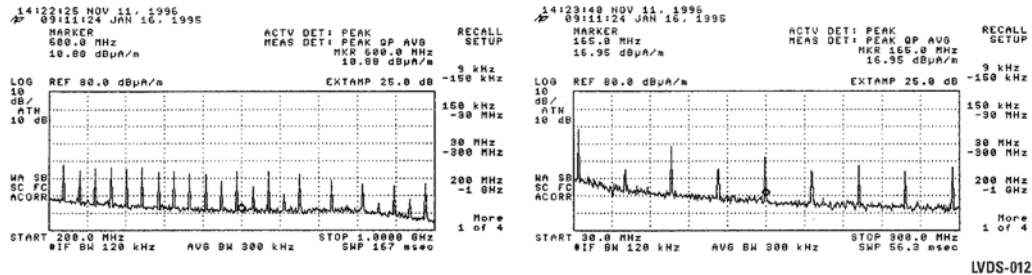


図 3.12. 非結合信号の近接電界強度
 (条件 2) : 200MHz ~ 1GHz (条件 2) : 30MHz ~ 300MHz

図 3.13. の 2 つのグラフは、差動ペアが密結合している条件 1 の電界強度の測定結果です。高調波成分が大幅に少ないことがわかります。

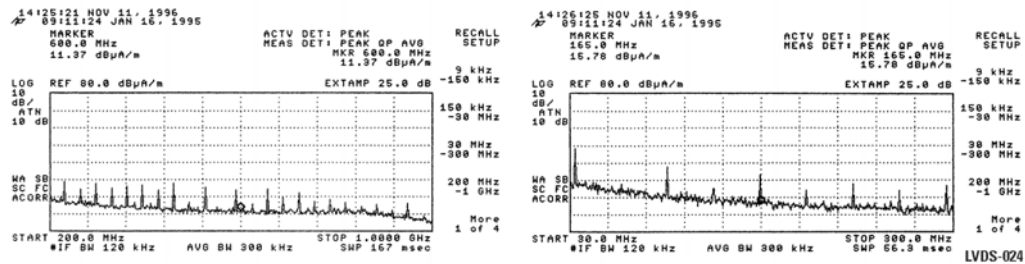


図 3.13. 密結合信号の近接電界強度
 (条件 1) : 200MHz ~ 1GHz (条件 1) : 30MHz ~ 300MHz

遠方電界の点でも、密結合している差動ペアは電界同士が結合しているため、EMI 放射量は格段に少なくなるはずですが、近接場であっても密結合の差動ペアが発生する電界強度はかなり弱くなっています。密結合の差動ペアが生み出す電界強度は、非結合ペアの電界強度に比べて、およそ 10dB (約 1/3 以下) 弱くなっています。

以上の試験結果から次の 2 点がわかります。

1. 差動信号を使用した方がシングルエンド信号を使用するよりも放射を効率よく低減できる。
2. 差動信号は EMI に関して利点を持っているが、密結合させないかぎり、まったく効果が得られないか、得られたとしてもわずかである。

この試験では、非結合状態の LVDS 信号をシングルエンド信号として使用しました。TTL や GTL などシングルエンド信号の多くは、LVDS に比べて信号振幅も電流もはるかに大きいため、その EMI は、測定で得られた値よりもきわめて大きいことが見込まれます。

3.2.4 グラウンド・リターン・パス

導体によって運ばれる電流は、システムの一部を介して戻ってくる反対向きの電流を必要とします。リターン電流はもっとも抵抗の小さなパスを流れます。また、高速信号のリターン電流はインダクタンスが最も小さいパスを流れて戻ります。

LVDS は差動方式なので、差動ペアの一方の導体を流れた信号電流はもう一方の導体を通して戻り、完全な電流ループが形成されます。トレース・ペア間の間隔は非常に狭いという理想的な条件では、電流リターンのアンテナ・ループ面積はきわめて小さくなります。しかし、実際の信号はコモンモード・ノイズ電流を含んでおり、ノイズに対するリターン電流も流れます。コモンモード電流はグラウンドとの間で容量性結合を生じ、インダクタンスの最も小さいパスを流れてドライバに戻ります。そのため、差動信号を採用したシステムでは、ドライバとレシーバ間のグラウンド電流リターン・パスを短くしなければなりません。

PCB の場合、LVDS 信号の下に設けた一様で切れ目のないグラウンド層が最良の電流リターン・パスになります。グラウンド層があれば、コモンモード (偶モード) 電流は LVDS 信号の直下を流れます。このようにして形成された密結合のパスはインピーダンスが最も低いパスで、電流ループの面積は最小になります。

ケーブルについても同様で、ドライバとレシーバ間に 1 本以上のグラウンド・リターン・ワイヤを設けてください。信号ペアとリターン・パスとを近接させることで、電流ループの面積が小さくなります (ケーブルについては第 6 章を参照してください)。

3.2.5 ケーブルのシールド

シールドは EMI を低減する効率のよい方法の 1 つです。シールドは、可能であれば、ドライバの筐体とレシーバの筐体の両方に直接接続します。ただし、シールドの目的は大量のグラウンド・リターン電流を扱うことではありません。片側のシールドとグラウンドを絶縁するフィルタ・ネットワークが必要になる場合があります (第 6 章を参照してください)。

3.2.6 EMC のまとめ

LVDS が持つ低 EMI 特性を活かすには、各差動ペアを構成している導体同士を、(1) 密結合させ、かつ (2) バランス (平衡) を取るのが重要です。インピーダンスは、シングルエンドであっても差動であっても、適切に管理し整合させなければなりません。

3.3 AC 結合

信号で AC 結合が必要とされる状況は次のとおりです。

1. インターフェイス・ロジック・ファミリの入力スレッショルドが異なる場合に DC バイアス電圧を変更したい (LVDS と PECL が使われているシステムでの光学カプラなど)
2. 挿抜可能なインターフェイスでドライバを短絡から保護したい (ネットワーク・スイッチやルータで使用されているカード上のドライバなど)
3. グラウンド電位が異なるシステム間で DC 電流を防止したい

アプリケーションがこれら要件のどれか 1 つにでも該当し、かつ、エンコード・データが使えるのであれば、AC 結合を採用します。

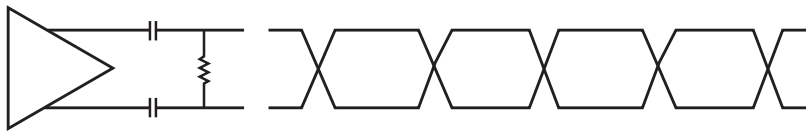
AC 結合を正しく機能させるには、1 と 0 の個数が等しい (DC 的にバランスした信号) エンコード・データを使用します。たとえば、デューティ・サイクル 50% のクロック、8b/10b コード、マンチェスタ・コード化データなどは、すべて DC 的にバランスが取れた信号です。AC 結合を使用する場合は必ず DC バランスの取れたデータを使用してください。

高速回路設計

DC バランスが適切に取れている信号は、通常、データの有効スペクトラム成分は低周波カットオフを持ち、また、情報伝達でのスペクトラム劣化はわずかと考えられます。ただし、AC 結合回路を流れたときに、信号の一部はフィルタリングされてしまうことを見込んでおく必要があります。

AC 結合では、LVDS など多くのロジック・ファミリで使用される DC バイアス電圧は除去されます。多くのデバイスは広いコモンモード動作電圧範囲を持っていますが、デバイスのデータシートで確認が必要です。コモンモードの動作範囲に制約があるデバイスでは、単純なバイアス回路を使って信号を適切にバイアスします。

もっとも広く使用されている AC 結合は DC 遮断コンデンサを用いた方法です。高速回路を設計する場合は、パッケージの寄生容量による信号の劣化を抑えるために、入手可能なものうち最も小型のパッケージ品を選択してください。



LVDS-091

図 3.14. AC 結合

適切なコンデンサ容量を求めるには次の近似値を用います。

$$C = \frac{(7.8 \times N \times T_b)}{R}$$

T_b = ビット周期

R = インピーダンス

N = 同一ビットが連続する最大回数

AC 結合信号の振幅はコンデンサを通過することで若干減衰します。上記の式では 0.25dB の低下を見込んでいます。

高速アプリケーションに広く使用されているコンデンサの容量は 0.1μF と 0.01μF です。このようなコンデンサは入手が容易で、また広い範囲の高速データ・レートをサポートできる十分な帯域を持っています。

エッジ・レートがきわめて高速なアプリケーションでは、AC 結合コンデンサをレシーバ入力に近い位置に配置してエッジ・レートを遅くしたほうが、良好な性能が得られる場合があります。

一般的に、同一 PCB 上のロジック・インタコネクトには単純な DC 結合インターフェイスが適切です。AC 結合を使用しなければならない場合は、データが DC 的にバランスされているのを確認してください。

第 4 章

LVDS を使用した設計

4.1 はじめに

LVDS の出力は、ノイズ /EMI の発生を抑える小振幅、差動方式、約 3.5mA の電流モード動作を特長としていますが、一方で信号は 1ns 未満で遷移 (立ち上がり / 立ち下がり) するため、インタコネクタは基本的に伝送線路として振る舞います。このため、設計者には超高速ボード設計と差動信号理論の知識が要求されます。ただし、高速差動ボードの設計はそれほど難しくはなく、また高いコストがかかるわけでもありません。第 3 章に概要を述べた技術的内容を理解してから設計に着手してください。

4.1.1 高速レイアウト

第 3 章を参照してください。

4.1.2 未使用ピン

LVDS 入力— 実際に使用する部品のデータシートに指示のない限り、LVDS レシーバの未使用ピンは開放 (フローティング) のままとします。内蔵のフェイルセーフ機能が十分なバイアスを与え、出力を既知の状態を確定させます。レシーバの未使用ピンからノイズ源になるようなケーブルや長い PCB トレースを引き出ししたりせずに、デバイスに近いところでフローティングにしてください。LVDS は高速かつ高ゲインのデバイスなので、わずかのノイズでも、差動信号として拾うとレシーバは応答します。出力に意味のない遷移が発生し、消費電力の増加も招きます。

LVDS と TTL 出力— 電力を節減するために、LVDS および TTL の未使用出力ピンは、すべて開放 (フローティング) のままにします。これらのピンはグラウンドには接続しないでください。

TTL 入力— 未使用の TTL トランスミッタ / ドライバの入力および制御 / イネーブル信号は、電源かグラウンドに接続するか、データシートに記載がある場合は開放 (フロート) のままとします。一部のデバイスは、ピンにバイアスを印加するプルダウン (またはプルアップ) 素子を内蔵しています。繰返しになりますが、各デバイスの機能については、該当するデータシートを参照してください。通常、この種の情報はピン説明の表に記載されています。

4.1.3 LVDS 伝送線路のプロロービング

LVDS 伝送線路の波形観測では、必ず高インピーダンス (>100k Ω)、低容量 (<0.5pF)、広帯域 (>1GHz) のプローブを選択してください。プロロービングが適切でないと正しい測定結果が得られません。LVDS は対グラウンドが 50 Ω の負荷を接続した状態での動作は考慮されていません。したがってオシロスコープの入力インピーダンスを 50 Ω に設定して使用すると、ドライバが出力する差動信号やオフセット電圧に変化が生じます。

整合や平衡の問題を考えた場合は、標準的なオシロスコープ・プローブを 2 本使用するよりも、差動プローブの使用が望まれます。信号を適切に観測できるように、十分な帯域を備えたプローブとオシロスコープの組み合わせを使用してください。Tektronix と Agilent (HP) の両社が LVDS 信号の観測に適したプローブを製造しています (第 7 章を参照)。

4.1.4 LVDS I/O への負荷接続— 平衡状態の維持

LVDS 出力に、駆動能力である 3.5mA を超えるような、重い負荷となるデバイスを接続しないようにしてください。ESD 保護回路を追加する場合は、LVDS 出力に対して重い負荷とはならないような素子を使用してください。たとえば、ポリマーによって ESD 保護が施されたコネクタが選択肢の 1 つです。また、差動信号間の平衡を崩さないようにしてください。

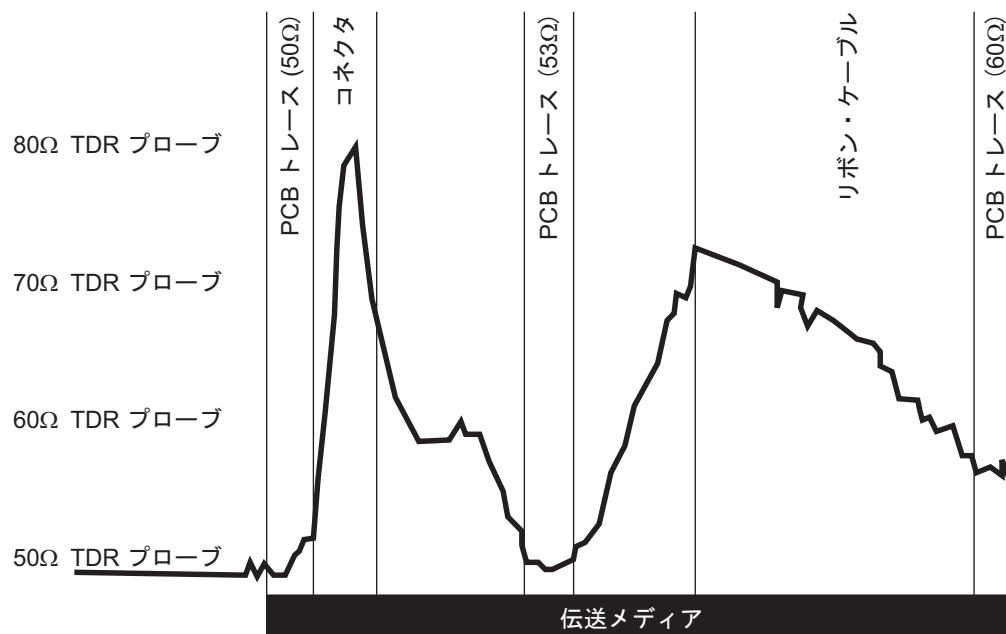
差動ペアを構成している両線路はともに同じように扱ってください。

4.2 良い設計手法と悪い設計手法の結果比較

4.2.1 インピーダンスの不整合

設計者が新しくシステムを設計する際に、市販のケーブルやコネクタを特に考慮もなく選択したり 50Ω の自動配線を行うのは、それほど珍しくありません。このような設計で動作する LVDS システムもありますが、ノイズ問題を引き起こす可能性が高くなります。ここでもう一度、LVDS は差動方式であることと、小振幅と電流モード出力回路を採用してノイズの低減を図っていることを思い出してください。ただし、遷移時間はきわめて高速です。すなわち、インピーダンス整合 (特に差動インピーダンス整合) がとても重要です。市販のコネクタや安価なフラット・ケーブルは高速信号 (特に差動信号) には意味がなく、また、インピーダンスも管理されていません。

このようなシステムを時間領域反射率計 (TDR) を用いて測定した結果を図 4.1. に示します。これから、インピーダンスは整合もしていなければ管理もされていないことがよくわかります。この測定結果はワースト・ケースではありません。一般的な TTL 設計手法を用いて設計を行った場合の代表的な例です。インピーダンス不整合により生じた反射からノイズと EMI が大量に放出されま



LVDS-025

図 4.1. インピーダンスが整合していない伝送メディアでの TDR 測定結果

LVDS を使用した設計

図 4.2. は、第 3 章で述べた高速差動回路の設計手法の多くに則って、適切に設計を行った回路での測定波形です。TDR で差動インピーダンスを測定したグラフはほぼ平坦で、ノイズも大幅に減っています。

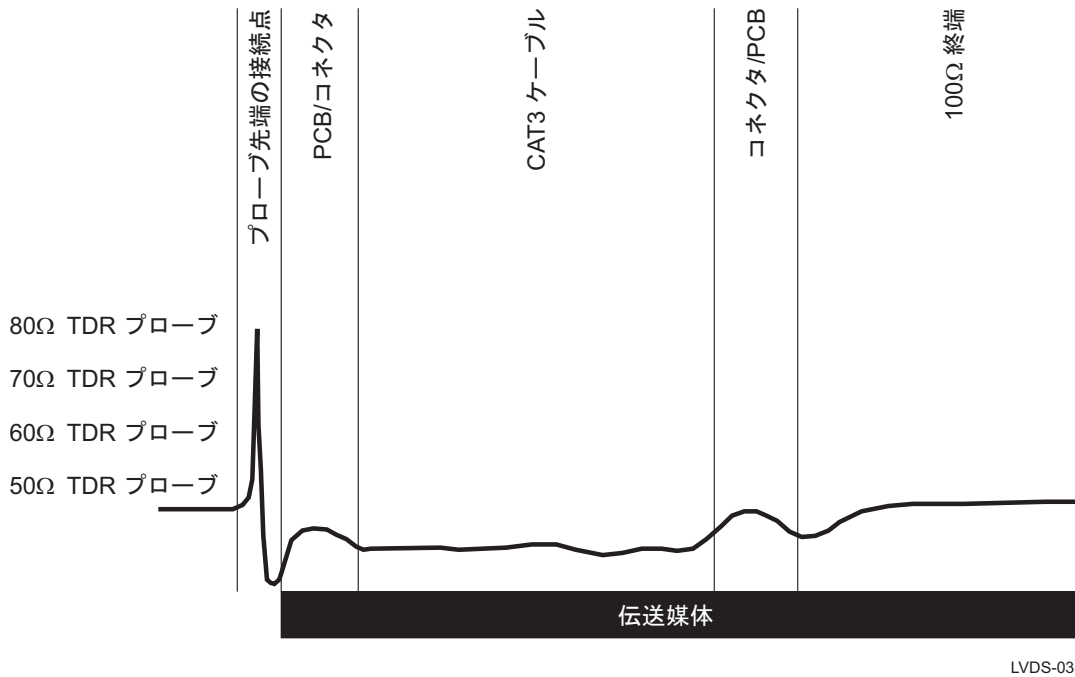


図 4.2. インピーダンスの均一化で得られる良好な性能

4.2.2 TTL 信号と LVDS 信号間のクロストーク

図 4.3. と図 4.4. に、LVDS 線路に結合した TTL 信号の影響を示します。図 4.3. は結合していないときの LVDS の波形です。その下の図 4.4. は、周波数 25MHz、振幅 0V ~ 3V の TTL 信号が、4 インチ隣を走っている LVDS 信号に重畳したときの波形を示しています。LVDS 波形が TTL 信号によって変調されているのがわかります。LVDS の差動ペアを構成する 2 本の信号が同じ影響を受けるわけではなく、TTL トレースに近い方が大きな影響を受ける点に注意してください。クロストーク量の差はコモンモードにならないためレシーバでは除去されません。レシーバを誤ってトリガするほど大きなノイズとはなりません、LVDS の信号品質の劣化とノイズ・マージンが低下します。コモンモード・ノイズはレシーバによって除去されますが、EMI として放射される可能性があります。

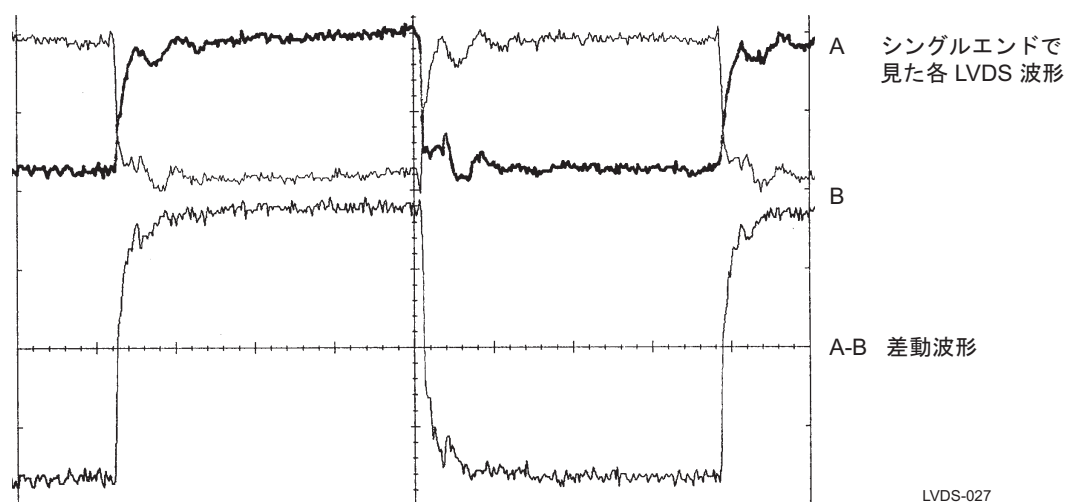


図 4.3. クロストークのない LVDS 信号

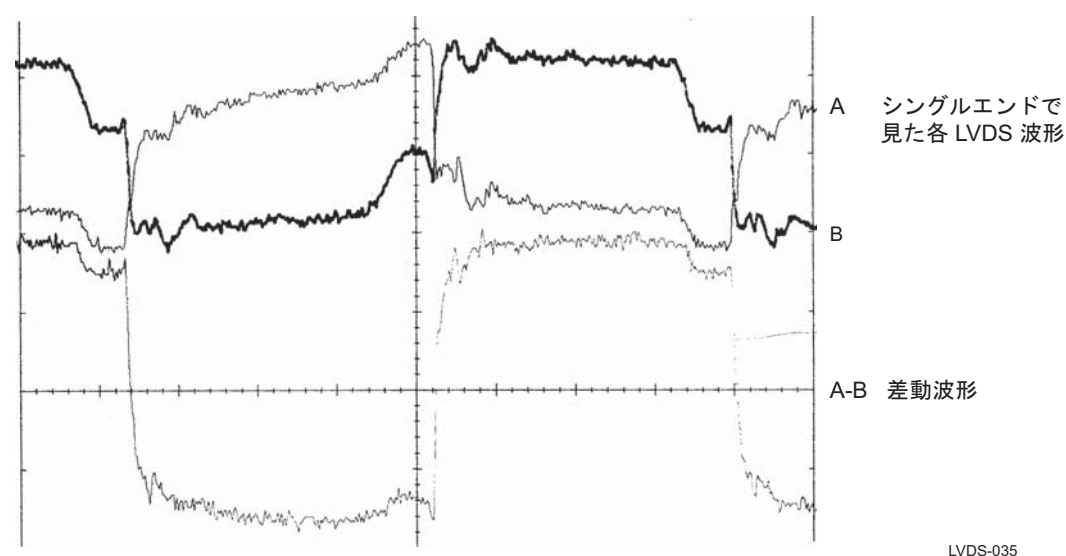


図 4.4. TTL からクロストークを受けた LVDS 信号

LVDS を使用した設計

4.2.3 LVDS バックプレーン・ドライバと FPGA とのインターフェイス

FPGA (または ASIC) と LVDS IC とのインターフェイスは、単純ではあるものの、多くの設計者が誤りを犯しがちです。FPGA のシングルエンド信号が LVDS トランスミッタの LVTTTL I/O を過度に駆動する点に注意が必要です。

多くの FPGA の出力は短いバックプレーンを駆動できるだけの能力を有します。このため出力ドライバは、プリエンファシスを用いるなどして、駆動強度を高めるように構成されています。FPGA が出力するこのような強い信号を FR4 基板上の 3 から 6 インチ長さ配線を介して LVDS バッファの入力段に与えると問題が発生します。

設計者は、FPGA 出力の信号振幅を抑えて、バックプレーン・ドライバ入力への飽和を防がなければなりません。

4.3 EMI (電磁妨害ノイズ) の低減

4.3.1 LVDS とその低 EMI 性能

高速データ伝送は、通常、高速なエッジ・レートと大きな EMI を意味します。しかし、LVDS は EMI を低減する次のような好ましい性質を多く持っています。

1. 出力電圧振幅が小さい (およそ 350mV)

2. エッジ・レートが比較的遅い $\frac{\Delta V}{\Delta t} \approx \frac{0.350V}{0.350ns} = 1V / ns$

3. 差動 (奇モード動作) により磁界が打ち消しあう

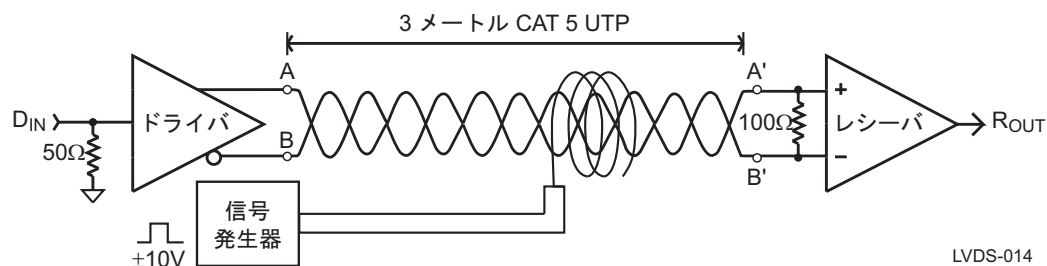
4. 出力波形の角が「丸い」

5. 低電流モード動作と内部回路設計により ICC スパイクが最小限に抑えられている

ただし、こうした利点を活かすには、差動ペアを構成する導体間の距離を狭くし、かつ、ペア間のインピーダンス不平衡を回避しなければなりません。以下の項で、EMI に親和性の高いこれらの設計手法を説明します。

LVDS オーナーズ・マニュアル

4.4 コモンモード・ノイズの除去



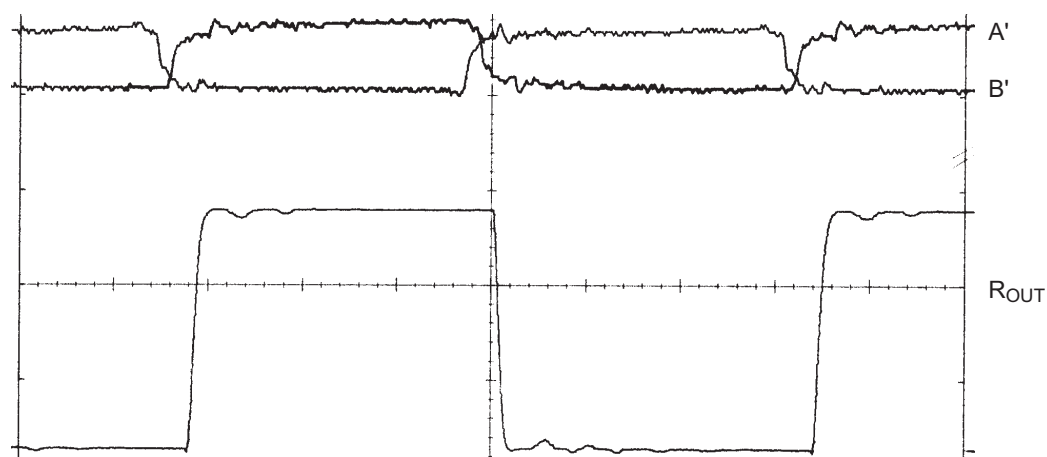
LVDS-014

図 4.5. コモンモード・ノイズ除去試験の構成

テスト構成:

- ドライバ: DS90C031 (1 チャンネル)
- レシーバ: DS90C032 (1 チャンネル)
- $V_{CC}=5V$
- $T_A=25^\circ C$

このテストは、TI の LVDS レシーバのコモンモード・ノイズ除去性能を実証するために行われました。LVDS は小振幅 (電圧振幅 $\pm 350mV$ 、スレッショルド電圧 $\pm 100mV$ 未満) であるためにノイズ耐性を懸念する声の一部には聞かれます。差動信号が管理されたインピーダンスを持った近接するメディアを伝わる条件下では、LVDS 線路に重畳するノイズのほとんどはコモンモードとなります。言い換えれば、EMI、クロストーク、あるいは電源 / グラウンドのシフトは、各差動ペアを構成している両方の導体に等しく現れ、これらコモンモード・ノイズはレシーバによって除去されます。以下の各出力波形を見ると、ピーク・ツー・ピークで $-0.5V \sim +3.25V$ のノイズ V_{CM} が重畳した場合にも、コモンモード・ノイズが除去されていることがわかります。



LVDS-019

図 4.6. 基準波形となる LVDS 信号とレシーバ出力信号

LVDS を使用した設計

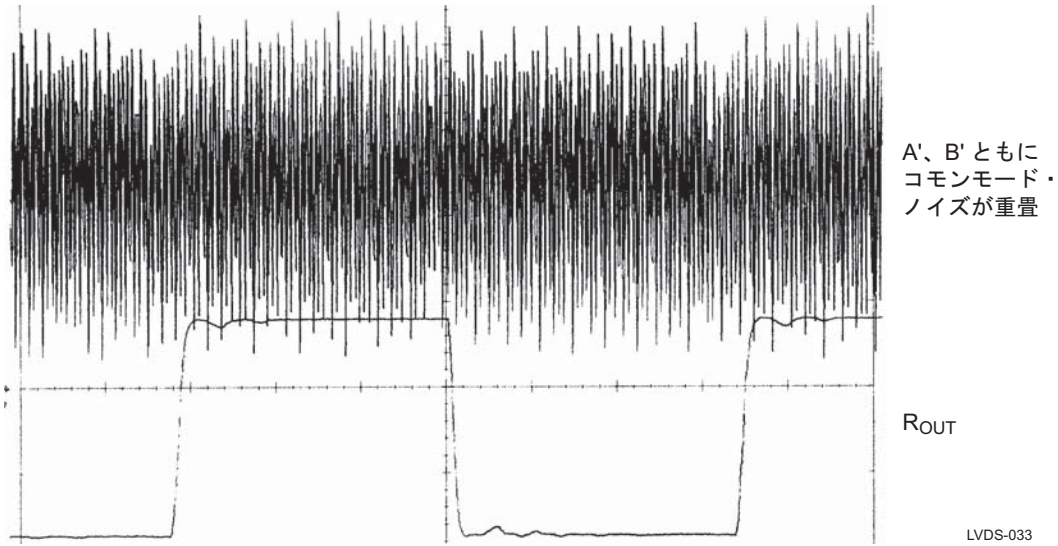


図 4.7. ピーク・ツー・ピークで 0.5V ~ 1.75V のコモンモード・ノイズが結合した場合にもクリーンなレシーバ出力を得る

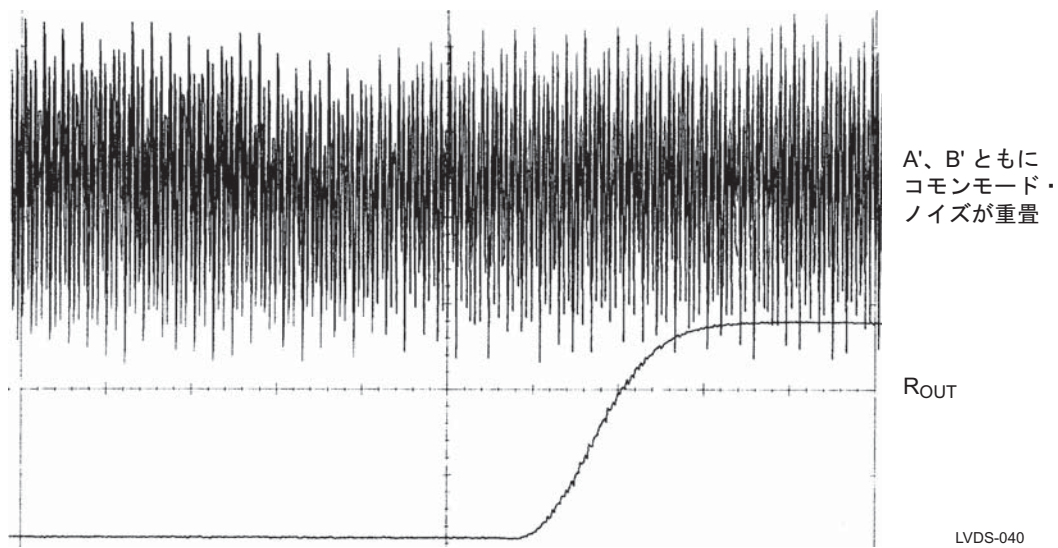


図 4.8. 結合しているコモンモード・ノイズ波形とクリーンなレシーバ出力波形の拡大図

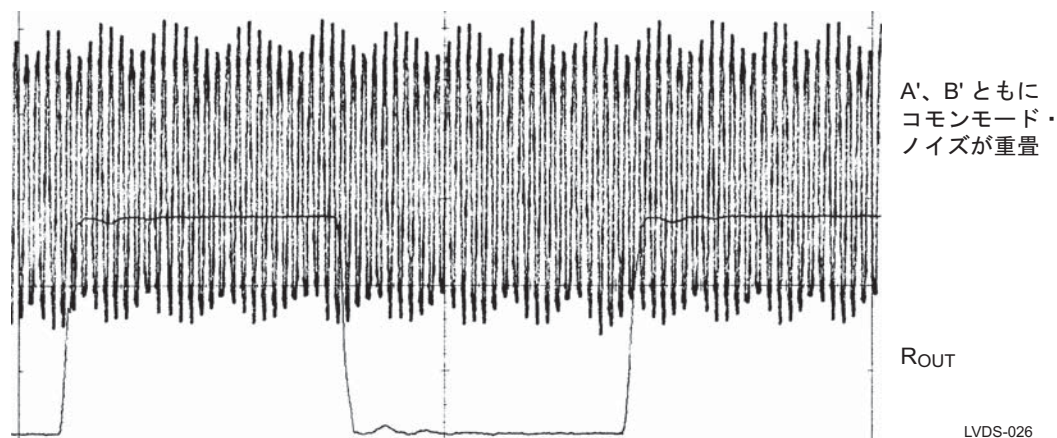


図 4.9. ピーク・ツー・ピークで $-0.5V \sim +3.25V$ のコモンモード・ノイズが結合した場合にもクリーンなレシーバ出力を得る

4.5 LVDS 構成

回路構成が限られている ECL や CML のような他のテクノロジーとは異なり、LVDS はさまざまな回路構成に応用できます。

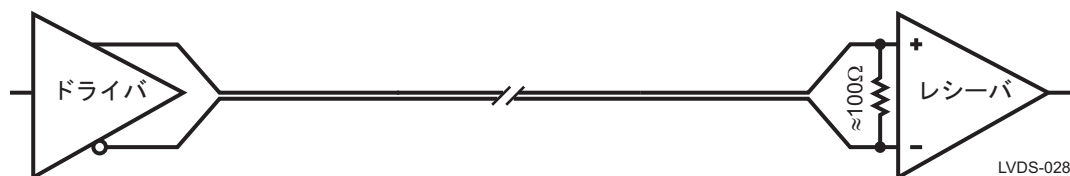


図 4.10. 一対一構成

LVDS のドライバとレシーバは、通常、図 4.10. のような一対一構成で使用しますが、他の回路構成も可能です。一対一構成は、信号パスとしては最も優れており、超高速インタコネクタ・リンクに適しています。一般的に、一対一リンクはクロスポイント・スイッチと組み合わせて使用しません。

図 4.11. の構成にすると、ツイストペア・ケーブル 1 本で双方向通信が可能です。データは 1 度に 1 方向にしか流せません。終端抵抗が 2 個必要なことから、標準的な LVDS ドライバを使用した場合は信号の振幅が低下します (差動ノイズ・マージンも同様です)。この問題を解決する 1 つの方法は、二重終端負荷用に設計された Bus LVDS ドライバを使用することです。すなわち、Bus LVDS トランシーバを採用すれば、双方向通信を最も容易に実現できます。Bus LVDS の信号振幅は LVDS と互換性があり、ノイズ・マージンとの両立が可能です。LVDS と Bus LVDS のコモンモード範囲は $\pm 1V$ (代表値) なので、数十 m 長のケーブルにも対応します。

LVDS を使用した設計

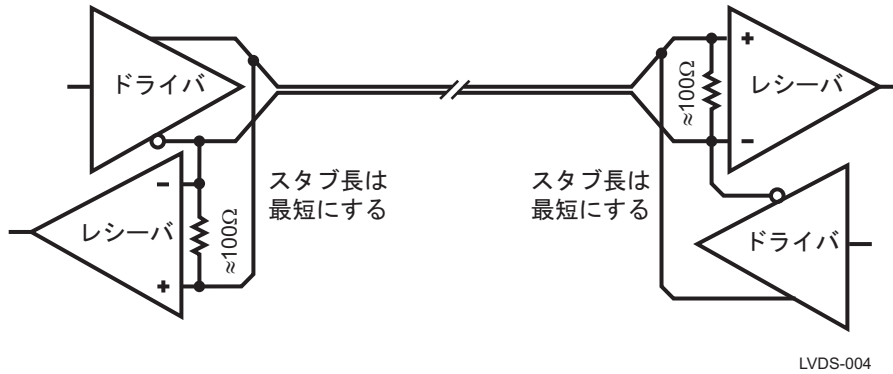


図 4.11. 双方向半二重構成

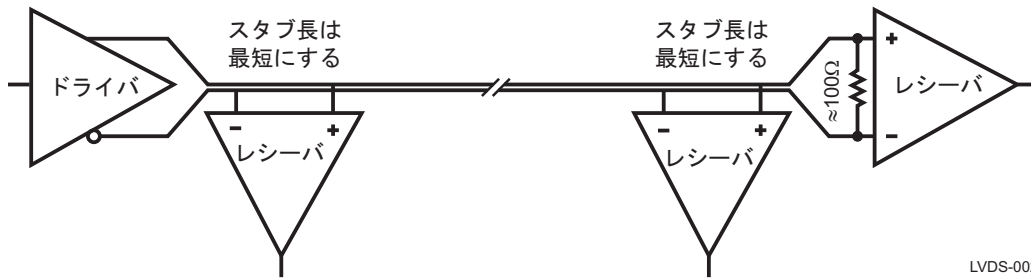


図 4.12. マルチドロップ構成

LVDS のレシーバ入力が高インピーダンスであることを利用して、マルチドロップ構成も採用できます。マルチドロップ構成は、伝送距離が短く、かつ、スタブ長が 15mm 未満 (可能な限り短い状態) の場合に最適です。1 つ以上のノードがパワー・ダウンしたときでもネットワークの活動状態を維持する必要がある場合は、パワー・オフ時に入力が高インピーダンスになるレシーバを選択してください。このアプリケーションは、同じデータを複数の転送先に分配する目的に向いています。

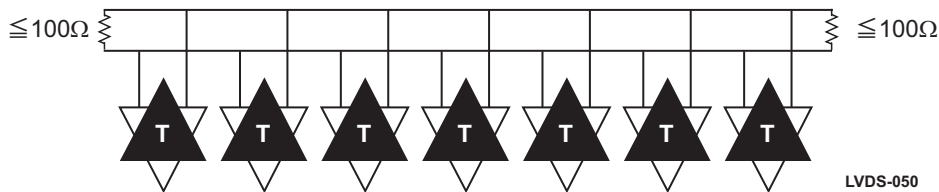


図 4.13. マルチポイント構成

マルチポイント・バスは複数のドライバをサポートする構成ですが、ある時点で見たとときにバスを駆動できるドライバは 1 個のみです。

Bus LVDS デバイスを使用すると、二重終端のバスを駆動した場合でも、信号振幅やノイズ・マージンの低下はありません。マルチポイント・バスはバスの両端を終端します。すべてのドライバが TRI-STATE[®] になる場合は、バスを既知の状態に確定させるために、フェイルセーフ・バイアスの導入を検討してください。マルチドロップ・バスを設計する場合、メインラインから分岐するスタブ長は可能な限り短くしてください。また、デバイスのエッジ・レート仕様に注意が必要です。エッジ・レートが高速な場合、スタブに起因する問題が伝送線路上に顕著に現れてきます。

4.6 LVDS のフェイルセーフ・バイアス

4.6.1 主なアプリケーション

多くの LVDS レシーバは、何らかの障害が発生したときに、出力レベルを既知の論理状態 (HIGH) に確定させるフェイルセーフ回路を内蔵しています。この障害状態とは、レシーバ入力ピンの開放、短絡、または終端などが対象となります。デバイスに内蔵されている保護回路の種類は、当該デバイスのデータシートに記載されています。以下は LVDS のフェイルセーフ条件の概要です。

開放入力ピン— 未使用のレシーバ入力ピンは開放のままにしてください。未使用のレシーバ入力ピンをグラウンドや他の電圧に接続しないでください。内蔵のフェイルセーフ・バイアス抵抗が、+入力ピンを HIGH レベルに、-入力ピンを LOW レベルに固定するため、出力は安定した HIGH レベルが保証されます。出力が確定するため消費電力とスイッチング・ノイズは最小限に抑えられます。

終端した入力ピン— 入力ケーブルが取り外された場合でも、レシーバ入力ピンの両端に終端抵抗が接続されていれば、出力は HIGH レベルで安定します。入力ピンがノイズを差動モードとして拾うとデバイスが応答する可能性があります。その場合は 4.6.2 項を参照してください。

終端した入力ピン— ノイズの多い環境— ノイズの多い環境で、ドライバ端からケーブルが取り外された場合、またはドライバが TRI-STATE になった場合でもフェイルセーフ機能を保証しなければならないときは、4.6.2 項を参照してください。

ショートした入力ピン— 入力ピンをショートしてもレシーバの出力レベルは HIGH を保ちます。この機能は障害保護のみを目的としたものです。レシーバの入力電圧範囲として規定されているわけではありません。

TI の Bus LVDS ファミリのよう一部のデバイスは、上述の構成を採った際に、出力が TRI-STATE など HIGH/LOW 以外の状態になる場合があります。詳細は個々のデバイスのデータシートを参照してください。

4.6.2 高ノイズ環境でのフェイルセーフ機能の強化

前項や各デバイスのデータシートに記載のとおり、内蔵のフェイルセーフ回路は、開放(フロート)、短絡、または終端されたレシーバ入力に対してフェイルセーフ保護を与えるために、微少な電流をソース/シンクするように設計されています。

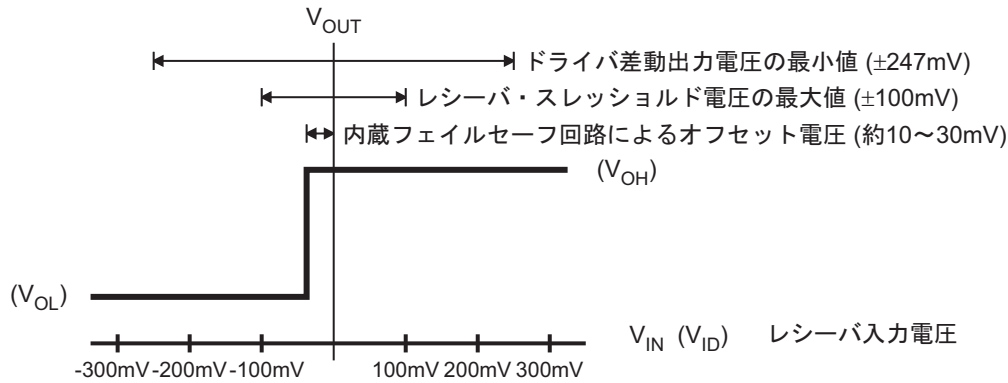
ただし、内蔵フェイルセーフ機能は、ノイズの多い環境において、ドライバまたはレシーバからケーブルが取り外された場合あるいはドライバが TRI-STATE になった場合にフェイルセーフ保護を与える目的では設計されていません。取り外されたケーブルは、ノイズを拾う可能性を持ったフローティングのアンテナになり得ます。内蔵のフェイルセーフ回路が対処できる電圧よりも大きな差動ノイズをケーブルが拾うと、レシーバはスイッチングしたり発振したりする場合があります。設計したアプリケーションでこのような状態が発生する場合は、ケーブルに差動ノイズが重畳しにくい、平衡ケーブルかシールド付きケーブル、あるいはその両方を使用してください。

ノイズ・マージンをさらに確保したい場合は、外付けフェイルセーフ抵抗を追加してください。ただし、フェイルセーフ電流が増えると、対称性を持つべき LVDS 出力ドライブ (ループ) 電流が不均一となり、わずかながら信号品質が劣化することになります。最終的には何らかの妥協が必要です。

LVDS を使用した設計

4.6.3 フェイルセーフ用外付け抵抗の選択

代表的な差動入力電圧 (V_{ID}) とレシーバの論理状態との関係

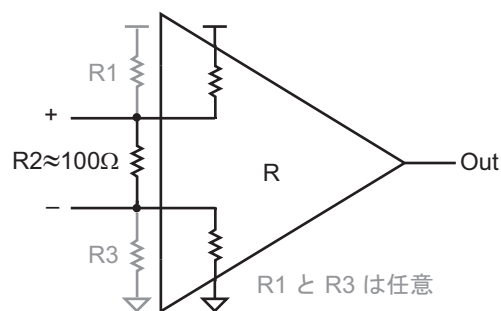


LVDS-029

図 4.14. ドライバ電流に大きな影響を及ぼさない範囲で外付けフェイルセーフ抵抗の追加が可能

図 4.14. に示すように、現在の LVDS デバイスの内蔵フェイルセーフ電圧はおよそ $-10\text{mV} \sim -30\text{mV}$ です。ドライバがレシーバを常に駆動しないアプリケーションで、しかもケーブルが 10mV 以上の差動ノイズを拾う可能性がある場合、外付けフェイルセーフ抵抗が必要となる可能性があります。

抵抗を選択するにあたって、まず対処すべき差動モード・ノイズの量を測定または算出します。 V_{FSB} は終端抵抗 (代表値: 100Ω) の両端に生じるオフセット電圧です。バイアス電圧 (V_{FSB}) としてレシーバのスレッシュホールド電圧である 100mV を超える電圧を与える必要はありません。通常、 $+15\text{mV} \sim +20\text{mV}$ で十分です。内蔵フェイルセーフ回路が正電圧オフセットを保証しているため、差動ノイズに対処する程度のオフセットで構いません。実際に V_{FSB} をあまり高くするとドライバの出力に影響を与え、駆動信号が不均一になるとともに信号品質が劣化します。



LVDS-030

図 4.15. 内蔵フェイルセーフ回路と外付け「ヘルパー」フェイルセーフ抵抗の概略図

LVDS オーナーズ・マニュアル

外付けのフェイルセーフ抵抗の選択では、最善の結果を得るために、次の手順に従ってください。

1. まず、外付けフェイルセーフの必要性を検討してください。LVDS ドライバが常にアクティブとなるアプリケーションの場合は、外付けフェイルセーフは必要ありません。システムの動作中にドライバ端からケーブルを取り外すことがない場合、または使用したケーブルが大きな差動モード・ノイズを拾わない場合は、フェイルセーフを増強する必要はありません。ノイズの多いバックプレーン・アプリケーションで、しかもドライバが常にレシーバを駆動しない場合、またはドライバ・カードが実装されないことがある場合、フェイルセーフ用のバイアスが必要となる可能性があります。
2. ワorst・ケース条件下で、ケーブルのレシーバ端での差動モード・ノイズを測定または算出します。多くのノイズが観測された場合はツイストペア・ケーブルのような平衡ケーブルを使用してください。UTP ケーブルはノイズを差動モードとしてではなくコモンモードとして拾う性質があります。単純なリボン・ケーブルは、各導体の位置が固定されている差動モードとしてノイズを拾いやすいため、使用しないでください。

できるだけシールド付きのケーブルを使用してください。ノイズの多い環境でノイズの諸問題を回避するには、平衡ケーブルかシールド付きケーブル、またはその両方を使用することが、適切な選択肢となります。

3. 適切なケーブルを選択したら、ワorst・ケース条件下でレシーバ端の差動電圧を測定します。測定値を下式の V_{FSB} に代入し、外付けフェイルセーフ用抵抗 $R1$ と $R3$ の値を求めます。

$$V_{FSB} = \frac{R2}{R1 + R2 + R3} V_{CC}$$

$$I_{BIAS} = \frac{V_{CC}}{R1 + R2 + R3} \ll I_{LOOP} \quad (I_{BIAS} \leq 0.1 * I_{LOOP} \text{とする})$$

$$V_{CM} = \frac{R3 + R2/2}{R1 + R2 + R3} V_{CC} = 1.2V \Rightarrow R1 \approx R3 \left(\frac{V_{CC}}{1.2V} - 1 \right)$$

$$R_{TEQ} = \frac{R2 (R1 + R3)}{R1 + R2 + R3} = \text{整合伝送線路インピーダンス } Z_{ODIFF}$$

4. $R1$ と $R3$ に関する式は上記のとおりです。 $R1$ と $R3$ は、(1)3 番目の式で $V_{CM}=1.2V$ がおおよそ成立し、かつ (2) ドライバ電流に影響を与える (2 番目の式で $I_{BIAS} \ll I_{LOOP}$) 高いバイアス電圧を発生させないようにできるだけ大きめの値の条件に従い選択してください。一般に $R1$ と $R3$ は、 $V_{CC}=5V$ の場合は $20k\Omega$ より大きくし、 $V_{CC}=3.3V$ の場合は $12k\Omega$ より大きな値にします。 I_{BIAS} の値は差動ノイズが抑えられる程度で十分で、信号品質に影響を与えるほどに大きくする必要はない点を忘れないでください。
5. 外付けフェイルセーフ抵抗によって等価終端抵抗 R_{TEQ} の値が変わる可能性があります。 R_{TEQ} が差動伝送線路インピーダンスの約 10% 以内に収まるように、 $R2$ の値を微調整してください。

あわせて、アプリケーション・ノート AN-1194 「Failsafe Biasing of LVDS Interfaces」を参照してください。

4.7 パワーオフ時に高インピーダンスになるバス・ピン

パワーオフ時にピンを高インピーダンスにする機能は有用です。第 2 世代および第 3 世代の LVDS レシーバの多くはこの機能を備えています。通常は、デバイスのデータシートの特長欄か IIN パラメータ条件に記載されています。複数のレシーバが接続されるアプリケーションで、それぞれのレシーバが個別電源で動作する場合は、このような機能が不可欠です。ノードの電源をオフにしても線路の負荷を重くすることがなく、電源がオンになっている他のノード間の通信を妨げません。

第5章

バックプレーン設計の考慮事項と Bus LVDS

多くの高速アプリケーションは、一対一での接続だけではなく、1個のドライバから複数のレシーバを駆動する接続を必要とします。単一のインタコネクタ上に、複数のドライバや複数のレシーバ、またはその両方を接続する方法は回路効率がよく、バス・アプリケーションとして広く使われています。バス・アプリケーションでは、信号をバスの両方の遠端で適切に終端する目的で、インタコネクタ上に2個の終端を必要とします。マルチポイント構成はインタコネクタの実装密度とスルーポイントとを効率的に両立します。しかし、LVDSドライバは二重終端負荷の駆動を想定して設計されていないため、LVDSの特長をバスに適用しながら機能強化を図ったデバイス・ファミリを開発しました。

マルチドロップ構成(ドライバが中央に存在)とマルチポイント構成のアプリケーションでは、通常、バスを構成するメディアの両端を終端する必要があります。バスの両端が 100Ω で終端されている場合、バスの中央に接続されているドライバからは等価的に 50Ω の負荷として見えます。バス上の負荷の間隔によってはバスの実効インピーダンスはさらに下がる可能性があり、さらに信号品質上の理由から終端に 60Ω 程度の低抵抗を使用するときもあります。繰返しになりますが、ドライバからは両端の抵抗は並列として見えるため、この場合の実効負荷は 30Ω になります。

規格(TIA/EIA-644)で規定されているLVDSドライバのループ電流はわずか 3.5mA です。このデバイスで二重終端した実効負荷 30Ω のバスを駆動した場合、バス上に生成される差動電圧はわずか 105mV にしかなりません。ノイズ・マージン、反射、リングング、信号品質などを考慮すると、このように小さな差動電圧は十分とは言えません。仮にドライバを並列にしても、負荷が重いバックプレーン・アプリケーションには駆動能力が足りません。

Bus LVDSは、低インピーダンス・インタコネクタの駆動に対するこのような問題に、ドライバ電流を約 10mA に増やすことで対応したデバイスです。 30Ω の低インピーダンス負荷を駆動した場合でも 300mV の差動信号が得られます。すなわち、LVDSのすべての特長を備えたLVDS類似の信号方式を、二重終端したバス・アプリケーションでも利用できます。

5.1 バスの構成

データ伝送システムでバックプレーンは特に難題です。その理由は、インタコネクタにさまざまな形態(マルチドロップ、マルチポイント、スイッチ・ファブリック)が存在することと、負荷の間隔が狭いことです。このような理由をまさに背景として、通常は2重終端で構成されるバックプレーン・アプリケーションにもLVDSの適用範囲を拡張するために、Bus LVDSファミリ・インターフェイス・デバイス群を開発しました。

高速バックプレーンには複数の構成が考えられます。それぞれの実装方法には長所と短所が存在します。

5.1.1 マルチドロップ(単一終端)

マルチドロップ・バスとは、1個のトランスミッタと複数のレシーバで構成されたバスを指します(ブロードキャスト・バス)。ドライバはバス的一方の遠端にしか置けません。反対の遠端には終端を設けます。この構成はデータ分配アプリケーションに適しており、負荷に応じて標準LVDSデバイスかBus LVDSデバイスを選択します。

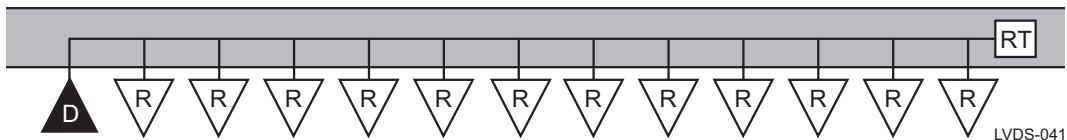


図 5.1. 単一終端のマルチドロップ・アプリケーション

マルチドロップ・アーキテクチャは中央にスイッチ・カード/チップを必要とせず、デバイスの直列的な配置に適しています。直列構成によってインタコネクタ(コネクタ・ピン数とバックプレーン・トレース本数)の数が少なくなり、多くの場合、バックプレーンの層数の低減が図れます。

LVDS オーナーズ・マニュアル

マルチドロップ構成の欠点は、ドライバの位置に制約があることと、レシーバ側からドライバ側に情報を逆方向に伝達する必要がある場合に構成が複雑化することです。

5.1.2 マルチドロップ (二重終端)

マルチドロップ・バスは、1個のトランスミッタと複数のレシーバで構成されています (ブロードキャスト・バス)。Bus LVDS を使用すればドライバをマルチドロップ・バス上の任意の位置に配置でき、その場合はバスの両端を終端します。

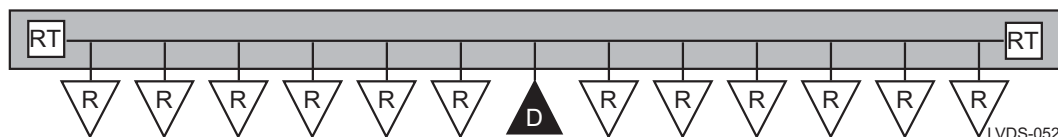


図 5.2. 二重終端のマルチドロップ・アプリケーション

このアーキテクチャもバスの直列構成に適し、中央にスイッチ・カード / チップを必要としません。直列構成によってインタコネクタの数 (コネクタ・ピン数とバックプレーン・トレース本数) が少なくなります。長所と短所は 5.1.1 項のマルチドロップ構成と同じです。

5.1.3 一対一リンクによるデータ分配

入力信号から複数のコピーを作り、個々のインタコネクタから負荷に対して駆動する方法で、分配増幅器 (ディストリビューション・アンプ) もバッファとして使用可能です。この方法は、最適な信号品質が得られ、負荷までのトレース (スタブ) を長くできる利点を持ちますが、インタコネクタ密度が高くなります。

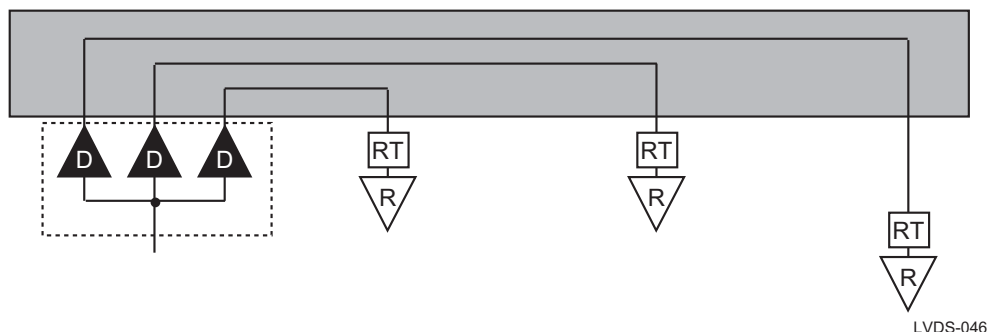


図 5.3. データ分配アプリケーション

5.1.4 マルチポイント

マルチポイント・バスは、最小限のインタコネクタ (ルーティング・チャネル数とコネクタ・ピン数) で半二重の双方向通信を実現する方式です。

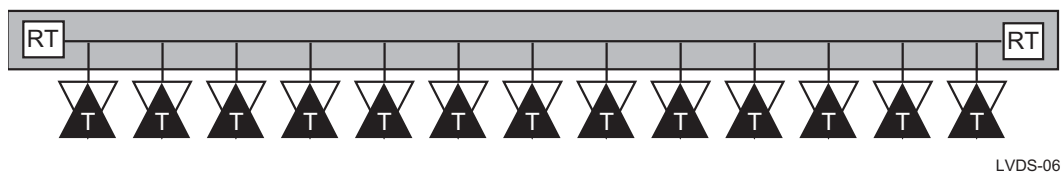


図 5.4. マルチポイント・アプリケーション

バックプレーン設計の考慮事項と Bus LVDS

この構成のバスで同時に実行できるトランザクション数は1つのみです。そのため、通常は優先制御やアービトレーション(調停)機構が必要です。これらバス調停手段は、アプリケーションにもよりますが、プロトコルまたはハードウェアとして実装されます。

5.1.5 スイッチ・マトリックス

スイッチ・バスは、可能な限り高いスループットを必要とするシステムに採用が進みつつあります。スイッチ・バスは同時に複数のトランザクションを実行でき、スタブが存在しないため、他のバス構成(マルチドロップとマルチポイント)よりも電氣的なパスはクリーンです。

このバス構成の短所は、負荷数が増えるにつれてインタコネクットの密度が高まること、また、中央に複雑なスイッチング機構が必要となることです。

スイッチ・アプリケーションは最適な信号品質を実現できる特長を持つため、数百 Mbps ~ Gbps の範囲で動作するリンクに一般に使用されます。最高速度はインタコネクットの帯域幅で制約されません。

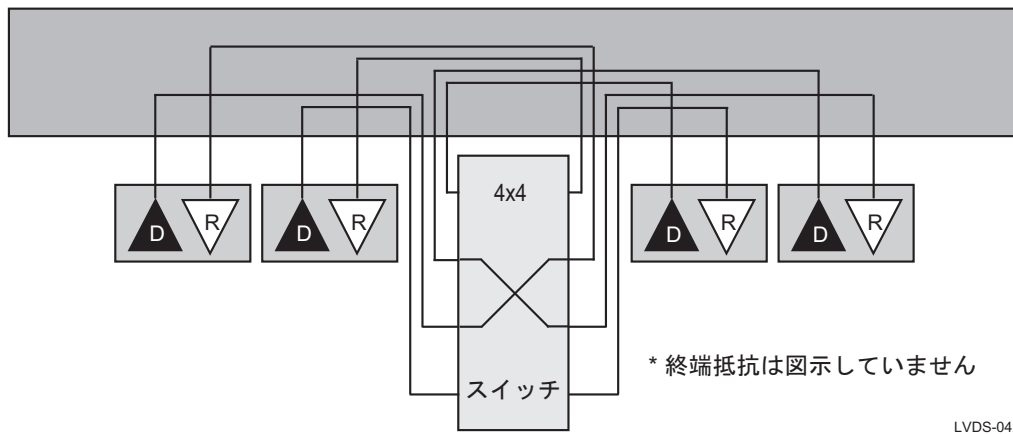


図 5.5. スイッチ・アプリケーション

5.2 Bus LVDS

5.2.1 Bus LVDS によるシステム上の利点

これまでバス・インタコネクット使用されてきたさまざまな従来技術に比べて、Bus LVDS の採用がシステムに与える利点は計り知れません。Bus LVDS が持つ多くの利点を以下に説明しますが、簡単にいえば「ギガビットの性能」を「ミリワットの消費電力」で実現することです。

5.2.2 高速性

Bus LVDS はマルチドロップ・バスやマルチポイント・バスを高速に駆動できます。たとえば、

- 20 スロットのマルチポイント FR4 バックプレーンで 155Mbps 動作
- 10 スロットのマルチドロップ FR4 バックプレーンで 400Mbps 動作
- 超低スキューのクロック・バッファを用いた 66MHz 動作
- 一対一リンクで 800Mbps 動作

以前は、より高価な高速 ECL デバイスを用いなければ、このような速度の実現は不可能でした。しかし、ECL デバイスを用いた方法には、TTL デバイスと ECL ドライバと間での信号レベル変換や電源や終端など、数々の問題が存在します。一方のシングルエンド方式は 100MHz 以下のアプリケーションに限定され、終端や消費電力の難しい問題を抱えています。バックプレーンに使用される各テクノロジーの詳しい比較は、アプリケーション・ノート AN-1123 「Sorting out Backplane Driver Alphabet Soup」を参照してください。

LVDS オーナーズ・マニュアル

5.2.3 低電力

Bus LVDS はわずか 10mA のループ電流でインタコネクタをスイッチングします。大電流 (BTL で 80mA、GTL で 40mA 以上) の入射波を使用してバスをスイッチする他の高速バス・テクノロジーに比べてはるかに小さな値です。また、Bus LVDS の負荷電力は、通常わずか 2.5mW です。電流モード・ドライバは、データ・レートが高い場合でも、消費電力が小さい性質を備えているためです。もう 1 つは、信号振幅が小さいため電源レールに 5V が使え、さらに 3.3V や 2.5V も適用可能です。以上の 3 点が、LVDS と Bus LVDS で消費電力がきわめて低い理由です。

5.2.4 小振幅、低ノイズ、低 EMI

Bus LVDS は小振幅の差動信号を使用します。平衡がとられた小信号の遷移からはわずかな EMI しか発生せず、また電流モード・ドライバが採用されているため、電源レールに現れる電圧スパイクはわずかです。このような理由により、LVDS ドライバは、低 EMI を実現しながら TTL の 10 倍以上の周波数で動作が可能です。

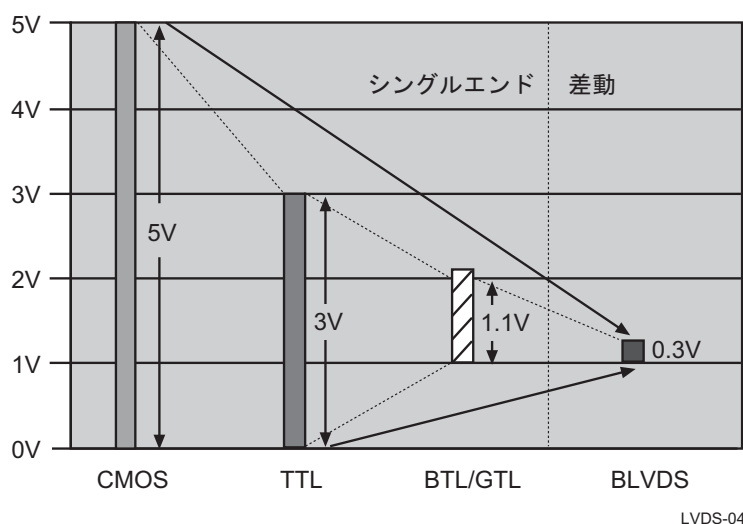


図 5.6. 各種バックプレーン・テクノロジーの電圧振幅の比較

CMOS や TTL テクノロジーは、大振幅電圧と場合によっては大電流が使用してバスをスイッチングします。スイッチングはリングングやアンダーシュートの発生要因となり、システム EMI の主因となり得ます。

出力振幅をわずか 1V に下げたこのノイズ問題に取り組んだテクノロジーが BTL です。しかし、バス・スイッチングに大電流 (代表値 80mA) の入射波を使用する点は同じで、またノイズ・マージンに限界があるシングルエンド方式を採用している点に変わりはなく、終端方法も複雑です。

これまで述べてきたように、Bus LVDS は、バスのスイッチングに入射波とともにわずか 10mA の電流しか使用せず、振幅が小さく (代表値 300mV)、信号には差動方式を採用しています。3.3 項で説明したとおり、差動信号方式はシステム EMI を大幅に低減します。振幅が小さいため高速性にもすぐれ、同時に消費電力は最小限に抑えられています。

バックプレーン設計の考慮事項と Bus LVDS

5.2.5 低いシステム・コスト

TI の Bus LVDS 製品は、製造コストが低くシリコン・チップ上に多くの機能とともに集積が可能なコア CMOS テクノロジーで実装されています。インターフェイス・デバイスに符号化機能、クロック復元機能、物理層 / リンク層のデジタル機能などを集積していますので、複雑でリスクの高い ASIC 開発は不要です。また、シリアルライザおよびデシリアルライザ・チップセットを使用するとシステム・コストを大幅に節減できます。すなわち、コネクタとケーブルに関してコストと大きさの削減が可能となります。チップセットの追加に伴うコスト増を補うだけの節減が多くのアプリケーションで図れます。

5.2.6 システムにおける利点

Bus LVDS の採用はコスト対効果の向上に加えて、システム面でも次のような点で節減が図れます。

- 低消費電力
 - CMOS 設計の採用により、システム電源と冷却に必要となるコストを下げられ、ファンレス・アプリケーションも実現可能です。
- 単純なパッシブ終端
 - ディスクリート部品を終端に使用するだけでバスの実装が可能です。GTL、BTL、ECL などの他の高速バス・テクノロジーは、アクティブ終端や非標準的な電源レール (たとえば +1.5V や +2.1V など) を必要とし、システム・コストの上昇と電源供給の複雑化を招いていました。
- シリアル化
 - Bus LVDS デバイス・ファミリには、システムのインタコネクタ数の削減によってコネクタ・サイズを小さくできるバス対応型のシリアルライザおよびデシリアルライザがラインアップされています。
- 低ノイズ
 - Bus LVDS が備える低ノイズ特性はシステムから発生する EMI を抑え、システムの開発期間とシステム・コストの削減につながります。

5.3 バックプレーン設計の考慮事項

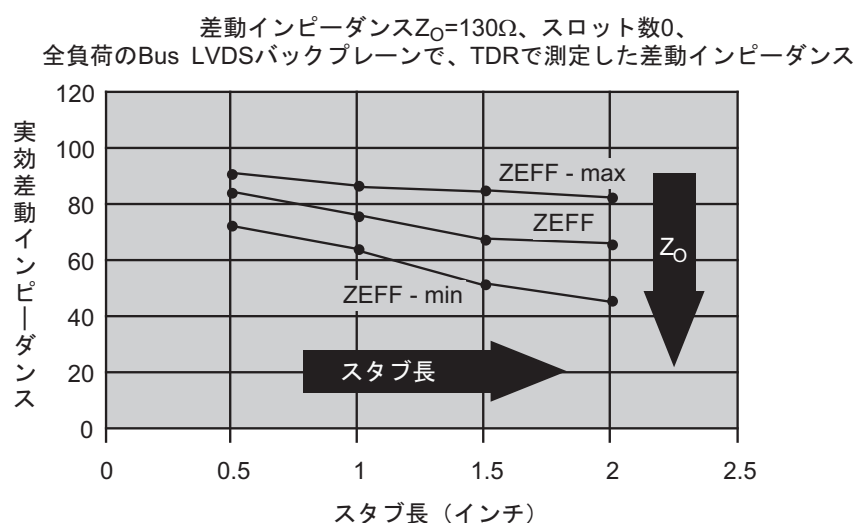
システム全体の設計では次の設計手順に従ってください。

1. システム設計の原点は電源とグラウンドの確実な供給です。この事項を後回しにするとノイズ発生や EMI の諸問題を抱えるシステムが出来てしまいます。
2. 次に、伝送線路の構成とレイアウトを検討します。信号品質が最高になるようにバスを最適化してください。必要なデバイスをコネクタ位置の近くに配置し、他のデバイス (ノイズ源の可能性になるもの) は位置的に離れたところに配置します。不要なビアや不平衡状態を作り出さないように、伝送線路トレースのルーティングを優先します。
3. 残ったデジタル回路部分を設計します。
4. 完成したレイアウトは必ず精査してください。

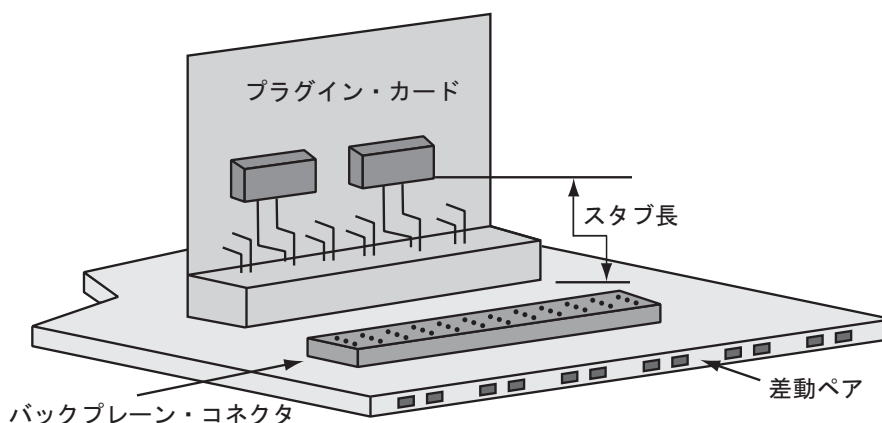
5.3.1 負荷の影響

1枚のカードを実装した状態の差動バスを図5.7に示します。カードは、コネクタ(2~3pF)、PCBトレース(2~3pF)、デバイス(4~5pF)によって構成される合計でおよそ10pFのバルク容量を、負荷としてバスに与えます。カード上のスタブはビア個数を制限して負荷の容量分を最小限に抑えてください。同様に、スタブ長もできる限り短くしてください。以上の2点に注意すれば、カードを実装した状態のバス・インピーダンスを高く維持でき、ノイズ・マージンの改善が図れます。

プログラマブル・デバイスは設計の自由度を持ちますが、その対価はピン容量の増加となって跳ね返ってきます。TIのBus LVDS製品のI/O容量は5pFですが、プログラマブル・デバイスのI/O容量はおよそ2倍の10pFです。容量の増加によって負荷が接続されたバスはインピーダンスが下がり、結果的にノイズ・マージンと最大動作周波数はそれぞれ低下します。



出典：NESA発行のナショナルBus LVDSに関するホワイト・ペーパー



LVDS-031

図 5.7. スタブ長を説明したバックプレーンの概念図

バックプレーン設計の考慮事項と Bus LVDS

Bus LVDS はバスの状態がどのように変わっても動作が可能です。システムのノイズ・マージンの目標値によっても異なりますが、常に全部のスロットにカードを実装した状態する必要はありません。終端抵抗の選定には多少の注意が必要ですが、そのシステムで全負荷となる状態に整合させます(またはやや高め)。この条件で、負荷が半分程度実装された状態、または部分的に実装された状態でも、良好な信号インテグリティが得られます。ノイズ・マージンが少ないシングルエンド方式は、このような柔軟な構成はサポートできません。

図 5.8. は、負荷を変化させたときのバックプレーンのインピーダンスを TDR で測定した結果です。

- 条件A — トレースのみ (ピアなし)
- 条件B — バックプレーン・コネクタをすべて搭載した状態
- 条件C — デバイスを搭載していないカードをすべて実装した状態
- 条件D — カードをすべて実装した状態で、すなわち全負荷時

負荷の約 50% はバックプレーン・コネクタとピアに起因している点に着目してください。また、負荷が増えると信号速度が低下する点にも注意してください。負荷が接続されたバス・インピーダンスの確定値を得るには、バスの両端に配置されている 2 個の 56Ω 終端抵抗を加える必要があります。

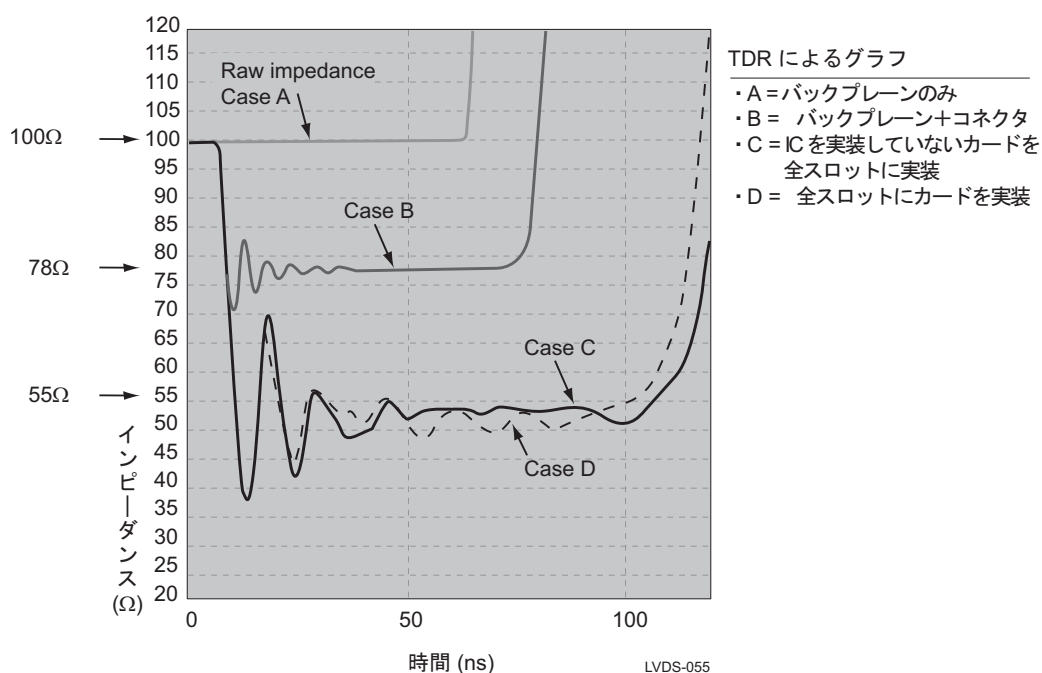


図 5.8. TDRによるグラフ

5.3.2 バスの終端

終端が必要な理由は次の2つです。

1. 電流モード・ドライバが完全な電流ループを構成するには抵抗が必要である。
2. BLVDS のエッジ・レートは高速だから、インタコネクタを伝送線路として取り扱わなければならない。そのため、終端によって反射を抑える必要がある。

Bus LVDS の終端は単純で、マルチポイント・アプリケーションの場合、単一の面実装抵抗をバス両端の線路間それぞれに実装するだけです。TTL、BTL、GTL などのシングルエンド方式で必要な専用の終端電圧やアクティブ終端は Bus LVDS では必要ありません。終端抵抗の値は、負荷が接続された伝送線路の差動インピーダンスと同じか、やや高めを選択します。構成やアプリケーションによって異なりますが、終端抵抗は通常はバックプレーンの両端に配置します (4.6 項「フェイルセーフ・バイアス」も参照してください)。

5.3.3 スタブ長

長いスタブは、容量性負荷の増大と、負荷が接続された実効インピーダンスのさらなる低下を招き、信号の品質に影響を与えます。この理由から、スタブ・インターコネクタはマイクロストリップ・ラインとして構成し、ピアの個数を制限してください (ゼロか1個がよい) 図 5.9 は Bus LVDS に関する NESAs (North East System Associates, Inc.) ホワイト・ペーパー¹ (LVDS.national.com/jpn でも提供) から引用したグラフで、スタブが長いほど負荷が接続された実効インピーダンス低下している様子がわかります。このホワイト・ペーパーでは最大スタブ長とデータ・レートについても論じています。信号のエッジ・レートとサポートできる最大スタブ長の間には強い相関関係があります。LVDS ドライバは 0.2ns から 0.5ns の立ち上がりまたは立ち下りエッジを生成します。図 5.9 は TDR の測定波形ですが、現実の LVDS 信号を的確に模した 0.3ns のエッジ・レートを持つ信号を使用しています。ホワイト・ペーパーはスタブ長が 1 インチから 1.5 インチの範囲以下であるべきと結論付けています。信号周波数が高くなるにつれて、一般にエッジ・レートはより急峻になります。

スタブの基本原則: 「短いほどよい」

¹ *Signal Integrity and Validation of National's Bus LVDS (BLVDS) Technology in Heavily Loaded Backplanes*. Dr. Jinhua Chen et al. North East Systems Associates, Inc.

バックプレーン設計の考慮事項と Bus LVDS

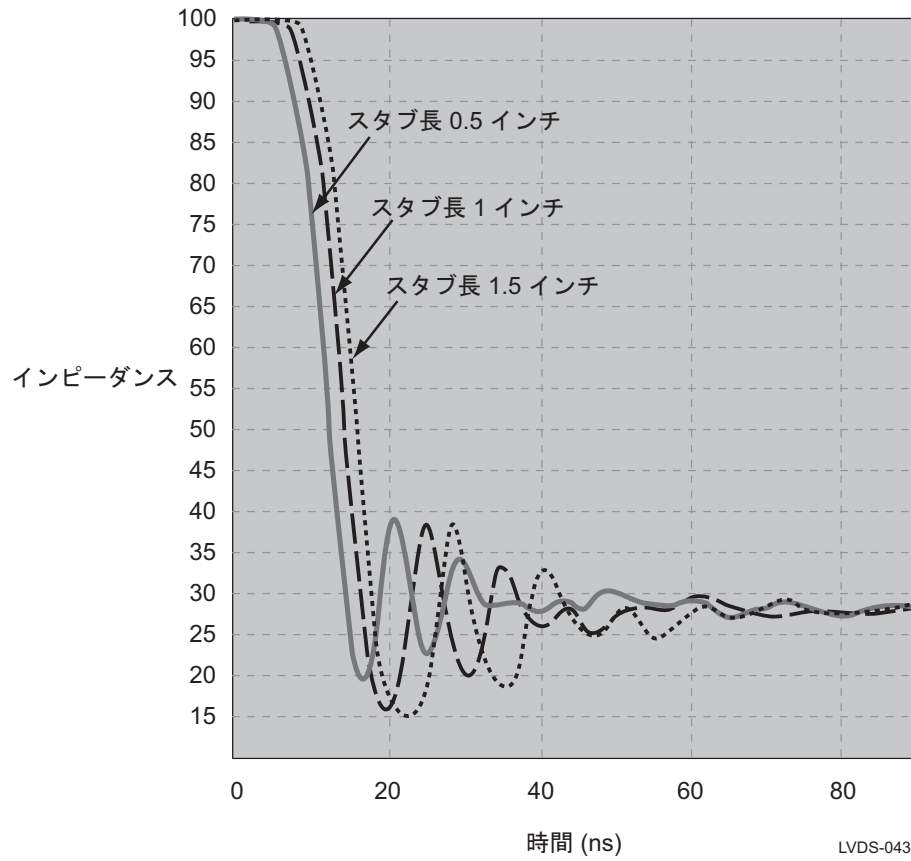


図 5.9. 入力エッジ 300ps の信号を用いたスタブ長 0.5 インチ、1 インチ、1.5 インチの TDR 波形

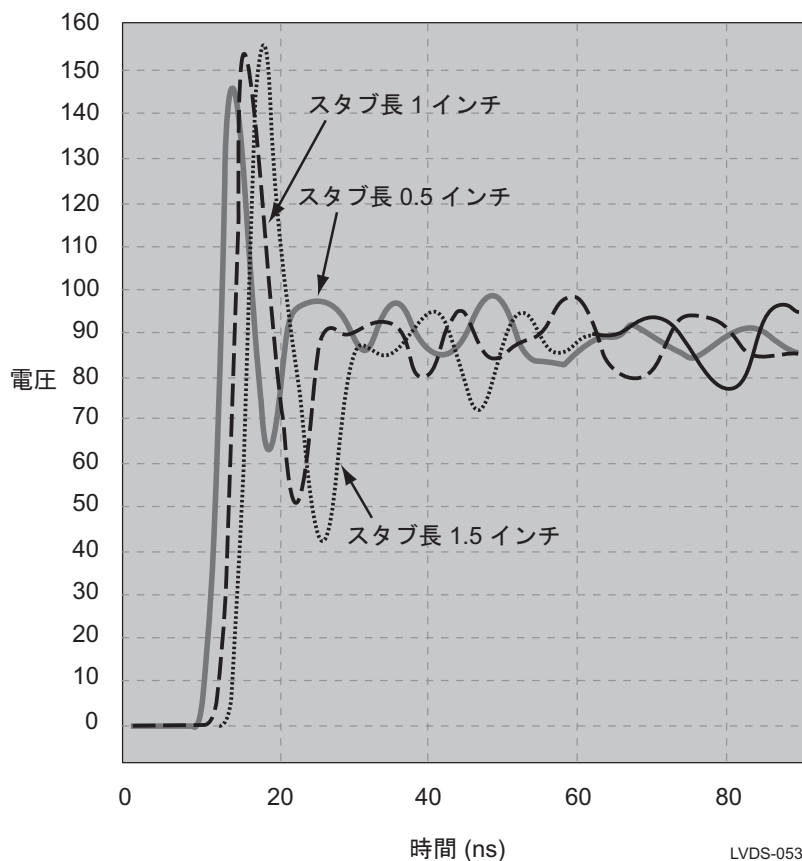


図 5.10. 入力エッジ 300ps でのスタブ長 0.5 インチ、1 インチ、1.5 インチの比較

5.3.4 コネクタ

コネクタは難しいテーマで、標準化委員会の席上でも多くの激しい議論が交わされてきました。コネクタの基本タイプは 2 つです。1 つはマトリックス状に並んでいる標準的な 96 ピン DIN コネクタ (32 ピン×3 列) で、もう 1 つは特殊コネクタです。特殊コネクタには、差動信号用に最適化されたものや、PCB への搭載に工夫を凝らしたものがあります。特殊コネクタはビア構造を採用しない場合が多く、そのため広い帯域幅が実現されています。ただしアプリケーションが限定され、価格も比較的高くなります。

標準コネクタの場合、差動、電源、グラウンド、シングルエンドを混在させる使い方が一般的です (図 5.11. 参照)。図に、シングルエンド信号と差動信号に対するピン割り当てのバリエーションを示します。

バックプレーン設計の考慮事項と Bus LVDS

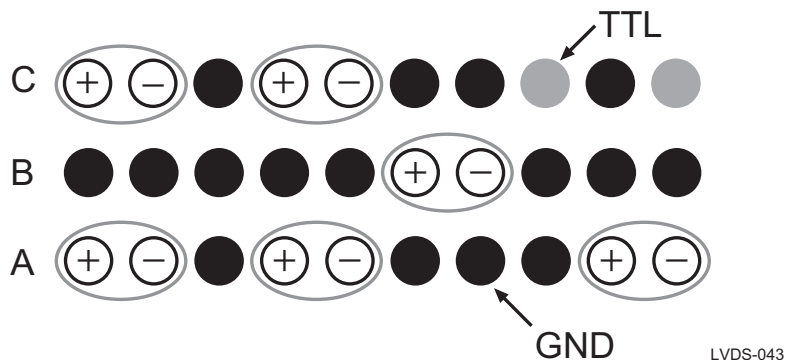


図 5.11. コネクタのピン割り当ての例

マトリックス (シングルエンド用) コネクタに差動信号を割り当てる場合は、電気長が等しい同じ列の隣接ピンが適切です。また、リード長が長い列よりも短い列のほうが良好な特性が得られます。

大振幅信号 (TTL) と小振幅信号 (LVDS) の間に図 5.11. のようにグラウンド・ピンを配置すると両信号群を分離できます。

コネクタの例 : Teradyne 社製、VHDM-HSD 高速差動コネクタ

このコネクタは差動信号用に最適化された高密度コネクタで、数 Gbps の周波数範囲までのアプリケーションを対象としています。8 列品 (差動ペア 3 組)、6 列品 (差動ペア 2 組)、5 列品 (差動ペア 2 組) が提供されています。このうち 8 列品のコネクタは、シングルエンド用の標準 VHDM の 8 列品、電源 / グラウンド・コンタクトとの混載が可能です。ウェハ (コネクタの 1 スライス分を Teradyne 社ではウェハと呼んでいる) 間にシールドが挿入されているため、信号コンタクト間の遮蔽性に優れています。旧世代コネクタに比べてバックプレーン・レイアウトが改善されており、コネクタ・ピン領域に幅広 (10mil) のトレースをルーティングできる実装パターンをサポートによって、バックプレーン設計が容易になっています。バックプレーン側のコネクタは、シングルエンド用の VHDM と差動用の VHDM-HSD のどちらのドーターカード・コネクタにも物理的に対応しています (電気的には VHDM-HSD は一部がグラウンドに割り当てられています)。差動ペア同士のスキューは最小限に抑えられており、コネクタ内部を同じような形状でルーティングされています (図 5.12. 参照)。以上のように VHDM-HSD は、差動信号に最適化され優れた信号品質を保証する高スループット・コネクタの代表的な例です。

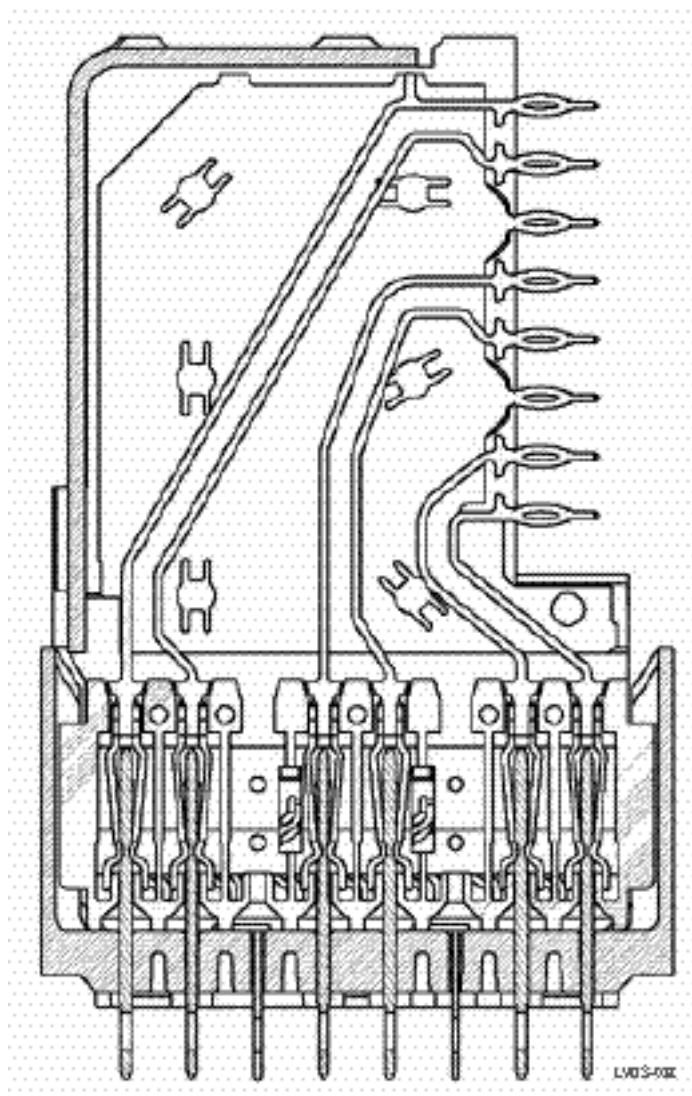


図 5.12. VHDM-HSD の断面図 (図は Teradyne 社提供)

5.3.5 フェイルセーフ・バイアス

次の状況のいずれかが成立してバスを既知の状態に確定させなければならない場合は、フェイルセーフ・バイアスを印加する必要があります。

- すべてのドライバが TRI-STATE になる—マルチポイント・アプリケーションでは一般的
- すべてのドライバがバスから取り外される、または、すべてのドライバの電源がオフになる

上記の場合は、図 5.13. に示すように、フェイルセーフ・バイアス (電源) 終端を使用して (内蔵フェイルセーフ・バイアス以上の) バイアスを加えます。

バックプレーン設計の考慮事項と Bus LVDS

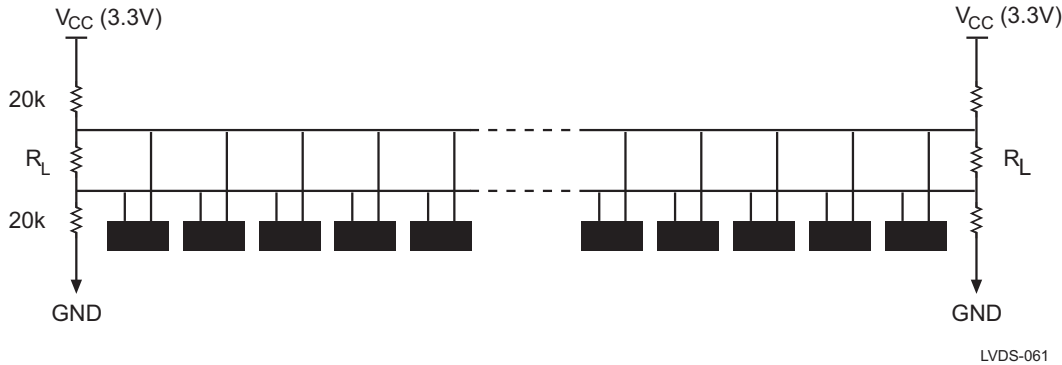


図 5.13. フェイルセーフ・バイアスを追加したマルチポイント・バス

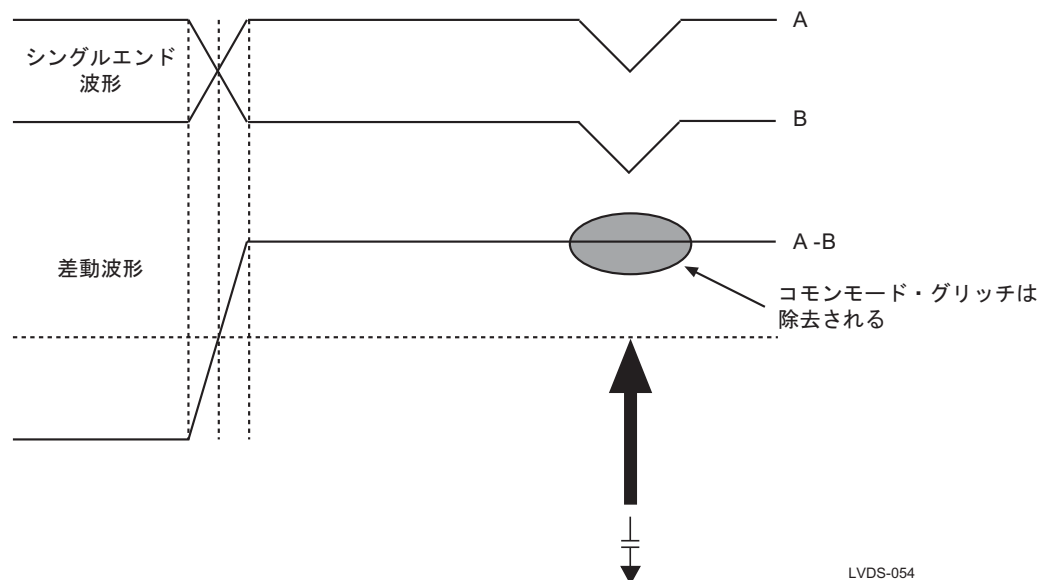
フェイルセーフ抵抗の選択では次の点に従ってください。

- ドライバに過度の負荷とならないよう、また信号に歪みを与えないように、フェイルセーフ抵抗は終端抵抗よりも 1～2 桁高い値を選択してください。
- フェイルセーフ・バイアス電圧の midpoint をドライバのオフセット電圧 (+1.25V) に近い値に設定してください。アクティブなドライバがあるときのバス状態と、すべてが TRI-STATE (パッシブ) であるときのバス状態との間で、大きなコモンモード電位差が生じないようにするためです。
- 応答速度を向上させるため、プルアップ抵抗とプルダウン抵抗はバスの両端に接続します。
- アクティブなドライバが存在する場合に比べて信号品質が下がる点に注意してください。
- フェイルセーフ・バイアス抵抗の計算式は 4.6 項を参照してください。

5.3.6 活線挿抜

活線挿抜機能(「ホット・プラグ」、「ライブ・インサージョン」、「ホット・スワップ」など)は、特にテレコム業界では必須です。テレコム・アプリケーションでは、システム全体をシャットダウンしないで、あるいはバックプレーンのトラフィックを妨害しないで、保守、アップグレード、あるいは修理を実施できなければなりません。Bus LVDS が持つ $\pm 1V$ と広いコモンモード範囲こそが、活線挿抜を実現する上で鍵となる役割を担います。動作中のバックプレーンにカードを挿入したときに発生するスパイク等の異常電位は、正負両方の信号に同じ(コモン)ように重畳するため、転送中のバス・データに影響を与えません。カードの活線挿抜の実現によって、高い堅牢性と信頼性を備えたシステムを構築可能です。

ナショナル セミコンダクター(現テキサス・インスツルメンツ) LVDS Interface Lab(インターフェイス研究部門)で実施したテスト(BERT)では、動作中のバスにカードを挿入または抜去してもビットエラーは確認されませんでした。テストでは最高で4枚のカードを同時に挿入しましたが、ビットエラーは検出されませんでした。この理由は、カード上の差動ペアがバックプレーン上のアクティブな線路ペアに等しい負荷として接続され、その結果発生するすべてのグリッチは、レシーバで除去可能なコモンモードになるためです。



LVDS-054

図 5.14. 活線挿抜時の波形

ただし、デバイス (サブストレート) に対して適切なバイアスを保証するために、標準的な電源シーケンスの採用が重要であることに変わりはありません。カード挿入時はハードウェア的手段によって次のシーケンスを保証しなければなりません。

1. グラウンド
2. 電源
3. 各 I/O ピン

抜去時は逆のシーケンス (3-2-1) となるようにしてください。シーケンスの実現には複数の方法が存在します。ピンの長短を利用したシーケンス付きコネクタが一般的に採用されています (複数のベンダから製品化されており、マトリックス・コネクタとも互換性があります)。コネクタを複数使用する方法もあります。たとえば、DIN コネクタを I/O に使用し、ジャック形状のコネクタを電源とグラウンドに使用する方法です。このほかに、カードがカードケースの電源レールに挿入されたときに、カード周囲のグラウンド・パターンと電源レールを接触させてグラウンド電位を確定させる方法もあります。

5.4 補足情報

TI では、バックプレーン設計に関する詳しい情報をホワイト・ペーパーとアプリケーション・ノートとしてウェブサイトを提供しています。また、NESA と協業してホワイト・ペーパーやカンファレンス資料を共同で発行しています。

- www.nesa.com

第 6 章

ケーブル、コネクタ、および性能テスト

6.1 概要

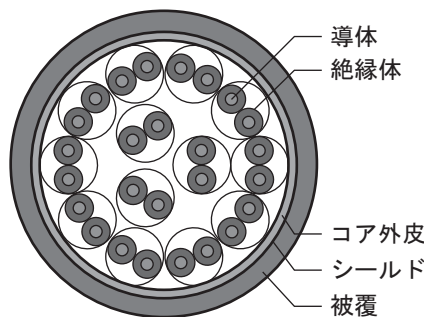
LVDS に使用するケーブルとコネクタの選定上の注意点は以下のとおりです。

1. インピーダンスが管理されているメディアを使用してください。使用予定のケーブルとコネクタの差動インピーダンスは約 100Ω でなければなりません。信号反射の原因となるような明らかなインピーダンス不連続が存在してはなりません。
2. ノイズ抑止や信号品質の面で、平衡ケーブル (ツイストペア) のほうが不平衡ケーブル (リボン・ケーブル、複数導線) よりも一般に優れています。平衡ケーブルは磁界を打ち消す働きを持っているため EMI の放射量が少なく、また、外部からの電磁放射を、レシーバで除去可能なコモンモードとして拾う性質を持っています。
3. ケーブル長が 0.5m よりも短い場合はどのケーブルを使用しても通常は問題ありません。ケーブル長が 0.5m ~ 10m の場合は、入手が容易で比較的安価な CAT3 ツイストペア・ケーブルで十分です。特定のアプリケーションでは、必要に応じて、ほかのタイプのケーブルを使用します。たとえば、ペアそれぞれを同軸ケーブルに収容して並べたツイナックス (二芯同軸) ケーブルなどがあります。

6.2 推奨ケーブル

先に説明したとおり、平衡ケーブル (ツイストペア、ツイナックス、密結合の差動トレースを実装したフレキシブル回路など) の使用を検討してください。LVDS はさまざまな伝送メディアとの組み合わせを想定して開発されています。LVDS 自体の規格では特定のメディアは規定されていません。その意図は、インターフェイス全体を規定する個々の参照標準にメディアを選択する余地を与えるためです。個々のインターフェイス仕様が定めるべき項目には、ケーブル・メディア、データ・レート、ケーブル長、コネクタ、機能、ピン配置などがあります。伝送長が 0.3m 未満と短いアプリケーションの場合、リボン・ケーブルやフレキシブル回路も許容範囲です。筐体間アプリケーションでは、堅牢性、シールド特性、平衡特性などの点から、ツイストペア・ケーブルやツイナックス・ケーブルが適切な選択肢となります。選択したケーブルに応じて次項に述べる設計上の注意事項を守れば、最適な性能が得られるようになります。

6.2.1 ツイストペア・ケーブル



LVDS-062

図 6.1. ツイストペア・ケーブルの断面図

ツイストペア・ケーブルは、性能が良く、安価で平衡性に優れており、曲げも容易で、アプリケーションでの許容可能なスキューにもよりますが、中距離から長距離の伝送に対応します。市場にはさまざまなシールド・タイプのケーブルが存在します。シールドがまったくなされていないタイプ、全体がシールドされているタイプ、各ペアをシールドしてさらに全体をシールドしたタイプなど、各種のツイストペア・ケーブルが供給されています。ただし構造上、ツイストペア・ケーブルにコネクタを装着する作業は簡単ではありません。

LVDS オーナーズ・マニュアル

1. ツイストペア・ケーブルはLVDSに適しているケーブルの1つです。カテゴリ3 (CAT3) ケーブルは約 10m まで延長可能で、さらに長い距離を伝送する場合は CAT5 を使用します。
2. スキューを最小限に抑えるため、スキューの対象となるペア同士をグループ化してください (ペア間スキューを抑えるために同一ケーブル内に)。
3. 未使用線は、グラウンドか終端、あるいはその両方に接続してください (開放のまま使用しない)。

6.2.2 ツイナックス・ケーブル

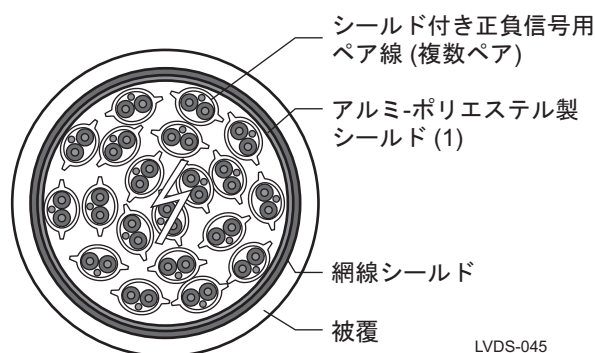


図 6.2. 個々にシールドされた平行ペア線で構成されるツイナックス・ケーブルの断面図

ツイナックス・ケーブルは、曲げが容易で、スキューが小さく、各ペア周囲をシールドし絶縁性を高めています。より線ではないため、ペア内およびペア間のスキューが非常に小さい性質があります。ツイナックス・ケーブルは長距離伝送に向いており、チャンネル・リンクや FPD リンクなどのアプリケーションに広く採用されています。

1. ペアごとのドレイン線をまとめてコネクタ・ヘッダ内で接続するとコネクタ・ピン数の削減が図れます。
2. 未使用線は、グラウンドか終端、あるいはその両方に接続してください。

6.2.3 フレキシブル回路

フレキシブル回路は、超短距離での配線には向いていますが、シールドを施すのは困難です。同一筐体内で基板間を接続する用途に使用します。

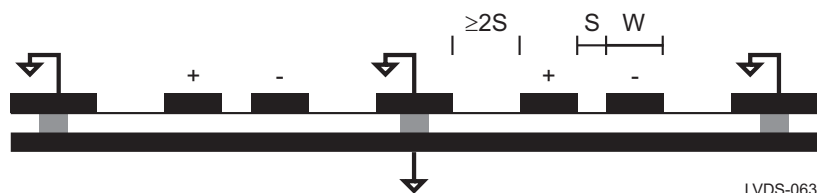


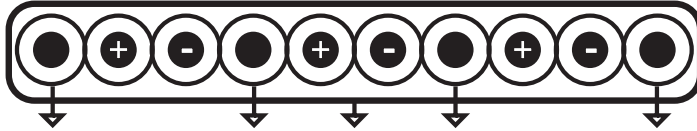
図 6.3. フレキシブル回路の断面図

1. 差動ペアを密結合 ($S < W$) させてください。信号ペアの平衡状態が失われるため、フレキシブル回路の端部を配線チャンネルとして使用しないでください。
2. インピーダンスを設定するにはグラウンド層を使用します。
3. 実装密度に余裕がある場合、グラウンド電位のガード・パターンをペアとペアの間に設けてください。このシールド用パターンは、一定間隔で設けたビアを介してグラウンド層に接続します。

ケーブル、コネクタ、および性能テスト

6.2.4 リボン・ケーブル

リボン・ケーブルは安価で使いやすく、シールドも簡単です。良好な結合が困難なリボン・ケーブルは高速差動通信には適しませんが、距離がきわめて短ければ問題ありません。



LVDS-051

図 6.4. フラット・ケーブルの断面図

1. リボン・ケーブルを使用しなければならない場合は、ペアとペアとの間の線をグラウンドに割り当ててペア間を分離してください。リボン・ケーブルの端部に信号ペア線を割り当てないでください。
2. 可能な限りシールド付きケーブルを使用してください。シールド付きフラット・ケーブルは市販されています。

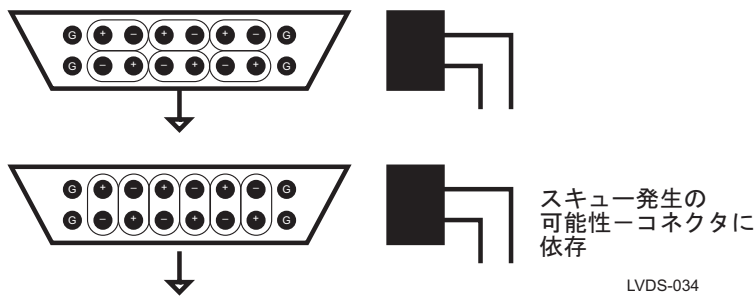
6.2.5 その他のケーブル情報

ケーブル構造に関する補足情報はアプリケーション・ノート AN-916 に記載されています。また、ケーブル、コネクタ、インタコネクタ・システムの各ベンダは、さまざまなケーブル製品に関する情報を自社の Web サイトで提供しています。その一部を紹介します。

- 3M社 www.3M.com/interconnects
- Amphenol 社 Spectra-Strip ケーブル製品 www.spectra-strip.amphenol.com/default.CFM
- tyco Electronics (旧 AMP) 社 connect.amp.com

6.2.6 コネクタ

コネクタもアプリケーション依存で、使用するケーブル、ピン数、シールドの必要性、さらには物理的な搭載寸法などを考慮して選択します。データ・レートが低速から中速の範囲であれば標準的なコネクタの使用が可能で、また、中速から高速アプリケーション向けに低スキュー化を実現したコネクタも開発されています。



LVDS-034

図 6.5. コネクタの一般的なピン配列

1. 可能であれば、スキューが小さくインピーダンスの整合が図られたコネクタを選択してください。
2. ペア同士をまとめてください。ペアのピンは近接 (隣接) するように割り当て、離れたところには割り当ててはなりません。平衡を保つためと、差動特性が働くように外部ノイズをコモンモードとして重畳させるためです。

- 一部のコネクタはピンごとにリードの長さが異なっています。ペア同士は同じ長さのリードにまとめてください。使用するコネクタに関して、スキューとクロストークがもっとも小さくなるピン割り当ての向きをメーカーに問い合わせてください。ピン長が短いほうが長いものよりも性能はよい傾向にあるため、可能であれば、ピン長のなるべく短いコネクタあるいはピンを使用してください。
- 可能であれば、グラウンドに接続したピンをペアとペアの間に割り当ててください。特に、TTL/CMOS 信号と LVDS 信号との間をグラウンド・ピンを使って分離してください。
- コネクタ両端のピンはグラウンドに割り当ててください。端部のピンは平衡度が足りないため、できるかぎり高速信号に割り当てないでください。
- 未使用ピンは、グラウンドか終端、あるいはその両方に接続してください。

コネクタには多くの種類があります。LVDS との組み合わせで優れた結果を示すケーブル・コネクタ・システムの 1 つが 3M 社の「高速 MDR デジタル・データ伝送システム」です。MDR ケーブル・システムは、チャンネル・リンク (48 ビット) 評価キットおよび LDI 評価キットに採用されています。MDR コネクタには全ピン間のスキューがきわめて小さい表面実装タイプの品種も提供されています。そのほか、さまざまな種類のケーブルに対応した品種が用意されています。

6.3 ケーブルのグラウンドとシールドの接続

ケーブルを使用したシステムを EMC に準拠させるには一般にシールドが必要です。LVDS を適切に使用するかぎりは低 EMI のメリットが得られますが、特に筐体間アプリケーションなどで、シールドが適切な手段であることには変わりはありません。ケーブルのシールドとグラウンドのリターンとの両者の働きによって EMI の低減が図られます。シールドは EMI を遮蔽し、一方のグラウンド・リターン線 (ペア・シールドまたは一部のケーブルではドレイン線) はコモンモード電流に対してループ面積の小さなリターン・パスを与えます。シールド・ペアのうち 1 つ以上のペアをグラウンド (回路のコモン電位) に割り当ててください。1 つ以上のペアを使用すれば、導体の並列接続によってパスの DC 抵抗 (DCR) の低減が図れます。このようにグラウンドを割り当てると、コモンモード電流のリターン・パスが固定され (既知となり)、またインピーダンスも低くなります。

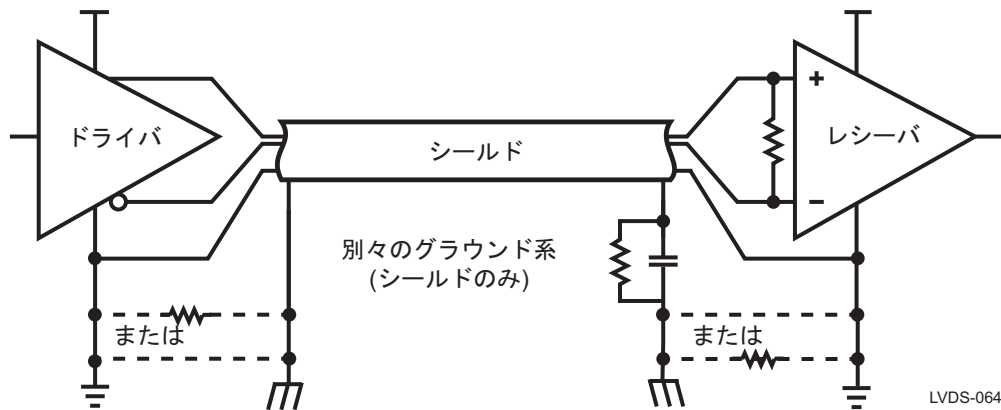


図 6.6. 標準的なグラウンド配線方式

多くのアプリケーションはドライバ側とレシーバ側のグラウンド系を共通にしています。ケーブル・シールドは、どちらか一端の共通グラウンド (フレーム・グラウンド) に DC 接続してください。「ピッグ・テイル」 (ケーブル・シールドを豚の尾のようにコネクタから引き伸ばして配線する形態を呼び、インダクタンスが高くなる) でのグラウンド接続は避けてください。ケーブルのもう一方の端のシールドは、図 6.6. に示すように、コンデンサかコンデンサ・ネットワークを経由してグラウンドに接続します。このような回路構成にすればシールドには DC 電流は流れません。コネクタが装置筐体から外部に向けて出ている場合、効率的なシールド効果を得るためにケーブル・シールドをコネクタの導電性バックシェル全周に接触させ、合わせて、良好な接触を確保しなければなりません。

注：ケーブル配線とグラウンド系の詳細を取り扱うことは本書の目的を超えています。他の資料を参照するとともに、ケーブル、シールド、グラウンドに対して適用される安全基準および法的要件に従ってください。

第7章

性能テスト

7.1 LVDS の信号品質

信号品質はさまざまな手段で測定可能です。広く使用されている方法は次のとおりです。

- 負荷点で立ち上がり時間を測定する
- アイ・パターンを使ってジッタを測定する
- ビット誤り率テストを行う
- その他

このうち、アイ・パターン試験と BERT (ビット誤り率テスト) が信号品質を判断するために一般に使われます。次項から 2 つの方法について説明します。

7.1.1 LVDS 信号品質 : アイ・パターンを使ったジッタ測定

ここでは、LVDS のドライバおよびレシーバを特定のツイストペア・ケーブルで接続した一般的なアプリケーションを想定し、データ・レートとケーブル長の関係を表わすグラフを導きます。「どのくらい遠くまで伝送できるか」と「どのくらい高速に伝送できるか」という 2 つの設問は、最初こそ簡単に思えますが、詳細な検討を進めていくうちに答えがいかに複雑かが理解されます。

距離と速度の関係はデバイスの単純なパラメータとしては表わせません。ドライバとレシーバのスイッチング動作特性の問題というよりも、さまざまな要素を考慮しなければならないシステム・レベルでの問題といえるでしょう。そのような要素として、採用する信号方式に対する信号品質の測定基準や、使用するパルス符号化方式 (たとえば NRZ) などが挙げられます。さらに、ケーブル、コネクタ、PCB など、システム・レベルでの構成要素も考慮しなければなりません。

信号品質の測定を目的とする以上、実アプリケーションの使用環境、あるいはそれよりも良い環境を模した試験設備でテストを実施しなければなりません。アイ・パターン測定は、データ・レートとケーブル長の関係の立証に必要なジッタと単位インターバルの関係の測定に有効な手法で、実アプリケーションで見込まれる信号品質をきわめて正確に測定できます。

7.1.2 アイ・パターン測定の特長

アイ・パターンは、メディア上を流れるランダム・データに対する、シンボル間干渉の影響を測定するために用いられます。先行するデータビットは以後の信号の伝送時間に影響を与えます。たとえば、線路上での遷移を保証していない NRZ データでは特に顕著です。NRZ コーディングで長い期間 LOW が連続したあとの HIGH 遷移は、周期的 (010101) な波形の HIGH 遷移よりも立ち上がりが遅くなります。このような現象はケーブルのローパス・フィルタ効果によるものです。

6 つのデータ・パターンを重ね合わせた図を図 7.1. に示します。重ね合わせによって、ケーブルの入力側のアイ・パターンが形成されます。図の右側はケーブルの遠端で観測されるパターンです。急峻だった遷移が緩やかになっていることがわかります。波形が交差する部分が広くなり、アイ (目) のオープニング部分は狭くなっています (アイ・パターンの詳細はアプリケーション・ノート AN-808 を参照してください)。

ライン・ドライバ (信号発生器) が対称的な信号をクロック線に供給しているのであれば、クロック波形の単位インターバルではなくクロックの周期から最大ケーブル長を決定します (たとえば、クロック・レートはデータ・レートの 2 倍になりますが同一の最大ケーブル長を適用します)。その理由は、周期的な信号は、データ線路で発生するような符合間干渉の影響を受けにくいからです。

LVDS オーナーズ・マニュアル

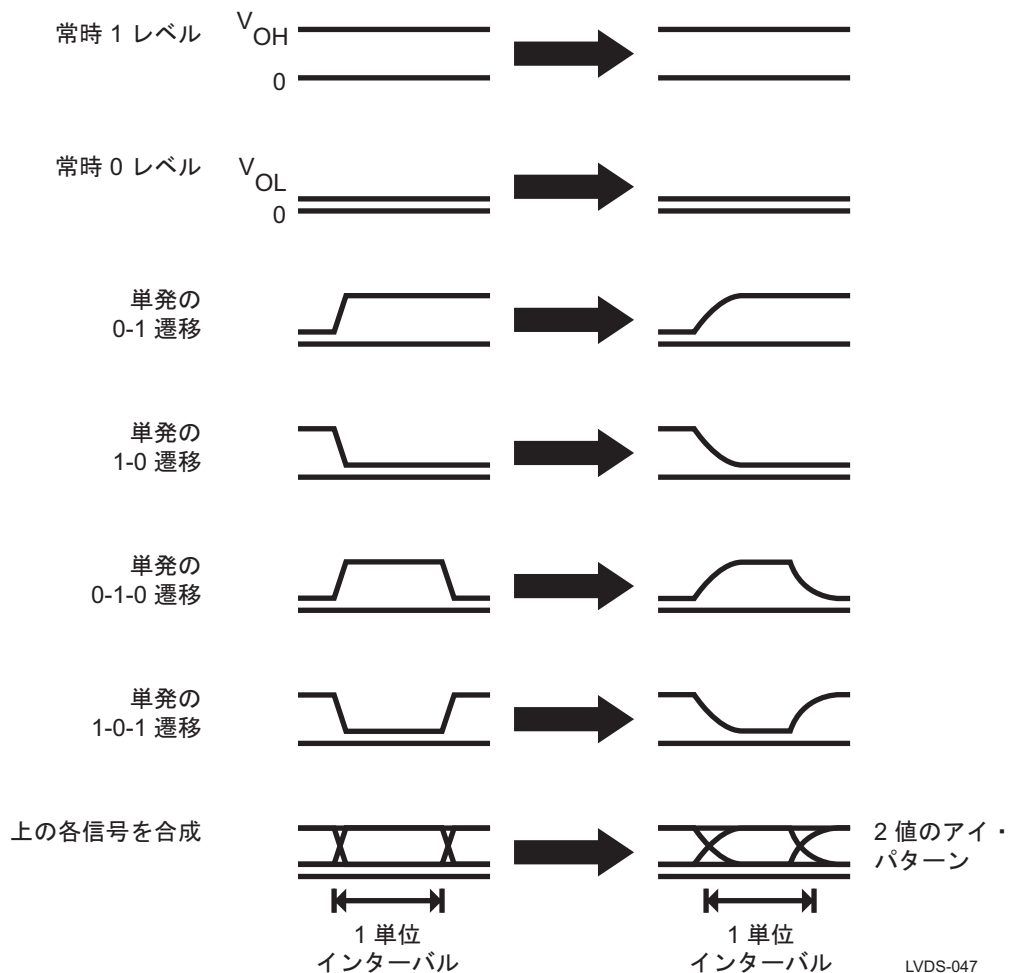
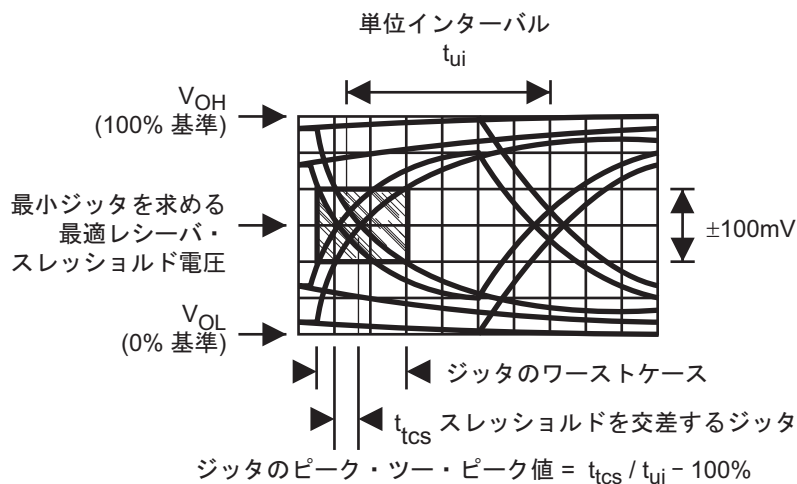


図 7.1. 重ね合わせによるアイ・パターンの生成

性能テスト

最小ジッタの取得に使用する測定ポイントを図 7.2. に示します。ジッタのピーク・ツー・ピーク値は、信号が最適レシーバ・スレッシュホールド条件を交差する時間幅として表されます。差動方式のレシーバでは最適レシーバ・スレッシュホールド条件は 0V (差動電圧) です。ただし LVDS のスレッシュホールド仕様は $-100\text{mV} \sim +100\text{mV}$ として規定されています。したがって、ジッタのワースト値は、 $\pm 100\text{mV}$ の範囲に箱を描いて、 $\pm 100\text{mV}$ を最初に信号が交差した時点から最後に交差した時点までを測ります。図 7.2. の縦軸は目盛りあたり 100mV なので、 ± 1 目盛り、すなわち $\pm 100\text{mV}$ を交差する時間幅がジッタのワーストケースになります。



LVDS-065

図 7.2. NRZ データのアイ・パターン

LVDS オーナーズ・マニュアル

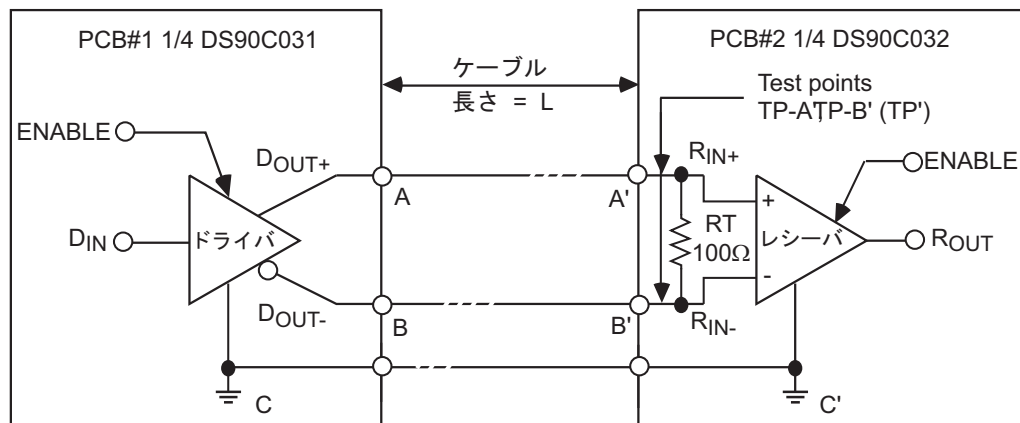
7.1.3 アイ・パターン・テスト回路

通常、LVDS のドライバおよびレシーバは、図 7.3. に示す単純な一対一構成で使用されます。この図はアイ・パターンの取得に使用したテスト回路を示しています。使用した構成要素は次のとおりです。

PCB#1 — DS90C031 LVDS クワッド・ドライバを PCB 上にハンダ付け実装し、インピーダンスを整合させた PCB トレースでデバイス (PCB 端部の近くに配置) からコネクタまでを接続しています。コネクタは AMP (現 tyco electronics) 製の AMPLIMITE™ .050 シリーズです。

ケーブル — テストに使用したケーブルは Berk-Tek 製の部品番号 271211 です。このケーブルは、CAT3、105Ω (差動モード)、28 AWG の標準ツイストペア・ケーブル (25 ペア全体をシールド) で、SCSI アプリケーションに広く使用されています。一般的なデータ・インターフェイス・ケーブルを代表するケーブルとしてテストに使用しました。テストで使用したケーブル長は、1m、2m、3m、5m、10m です。ケーブル長が 10 メートルを超えるテストは行いませんでしたが、データ・レートが低ければ使用可能です。なお、Berk-Tek 社はこのケーブルの販売を終了しています。同等のケーブルは Hitachi Cable Manchester 社 (Part # 49251) など他のケーブル・メーカーから購入可能です。

PCB#2 — DS90C032 LVDS クワッド・レシーバを PCB 上にハンダ付け実装し、インピーダンスを整合させた PCB トレースでデバイス (PCB 端部の近くに配置) からコネクタまでを接続しています。コネクタは AMPLIMITE™ .050 シリーズです。レシーバ入力ピンを 100Ω の表面実装抵抗で終端しています。



LVDS-069

図 7.3. LVDS の信号品質テスト回路

性能テスト

7.1.4 テスト手順

擬似ランダム・ビット・シーケンス (PRBS) 発生器をドライバの入力ピンに接続し、ケーブル経由後のアイ・パターンをオシロスコープで観測しました (観測点 TP¹ で差動測定)。ケーブル長 (L) が異なるケーブルを使用し、測定ジッタが単位インターバルの 20% に達するまで入力信号の周波数を上げていきました。使用した符号化方式は NRZ です。ジッタは 2 箇所の電圧ポイントに対して 2 回測定しました。最初に差動電圧 0V 点 (最適レシーバ・スレッショルド点) で最小ジッタを測定し、次に最大レシーバ・スレッショルド点 ($\pm 100\text{mV}$) でワーストケース、すなわちレシーバ・スレッショルドでの最大ジッタを測定しました。なお、ジッタを単に交点 (最適スレッショルド) のみで測定する事例も多く見られ、得られるジッタはきわめて小さな値になりますが、その電圧でレシーバが必ずしもスイッチングするわけではない事実を無視していることとなります。このような理由により、今回の信号品質テストでは 2 点でジッタを測定しました。

7.1.5 差動プローブの使用

LVDS、ECL、CML など、差動信号のテストには差動プローブを推奨します。オシロスコープや他の測定機器で、実際のシステムの差動レシーバが持つ同じ利点が得られます。

差動プローブはシングルエンド・プローブに比べて測定精度とノイズ除去性能がそれぞれ高い特長がありますが、測定結果の取り扱いには注意が必要です。「差動振幅」の用語の定義と使われ方は業界内でも統一が取れていません。LVDS 仕様や多くのデータシートでは「差動振幅」を (D_{0+}) - (D_{0-}) として定義しています。一方、一般に差動プローブは振幅を $2 \times (D_{0+} - D_{0-})$ として出力するため、デバイスの定義と測定した振幅値が同じになりません。

7.1.6 結果とデータ・ポイント

表 7.1. 差動 0V における 20% ジッタの一覧 (最小ジッタ)

| ケーブル長 (m) | データ・レート (Mbps) | 単位インターバル (ns) | ジッタ (ns) |
|-----------|----------------|---------------|----------|
| 1 | 400 | 2.500 | 0.490 |
| 2 | 391 | 2.555 | 0.520 |
| 3 | 370 | 2.703 | 0.524 |
| 5 | 295 | 3.390 | 0.680 |
| 10 | 180 | 5.550 | 1.160 |

先に説明したとおり差動電圧 0V でジッタを測定しました。ジッタが単位インターバルの 20% に達したデータ・レートは、ケーブル長 1m の場合で 400Mbps (ジッタ 0.490ns)、ケーブル長 10m の場合で 180Mbps (ジッタ 1.160ns) となりました。

表 7.2. $\pm 100\text{mV}$ における 20% ジッタの一覧 (最大ジッタ)

| ケーブル長 (m) | データ・レート (Mbps) | 単位インターバル (ns) | ジッタ (ns) |
|-----------|----------------|---------------|----------|
| 1 | 200 | 5.000 | 1.000 |
| 2 | 190 | 5.263 | 1.053 |
| 3 | 170 | 5.882 | 1.176 |
| 5 | 155.5 | 6.431 | 1.286 |
| 10 | 100 | 10.000 | 2.000 |

次に $\pm 100\text{mV}$ の範囲でジッタを測定しました。ジッタが単位インターバルの 20% に達したデータ・レートは、ケーブル長 1m の場合で 200Mbps (ジッタ 1.00ns)、ケーブル長 10m の場合で 100Mbps (ジッタ 2.00ns) となりました。

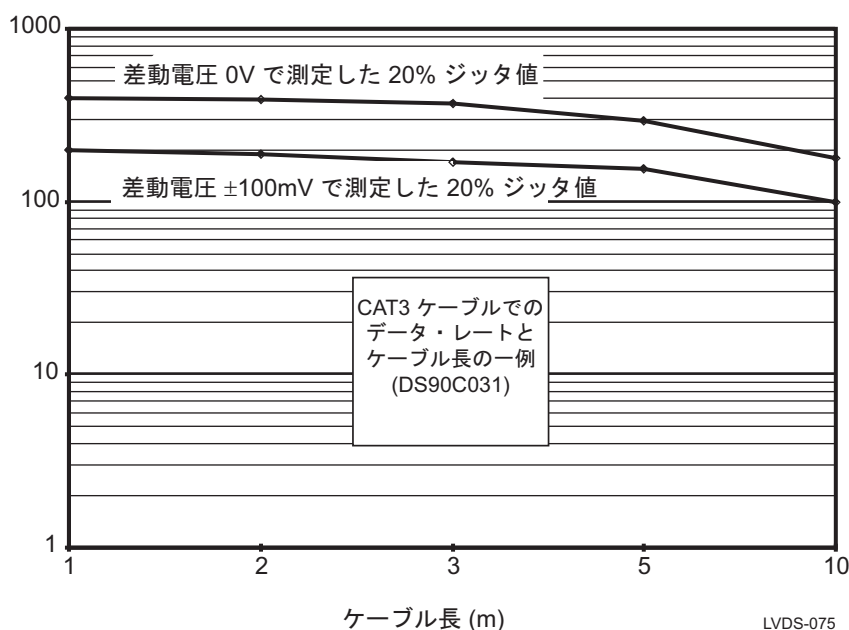


図 7.4. データ・レートと 0m ~ 10m CAT3 ケーブル長との関係を示す一例

ケーブル長が長いアプリケーションに LVDS を使用する場合は注意が必要です。直接結合したノイズに対する LVDS のコモンモード除去範囲は最高 $\pm 1V$ です。ケーブル長が長いアプリケーションでは、より広いコモンモード除去範囲が必要となる可能性があります。その場合は、トランス結合や他のテクノロジー (RS-485 など) の採用を検討してください。

テストに用いたアプリケーションにおけるデータ・レートとケーブル長の関係を、図 7.4. のグラフに示します。グラフ内の両方の曲線ともに、ジッタの許容範囲を単位インターバルの 20% までに設定しています。基本的に、データ・レートが 200 ~ 400Mbps であればケーブル長を短くする必要がありますが、一方でデータ・レートが 100 ~ 200Mbps の範囲ではおよそ 10m までは伝送可能です。なお、符号化方式、ケーブルの種類、線番 (AWG) などが異なれば、最大データ・レートとケーブル長の関係が変わる点に注意してください。設計に応じて実験を行ってください。

7.1.7 ジッタおよびアイ・パターンに関する補足情報

LVDS のデータ・レートとケーブル長の関係は、LVDS の Web サイト LVDS.national.com/jpn で提供している LVDS 各種アプリケーション・ノートを参照してください。

本書発行時点で提供されているアプリケーション・ノートは次のとおりです。

| AN 番号 | テストに使用したデバイス |
|---------|---------------------------|
| AN-977 | DS90C031/032 |
| AN-1088 | DS90LV017/027, DS92LV010A |

7.1.8 まとめ — アイ・パターン・テスト

ランダム・データ・パターンの影響を捉えられるアイ・パターンは、ジッタおよびジッタから導かれる信号品質の解析に有用な測定手法です。所与のデータ・レートにおける最大ケーブル長、あるいは所与のケーブル長における最高データ・レートを特定できます。ただし、ジッタの許容値はシステムごとに異なります。一般的に 5%、10%、または 20% が使用されますが、実用的な上限値としては 20% ジッタが通常使用されます。ジッタが 20% を超えるとアイ・パターンのオープニングが狭くなり、NRZ データで誤差のないデータ復元が難しくなってきます。なお、今回のテストでは、広く流通している安価なタイプのケーブルを使用して、データ・レートとケーブル長の関係を求めました。

性能テスト

7.2 ビット誤り率テスト (BERT)

ビット誤り率テストも信号品質を求める手法の1つです。BERT を使ったテスト方法を以下に説明します。

7.2.1 BERT を使用した LVDS のケーブル駆動性能テスト

「どのくらい遠くまで伝送できるか」と「どのくらい高速に伝送できるか」という2つの設問は、最初こそ簡単に思えますが、詳細な検討を進めていくうちに答えがいかに複雑かが理解されます。距離と速度の関係はデバイスの単純なパラメータとしては表わせません。ドライバとレシーバのスイッチング動作特性の問題というよりも、さまざまな要素を考慮しなければならないシステム・レベルでの問題といえるでしょう。そのような要素として、採用する信号方式に対する信号品質の測定基準や、使用するパルス符号化方式(たとえばNRZ。符号化についてはアプリケーション・ノート AN-808 を参照してください)などが挙げられます。さらに、ケーブル、コネクタ、PCB など、システム・レベルでの構成要素も考慮しなければなりません。信号品質の測定を目的とする以上、実アプリケーションの使用環境、あるいはそれよりも良い環境を模した試験設備でテストを実施しなければなりません。可能であれば、実アプリケーションでのテストが望まれます。信号品質の測定には、アイ・パターン(ジッタ)測定法や、ここで述べるビット誤り率(BER)テストなどがあります。

この項では、LVDS クワッド・ライン・ドライバ/レシーバである DS90C031 と DS90C032 を用いて行ったビット誤り率テストの一連の結果を示します。テスト結果は他の LVDS 製品にもあてはまります。4 回路のドライバを使用し、選択したデータ・レートで、1m または 5m の標準ツイストペア・ケーブルを駆動しました。ケーブルの遠端に 4 回路のレシーバを置いてデータを復元させました。

7.2.2 BERT の概要

ビット誤り率テストは通信システムの性能を測定する手法の1つです。ビット誤り率を求める標準的な式は次のとおりです。

$BER = (\text{ビット誤りの個数}) / (\text{総ビット数})$

ビット誤り率の測定では一般的に次の数値が指標とされています。

$1 \times 10^{-12} \Rightarrow 1$ 兆ビットを送信して、誤ったビット数が 1 個以下

$1 \times 10^{-14} \Rightarrow 100$ 兆ビットを送信して、誤ったビット数が 1 個以下

BERT は長時間を必要とするテストです。テスト時間はデータ・レートと必要とする性能評価基準によって決まります。たとえば、データ・レートを 50Mbps とし、誤り率の評価基準を 1×10^{-14} 以下とすると、シリアル・チャンネルあたり 2,000,000 秒のテスト時間が必要です。2,000,000 秒は 555.6 時間すなわち 23.15 日間に相当します。

7.2.3 BERT 回路

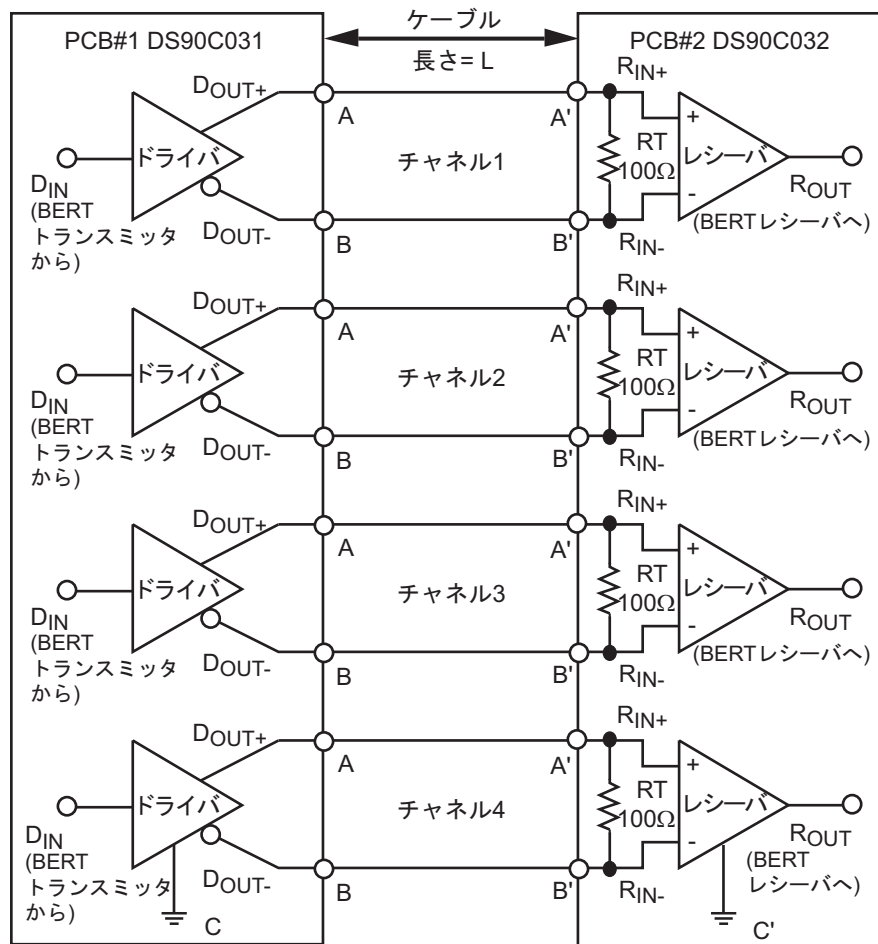
通常、LVDS のドライバおよびレシーバは、図 7.3. に示す単純な一対一構成で使用されます。この図は BERT に使用したテスト回路を示しています。使用した構成要素は次のとおりです。

PCB# — DS90C031 LVDS クワッド・ドライバを PCB 上にハンダ付け実装し、インピーダンスを整合させた PCB トレースでデバイス(PCB 端部の近くに配置)からコネクタまでを接続しています。コネクタは AMPLIMITTM.050 シリーズです。

ケーブル — テストに使用したケーブルは Berk-Tek 製の部品番号 271211 です。このケーブルは、CAT3、105Ω(差動モード)、28 AWG の標準ツイストペア・ケーブル(25 ペア全体をシールド)で、SCSI アプリケーションに広く使用されています。一般的なデータ・インターフェイス・ケーブルを代表するケーブルとしてテストに使用しました。テストで使用したケーブル長は 1m と 5m です。なお、Berk-Tek 社はこのケーブルの販売を終了しています。同等のケーブルは Hitachi Cable Manchester 社(Part # 49251)など他のケーブル・メーカーから購入可能です。

PCB#2 — DS90C032 LVDS クワッド・レシーバを PCB 上にハンダ付け実装し、インピーダンスを整合させた PCB トレースでデバイス(PCB 端部の近くに配置)からコネクタまでを接続しています。コネクタは AMPLIMITTM.050 シリーズです。レシーバ入力ピンを 100Ω の面実装抵抗で終端しています。

LVDS オーナーズ・マニュアル



LVDS-080

図 7.5. LVDS ビット誤り率テスト回路

7.2.4 テスト手順

ビット誤り率テストには並列高速ビット誤り率トランスミッタ/レシーバ・セット (Tektronix 製 (旧 Microwave Logic 社製) MultiBERT-100) を使用しました。BERT トランスミッタを LVDS ドライバの入力に接続し、また、LVDS レシーバの出力を BERT レシーバの入力に接続し、ケーブル長とデータ・レートを変えてテストを行いました。テスト装置は $2^{15} - 1$ (32,767 ビットのロング・シーケンス) の PRBS を発生するように設定しています。最初のテストでは 4 本の LVDS チャンネルすべてに同じ入力信号を印加し、以後のテストでは PRBS に 4 ビットのオフセットを加え、チャンネル間にランダムなシーケンスが入力されるようにしました。使用した符号化方式は NRZ です。以上のようにテスト環境を構築し、その後、ある一定時間にわたって中断なしでテストを実行させました。テスト時間が終了した時点で、経過秒数、送信済みビット総数、検出されたビット誤りを記録しました。次のページに、電源電圧 + 5.0V を使用し、室温で実施した 3 種類のテスト結果を示します。

性能テスト

7.2.5 テスト内容と結果

このテストの目標は、 1×10^{-12} 以下の誤り率が達成可能であると実証することです。

テスト 1

条件

- データ・レート = 50Mbps
- ケーブル長 = 1m
- PRBS コード = $2^{15} - 1$ NRZ

このテストで 4 つのドライバ入力に与えた PRBS コードは同一です。デバイスに「同時出力スイッチング」の動作状態を与えています。

結果

- 総秒数 : 87,085 (1 日)
- 総ビット数 : $1,723 \times 10^{13}$
- 誤り = 0
- 誤り率 = 1×10^{-12} 未満

テスト 2

条件

- データ・レート = 100Mbps
- ケーブル長 = 1m
- PRBS コード = $2^{15} - 1$ NRZ

このテストでは、4 つのドライバ入力端に 4 ビットをオフセットさせた PRBS コードを印加しています。チャンネル間にランダムなパターンを与えています。

結果

- 総秒数 : 10,717 (約 3 時間)
- 総ビット数 : 4.38×10^{12}
- 誤り = 0
- 誤り率 = 1×10^{-12} 未満

テスト 3

条件

- データ・レート = 100Mbps
- ケーブル長 = 5m
- PRBS コード = $2^{15} - 1$ NRZ

このテストでは、4 つのドライバ入力端に 4 ビットをオフセットさせた PRBS コードを印加しています。チャンネル間にランダムなパターンを与えています。

結果

- 総秒数 : 10,050 (約 2.8 時間)
- 総ビット数 : 4×10^{12}
- 誤り = 0
- 誤り率 = 1×10^{-12} 未満

7.2.6 まとめ—BERT

3 件のテストのいずれでも誤りは検出されず、LVDS テクノロジーを使用してきわめて低いビット誤り率を実現できることが実証されました。テスト結果から、5m のツイストペア・ケーブルで、100Mbps 動作時に $1 \times 10^{15} - 1$ 未満のエラー・レートが得られることがわかりました。

なお、BER テストからは誤差の検出と合否判定しか得られません。障害 (データ誤り) の部位を特定するには別のテストが必要です。詳細テストからシステムのマージンにつながる重要なデータが得られるでしょう。今回は、ケーブル長を 1m から 5m に延ばし、またデータ・レートを 50M から 100Mbps に上げてテストを行っています。

さらに、5.0V 電源電圧を 4.5V と 5.5V に変えたり、クロック周波数を変えたり、被試験デバイス (DUT) を加熱 / 冷却しながらベンチ・テストを行いました。このようなテストを行っても誤りは検出されませんでした (確認のみで 24 時間といった連続テストは行っていません)。以上の BERT 結果から、PRBS パターンのリンク間伝送で誤差は発生しないと結論付けられます。今回の結論は、入力にパターンを与え、そのパターンをレシーバ出力信号でモニタして得られたものです。

第 8 章

評価キット

8.1 評価 / デモボード

LVDS デバイスの基本動作を確認できる評価ボードを適価で提供しています。評価ボードは TI の代理店までご注文ください。以下の表に、製品ファミリ、PCB の説明、PCB 上のデバイスの NSID、キットの注文番号、エラッタ・シート (リリースされている場合) をまとめてあります。

| LVDS ファミリ | PCB の説明 | PCB 上の NSID | 注文番号 |
|-------------------------|--|--|----------------------|
| LVDS | LVDS クワッド・ライン・ドライバ/ レシーバ評価ボード | DS90LV047A、 DS90LV048A | LVDS47/48EVK |
| LVDS | LVDS 800Mbps クロスポイント評価ボード | DS90CP22M-8 | LVDS47/48EVK |
| LVDS | LVDS - LVDS バッファ評価ボード | DS90LV001 | LVDS001EVK |
| LVDS | LVDS クワッド・ライン・ドライバ/ レシーバ評価ボード (未搭載) | DS90C031、 DS90C032、または DS90LV031A、 DS90LV032A | Lit# 550061-001 |
| LVDS/STA | 2×2 クロスポイント・スイッチ評価キット | SCAN90CP02 | SCAN90CP02EVK |
| チャンネル・ リンク | チャンネル・リンク評価ボード、133MHz、 2.5/3.3V、48 ビット | DS90CR485、 DS90CR486 | CLINK3V48BT-133 |
| チャンネル・ リンク | チャンネル・リンク評価ボード、 20 ~ 85MHz、3.3V、28 ビット | DS90CR287、 DS90CR288A | CLINK3V28BT-85 |
| チャンネル・ リンク | チャンネル・リンク評価ボード、112MHz、 3.3V、48 ビット | DS90CR483、 DS90CR484 | CLINK3V48BT-112 |
| Bus LVDS | Bus LVDS SerDes 評価用ミニ・バックブ レーン、エラッタ・シートあり | DS92LV1021、 DS92LV1210 | BLVDS01 (数量に限りあり) |
| Bus LVDS | ランダム・ロック RX 付き Bus LVDS SerDes 評価用ミニ・バックプレーン、 エラッタ・シートあり | DS92LV1021、 DS92LV1212 | BLVDS02 |
| Bus LVDS | Bus LVDS SerDes PRBS ジェネレータ / チェッカ・ボード (40MHz) | DS92LV1021、 DS92LV1212A | BLVDS03 |
| Bus LVDS | ランダム・ロック RX 付き Bus LVDS SerDes 評価用ミニ・バックプレーン | DS92LV1023、 DS92LV1224 | BLVDS04 |
| Bus LVDS | Bus LVDS SerDes PRBS ジェネレータ / チェッカ・ボード (66MHz) | DS92LV1023、 DS92LV1224 | BLVDS05 |
| Bus LVDS | Bus LVDS 16 ビット SerDes 評価ボード 回路図を見る | DS92LV16 | BLVDS16EVK |
| Bus LVDS | Bus LVDS 18 ビット SerDes 評価ボード 回路図を見る PCB レイアウトを見る BLVDS92LV18EVK BOM を見る | DS92LV18 | BLVDS18EVK |
| Bus LVDS/ UTOPIA | UTOPIA-LVDS ブリッジ評価ボード | DS92UT16 | UTOPIA16EVK |
| Bus LVDS/ STA (JTAG) | SCAN システム・テスト・アクセス評価 キット | SCAN921023、 SCAN921224 | SCANSTA16EVK |

LVDS テクノロジーを採用したフラットパネル・ディスプレイの評価キットも数種類提供していま
す。

付録

A.1 LVDS アプリケーション・ノート、ホワイト・ペーパー

本オーナーズ・マニュアル執筆時点で提供中のアプリケーション・ノートは以下のとおりです。アプリケーション・ノートの閲覧や最新リストの検索は www.tij.co.jp をご覧ください。

アプリケーション・ノート

| | |
|---------|---|
| AN-905 | Transmission Line RAPIDESIGNER Operation and Applications Guide |
| AN-971 | LVDS 技術の概要 |
| AN-977 | LVDS 信号の品質 : アイ・パターンによるジッタの測定 |
| AN-1032 | FPD Link についての概論 |
| AN-1040 | Bit Error Rate Testing |
| AN-1041 | Introduction to Channel Link |
| AN-1056 | FPD リンクを使用した STN アプリケーション |
| AN-1059 | Timing (RSKM) Information |
| AN-1060 | LVDS - Megabits @ milliwatts (EDN Reprint) |
| AN-1084 | 高速リンクにおける並列構成アプリケーション |
| AN-1085 | FPD リンク・デバイスのプリント基板および相互接続設計のガイドライン |
| AN-1088 | Signal Quality |
| AN-1108 | PCB and Interconnect Design Guidelines |
| AN-1109 | Multi-drop Application of Channel Links |
| AN-1110 | Power Dissipation of LVDS Drivers and Receivers |
| AN-1115 | Bus LVDS and DS92LV010A XCVR |
| AN-1123 | Sorting out Backplane Driver Alphabet Soup |
| AN-1173 | High Speed Bus LVDS Clock Distribution Using the DS92CK16 Clock Distribution Device |
| AN-1194 | Failsafe Biasing of LVDS Interfaces |
| AN-1217 | How to Validate Bus LVDS SerDes Signal Integrity Using an Eye Mask |
| AN-1238 | Wide Bus Applications Using Parallel Bus LVDS SerDes Devices |

LVDS オーナーズ・マニュアル

ホワイト・ペーパー

Gigabit Backplane Design, Simulation and Measurement - the unabridged story
DesignCon 2001

A Baker's Dozen of High-Speed Differential Backplane Design Tips
DesignCon 2000

Bus LVDS Expands Applications for Low Voltage Differential Signaling (LVDS)
DesignCon 2000

Signal integrity and validation of Bus LVDS (BLVDS) technology in heavily loaded backplanes
DesignCon 1999

National Edge articles

The Many Flavors of LVDS (邦訳タイトル: LVDS のさまざまな特長)

Eye Opening Enhancements Extend the Reach of High-Speed Interfaces (邦訳タイトル: 高速信号の距離伝送延長を実現する画期的な新技術)

A.2 用語解説

| | |
|----------|---|
| AN | Application Note の略。アプリケーション・ノート。 |
| ANSI | American National Standards Institute の略。米国規格協会。 |
| ASIC | Application Specific Integrated Circuit の略。特定用途向け集積回路。 |
| B/P | Backplane の略。バックプレーン。 |
| BER | Bit Error Rate の略。ビット誤り率。 |
| BERT | Bit Error Rate Test の略。ビット誤り率テスト。 |
| BLVDS | Bus LVDS の略。 |
| BTL | Backplane Transceiver Logic の略。バックプレーン・トランシーバ・ロジック。 |
| CAT3 | カテゴリ 3 の俗称 (ケーブル種別) |
| CAT5 | カテゴリ 5 の俗称 (ケーブル種別) |
| CISPR | Comite International Special des Perturbations Radioelectriques の略。 国際無線障害特別委員会。 |
| D | Driver の略。ドライバ。 |
| DCR | DC Resistance の略。直流抵抗 (成分)。 |
| DUT | Device Under Test の略。被試験デバイス。供試体。 |
| ECL | Emitter Coupled Logic の略。エミッタ結合ロジック。 |
| EIA | Electronic Industries Association の略。米国電子工業会。 |
| EMC | Electromagnetic Compatibility の略。電磁 (的) 両立性。電磁環境適合性。電磁整合性。 |
| EMI | Electromagnetic Interference の略。電磁 (的) 妨害。電磁妨害波。電磁妨害ノイズ。 |
| EN | Enable の略。イネーブル。 |
| ESD | Electrostatic Discharge の略。静電気放電。 |
| EVK | Evaluation Kit の略。評価用キット。 |
| FCC | Federal Communications Commission の略。連邦通信委員会。 |
| FPD | Flat Panel Display の略。フラット・パネル・ディスプレイ。 |
| FPD-LINK | Flat Panel Display Link の略。フラット・パネル・ディスプレイ・リンク。 |
| Gbps | Gigabits per second の略。ギガビット毎秒。 |
| GTL | Gunning Transceiver Logic の略。ガニング・トランシーバ・ロジック。 |

付録

| | |
|---------|--|
| HBM | Human Body Model の略。人体モデル |
| Hi-Z | High Impedance の略。高インピーダンス。 |
| IC | Integrated Circuit の略。集積回路。 |
| I/O | Input/Output の略。入 / 出力。 |
| IBIS | I/O Buffer Information Specification の略。入 / 出力バッファ情報仕様。 |
| IDC | Insulation Displacement Connector の略。圧接式接続コネクタ。 |
| IEEE | Institute of Electrical and Electronics Engineers の略。米国電気電子技術者協会。 |
| kbps | kilobits per second の略。キロビット毎秒。 |
| LAN | Local Area Network の略。ローカル・エリア・ネットワーク。 |
| LDI | LVDS Display Interface の略。LVDS ディスプレイ・インターフェイス。 |
| LVDS | Low Voltage Differential Signaling の略。小振幅差動信号。 |
| Mbps | Mega bits per second の略。メガビット毎秒。 |
| MDR | Mini Delta Ribbon の略。ミニ・デルタ・リボン。 |
| MLC | Multi Layer Ceramic の略。積層セラミック。 |
| NRZ | Non Return to Zero の略。ノン・リターン・ゼロ。信号を基準値 (ゼロ) に戻さない (リターンさせない) 符号化方式。 |
| PCB | Printed Circuit Board の略。プリント基板。 |
| PECL | Pseudo Emitter Coupled Logic の略。擬似エミッタ結合ロジック。 |
| PHY | Physical layer device の略。物理層デバイス。 |
| PLL | Phase Lock Loop の略。位相ロック・ループ。 |
| PRBS | Pseudo Random Bit Sequence の略。擬似ランダム・ビット・シーケンス。 |
| R | Receiver の略。レシーバ。 |
| RFI | Radio Frequency Interference の略。無線周波妨害。 |
| RS | Recommended Standard (推奨標準) の略。EIA の標準規格。 |
| RT | Termination Resistor の略。終端抵抗 (器)。 |
| RX | Receiver の略。レシーバ。 |
| SCI | Scalable Coherent Interface の略。スケーラブル・コヒーレント・インターフェイス。 |
| SCSI | Small Computer Systems Interface の略。スカジと読む。 |
| SDI | Serial Digital Interface の略。シリアル・デジタル・インターフェイス。 |
| SER/DES | Serializer/Deserializer の略。シリアライザ / デシリアライザ。 |
| SUT | System Under Test の略。被テスト・システム。供試体。 |
| T | Transceiver の略。トランシーバ。 |
| TDR | Time Domain Reflectometry の略。時間領域反射率測定法。 |
| TEM | Transverse Electro-Magnetic の略。横向き電磁 (波、モード)。電磁氣的横 (波)。 |
| TFT | Thin Film Transistor の略。薄膜トランジスタ。 |
| TI | Totally Irrelevant の略。「まったく的はずれ」の意。 |
| TIA | Telecommunications Industry Association の略。米国電気通信工業会。 |
| TP | Test Point の略。テスト・ポイント。 |
| TTL | Transistor Transistor Logic の略。トランジスタ・トランジスタ・ロジック。 |
| TWP | Twisted Pair の略。ツイストペア。 |
| TX | Transmitter の略。トランスミッタ。 |
| UTP | Unshielded Twisted Pair の略。シールドなしツイストペア。 |
| VCM | Common-mode Voltage の略。コモンモード電圧。 |
| VCR | Video Cassette Recorder の略。ビデオデッキ。 |

LVDS オーナーズ・マニュアル

A.3 データシート記載の各パラメータの説明

| | |
|-----------------|--|
| V_{IH} | 入力電圧 HIGH レベル: データ・ピンと制御ピンに適用される TTL 入力仕様 |
| V_{IL} | 入力電圧 LOW レベル: データ・ピンと制御ピンに適用される TTL 入力仕様 |
| V_{CL} | 入力クランプ電圧: 記載された電流でのクランプ電圧仕様 |
| I_{IN} | 入力電流: 各 TTL 入力を流れる電流量 |
| V_{OH} | 出力電圧 HIGH レベル: データ・ピンと制御ピンに適用される TTL 出力仕様 |
| V_{OL} | 出力電圧 LOW レベル: データ・ピンと制御ピンに適用される TTL 出力仕様 |
| I_{OS} | 出力短絡時電流: 出力が GND に短絡したときに流れる電流量 |
| I_{OZ} | TRI-STATE 出力電流: TRI-STATE 時に出力を流れる電流量で、制御ピンによって出力がディスエーブルされているか、デバイスがパワーダウン・モードにある場合 |
| V_{TH} | 差動スレッシュホールド HIGH 電圧: このスレッシュホールドを超える入力信号は出力で論理 HIGH となる |
| V_{TL} | 差動スレッシュホールド LOW 電圧: このスレッシュホールドを下回る入力信号は出力で論理 LOW となる |
| V_{OD} | 出力差動電圧: $(DO+) + (DO-)$ で求められる振幅 |
| ΔV_{OD} | 出力差動不平衡電圧: 正 LVDS 出力と負 LVDS 出力の振幅差 |
| V_{OS} | オフセット電圧: LVDS 出力のコモンモード電圧 |
| ΔV_{OS} | オフセット不平衡電圧: 正 LVDS 出力コモンモード電圧と負 LVDS 出力コモンモード電圧の差 |
| I_{OX} | パワーオフ出力電流: $V_{DD} = 0$ で出力が 0V か正の電圧の場合に出力を流れる電流量 |
| I_{CCD} | シリアライザ全電源電流 (負荷電流を含む): シリアライザを流れる電流量の合計 |
| I_{CCR} | レシーバ全電源電流 (負荷電流を含む): デシリアライザを流れる電流量の合計 |
| I_{CCT} | トランシーバ全電源電流 (負荷電流を含む): シリアライザとデシリアライザの電流の合計 |
| I_{CCX} | パワーダウン時のトランシーバ全電源電流: トランシーバがパワーダウン・モードにあるときの電流の合計 |
| I_{CCXD} | パワーダウン時のシリアライザ全電源電流: シリアライザがパワーダウン・モードにあるときの電流の合計 |
| I_{CCXR} | パワーダウン時のレシーバ全電源電流: レシーバがパワーダウン・モードにあるときの電流の合計 |
| t_{TCP} | 送信クロック周期: シリアライザの TTL クロック入力仕様 |

付録

| | |
|---------------|---|
| t_{TCH} | 送信クロック HIGH 時間: クロック周期のうち HIGH でなければならない期間の仕様 |
| t_{TCL} | 送信クロック LOW 時間: クロック周期のうち LOW でなければならない期間の仕様 |
| t_{CLKT} | TCLK 入力遷移時間: 10% と 90% 点で測定した入力クロックの立ち上がり / 立ち下がり時間の要求仕様 |
| t_{JIT} | TCLK 入力ジッタ: 入力クロック・ジッタの許容可能な最大量 |
| t_{LLHT} | Bus LVDS の LOW から HIGH への遷移時間 (20% から 80% 点で測定): LVDS 信号の立ち上がり時間仕様 |
| t_{LHLT} | Bus LVDS の HIGH から LOW への遷移時間 (80% から 20% 点で測定): LVDS 信号の立ち下がり時間仕様 |
| t_{DIS} | TCLK に対する D_{IN} (0-x) セットアップ: シリアライザのデータとクロック間のセットアップ時間要求仕様 |
| t_{DIH} | TCLK に対する D_{IN} (0-x) ホールド: シリアライザのデータとクロック間のホールド時間要求仕様 |
| t_{HZD} | $D_{0\pm}$ が High から TRI-STATE に遷移するまでの遅延: シリアライザの LVDS 出力が HIGH から TRI-STATE に遷移するために必要な時間 |
| t_{LZD} | $D_{0\pm}$ が Low から TRI-STATE に遷移するまでの遅延: シリアライザの LVDS 出力が LOW から TRI-STATE に遷移するために必要な時間 |
| t_{ZHD} | $D_{0\pm}$ が TRI-STATE から High に戻るまでの遅延: シリアライザの LVDS 出力が TRI-STATE から HIGH に遷移するために必要な時間 |
| t_{ZLD} | $D_{0\pm}$ が TRI-STATE から LOW に戻るまでの遅延: シリアライザの LVDS 出力が TRI-STATE から LOW に遷移するために必要な時間 |
| t_{SPW} | SYNC パルス幅: デバイスを SYNC モードに移行させるために HIGH にアサートすべき SYNC ピンのクロック数で、モード移行後に LVDS 出力から SYNC パターンが出力される |
| t_{PLD} | シリアライザ PLL ロック時間: 入力クロックに対して PLL がロックするまでに必要なクロック・サイクル数で、ロック後に LVDS 出力からデータが出力される |
| t_{SD} | シリアライザ伝搬遅延: データをシリアライザが通過するために必要な時間 |
| t_{RJIT} | ランダム・ジッタ: 発生するガウス分布ジッタの量 |
| t_{DJIT} | 確定ジッタ: 発生する非ガウス分布ジッタの量 |
| t_{RCP} | REFCLK 周期: REFCLK 入力ピンの周期要求仕様 |
| t_{RFDC} | REFCLK デューティ・サイクル: REFCLK 入力ピンのデューティ・サイクル要求仕様 |
| $t_{RCP/TCP}$ | REFCLK と TCLK の比: TCLK と REFCLK 周期の許容差を示す |
| t_{RFFT} | REFCLK 遷移時間: REFCLK ピンの立ち上がり と 立ち下がり 時間の要求仕様 |
| t_{RCP} | 復元クロック (RCLK) 周期: LVDS 入力から復元されたクロックの周期 |
| t_{RDC} | RCLK デューティ・サイクル: LVDS 入力から復元されたクロックのデューティ・サイクル |
| t_{CLH} | CMOS/TTL の LOW から HIGH 遷移時間: TTL 出力の立ち上がり時間仕様 |

LVDS オーナーズ・マニュアル

| | |
|---------------------|--|
| t_{CHL} | CMOS/TTL の HIGH から LOW 遷移時間 : TTL 出力の立ち下がり時間仕様 |
| t_{ROS} | RCLK に対する $R_{\text{OUT}}(0-x)$ セットアップ・データ : RCLK エッジ (通常立ち上がり) と出力データに与えられるセットアップ時間 |
| t_{ROH} | RCLK に対する $R_{\text{OUT}}(0-x)$ ホールド・データ : RCLK エッジ (通常立ち上がり) と出力データに与えられるホールド時間 |
| t_{HZR} | HIGH から TRI-STATE に遷移するまでの遅延 : デシリアライザ TTL 出力が HIGH から TRI-STATE に遷移するために必要な時間 |
| t_{LZR} | LOW から TRI-STATE に遷移するまでの遅延 : デシリアライザ TTL 出力が LOW から TRI-STATE に遷移するために必要な時間 |
| t_{ZHR} | TRI-STATE から HIGH に戻るまでの遅延 : デシリアライザ TTL 出力が TRI-STATE から HIGH に遷移するために必要な時間 |
| t_{ZLR} | TRI-STATE から LOW に戻るまでの遅延 : デシリアライザ TTL 出力が TRI-STATE から LOW に遷移するために必要な時間 |
| t_{DD} | デシリアライザ遅延 : デシリアライザをデータが通過する時間 |
| t_{DSR1} | パワーダウン復帰後のデシリアライザ PLL ロック時間 : デシリアライザがパワーダウン・モードから復帰したときに PLL がロックするまでに必要な時間 |
| t_{DSR2} | SYNCPAT 受信後のデシリアライザ PLL ロック時間 : 受信した SYNC パターンにデシリアライザの PLL がロックするまでに必要な時間 |
| $t_{\text{RNML-R}}$ | デシリアライザの理想的ノイズ・マージン—右 : 理想的なビット終了位置からサンプリング・ウィンドウの右エッジまでを測定したノイズ・マージン |
| $t_{\text{RNML-L}}$ | デシリアライザの理想的ノイズ・マージン—左 : 理想的なビット開始位置からサンプリング・ウィンドウの左エッジまでを測定したノイズ・マージン |

索引

A

ANSI/TIA/EIA-644 規格 : 1-3

B

Bus LVDS: 1-4, 2-4, 2-5, 2-7, 2-9, 4-8, 4-9, 4-10, 5-1, 5-2, 5-3, 5-4, 5-5, 5-6, 5-7, 5-8, 5-9, 5-11, 5-13, 8-1, A-1, A-2

C

CAT3 ケーブル : ツイストペア・ケーブルを参照

CAT5 ケーブル : ツイストペア・ケーブルを参照

E

EMI: 1-1, 3-1, 3-2, 3-4, 3-6, 3-7, 3-8, 3-9, 3-10, 3-12, 3-13, 3-14, 4-1, 4-2, 4-4, 4-5, 4-6, 5-4, 5-5, 6-1, 6-4, A-2

EMI テスト : 3-12

F

FPD: 2-9, 3-2, 6-2, A-1, A-2

I

IBIS: A-3

IEEE 1596.3 規格 : 1-3

L

LVDS 規格 : ANSI/TIA/EIA-644 規格を参照

P

PCB 設計 : 1-3, 2-2, 2-5, 2-6, 3-1, 3-2, 3-3, 3-4, 3-5, 3-7, 3-8, 3-9, 3-10, 3-12, 3-15, 4-1, 5-6, 5-10, 7-1, 7-4, 7-7, 8-1, A-1, A-3

PECL: 1-1, 2-1, 2-2, 2-3, 3-14, A-3

R

RAPIDESIGNER: 3-3, A-1

RS-422: 2-1, 2-3

S

SCI 規格 : IEEE 1596.3 規格を参照

T

TDR 測定 : 4-2, 4-3, 5-7, 5-8, 5-9, A-3

TRI-STATE: 4-10, 5-12, 5-13, A-5, A-6

TWP: ツイストペア・ケーブルを参照

U

UTP: ツイストペア・ケーブルを参照

LVDS オーナーズ・マニュアル

あ

アプリケーション・ノート : 3-3, 3-4, 4-12, 6-3, 7-1, 7-6, 7-7, A-1

か

開放ピン : 未使用ピンを参照

活線挿抜 : 5-13

く

グラウンド・リターン・パス : 3-2, 3-14

クロストーク : 3-1, 4-4, 4-6, 6-4

クロスポイント・スイッチ : 2-9, 4-8, 8-1

け

ケーブル : 1-2, 1-3, 1-4, 2-2, 2-3, 2-4, 2-5, 2-6, 2-8, 2-9, 3-1, 3-3, 3-14, 4-2, 4-8, 4-10, 4-11, 4-12, 5-5, 6-1, 6-2, 6-3, 6-4, 7-1, 7-4, 7-5, 7-6, 7-7, 7-8, 7-9, 7-10, A-2

ケーブルのシールド : 3-2, 3-6, 3-7, 3-8, 3-14, 5-11, 6-1, 6-3, 6-4

ケーブルを介したデータ・レート : 1-1

こ

コスト : 1-1, 1-5, 2-5, 2-6, 2-8, 2-9, 5-5, 6-1

コネクタ : 1-4, 2-5, 2-6, 2-9, 3-2, 3-3, 5-1, 5-2, 5-5, 5-6, 5-11, 5-14, 6-1, 6-2, 6-3, 6-4, 7-4, 7-7, A-3

コモンモード・ノイズ除去 : 1-1, 2-1, 3-1, 3-2, 3-3, 3-5, 3-7, 3-9, 3-10, 3-14, 3-15, 4-4, 4-6, 4-7, 4-8, 4-12, 5-13, 6-1, 6-3, 6-4, 7-6, A-3

さ

差動インピーダンス : 1-2, 2-2, 3-1, 3-2, 3-3, 3-5, 3-8, 3-12, 4-2, 4-3, 5-8, 6-1

差動信号波形 : 4-4, 4-6, 4-7, 5-13, 7-1

し

シールド : ケーブルのシールドを参照

時間領域反射率測定法 : IBIS を参照

ジッタ : 7-1, 7-3, 7-5, 7-6, 7-7, A-5

シミュレーション・モデル : IBIS を参照

終端 : 1-2, 1-4, 2-2, 2-3, 2-4, 2-9, 3-3, 3-5, 4-8, 4-9, 4-10, 4-11, 4-12, 5-1, 5-2, 5-3, 5-4, 5-5, 5-7, 5-8, 5-12, 5-13, A-3

シングルエンド信号波形 : 1-4, 2-1, 3-1, 3-6, 3-10, 3-13, 3-14, 4-5, 5-3, 5-4, 5-7, 5-8, 5-10, 5-11

信号プロービング : 4-1, 7-5

す

スタブ長 : 2-4, 2-5, 2-6, 4-9, 5-2, 5-3, 5-6, 5-8, 5-9, 5-10

ストリップライン : 3-2, 3-3, 3-4, 3-7, 3-8

そ

その他のテクノロジーとの比較 : 2-1, 2-3, 2-7, 2-8, 5-3, 5-4

ち

チャネル・リンク : 2-3, 2-5, 2-9, 3-2, 6-2, 8-1, A-1

つ

ツイストペア・ケーブル : 2-4, 4-8, 4-12, 6-1, 6-2, 7-1, 7-4, 7-7, 7-10, A-3

索引

て

デモボード : 評価ボードを参照

電源 : 1-1, 1-3, 1-4, 2-1, 2-3, 3-2, 5-3, 7-8, 7-10

電磁妨害 / 放射 / 適合性 : EMI を参照

と

ドライバとレシーバ : 1-4, 2-1, 2-3, 2-9, 3-1, 4-8, 7-1, 7-4, 7-7, A-1

トレース : 1-1, 1-3, 2-2, 2-6, 3-1, 3-2, 3-3, 3-4, 3-5, 3-6, 3-7, 3-8, 3-9, 3-14, 4-1, 5-1, 5-2, 5-5, 5-7, 5-11, 6-1, 7-4, 7-7

の

ノイズ : 1-1, 1-4, 1-5, 2-1, 2-3, 2-4, 2-5, 2-6, 2-7, 2-8, 2-9, 3-1, 3-2, 3-3, 3-5, 3-9, 3-10, 3-12, 3-14, 4-1, 4-2, 4-3, 4-4, 4-6, 4-7, 4-8, 4-9, 4-10, 4-11, 4-12, 5-1, 5-4, 5-5, 5-6, 5-7, 6-1, 6-3, 7-5, A-6

は

バイパス : 3-1

バックプレーン : 1-4, 2-5, 2-6, 2-7, 3-3, 4-5, 4-12, 5-1, 5-2, 5-3, 5-4, 5-5, 5-6, 5-7, 5-8, 5-9, 5-11, 5-13, 5-14, 8-1, A-1, A-2

パワーオフ高インピーダンス : 4-9, 4-12

ひ

ビット誤り率 (BERT) : 7-7, 7-8, A-1, A-2

評価ボード : 8-1

ふ

フェイルセーフ : 1-3, 4-1, 4-9, 4-10, 4-11, 4-12, 5-8, 5-12, 5-13, A-1

フラットパネル・ディスプレイ・リンク : FPD を参照

プリント基板 : PCB 設計を参照

フレキシブル回路 : 6-1, 6-2

ブロードサイド・ストリップライン : 3-3, 3-4

プロービング : 信号プロービングを参照

ほ

ホットスワップ : 活線挿抜を参照

ま

マイクロストリップ : 3-2, 3-3, 3-7, 3-8, 5-8

マルチポイント : 1-4, 2-5, 2-6, 2-9, 3-5, 4-9, 5-1, 5-2, 5-3, 5-8, 5-12, 5-13

み

未使用ピン : 4-1, 6-4

ら

ライブ・インサージョン : パワーオフ高インピーダンスを参照

り

リボン : 4-2

れ

レシーバ : ドライバとレシーバを参照

LVDS オーナーズ・マニュアル

販売特約店 及び 取扱店

<http://www.tij.co.jp/dist/>

株式会社 ケイティーエル

東日本営業本部 第2営業部
〒105-0004 東京都港区新橋1-16-4 リソな新橋ビル6階
☎ 03(5521)2062 FAX03(3502)6301

新光商事株式会社

本社 海外半導体販売推進部
〒141-8540 東京都品川区大崎1-2-2
アートヴィレッジ大崎セントラルタワー13階
☎ 03(6361)8082 FAX03(5437)8486

東京エレクトロンデバイス株式会社 取扱子会社:パネトロン株式会社

〒221-0056 神奈川県横浜市神奈川区金港町1-4 横浜イーストスクエア
☎ 045(443)4001 FAX045(443)4051

富士エレクトロニクス株式会社

本社
〒113-8444 東京都文京区本郷3-2-12 御茶の水センタービル
☎ 03(3814)1411 FAX03(3814)1414

株式会社マクニカ クラビス カンパニー

本社
〒222-8561 神奈川県横浜市港北区新横浜1-6-3 マクニカ第1ビル
☎ 045(470)9821 FAX045(470)9822

丸文株式会社

デバイス事業部 販売推進本部 推進第1部
〒103-8577 東京都中央区日本橋大伝馬町8-1
☎ 03(3639)9920 FAX03(3639)8156

日本テキサス・インスツルメンツ株式会社

お問い合わせ先

日本TIプロダクト・インフォメーション・センター (PIC)
URL:<http://www.tij.co.jp/pic/>
TEL: ☎ 0120-92-3326
FAX: ☎ 0120-81-0036
※必ず会社名、お名前、eメールアドレス、ご住所をご記入ください。

本社
〒160-8366 東京都新宿区西新宿6-24-1 西新宿三井ビル
☎ 03(4331)2000 (番号案内)

仙台営業所
〒980-0014 宮城県仙台市青葉区本町1-1-1
三井生命仙台本町ビル7階(アジュール仙台)

さいたま営業所
〒330-8669 埼玉県さいたま市大宮区桜木町 1-7-5
ソニックシティビル 12階

横浜営業所
〒221-0056 神奈川県横浜市神奈川区金港町1-4
横浜イーストスクエアビル 5階

松本営業所
〒390-0811 長野県松本市中央 1-4-20
日本生命松本駅前ビル 6階

金沢営業所
〒920-0031 石川県金沢市広岡 3-1-1
金沢パークビル 11階

名古屋ビジネスセンター/名古屋営業所
〒460-0003 愛知県名古屋市中区錦 2-4-3
錦パークビル 17階

西日本ビジネスセンター/大阪営業所
〒530-6026 大阪府大阪市北区天満橋1-8-30
OAPオフィスタワー26階

京都営業所
〒600-8216 京都府京都市下京区西洞院通り塩小路上ル
東塩小路町608-9 日本生命京都三哲ビル5階

広島営業所
〒732-0052 広島県広島市東区光町 1-10-19
日本生命広島光町ビル 4階

福岡営業所
〒810-0801 福岡県福岡市博多区中洲 5-6-24
第6ガーデンビル 3階

S-0107

ご注意:

本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をする場合がありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいようお願い致します。

TIは製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TIがその他社製品を承認あるいは保証することにはなりません。



ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85%で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上