

電圧リファレンスを使用した 設計のヒントとコツ

まえがき

Jocelyn Chang、製品マーケティング・エンジニア

日常的に使う単純なシステムやサブシステムに新たな機能を取り入れる場合は、最終的にシステムの動作や性能に影響することがある実際の様々な環境条件に対して、予測可能かつ望ましい反応をする半導体の「頭脳」のようなものがが必要です。このような場合に重要になるのが、電圧リファレンスです。電圧リファレンスは、周囲温度や電源電圧などのパラメータが変化しても、一定の出力電圧を維持するように設計されている高精度デバイスです。電圧リファレンスは精度が高いことから、データ・コンバータに加え、数種類のアプリケーションで利用できます。本書で紹介する幅広いアプリケーションからわかるように、電圧リファレンスは新しい概念ではないかもしれませんが、日々進歩するシステム設計において今後も不可欠な要素となります。

本書には、電圧リファレンスの基本とアプリケーション設計についての概要が包括的に記載されています。第1章は、電圧リファレンスの基本的要素に焦点を絞っています。この章では、あるトポロジを活用する一方で別のトポロジの機能も必要になるような電源設計のケースを見ていきます。第2章では、データ・コンバータとともに使用する場合の電圧リファレンスの性能と設計ガイドラインについて見ていきます。最後の第3章では、低ドリフトDC電圧または電流ソースとして使用する場合の電圧リファレンスの柔軟な動作について説明します。

これらのトピックは、回路の最適化による設計時間の短縮に利用できるように、TIの専門家が執筆した記事を集めて編集したものです。ここで紹介されている概念の多くは、お客様からよく寄せられる質問に対応し、それらを実験によって解決する過程で得られたデータに基づいています。

目次

まえがき

第1章：電圧リファレンスの基本要素

1. シヤント・リファレンスと直列リファレンスの比較：どちらのトポロジが設計に適しているか
2. シヤント・リファレンスによって超低ドロップアウト電圧を実現する方法
3. 高精度直列リファレンスによって柔軟性に優れたシヤント・リファレンスを実現する方法
4. 高精度電圧リファレンスのレベルシフト
5. 可変シヤント電圧リファレンス

第2章：電圧リファレンス・アプリケーション

1. 電圧リファレンスがADC性能に影響する仕組み：ADCの基本動作
2. 電圧リファレンスがADC性能に影響する仕組み：SAR ADC向け電圧リファレンス・システムの設計と性能
3. 電圧リファレンスがADC性能に影響する仕組み：16ビット・コンバータ向け電圧リファレンス・システムの設計
4. SAR ADCのPCBレイアウト：リファレンス・パス
5. ADC向け電圧リファレンス回路の設計

第3章：柔軟な低ドリフトDC電圧または電流ソースとして機能する電圧リファレンス

1. デュアル出力電圧リファレンス
2. 高精度単出力電流リファレンス
3. 単一帰還デバイスの電流リファレンス・ネットワーク
4. 単純な高精度電流シンク・アーキテクチャ
5. 絶縁型DC/DCコンバータ・シヤントの安全性のための設計

リソース

第1章:電圧リファレンスの基本要素

1. シャント・リファレンスと直列リファレンスの比較: どちらのトポロジが設計に適しているか

Christopher Dean

現実世界とシステムを仲介するインターフェイスとしては、アナログ/デジタル・コンバータ(ADC)、センサ、またはその他の特定用途向け集積回路(IC)を使用した方法が最も一般的です。正確な測定には、入力電圧や周囲温度などのシステム条件によって変動することのない基準電圧が必要です。電圧リファレンスICは、他のICが必要な精度で測定を行うために使用する安定した電圧を供給します。

電圧リファレンスには、シャントと直列の2種類があります。表1に記載されているとおり、それぞれに独自の強みとユースケースがあります。

シャント・リファレンス

シャント・リファレンスは機能的にツェナー・ダイオードと類似しており、最小動作電流に達した後のデバイスでの電圧降下は一定になります。シャント・リファレンスは、一定の電圧降下として機能することによって負荷のレギュレーションを行い、負荷に必要な過剰な電流はデバイスを介してグラウンドに分流します。図1に示すように、外部抵抗によって合計消費電流が設定され、この抵抗は入力電源と基準電圧の間の電圧降下として機能します。

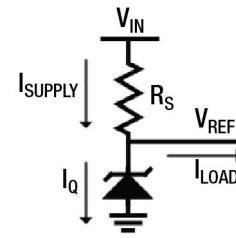


図1. 正の電圧リファレンス

入力電源から見た電流値は常に、入力電圧レベルと外部抵抗によって決まる最大負荷電流になります。シャント・リファレンスでは、負荷の電流要件の変化に応じて、シンクする電流が増減します。

外部抵抗は、次の式1と式2によって求める $R_{S_MIN} \sim R_{S_MAX}$ の範囲内に含まれる必要があります。

$$R_{S_MIN} = (V_{IN_MAX} - V_{OUT}) / (I_{LOAD_MIN} + I_{Q_MAX}) \quad (1)$$

$$R_{S_MAX} = (V_{IN_MIN} - V_{OUT}) / (I_{LOAD_MAX} + I_{Q_MIN}) \quad (2)$$

where $R_{S_MIN} = \frac{V_{IN_MAX} - V_{OUT}}{I_{LOAD_MIN} + I_{Q_MAX}}$ and $R_{S_MAX} = \frac{V_{IN_MIN} - V_{OUT}}{I_{LOAD_MAX} + I_{Q_MIN}}$

シャント・リファレンスを使用してフローティング・リファレンスや負のリファレンスを作成することも可能で、その場合、これらの式に変更はありません。フローティング・リファレンスはグラウンドではなく別の電位に接続します。想定されるユースケースの1つに、10Vと5Vのシャントで15Vのリファレンスを作成するなど、複数のシャント・リファレンスを組み合わせてより高い基準電圧を作り出すというものがあります。

	Series References	Shunt References
Diagram		
Number of Terminals	At least 3	At least 2
Advantages	<ul style="list-style-type: none"> Significantly lower power dissipation Generally higher precision Low I_Q Low dropout 	<ul style="list-style-type: none"> Wide V_{IN} tolerant with proper resistor selection Can be used to create negative or floating reference voltages Inherent current sourcing and sinking
Disadvantages	<ul style="list-style-type: none"> Limited max V_{IN} 	<ul style="list-style-type: none"> V_{IN} current fixed at max load No shutdown mode
Key Markets	<ul style="list-style-type: none"> Factory Automation, Grid, Medical, Test 	<ul style="list-style-type: none"> Isolated power supplies, Adapters, Automotive
TI Nomenclature	<ul style="list-style-type: none"> LM41xx, REFxxxx 	<ul style="list-style-type: none"> LM40xx-N, LM(V)431, LM1/2/385, LM1/2/336 ATL431, TL(V)431

表1. シャント電圧リファレンスと直列電圧リファレンスの標準的な比較表

負のリファレンスの場合は、負の電源レールを直列抵抗を介してアノード(元のグランド・ピン)に接続し、グランドをカソード(元の出力ピン)に接続します。図2に示すとおり、出力は正の出力構成と同じように抵抗とデバイスの間にあります。

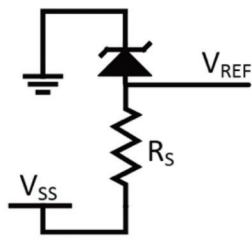


図2. 負の電圧リファレンス

直列リファレンス

直列リファレンスには外部抵抗が不要で、消費する電流は、負荷に必要な電流と微小な静止電流だけです。ただし、入力電圧が直列抵抗を介さずリファレンス・デバイスに直接印加されるので、直列リファレンスには最大定格入力電圧があり、これを考慮に入れる必要があります。図3は、標準的な直列リファレンス回路を示しています。

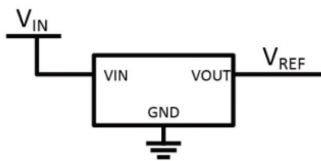


図3. 標準的な直列リファレンス回路

直列リファレンスに適したレギュレーションを行うには、入力電圧を、少なくとも出力電圧にいくらかのヘッドルームを加えた値にする必要があります。入出力の余分な電圧差はドロップアウト電圧と呼ばれ、通常は負荷電流とともに増加します。

直列リファレンスには、デバイスを外部からイネーブルまたはディスエーブルにするためのイネーブル・ピンが含まれている場合があります。出力が必要ないときに消費電力を節約できます。

今後設計するアプリケーション向けに電圧リファレンスを選択する際は、以下の代表的なユースケースを念頭に置いて選択してください。

- シャント・リファレンスのユースケース:
 - 広範囲の入力電圧または高い入力過渡電圧
 - 負またはフローティング電圧リファレンス
- 直列リファレンスのユースケース:
 - 負荷電流の変動(負荷電流とともに消費電流が低下)
 - スリープ動作やシャットダウン動作を備えたリファレンス

2. シャント・リファレンスによって超低ドロップアウト電圧を実現する方法

Christopher Dean

ドロップアウト電圧とは、特定の負荷条件での V_{IN} と V_{OUT} の最小電圧差です。広い入力電圧範囲と低ドロップアウト動作を両立しなければならない電圧リファレンスが必要になったことはないでしょうか。たとえば、低ドロップアウトの直列リファレンスの多くは、最大12Vの入力電圧には対応していません。そのような場合は、シャント・リファレンスが非常に便利です。

図1に示すアプリケーションでは、LM4040 シャント・リファレンスの電圧は4.096Vです。アナログ/デジタル・コンバータ(ADC)用に選択する電圧としては一般的な値ですが、その理由は、1mVが12ビットADCでの1最下位ビット(LSB)に相当するためです。

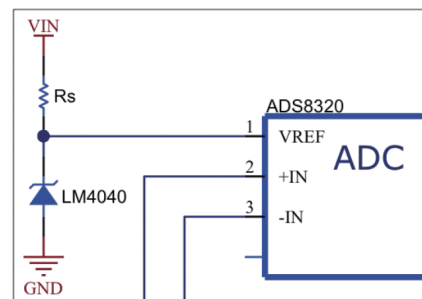


図3. シャント・リファレンスによるADC外部リファレンス・ピンの駆動

シャント・リファレンスには、消費電流を設定するための外部抵抗が必要です。電圧リファレンスの負荷電流は、ADCのデータシートから判断できます。この例では、ADS8320を使用してみましょう。図1に示す回路での外部リファレンス・ピンの最大消費電流は、ADCのデータシートには80μAと記載されています。外部抵抗の値が576Ωである場合、電圧リファレンスは4.19V ~ 12.75Vの入力電圧範囲にわたり動作領域内に留まります。これが94mVのドロップアウト電圧であり、12Vを超える電圧でリファレンスとして完全に機能します。

シャント・リファレンスの低ドロップアウトを同じ4.096Vの基準電圧で直列リファレンスと比較できるように、データシートには、REF5040の最大ドロップアウト電圧として200mVという値が記載されています。

表1は、LM4040 シャント・リファレンスの電圧値と電流値を簡単にまとめたものです。

R_S	I_{LOAD}	V_{IN_MIN}	I_Q at V_{IN_MIN}	V_{IN_MAX}	I_Q at V_{IN_MAX}
576 Ω	80 μA	4.16 V	71.1 μA	12.75 V	14.98 mA

表1. 低ドロップアウト LM4040 シャント・リファレンスの電圧および電流パラメータ

非常に低いドロップアウト電圧が実現できるのは、リファレンス・デバイスから見た最大負荷電流が80μAと非常に小さいからです。負荷電流が増加すれば、それに合わせて抵抗 R_S も大きくする必要があるので、最小 V_{IN} が上昇することになります。

3. 高精度直列リファレンスによって柔軟性に優れたシャント・リファレンスを実現する方法

Marek Lis

直列電圧リファレンスは、 V_{IN} 、 V_{OUT} 、GNDを備えた3端子デバイスです。概念的には低ドロップアウト (LDO) 電圧レギュレータに似ていますが、より低い静止電流とはるかに高い精度を実現できるように設計されています。ここでは、 V_{IN} - V_{OUT} 間の電圧制御抵抗 (VCR) と考えてみてください。直列電圧リファレンスは、 V_{IN} から内部抵抗 R での降下電圧を引いた値が V_{OUT} での基準電圧と等しくなるよう内部抵抗を調整することにより、出力電圧のレギュレーションを行います (図1のブロック図を参照)。

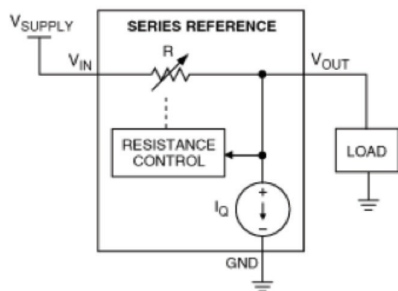


図1. 直列電圧リファレンス - VCR モデル

直列リファレンスは、一般に初期精度と温度ドリフト係数がシャント・リファレンスよりも大幅に優れています。そのため、0.1%以内の優れた初期精度と25ppm/°C未満の温度ドリフト、またはそのいずれかが必要な場合は、ほぼ確実に直列電圧リファレンスが必要になります。

ただし、シャント・リファレンスは V_{IN} 範囲の点で柔軟性に優れ、複数のデバイスを積み重ねて使用すればさらに高い基準電圧も得られるほか、負のリファレンスやフローティング・リファレンスを作成することもできます。

では、シャント・リファレンスの設計上の柔軟性と直列リファレンスの高い精度を両立させるには、どうすればよいのでしょうか。

外部で V_{IN} ピンと V_{OUT} ピンを互いに接続することにより、低ノイズ、低ドリフトのREF5050ファミリが持つ精度特性と安定性特性を設計に活用できます。こうすることで、このファミリの直列電圧リファレンスは実質的にツェナー・ダイオードに変化しますが、ショット・ノイズや逆方向降伏耐性による悪影響が大幅に減少します。このファミリに属している7個のデバイスはどれでも使用できますが、ここではREF5050 (5V出力) とREF5010 (10V出力) を中心に見ていきましょう。

図2の概略回路図には、REF5050の2つの主要回路部品が示されています。BandGapAmpのゲイン段は、温度や電源が変動しても V_{OUT} 電圧を一定に保つという役割を担い、ErrAmpの出力段は、出力電圧の初期精度への影響を最小限に抑えながら、最

小10mAの出力負荷電流のシンクまたはソースを行うことができます。

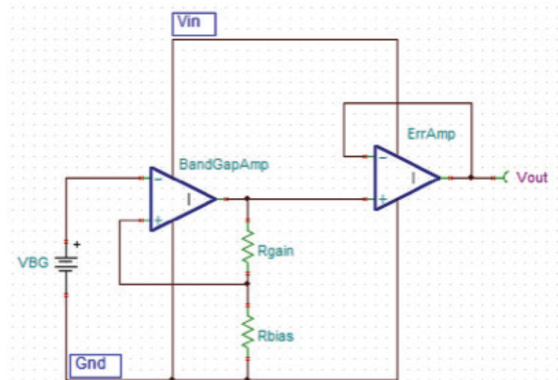


図2. REF5050の概略回路図

V_{OUT} の初期精度と温度ドリフトを保証するには、Class-ABの出力トランジスタがすべて線形領域内で動作しなければならないため、ドレイン-ソース間電圧 (V_{DS}) をトランジスタの飽和電圧 V_{SAT} より大きくする必要があります。そのため、直列電圧リファレンスの入力電圧 V_{IN} は、少なくともドロップアウト電圧分だけ V_{OUT} より大きくしなければなりません (図3の回路を参照)。静止条件 ($I_{OUT} = 0$) でのREF5050の最小ドロップアウト電圧は200mVです。

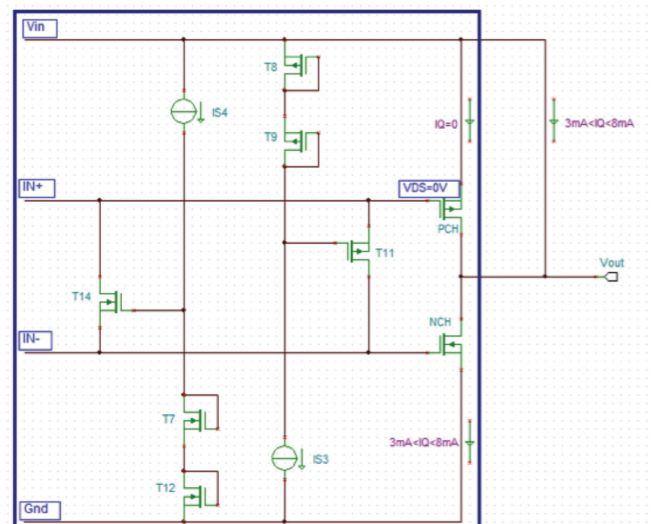


図3. シャント構成における REF5050 ErrAmp 出力段の配置

ただし、外部で V_{IN} と V_{OUT} を相互に接続している (図3の右側) ことにより、 $V_{DS} = 0V$ となり、上側の出力トランジスタ PCH は完全にオフになります。こうした条件下では、出力バイアス電流 I_Q が PCH トランジスタ全体をバイパスして、 V_{IN} から下側の出力トランジスタ NCH に直接流れ込みます。この結果、 V_{IN} -GND 間に高精度基準電圧が確立されます。

V_{IN} と V_{OUT} を短絡することで、REF5050 は実質的に2端子のシャント電圧リファレンスに変化しますが、直列電圧リファレンスの DC 特性と温度精度は維持されます。この構成では、出力段の静止電流が通常よりもいくらか高い値までバイアスされますが、REF5050 の精度と安定性が変化することはありません。

図4と図5は、REF5050 と REF5010 を基本構成要素として使用した回路構成の例です。

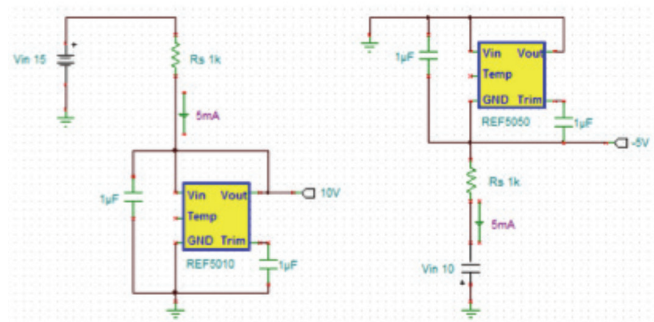


図 4. REF5010 と REF5050 を正と負のシャント構成に使用

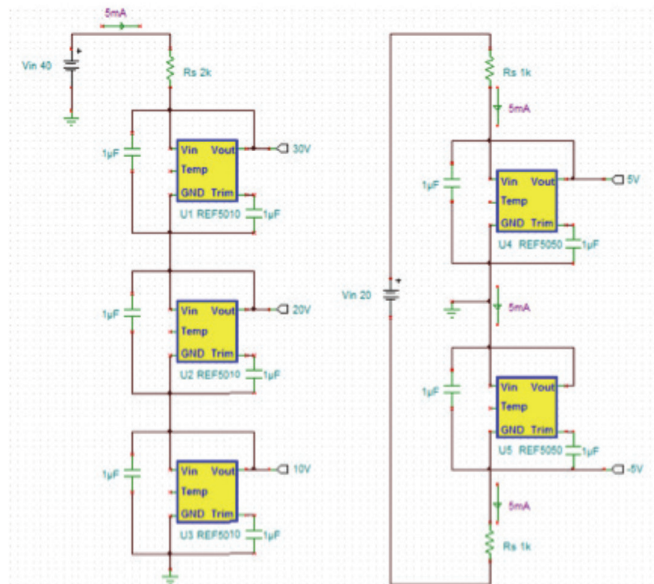


図 5. REF5010 を積み重ねて高電圧構成用、REF5050 をデュアル電圧シャント構成用に使用

R_s のサイズが必要な最大出力負荷に対して適切に設定されていれば、通常、ほとんどの降下電圧と電力は R_s で消費されるので、REF5050 または REF5010 をシャント・リファレンスとして使用しても最大電源電圧が制限されることはありません。そのため、REF5050 ファミリの直列電圧リファレンスを単純な2端子デバイスとして使用し、負のリファレンスやデュアルおよびフローティング・リファレンスなどの革新的な回路内のシャントとして構成することができます。また、複数のデバイスを積み重ねて使用すれば、実質的にすべての必要な基準電圧が得られます。

REF5050 の2端子アプリケーション構成は、理想的なツェナー・ダイオードと密接に関連する、非常に優れた特性を備えています。REF5010 の基本シャント・ブロックのシリアル接続により、非常に高い電圧精度と優れた温度安定性を備えた、極めて高電圧 (数千ボルト) の電圧リファレンスを構築できます。

4. 高精度電圧リファレンスのレベルシフト

Marek Lis

回路トポロジの制限により、一部の最高精度の直列電圧リファレンスでは、1.25V などの低い出力電圧の選択肢が提供されていません。しかし、負電源が供給可能な場合は、既存のリファレンスのいずれか1つを基本構成要素としてレベルシフトすることにより、より低い出力電圧も選択できるようになります。

新しく構築した電圧リファレンスの初期精度とドリフトは、使用する抵抗のマッチングに加え、外部オペアンプの入力電圧のオフセットとドリフトが対応する最小要件を満たしている限り、元の電圧リファレンスの性能にほぼ一致させることができます。

1.25V の高精度電圧リファレンスを生成する方法の1つとして、図1に示すような電圧レベルの変換を利用した方法があります。REF5025 の公称出力電圧 (2.5V) は、OPA376 を使用して GND ピンを -1.25V にすることで、その半分の値までレベルシフトされます。OPA376 の最大入力電圧のオフセットとドリフトはそれぞれ $\pm 25\mu V$ と $\pm 1\mu V/C$ なので、 R_1/R_2 抵抗のマッチングが 0.01% 以内である限り、結果として得られる 1.25V 電圧リファレンスの初期精度とドリフトは REF5025 の性能に一致します。

この 1.25V リファレンスは、 $\pm 1.35V \sim \pm 2.75V$ の電源で動作できます。また、合計電源電圧が OPA376 の最大電源電圧である 5.5V を超えない限り、 $+1.35V/-4.15V$ や $+4.15V/-1.35V$ 、またはその間にある任意の値の非対称電源でも動作できます。

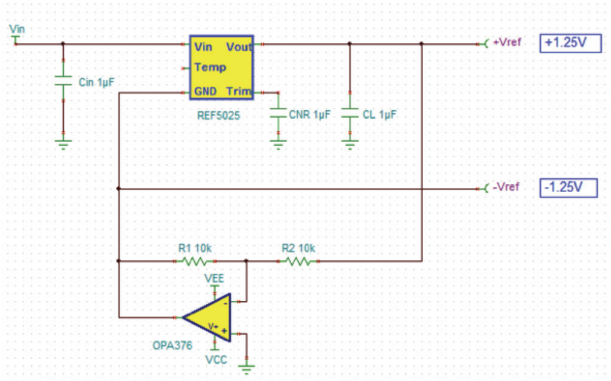


図 1. 1.25V 高精度電圧リファレンスの作成

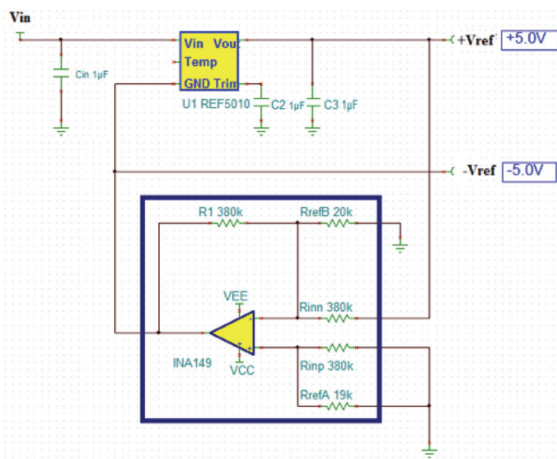


図 2. デュアル出力高精度電圧リファレンス用に INA149 を使用

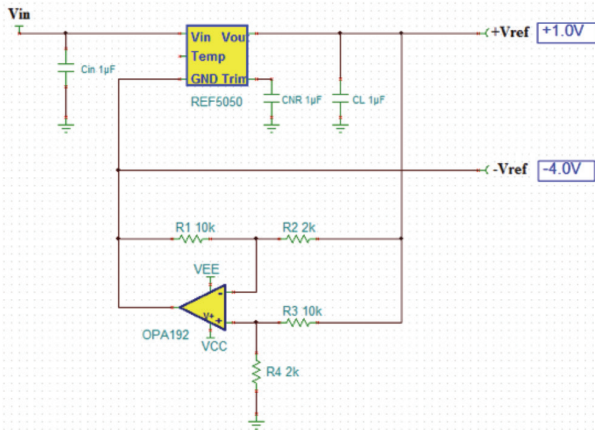


図 3. 非対称高精度電圧リファレンス用に OPA192 と REF5050 を使用

図2に示すように REF5010 を INA149 差動アンプとともに使用すれば、より出力精度の高い電圧リファレンスを作成できます。INA149は、最大ゲイン誤差が0.02%、最大 V_{OS} およびドリフトがそれぞれ $1,100\mu\text{V}$ 、 $15\mu\text{V}/^\circ\text{C}$ である高精度ユニティ・ゲイン差動ア

ンプなので、10Vの高精度電圧リファレンスと組み合わせて使用すると、入力オフセット関連誤差は 0.011% ($1,100\mu\text{V}/10\text{V}\cdot 100\%$)、温度ドリフトは $1.5\text{ppm}/^\circ\text{C}$ ($15\mu\text{V}/^\circ\text{C} / 10\text{V}\cdot 1\text{E}+6$) という結果になります。これらのパラメータは規定されている REF5010 の最大初期精度と温度ドリフトの範囲内なので、図2に示すデュアル出力高精度電圧リファレンスでは、REF5010の構成要素の初期精度とドリフトが厳密に保持されます。

電源に関しては、図2に示す回路構成は $+5.2\text{V}$ (REF5010の最大ドロップアウト電圧である 200mV によって制限される) と -6.5V (INA149の出力は負電源電圧の 1.5V 下まで線形動作できる) の最小電源電圧で動作できます。High側での正電源電圧の最大値は 13V (REF5010の最大合計電源電圧である 18V によって制限される) ですが、一方で負電源電圧のVeeは、INA149の最大合計電源電圧である 36V にしか制限されないため、 30.8V ($V_{CC} = 5.2\text{V}$ の場合) または 23V ($V_{CC} = 13\text{V}$ の場合) から動作できます。

図2に示すような差動または計装アンプ (INA) を優れたレーザー・トリム内部抵抗や温度ドリフト係数のマッチングとともに使用することで、通常は、 0.1% 以内のマッチング要件では高コストとなる可能性のある外部抵抗を使用した方法 (図1) に比べ、高性能かつ低コストのソリューションが得られます。

より高い電源電圧での動作が必要な場合は、REF5050などの電圧リファレンスを OPA192のような高電圧高精度アンプとともに使用すれば、事実上どのような精度の電圧リファレンスでも構築できます。R1 ~ R4の各抵抗 (図3) のサイズを適切に設定することにより、基本リファレンス・ブロックの公称基準電圧を任意の望ましい値に分割できます。OPA192は最大入力電圧オフセットが $\pm 25\mu\text{V}$ 、ドリフトが $\pm 0.5\mu\text{V}/^\circ\text{C}$ なので、外部抵抗の比率に対する 0.01% のマッチング要件が制限要因にならない場合、結果として得られる高精度電圧リファレンス (図3) で REF5050の基本構成要素の初期精度とドリフトを確実に維持できます。

図3に示す回路の線形動作の場合、最小正電源電圧の $+1.2\text{V}$ は、REF5050のドロップアウト電圧である 200mV によって制限されています。最小負電源電圧の -4.3V は、OPA192について規定されている、負のレールを 300mV 上回る出力スイングに基づく値です。最大正電源電圧の 14V は REF5050の最大合計電源電圧である 18V によって制限されていますが、一方で最大負電源電圧の制限は OPA192の最大合計電源電圧である 36V だけなので、 -34.8V ($V_{CC} = +1.2\text{V}$ の場合) または -22V ($V_{CC} = 14\text{V}$ の場合) まで大きくすることができます。

高精度電圧リファレンスのレベルシフトにはさまざまな方法があり、事実上どのような出力電圧でも必要に応じて作り出すことができます。ただし、設計にあたっては特別な注意が必要であり、オペアンプ、INA、抵抗などの外付け部品を適切に選択するだけでなく、最小/最大動作電源電圧が原因で元の回路の総合性能が低下することのないように確認することも大切です。

5. 可変シャント電圧リファレンス

Jose Gonzalez Torres

好きなデザート2種類のうち、どちらか1つを選ばなければいけないような状況で、「なぜ両方ではだめなのか」と思ったことはないでしょうか。プログラマブル電圧リファレンスを設計しているエンジニアは、毎日のように、これと同じような選択を迫られています。

エンジニアに共通する目標は、温度を検知する機能やコンピュータに電源を入れる機能、あるいは好みのスイーツを提供する機能を、消費電力の非常に低い設計で実現することです。しかし、そのような消費電力の低い動作を実現するために、エンジニアが他の利点を犠牲にしていることはご存じですか。低消費電力を達成するために、たいていは電流値が非常に低い電圧リファレンスを使用して設計することが必要になりますが、その場合、動作温度範囲にわたって低下する精度に悩まされることとなります。このような場合に、低消費電力と高精度を両立できる設計方法はないのでしょうか。答えは、ご存じのとおりです。

まずは、分析をスムーズに進めるために一般的な **TL431** を使用して、電圧リファレンスの精度の重要性と精度に直接影響する条件について見ていきましょう。図1のような回路がある場合、R1とR2を設定すれば、電圧リファレンスに基づく必要なカソード電圧 V_{KA} の出力が得られます。詳しい方法については、こちらの[アプリケーション・ノート](#)をご覧ください。

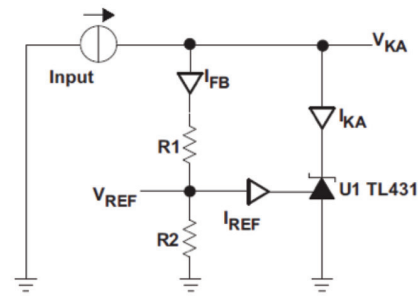


図1. 電源電流制限回路

V_{REF} は常に公称値を維持しているわけではありません。実際には、必ずデバイスの動作条件に基づくオフセットがあります。表1は、 V_{REF} に直接影響するTL431の仕様をまとめた表です。

$V_{KA} = 5V$ 、カソード電流2mAでの動作を想定した場合、式1を使用して、これらのパラメータ(標準値)の総合的な影響を追加することにより、有効 V_{REF} を計算できます。

$$V_{REF} = V_{NOM} + [(I_{KA} - I_{NOM}) \times Z_{KA}] + \left[(V_{KA} - V_{NOM}) \times \frac{\Delta V_{REF}}{\Delta V_{KA}} \right] \quad (1)$$

計算結果から、TL431での有効 V_{REF} は2.4899V(0.2%精度)であり、明らかに大きな差はないことがわかります。しかし、通常は高温条件下で生じる最大値を確認すると、得られる有効 V_{REF} は2.539V(1.78%精度)となります。

PARAMETER		TEST CONDITIONS	TL431C, TL432C			UNIT
			MIN	TYP	MAX	
V_{REF}	Reference voltage	$V_{KA} = V_{REF}, I_{KA} = 10 \text{ mA}$	2440	2495	2550	mV
$V_{I(DEV)}$	Deviation of reference voltage over full temperature range	$V_{KA} = V_{REF}, I_{KA} = 10 \text{ mA}, T_A = 0^\circ\text{C to } 70^\circ\text{C}$	SOT23-3 and TL432 devices	6	16	mV
			All other devices	4	25	
$\Delta V_{REF} / \Delta V_{KA}$	Ratio of change in reference voltage to the change in cathode voltage	$I_{KA} = 10 \text{ mA}$	$\Delta V_{KA} = 10 \text{ V} - V_{REF}$	-1.4	-2.7	mV/V
			$\Delta V_{KA} = 10 \text{ V} - V_{REF}$	-1	-2	
I_{REF}	Reference input current	$I_{KA} = 10 \text{ mA}, R1 = 10 \text{ k}\Omega, R2 = \infty$		2	4	μA
$I_{I(DEV)}$	Deviation of reference input current over full temperature range	$I_{KA} = 10 \text{ mA}, R1 = 10 \text{ k}\Omega, R2 = \infty, T_A = 0^\circ\text{C TO } 70^\circ\text{C}$		0.4	1.2	μA
I_{MIN}	Minimum cathode current for regulation	$V_{KA} = V_{REF}$		0.4	1	mA
I_{OFF}	Off-state cathode current	$V_{KA} = 36 \text{ V}, V_{REF} = 0$		0.1	1	μA
$ Z_{KA} $	Dynamic impedance	$V_{KA} = V_{REF}, f \leq 1 \text{ kHz}, I_{KA} = 1 \text{ mA to } 100 \text{ mA}$		0.2	0.5	Ω

表1. TL431の電気的特性

システムにはどのように影響するのでしょうか？

アナログ環境では、オペアンプをトリガするためのスレッショルドとして電圧ドリフト全体が避けたい場合がありますが、そのような場合、最大44.5mV/最小6mVのオフセットはレギュレーションとスタンバイの分岐点を意味し、それがシステム障害につながる可能性もあります。しかし、これが特に大きな問題になるのは、TL431をアナログ/デジタル・コンバータ(ADC)用のリファレンスとして使用する場合です。最下位ビット(LSB)電圧はコンバータのビット数の精度に基づいています。同じ5Vの条件と8ビットのADCを想定すると19.53mVのLSBが得られますが、これは標準動作時であれば問題ない値です(式2を参照)。しかし、温度条件が異なれば動作は変化し、システムが誤ったデータを読み取ったり、誤った動作をしたりする可能性があります。

$$LSB = \frac{5V}{2^8} = 19.53mV \quad (2)$$

では、精度に関する問題を解消しつつ、低消費電力での動作も維持するには、どうすればよいのでしょうか。解決策の1つが、低消費電力動作を特徴としながら精度も大幅に向上させる、[ATL431](#)です。前述したものと同じ条件と設計パラメータでATL431を使用した場合、得られる有効 V_{REF} は2.499V(0.95mV)、精度は0.03%です。これにより、アナログ動作を考慮すると、はるかに大きな誤差マージンを確保できるようになります。それ以上に重要なのが、大幅に高分解能のADCが使用できるようになるという点です(式3)。

$$2^N = \frac{5V}{0.95mV} = 50263.16 \quad (3)$$

 $N \sim 12 \text{ bits}$

最終的には、適切な方向に少し変更を加えることで、TL431を中心とした、どちらかといえば本来の設計との妥協点に近い結果が得られます。ATL431は、十分な省電力効果を提供するとともに精度も向上させるソリューションの1つであり、一方を実現するためにもう一方を犠牲にする必要はありません。ある程度の妥協は必要ですが、最後には省電力と精度、両方の観点で最高の結果を得ることができます。

第2章:電圧リファレンス・アプリケーション

1. 電圧リファレンスがADC性能に影響する仕組み:

ADCの基本動作

Bonnie Baker, Miro Oljaca

ミクスト・シグナル・システムを設計する際、設計者の多くは検討や最適化を部品ごとに個別に行う傾向があります。実用的な設計を目指している場合、このような視野の狭い手法では、結局のところ限定的な結果しか得られません。システム内にさまざまな部品が並んでいることを考えれば、設計者は個々の部品だけでなく、それらがシステム全体の性能に与える影響についても十分に把握しなければなりません。

設計にアナログ/デジタル・コンバータ(ADC)が含まれている場合は、そのデバイスと電圧リファレンスや電圧リファレンス・バッファがどのように影響し合っているのかを理解することが非常に重要です。このシリーズの第1部では、設計者の多くが実践しているのとまったく同じ方法でADCの基本動作を確認し、その後はシステムの精度や再現性に影響する性能特性について見ていきます。第2部では、電圧リファレンス・デバイスについて深く掘り下げ、第1部と同様にその基本動作とADC性能への影響の詳細を調べます。第3部では、電圧リファレンス・バッファとそれに続くコンデンサの影響、およびアンプを確実に安定させる方法について調査します。測定結果に対する仮定と結論を比較し、駆動アンプ、電圧リファレンス、コンバータ間の相互作用を簡単に分析した後、ADCの変換結果に含まれる誤差要因を調べます。

ADCの基本

図1は、この3部構成のシリーズで検討していく逐次比較型(SAR)ADC用の電圧リファレンス・システムを示しています。名前からわかるように、このADCはアナログ電圧をデジタル・コードに変換します。システム全体の精度と再現性は、コンバータがこの処理をどれくらい効果的に実行できるかによって決まります。

変換精度は静的仕様、再現性は動的仕様によって定義できます。ADCの一般的な静的仕様は、オフセット電圧誤差、ゲイン誤差、遷移ノイズです。ADCの動的仕様は、信号対雑音比(SNR)、全高調波歪み(THD)、スプリアス・フリー・ダイナミック・レンジ(SFDR)です。

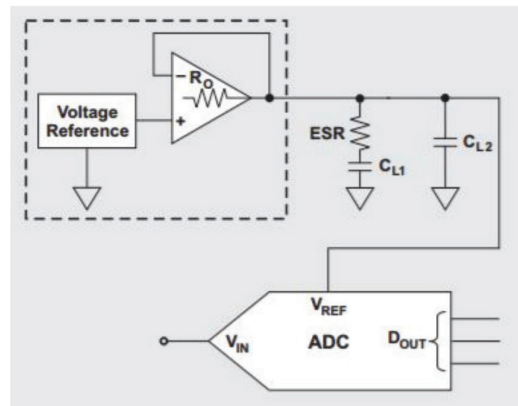


図1. SAR ADC用の電圧リファレンス・システム

静的特性

図2は、3ビットADCの理想的な伝達関数と実際の(理想的でない)伝達関数を示しています。実際の伝達関数にはオフセット電圧誤差とゲイン誤差が含まれています。アプリケーション回路の例では、ADCゲイン誤差、遷移ノイズ、SNRのみが考慮されています。

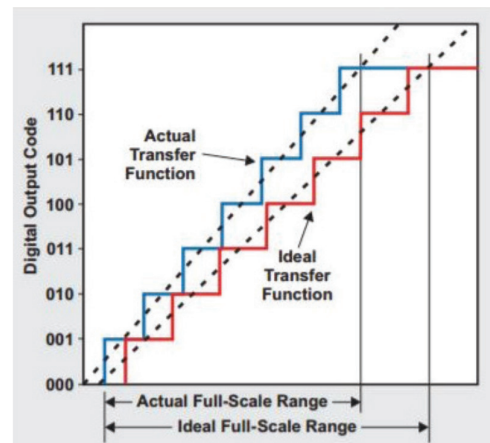


図2. 理想的なADC伝達関数と、オフセットおよびゲイン誤差を含む実際のADC伝達関数

次の式1は、理想的な(誤差のない)ADCの標準的な伝達関数を表しています。

$$\text{Code} = V_{IN} \times \frac{2^n}{V_{REF}} \quad (1)$$

Codeは10進数形式のADC出力コード、 V_{IN} はアナログ入力電圧(V)、 n はADCの分解能(出力コードのビット数)、 V_{REF} は電圧リファレンスのアナログ値(V)です。

式1は、ADCの出力コードがアナログ入力電圧に正比例し、電圧リファレンスに反比例することを表しています。また、出力コードがビット数（コンバータの分解能）に依存している点も、式1に示されています。

理想的でないADCのDC誤差はオフセット電圧誤差とゲイン誤差です。オフセット電圧誤差を伝達関数に導入するには、式1を次の式2として記述し直す必要があります。

$$Code = (V_{IN} - V_{OS_ADC}) \times \frac{2^n}{V_{REF}} \quad (2)$$

V_{OS_ADC} はADCの入力オフセット電圧です。ゲイン誤差はゼロからフルスケールまでの理想的な勾配と実際の勾配の差に等しくなります。ゲイン誤差の表記は10進数またはパーセンテージです。（オフセット電圧誤差を除く）ゲイン誤差のみのADCへの影響を考慮した場合、式1を次の式3として記述し直すことができます。

$$Code = V_{IN} \times \frac{2^n}{V_{REF} (1 - GE_{ADC})} \quad (3)$$

GE_{ADC} はゲイン誤差であり、次の式で表されます。

$$GE_{ADC} = \frac{Actual\ Gain - Ideal\ Gain}{Actual\ Gain}$$

式3から、ゲイン誤差因子が V_{REF} の初期精度に追加されることがわかります。出力コードは電圧リファレンスとゲイン誤差の組み合わせに反比例します。電圧リファレンスのチップから発生するノイズによるDC誤差は、ADCのゲイン精度に対して逆方向に影響します。電圧リファレンスの誤差の影響については、このシリーズの第2部で具体的に説明します。

式2と式3を組み合わせ得られる最終的な伝達関数は、次の式4として表されます。

$$Code = (V_{IN} - V_{OS_ADC}) \times \frac{2^n}{V_{REF} (1 - GE_{ADC})} \quad (4)$$

ADCの遷移ノイズは、ADCの伝達曲線上のコード遷移点を調べることで分析できます。コード遷移点とは、アナログ入力電圧の変化に応じてデジタル出力があるコードから次のコードに切り替わるポイントです。コードからコードへの遷移点は、単一のスレッシュホールドではなく小さな不確定領域です。

図3は、内部コンバータのノイズによってこれらの遷移点に生じる不確定性を示しています。不確定領域は、コードからコードへと繰り返されるコード遷移を測定することによって定義されま

す。ADCの遷移ノイズはコンバータのSNRに直接影響します。この現象を理解することが重要なので、このシリーズの第2部で電圧リファレンスのノイズ特性をさらに詳しく見ていきます。

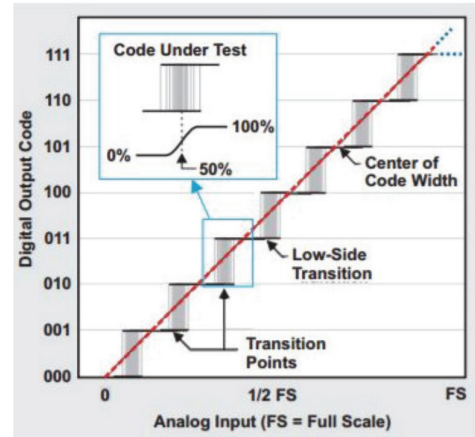


図3. 3ビットADCでの遷移ノイズ

動的特性

図1の回路から生じる総システム・ノイズは、固有のADCノイズ、アナログ入力バッファ回路からのノイズ、リファレンス入力電圧ノイズから成る複合ノイズです。図4は、簡略化されたSAR ADCの内部回路を示しています。ADCの動的特性は、コンバータの出力データの高速フーリエ変換（FFT）プロットを使用し、一定間隔で収集された一連のコンバータ出力のFFTプロットを計算することにより特定できます。このFFTプロットにより、SNR、ノイズフロア・レベル、SFDRが得られます。

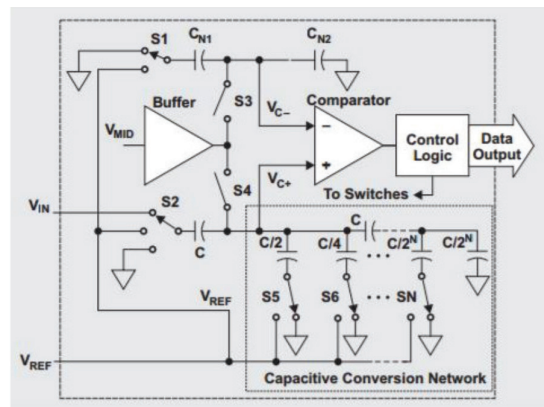


図4. SAR ADCの概略トポロジ

アプリケーション回路の例で重要な点はSNR仕様だけです。図5は、これらの仕様のFFTプロットを示しています。ADC回路内のノイズの特定方法としては、図5のSNRを調べる方法が便利です。SNRとは、ノイズ電力の二乗平均平方根 (RMS) に対する信号電力のRMSの比率です。FFT 演算結果のSNRは、いくつかのノイズ源の組み合わせで構成され、ADC量子化誤差やADC内部ノイズが含まれる場合もあります。外部では、電圧リファレンスとリファレンス駆動アンプがシステム全体のノイズの一因となっています。SNRの理論上の制限は $6.02n + 1.76\text{dB}$ に等しくなります (nはADCのビット数)。

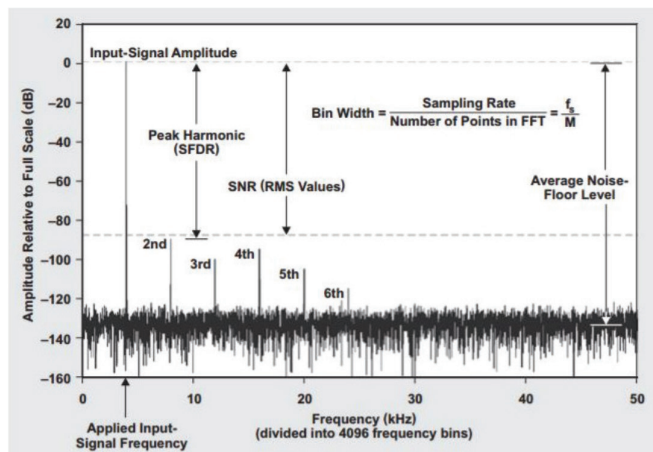


図5. 16ビット・コンバータの8,192個のデータ・サンプルを使用したFFTプロット

システム内の歪みの量はTHDによって定量化されます。THDとは、入力信号電力に対する高調波成分 (スプリアス) の電力の二乗和平方根 (RSS) の比率です。たとえば図5では、高調波成分が「2nd」～「6th」に分類されています。RSS演算は、いくつかの値の二乗の和の平方根としても知られています。ADCの非直線性に起因するスプリアスは、入力信号の周波数 (基本周波数) の整数倍ごとに発生します。ほとんどのメーカーでは、THDの計算に最初の6～9個の高調波成分を使用しています。

ADCがFFTプロット内にスパイクを発生させている場合は、おそらくコンバータに積分非直線性の誤差がいくらか生じています。また、スプリアスは信号源からの入力信号に由来する場合も、リファレンス駆動アンプに由来する場合もあります。原因が駆動アンプの場合は、アンプにクロスオーバー歪みがあるか、またはアンプの安定性が不足している、スルーレートが制限されている、帯域幅が制限されている、ADCを駆動できないといった可能性が考えられます。

デジタル・クロック・ソースや商用電源の周波数など、回路の他の場所から侵入したノイズも、スプリアスとしてFFT結果に影響する可能性があります。コンバータのSNRとTHDを組み合わせることで、デバイスの信号対ノイズ + 歪み比率 (SINAD) を特定できます。設計者の多くはSINADを「THD + ノイズ」や「全歪み」と呼んでいます。SINADはSNRとTHDのRSS演算結果であり、つまりサンプリング周波数の半分を下回る他のすべてのスペクトル成分 (DCを除く) の合計RMSに対する、基本入力信号のRMS振幅の比率です。SARコンバータの理論上の最小SINADは理想的なSNR、つまり $6.02n + 1.76\text{dB}$ に等しく、実用上のSINADは次の式5のようになります。

$$SINAD(\text{dB}) = -20 \log \sqrt{10^{-SNR/10} + 10^{THD/10}} \quad (5)$$

単純な計算 (式6) によって有効ビット数 (ENOB) を算出できることから、SINADは重要な性能指数です。

$$ENOB = \frac{SINAD - 1.76\text{dB}}{6.02} \quad (6)$$

コンバータ・データのFFT表現における平均ノイズ・フロア (図5を参照) は、入力信号と信号高調波を除く、FFTプロット内のすべてのFFTビンのRSSの組み合わせです。対象とするすべてのスプリアスをノイズ・フロアが下回るように、ADCのビット数とサンプル数の比率を選択することができます。以上を考慮すると、理論上の平均FFTノイズ・フロア (dB) は次のようになります。

$$FFT \text{ Noise Floor} = 6.02n + 10 \log \left(\frac{3M}{\pi \times ENBW} \right)$$

MはFFTのデータ点の数、ENBWはFFT窓関数の等価雑音帯域幅です。12ビット・コンバータのFFT用として妥当なサンプル数は4,096なので、理論上のノイズ・フロアは-107dBとなります。

まとめ

図1のアプリケーション回路に影響するADC仕様はゲイン誤差、遷移ノイズ、SNRです。このシリーズの第2部では、電圧リファレンスのDC精度とノイズがシステム性能に与える影響について調べます。

2. 電圧リファレンスがADC性能に影響する仕組み： SAR ADC向け電圧リファレンス・システムの 設計と性能

Miro Oljaca, Bonnie Baker

電圧リファレンスに依存しないアナログ/デジタル・コンバータ(ADC)の基本動作を確認し、システムの精度と再現性に影響する性能特性について分析したので、次は逐次比較型(SAR)ADC向け電圧リファレンス・システムの設計と性能に重点を絞って見ていきましょう。また、8～14ビットADC向けに適切な外部リファレンスを設計する方法の例についても確認していきます。

適切なV_{REF}トポロジの選択

電圧リファレンスは2端子シャント構成または3端子シャント直列構成で使用できます。図1の左側は、シャント・リファレンスの集積回路(IC)チップ全体が負荷に対して並列に動作する、2端子シャント電圧リファレンスを示しています。シャント電圧リファレンスがあるので、入力電圧はカソードに接続されている抵抗に印加されます。このデバイスの標準的な初期電圧精度は最小で0.5%、最大で5%であり、温度ドリフト係数は約50～100μV/℃です。このシャント電圧リファレンスを使用して、正または負のリファレンス電圧や、フローティング・リファレンス電圧を作成できます。

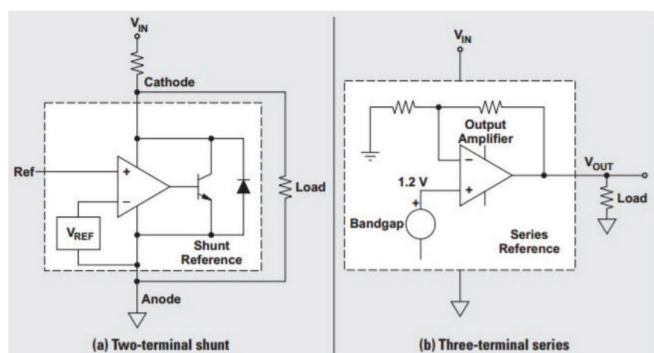


図1. 電圧リファレンス構成

3端子直列電圧リファレンス(図1の右側)は負荷に対して直列に動作します。このリファレンスの出力電圧は、内部バンドギャップ電圧と内部アンプの組み合わせによって生成されます。この直列電圧リファレンスは、出力とグラウンドの中間の出力電圧を生成する一方で、外部負荷に適切な出力電流を供給します。負荷電流が増減しても、直列リファレンスがV_{OUT}での電圧を維持します。

直列リファレンス・デバイスの標準的な初期電圧精度は最小で0.05%、最大で0.5%であり、温度ドリフト係数は最低2.5ppm/℃です。直列リファレンスは初期出力電圧と温度変化に応じた性能が優れているため、このタイプのデバイスを使用して高精度ADCのリファレンス・ピンを駆動することができます。最下位ビット(LSB)のサイズがそれぞれ0.4%、0.006%となる8または14ビットを超える分解能では、外部直列電圧リファレンスを使用することにより、コンバータの目標精度を確実に達成できます。

直列電圧リファレンス向けの一般的なアプリケーションとして、他にはセンサ・コンディショニングがあります。直列電圧リファレンスは、特にブリッジ・センサ・アプリケーションや、熱電対、サーモパイル、pHセンサを備えたアプリケーションで使用すると便利です。

ADCアプリケーションでの初期精度の高さから、直列電圧リファレンスは変換プロセス向けの汎用リファレンスとして役立ちます。出力電圧の初期精度は、ハードウェアやソフトウェアで校正できます。また、電圧リファレンスの出力精度が変化する原因としては、温度ドリフト係数、ライン・レギュレーション、負荷レギュレーション、長期的ドリフトが挙げられます。直列電圧リファレンスは、これらすべてのカテゴリにおいて優れた性能を実現できます。

基準電圧ノイズについて

このシリーズの第1部の内容から、ADCは、入力電圧と基準電圧を比較する機能、つまり入力信号と基準電圧に基づき出力コードを生成するという単一の機能のみを備えていると結論付けることができます。第1部では、ADCの基本的な伝達関数とデバイスのノイズ特性を表す図や式を紹介しました。次の式1は、図2に示す理想的なADCの標準的な伝達関数を表しています。

$$Code = V_{IN} \times \frac{2^n}{V_{REF}} \quad (1)$$

Codeは10進数形式のADC出力コード、V_{IN}はADCへのアナログ入力電圧、nはADCの出力ビット数、V_{REF}はADCへの基準電圧のアナログ値です。

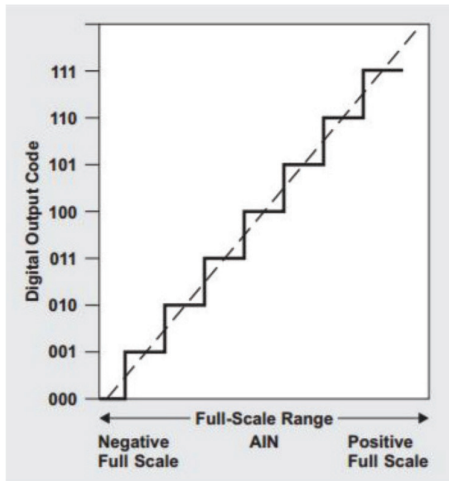


図2. 理想的な3ビットADCの伝達関数

式1は、基準電圧のすべての初期誤差やノイズがADCのコード出力のゲイン誤差に変換されることを示しています。ADCの負のフルスケール入力から正のフルスケール入力までの複数のポイントを測定すると、リファレンス・ノイズの影響がADC入力電圧の関数であることが明確になります。電圧リファレンス・ノイズをノイズ全体とともに評価するには、負のフルスケールと正のフルスケールの近い両方のノイズを測定する必要があります。

図3は、システム内のリファレンス・ノイズとADCノイズの測定結果を示しています。ノイズ全体は一定ではありませんが、ADCのアナログ入力電圧に線形に依存しています。このタイプのシステムを設計する場合は、リファレンス・ノイズをADCの内部ノイズよりも低く維持してください。図1のリファレンス・トポロジは、どちらも各周波数で同等のノイズを生成します。直列電圧リファレンス内の電圧ノイズは主にバンドギャップと出力アンプに由来します。これらの素子はどちらも1/f領域と広帯域領域のノイズを発生させます(図3を参照)。

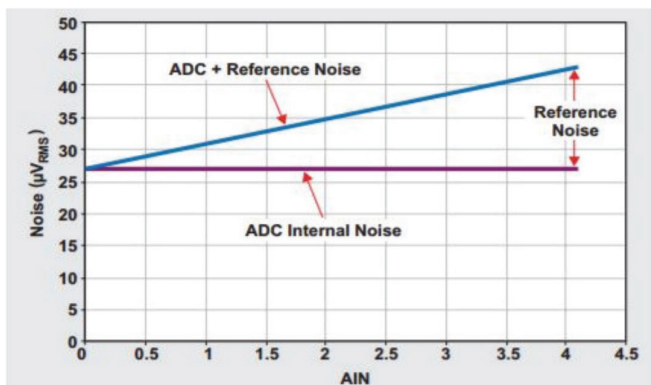


図3. ADC入力電圧の関数として示したADC出力での総ノイズ

電圧リファレンスの1/f領域のノイズ

ほとんどの直列リファレンス・デバイスのデータシートには、図4の1/f領域を含む0.1～10Hzの周波数範囲で出力電圧ノイズの仕様が記載されています。さらに高い周波数ドメインでは、「ピンク・ノイズ」と呼ばれることの多い1/f領域のノイズが広帯域ノイズに置き換わります。

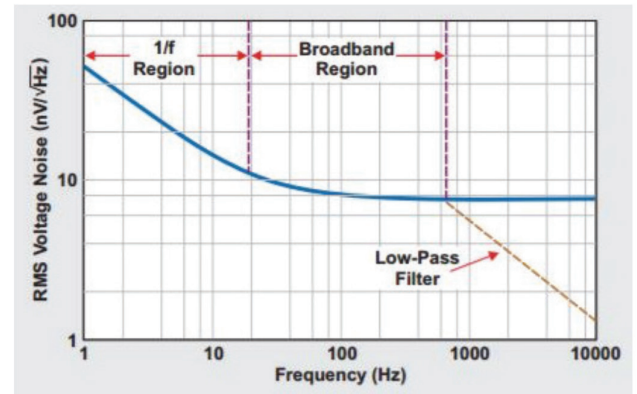


図4. 周波数ドメイン内の電圧ノイズ領域

電圧リファレンスの広帯域領域のノイズ

メーカーによっては、電圧リファレンスの出力ノイズ密度に関する仕様がデータシートに記載されている場合があります。この種の仕様は、通常は10kHzでのノイズ密度など、広帯域領域のノイズを対象としています。より広帯域の周波数にわたって存在する広帯域ノイズは、「ホワイト・ノイズ」や「熱ノイズ」とも呼ばれています。

カットオフ周波数が極めて低いローパス・フィルタを追加することにより、リファレンスの出力での広帯域ノイズが低下します。このフィルタは、コンデンサ、コンデンサの等価直列抵抗(ESR)、リファレンスの出力アンプの開ループ出力インピーダンス(RO)スを利用して設計されています(図5を参照)。

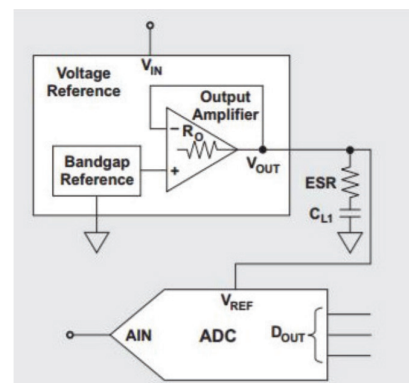


図5. 直列電圧リファレンス-ADC間のローパス・フィルタ

表1は、周波数帯域幅や外部コンデンサの値と種類が異なるさまざまな条件でTIのREF5040から測定されたノイズを示しています。これらの測定値から、ESRが約0.1Ωと低いセラミック・コンデンサには、ESRが標準的な約1.5Ωであるタンタル・コンデンサに比べてノイズを増加させる傾向があることがわかります。こうした傾向は、リファレンスの出力アンプの安定性の問題やゲイン・ピーキングによるものです。

CAPACITOR	MEASURED NOISE (μV_{RMS}) BANDWIDTHS			
	22 kHz (low-pass 5-pole)	30 kHz (low-pass 3-pole)	80 kHz (low-pass 3-pole)	>500 kHz
GND	0.8	1	1.8	4.9
1 μF (tantalum)	37.8	41.7	53.7	9017
2.2 μF (ceramic)	41.7	46.2	55.1	60.8
10 μF (tantalum)	33.4	33.4	35.2	38.5
10 μF (ceramic)	37.1	37.2	37.8	39.1
20 μF (ceramic)	33.1	33.1	33.2	34.5
47 μF (tantalum)	23.2	23.8	24.1	26.5

表 1. さまざまな帯域幅、コンデンサ値、コンデンサ・タイプで REF5040 から測定されたノイズ

前述したように、基準電圧における2つのノイズ源は内部出力アンプとバンドギャップです。図6に示す REF5040 の内部回路図を見ると、TRIM ピンからバンドギャップに直接アクセスできることがわかります。TRIM ピンに外部コンデンサを追加すると、約-21dB のバンドギャップ広帯域減衰を実現するローパス・フィルタが形成されます。たとえば、小型の1 μF コンデンサを使用すると、14.5Hz に極が、160Hz にゼロが追加されます。さらにフィルタを追加する必要がある場合は、1 μF コンデンサの代わりに大きな値のコンデンサを使用することもできます。たとえば、10 μF のコンデンサからは1.45Hz の3dB カットオフ周波数が生成されます。このローパス・フィルタにより、バンドギャップ・ノイズが低下します。1 μF のコンデンサを REF5040 の TRIM ピンに接続すると、出力二乗平均平方根 (RMS) ノイズの合計が 1/2.5 に低下します。

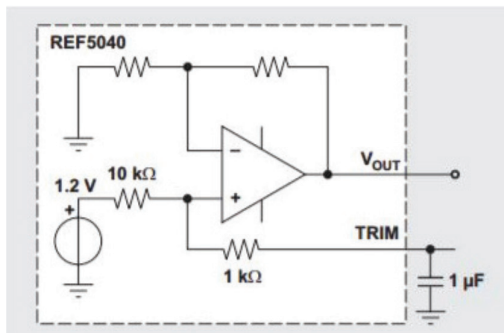


図 6. TRIM ピンを使用した REF5040 バンドギャップ・ノイズのフィルタリング

まとめ

図7は、8～14ビット・コンバータで構成されたリファレンス・システムの完全な回路図です。このシステムでは電圧リファレンスの精度が重要になりますが、初期精度が低い場合はハードウェアやソフトウェアで較正できます。一方で、リファレンス・ノイズを除去したり削減したりするには、特性評価やハードウェア・フィルタリングの技術がある程度必要になります。

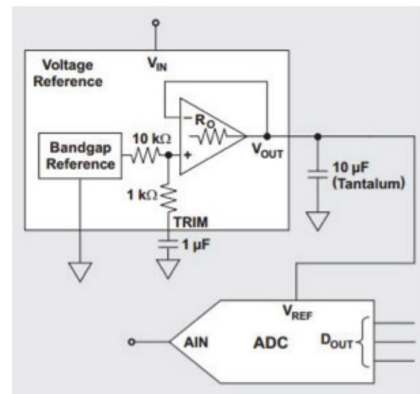


図 8. 8～14ビット・コンバータ用の電圧リファレンス回路

3. 電圧リファレンスがADC性能に影響する仕組み：16ビット・コンバータ向け電圧リファレンス・システムの設計

Bonnie Baker, Miro Oljaca

ここからは、16ビット以上のコンバータに適した電圧リファレンス回路の設計という課題に取り組んでいきます。また、ノイズ・フィルタリングを強化し、強化したフィルタによって生じる損失を補償するための手法も検討します。

電圧リファレンス・ノイズの削減方法の基本

このシリーズの第2部で説明したように、基準電圧における2つのノイズ源は内部出力アンプとバンドギャップです。まずは、第2部で紹介した、8～14ビットのアナログ/デジタル・コンバータ (ADC) で構成された電圧リファレンス回路を使って説明していきます。

5V システム内のすべてのコンバータの最下位ビット (LSB) のサイズは $5\text{V}/2^N$ に等しくなります (N はコンバータのビット数)。この環境での8ビットのLSBサイズは19.5mV、14ビットのLSBサイズは305 μV です。電圧リファレンス・ノイズの目標値は、これらのLSB値より小さくする必要があります。第2部で紹介した回路のバンドギャップ・ノイズは、外部コンデンサを出力に追加してローパス・フィルタを作成することによって低下しました。別のコンデンサをパッシブなローパス・フィルタとして追加すると、この回路の出力ノイズをさらに削減できます。

図1は、TIのREF5025ファミリの電圧リファレンスを使用した設計例です。この設計では、1 μ FのコンデンサC1を使用し、内部バンドギャップ・リファレンスにおいて最小21dBのノイズ低減を実現しています。C2と電圧リファレンスの内部アンプの開ループ出力抵抗ROとの組み合わせにより、V_{REF_OUT}ピンにおける電圧リファレンスの出力ノイズがさらに低下します。この場合、10 μ Fセラミック・コンデンサC2の等価直列抵抗(ESR)は200m Ω に等しくなります。

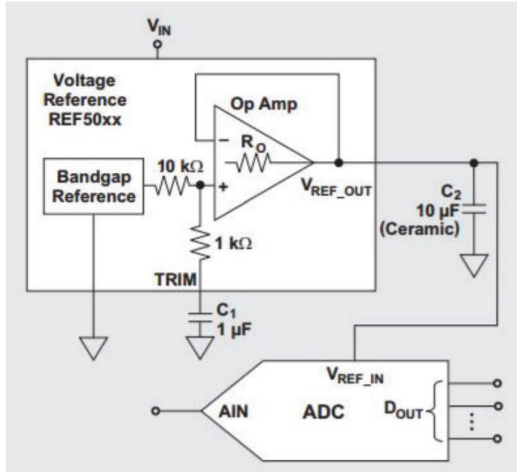


図 1. 8 ~ 14 ビット・コンバータに適した電圧リファレンス設計

図2は、図1に示した回路の出力信号の高速フーリエ変換(FFT)プロットです。約9kHzで出力ノイズ・レベルにピークが生じている原因は、容量性負荷C2に対する回路の内部アンプの応答です。このピークが、測定されるノイズ全体の主要因となっています。

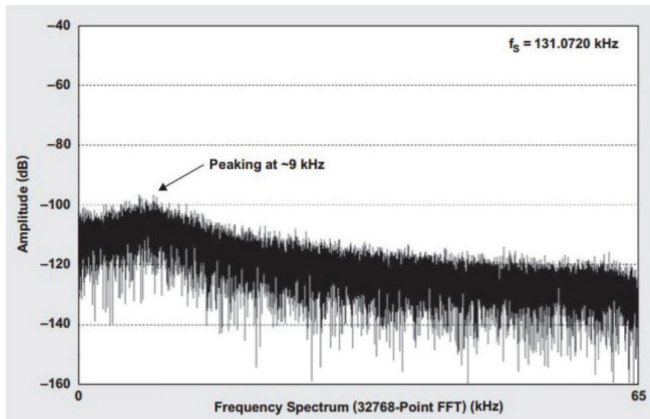


図 2. 図 1 に示した回路の V_{REF_OUT} 信号の FFT プロット

最大80kHzに及ぶ周波数範囲にわたってアナログ・メーターで測定した出力ノイズは、約16.5 μ V_{RMS}です。電圧リファレンス回路をADCの入力に接続した場合、65kHzの周波数範囲で測定されるノイズは138 μ V_{PP}になります。このノイズ・レベルにより、図1のソリューションは8 ~ 14ビット・コンバータに適した設計となっています。

16ビット以上のADCでの電圧リファレンス・ノイズの低減

図1の電圧リファレンス回路から16ビット以上のコンバータに伝わるノイズが多すぎるので、別のローパス・フィルタを追加すれば、電圧リファレンスの出力ノイズをさらに削減できます。このフィルタは、図3に示すように、10k Ω の抵抗R1と追加のコンデンサC3で構成されています。この追加したRCフィルタのコーナー周波数1.59Hzにより、広帯域ノイズや極めて低い周波数のノイズが低下します。

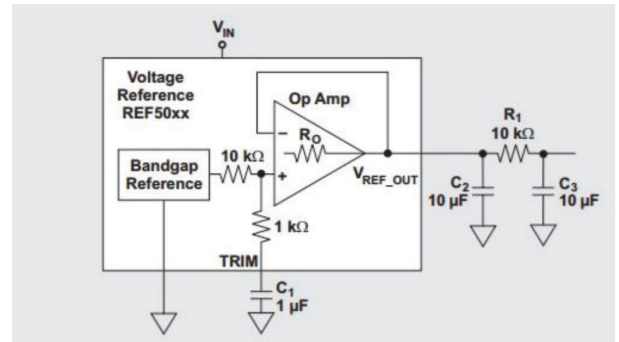


図 3. R1 と C3 をフィルタとして追加した電圧リファレンス回路

図4は、R1とC3の追加が、このシステムの出力ノイズに大きく影響することを示しています。9kHzのノイズ・ピークは消えています。この信号応答により、図3のリファレンス回路の出力ノイズは90%近く低下し、2.2 μ V_{RMS}または15 μ V_{PP}となります。こうした改善の結果、ノイズ・レベルは十分に制御できるようになり、電圧リファレンス回路はADCの最大20ビットの分解能に適した回路となっています。

一方で、R1を介してADCのリファレンス・ピンから電流を供給した場合は、ADCのリファレンス・ピンからの平均電荷レベルに等しい電圧降下を引き起こされて、変換精度が低下することになります。結果として、この新しい回路の出力ではADCの電圧リファレンス入力を十分に駆動できなくなります。この問題を解決するには、ローパス・フィルタにバッファを追加する必要があります。

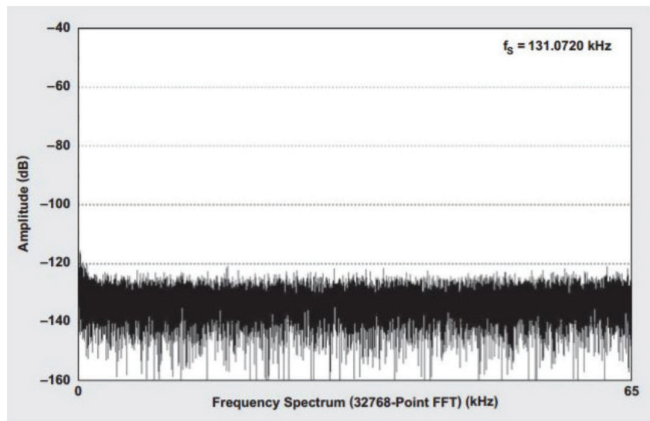


図4. RCフィルタが追加された回路の V_{REF_OUT} 信号のFFTプロット

電圧リファレンス回路へのバッファの追加

図5は、変換中に発生する可能性のあるADCリファレンス駆動電流の変動の例を示しています。この信号は、ADC電圧リファレンス・ピンの入力と V_{REF_OUT} の間にある $10\text{k}\Omega$ の抵抗 $R1$ での電圧降下を明らかに示すために、低容量プローブを使用して取得されています。図5の上の波形は、新しい変換を開始するためにコンバータが受信するトリガ信号を示しています。ADCの電圧リファレンス回路では、変換の開始と各コードの決定に異なる大きさの電流が必要になります(下の波形)。そのため、ADCに接続されている電圧リファレンスのアナログ回路は、コンバータ用の堅牢な電圧リファレンスを維持しながら、こうした高周波数の変動にも効率的に対応できなければなりません。

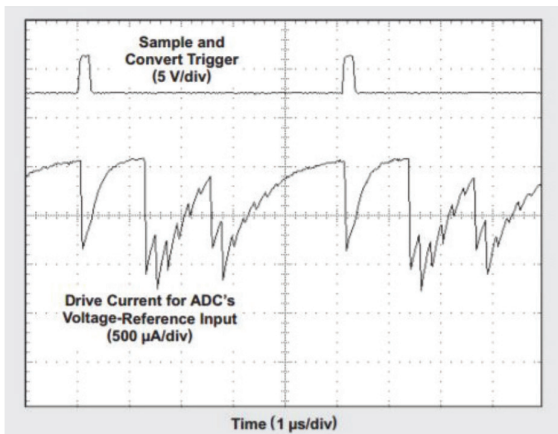


図5. ADCのリファレンス入力に必要な駆動電流

図6は、高分解能のADCを適切に駆動する電圧リファレンス回路を示しています。この回路には、図3の回路用に $R1$ と $C3$ を使用して作成したローパス・フィルタの後に続くバッファとして、TIの **OPA350** が配置されています。OPA350は、 $10\mu\text{F}$ のフィルタ・コンデンサ $C4$ とADCの電圧リファレンス入力ピンを駆動します。図6のOPA350の出力で測定されるノイズは $4.5\mu\text{VRMS}$ または $42\mu\text{VPP}$ です。OPA350の入力バイアス電流は 25°C で 10pA です。この電流と $R1$ を流れる電流の組み合わせにより、 100nV の一定のDC電圧降下が発生します。この電圧降下がADCのビット判定に応じて変化することはありません。OPA350の入力バイアス電流が温度とともに変化することはありませんが、予想される最大電流値は 125°C で 10nA 以下です。この値によって生じる変化は、 100°C の温度範囲で $100\mu\text{V}$ となります。

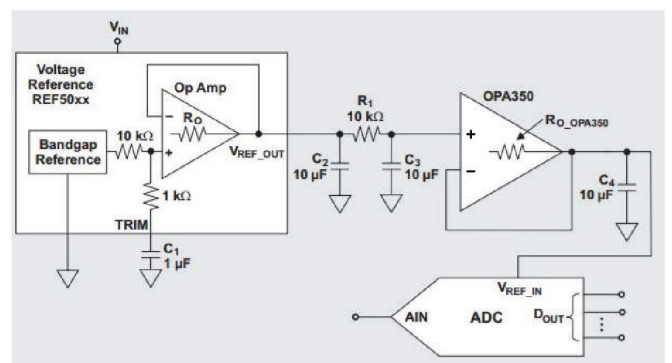


図6. バッファと出力フィルタを追加した電圧リファレンス回路

では、 $R1$ での電圧降下をさらに広い視点で見ましょう。この電圧降下は、REF5025とOPA350に起因する誤差に加算されます。REF5025出力の初期誤差は $\pm 0.05\%$ 、温度変化による誤差は $3\text{ppm}/^\circ\text{C}$ です。 4.096V のリファレンス (**REF5040**) の場合、初期リファレンス誤差は室温で 2.05mV に等しく、 125°C で 1.23mV が加算されます。このため、リファレンス出力誤差は、 $R1$ やOPA350のオフセットおよび入力バイアス電流の変動によって生じる誤差より大幅に大きくなります。

アンプの安定性

最後に、図6の回路について注意すべきことがあります。 $C4$ とOPA350の開ループ出力抵抗 (RO_OPA350) によってオープンループ電圧ゲイン (AOL) 曲線が変化し、不十分な安定状態が作り出された場合は、OPA350の安定性が損なわれる可能性があります。この現象を説明するために、図7には、 0.2Ω ESRの出力コンデンサ $C4$ とOPA350の開ループ出力抵抗 (43Ω) によってOPA350のAOL曲線が変化する仕組みを示しています。これらの曲線を利用すれば、回路の安定性をすばやく判断できます。

安定性に優れた回路は、オペアンプの変化したAOL曲線と閉ループ電圧ゲイン (ACL) 曲線の接近率が20dB/デケードとなる回路です。OPA350の開ループ出力抵抗は43Ω、C4のESR (RESR_C4) は200mΩです。これらの値によって形成される極とゼロの周波数位置は次のとおりです。

$$\frac{I_{SINKN}}{I_{SINK1}} = \frac{V_{SN}/R_{SETN}}{V_{REF}/R_{SET1}} = \frac{V_{SN}}{V_{REF}} \cdot \frac{R_1}{R_N} = \frac{V_{SN}}{V_{REF}} \cdot M_{RN} = M_1$$

図7によると、図6の回路は安定しています。

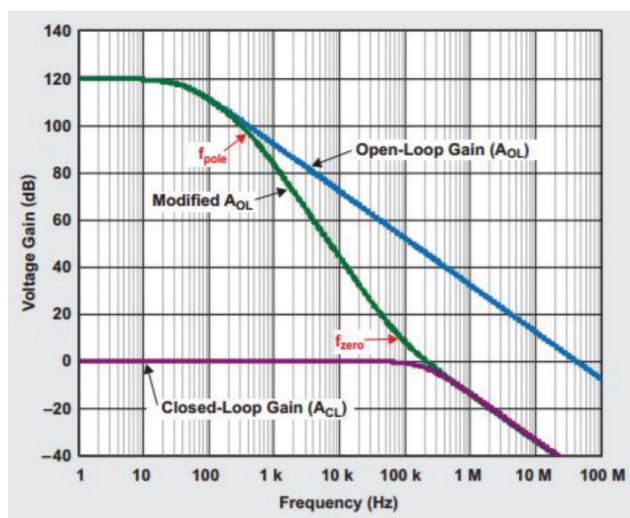


図7. RC 負荷を使用したバッファの周波数応答

残念ながら、この記事の電圧リファレンス設計は、不要な温度ドリフトや初期ゲイン誤差を追加してADC性能を低下させる可能性があります。21ビット以上のより高性能のシステムでは、これらの問題に対処できる電圧リファレンス設計が必要になる場合があります。

4. SAR ADCのPCBレイアウト：リファレンス・パス

Luis Chioye

高性能データ収集システムを設計する場合は、高精度アナログ/デジタル・コンバータ (ADC) や、アナログ・フロントエンド・コンディショニング回路に必要なその他の部品を、慎重に選択することになるでしょう。数週間をかけて設計、シミュレーションの実行、回路図の最適化を行った後、厳しい設計期限に間に合うように基板レイアウトをすばやく組み立てます。1週間後、最初のプロトタイプ基板のテストが行われます。しかし驚いたことに、回路が期待どおりに動作しません。このような経験はおありでしょうか。

期待する性能をADCから引き出すには、最適なプリント基板 (PCB) レイアウトが不可欠です。ミクスト・シグナル・デバイスを使用した回路を設計する際には、常に優れたグランド方式に基づいて設計を開始し、その設計を最適な部品配置と信号配線によってアナログ部、デジタル部、電源部に分離する必要があります。

ADCのレイアウトでは、すべての変換が基準電圧の関数になるので、最も重要なのはリファレンス・パスです。従来の逐次比較型ADC (SAR ADC) アーキテクチャでは、リファレンス・ピンがリファレンス・ソースに対する動的負荷となるため、リファレンス・パスは最も影響を受けやすい部分でもあります。

変換のたびに基準電圧が数回サンプリングされるので、ビット判定に応じてADCの内部コンデンサ・アレイの切り替えと充電が行われる端子には、大きな過渡電流が生じます。各変換クロック・サイクル中の基準電圧は、安定状態を維持し、必要なNビット分解能に整定されていなければなりません。そうでないと、直線性誤差やミッシング・コード誤差が生じる可能性があります。

図1は、従来型の12ビットSAR ADCのリファレンス端子における変換フェーズ中の過渡電流を示しています。

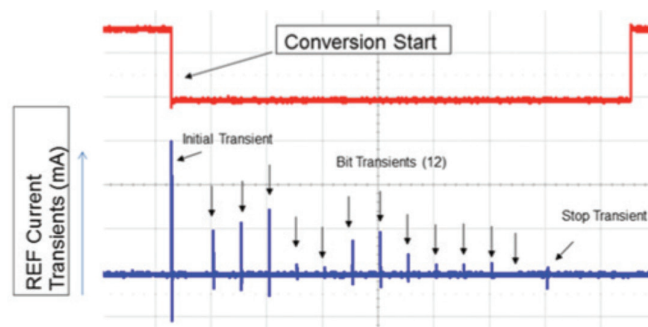


図1. 12ビットSAR ADCのリファレンス・ピンでの過渡電流

このような動的電流が生じるため、リファレンス・ピンには、高品質バイパス・コンデンサCREFを使用した適切なデカップリングが必要です。このバイパス・コンデンサは、高周波数過渡電流の発生時に即座に電荷を供給できる電荷蓄積素子として使用されます。CREFは可能な限りリファレンス・ピンに近付けて配置し、低インダクタンスの短い配線で接続する必要があります。

図2は、2つの独立した内部電圧リファレンスを備えた14ビット・デュアルADC、[ADS7851](#)の基板レイアウト例です。

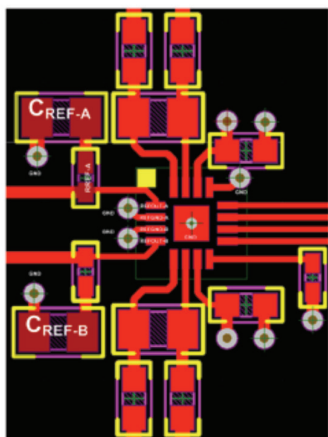


図2. 2つの独立した内部リファレンスを備えたデュアルADCのレイアウト例

この4層PCBの例では、デバイスの直下にソリッド・グランド・プレーンを使用して基板をアナログ部とデジタル部に分割し、影響を受けやすい入力やリファレンス信号をノイズ源から遠ざけています。REFOUT-AおよびREFOUT-Bの各リファレンス出力を10 μ F、X7Rクラス、0805サイズのセラミック・コンデンサ(CREF-x)でバイパスすることにより、性能を最適化しています。小型の0.1 Ω 直列抵抗を使用してコンデンサをデバイスに接続しているため、高周波数での全体的なインピーダンスが低く、かつ一定に保たれます。また、幅の広いパターンを使用しているため、インダクタンスが低下します。

CREFは、ADCと同じ層に配置することを強くお勧めします。また、リファレンス・ピンとバイパス・コンデンサの間には、ビア(PCB内の1つの層または隣接する複数の層を貫通し、層間を電氣的に接続する穴)を配置しないようにしてください。ADS7851の各リファレンス・グランド・ピンにはグランドへの独立したビア接続があり、各バイパス・コンデンサにはグランド・パスへの個別の低インダクタンス接続があります。

外部リファレンス・ソースを必要とするADCを使用している場合は、リファレンス・バッファ出力から始まり、バイパス・コンデンサを介してADCのリファレンス入力に至るリファレンス信号パス内のインダクタンスを最小限に抑える必要があります。

図3は、外部リファレンスおよびバッファを使用した18ビットSAR ADC、[ADS8881](#)のレイアウト例です。リファレンス・コンデンサをREFピンから0.1インチ以内に配置し、その接続に幅広い20ミルのパターンと複数の15ミルのグランド接続ビアを使用することで、コンデンサとREFピンの間のインダクタンスを2nH未満に抑えます。10 μ F、X7Rクラス、0805サイズで定格10V以上のセラミック・コンデンサを使用することをお勧めします。

高速のセトリング応答を確保するために、リファレンス・バッファ回路からREFピンへのパターンの長さは可能な限り短くします。

最適な性能を得るには、REFピンを適切にデカップリングすることが不可欠です。また、リファレンス・パス上の接続を低インダクタンスに維持することで、リファレンス駆動回路を変換フェーズ中に安定かつ整定された状態に維持できるようになり、目標とする結果に一歩近づきます。

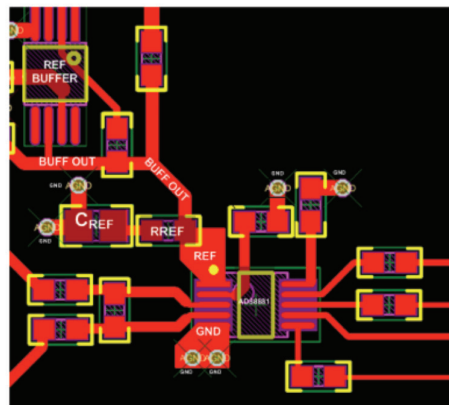


図3. 外部リファレンスおよびバッファを使用したADCのレイアウト例

ADS8881およびADS7851データシートのレイアウト・ガイドラインでは、このトピックについてさらに詳しく解説しています。

5. ADC向け電圧リファレンス回路の設計

Peggy Liska

高精度データ収集システムは、データ・コンバータのリファレンス入力におけるスイッチング過渡現象から生じる誤差など、各種システム構成部品による誤差を最小限に抑えるよう設計されています。逐次比較型アナログ/デジタル・コンバータ(SAR ADC)の場合、変換サイクル中のデータ・コンバータの内部回路が異なる容量性負荷への接続や切断を行うときに、スイッチング過渡現象を引き起こします。また、その他のデルタ-シグマADCやデジタル/アナログ・コンバータ(DAC)などのデータ・コンバータも、リファレンス・ピンでのスイッチング過渡現象を引き起こす可能性があります。

図1は、SAR ADCアーキテクチャの概略図です。動作中は、ADC内部のスイッチS1とS2が収集および変換サイクルを制御します。S1が閉じてS2が開くときはインピーダンスが変化するため、入力で過渡状況が発生します。シングルエンド・マルチプレクス・アプリケーション向け16ビット1MSPSデータ収集のリファレンス・デザインに関するユーザー・ガイドなど、入力回路の最適化によって入力過渡の影響を最小化する方法を詳しく記載した技術資料が提供されています。しかし、ここでは、システム・レベルの設計において見落とされることの多い、基準電圧入力ピン(V_{REF})で発生する過渡現象と、それがシステム性能に及ぼす影響に重点を絞って見ていきます。

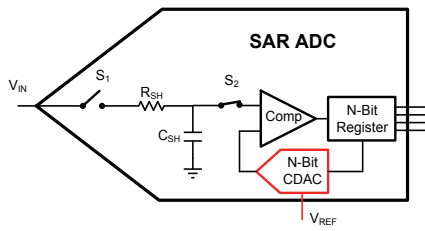


図1. SAR ADC 内部アーキテクチャの概略図

SAR ADCの V_{REF} ピンは、図1に赤色で示した容量性DAC (CDAC) に内部で接続されています。図2は、CDAC構造の概略図をさらに詳しく示したものです。CDACは、基準電圧との比較によって入力電圧に最も近いデジタル値を判定する、バイナリ加重コンデンサ・アレイです。ここで重要なのは、リファレンス入力ピンがバイナリ加重コンデンサ・アレイに接続されていることにより、変換サイクル中に V_{REF} ピンに印加される基準電圧に変動が生じる可能性があるという点です。アレイ内のコンデンサがリファレンスと同じ電位にならないので、コンデンサを外部リファレンスに接続した場合に突入電流による大きな高速スパイクが生じます。

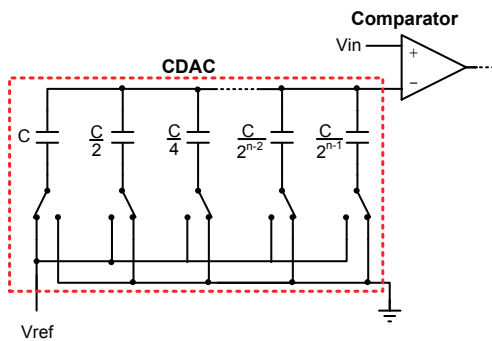


図2. 内部 CDAC のアーキテクチャ：スイッチト・キャパシタ負荷

図3は、変換サイクル全体を通して発生するリファレンス入力電流でのスパイクを示しています。このスパイクは、場合によっては最大10mAまで増加し、継続時間が非常に短くなります(ナノ秒)。

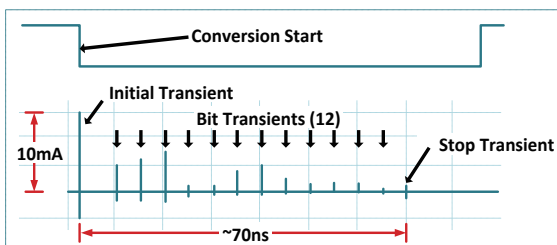


図3. SAR ADC の VREF ピンでのスイッチング過渡電流

精度を最適に保つためには、SARの入力に接続されている電圧リファレンスが高速の大電流スパイクに応答する必要があります。このような高速スイッチング過渡電流は、電圧リファレンスの高い出力インピーダンスで電圧降下を引き起こす可能性があります。この電圧降下がリファレンスの出力電圧に直接影響した結果、ADCの V_{REF} ピンへの入力電圧にその影響が及び、ADCによる入力信号の変換に誤差が生じることになります。

これらのスイッチング過渡現象によって生じる誤差を最小限に抑えるため、電流スパイクが発生するたびに電圧リファレンスの出力電圧を期待される値に再整定する必要があります。スタンダードアロンの電圧リファレンスは、負荷が非常に軽く、動きも遅い場合には極めて正確かつ安定した電圧を供給するよう設計されています。これらの電流スパイクは継続時間が非常に短く、かつ大電流であることから、通常はリファレンスを高速オペアンプによってバッファします(図4を参照)。また、ピンにコンデンサを配置することにより、必要なすべての瞬時電流を供給できます。

過渡の観点で見ると高速オペアンプは有効ですが、通常は、オフセット電圧、直線性、ドリフトなどのDC精度向けには最適化されていません。そのため、DC精度の要件を満たし、過渡動作にも優れたバッファは、簡単には見つからない可能性があります。場合によっては、2つのアンプで構成されたアンプ・トポロジが、この難しい課題の解決策となります。前述したデータ収集リファレンス・デザインに関するユーザー・ガイドでは、このトポロジを詳しく解説し、電圧リファレンスやバッファ・アンプ、関連するフィルタ部品の選択肢も紹介しています。

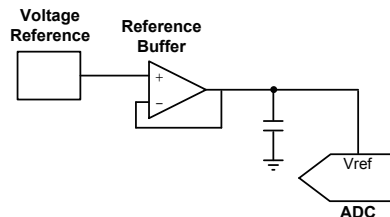


図4. 高速アンプを使用した電圧リファレンス回路

リファレンス・ピンでのスイッチング過渡現象の影響を最小化するうえで必要になるシステム・レベルの設計作業を簡易化するために、TIのREF6000電圧リファレンス・ファミリでは、リファレンス・バッファと電圧リファレンスが統合されています。図5は、この統合をデータ収集システムの概略図で示したものです。最適化された内部バッファは、データ・コンバータのリファレンス・ピンで発生するタイプの過渡現象に対して適切に応答します。この内部バッファはDC性能向けにも最適化されています。この統合された電圧リファレンスとリファレンス・バッファの組み合わせを使用することで、回路の占める基板面積がさらに縮小します。

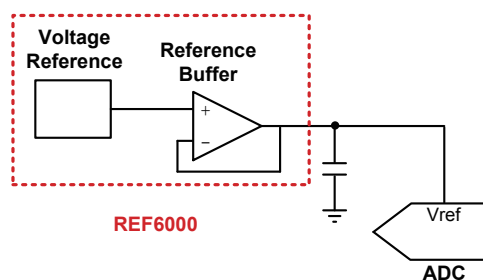


図 5. 統合された電圧リファレンスとリファレンス・バッファを使用した電圧リファレンス回路

統合を利用したこの手法では、高帯域幅、低出力インピーダンスのDCに最適化されたソリューションを活用して V_{REF} ピンへの入力を行うことにより、ADCの性能が向上します。

表1では、理想的なADCと、電圧リファレンス回路構成の異なる各ADCについて、ノイズおよび歪み性能を比較しています。リファレンス駆動バッファを備えていないケースでは性能が低くなっていることがわかります。統合されたリファレンス・バッファと外部バッファを比較すると、最も高性能となるのはバッファが統合されたリファレンスです。

CONFIGURATION	Ideal ADC (no V_{REF} fluctuation)	REF6045 with integrated buffer	REF5045 with external buffer	REF5045 without buffer
Average reference pin voltage (V)	4.5	4.501	4.502	4.502
Peak-to-peak variation in V_{REF} (μ V)	0	76.8	153.6	472.5
Signal-to-noise ratio (SNR) (dB)	109.7	109.8	109.6	109.7
Total harmonic distortion (THD) (dB)	-133.4	-123.7	-118.8	-92.5
Spurious-free dynamic range (SFDR) (dB)	128	124.5	119	92.5
Signal-to-noise and distortion ratio (SINAD) (dB)	109.7	109.6	109.2	92.4
Reference circuit quiescent current (mA)	N/A	0.8	1.925	1

表 1. 1MSPS、10kHz 入力周波数でサンプリングする 18 ビット ADC を使用した各種バッファ構成の ADC 性能

第3章:柔軟な低ドリフト DC 電圧または電流ソースとして機能する電圧リファレンス

1. デュアル出力電圧リファレンス

Ying Zhou

低ドリフト・システムの開発は、特にバイポーラ入力信号を使用すると非常に難しくなる場合があります。双方向電流センシングなどのアプリケーション(図1を参照)には、2つの適切にマッチングした低ドリフト基準電圧を使用する必要があります。最初の電圧 V_{REF} は、アナログ/デジタル・コンバータ(ADC)のフルスケール範囲を定義しています。バイアス電圧 V_{BIAS} は、バイポーラ信号のレベルシフトに必要な電圧です。 $V_{BIAS} = V_{REF}/2$ とすることが望ましく、そうすることで、ADCでの正と負のスイングが等しくなります。ここでは、2つの基準電圧を生成するための3種類のトポロジについて説明します。

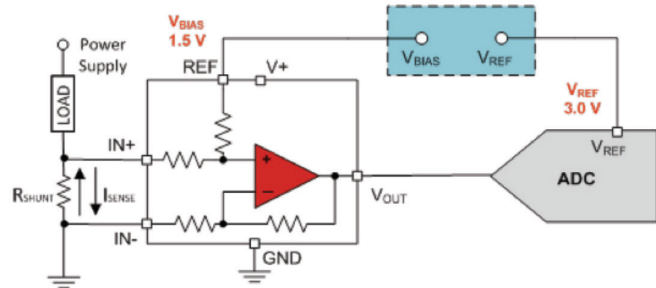


図1. 低ドリフト、双方向、単一電源のローサイド電流センシング・システム

図2は、2つの独立した電圧リファレンスを使用した単純な手法を示しています。

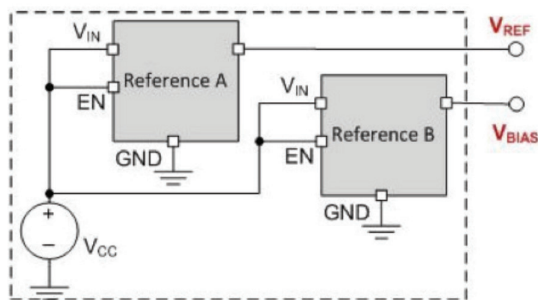


図2. ソリューション No. 1: 2つの独立したリファレンス

図1のアプリケーションでは、 V_{REF} と V_{BIAS} がそれぞれ3.0V、1.5Vです。表1は、2つの低ドリフト・リファレンスの情報を一覧にまとめたものです。ドリフト、精度、コストを考慮した場合、3V基準電圧に適した選択肢は **REF5030A** となります。低ドリフトの固定1.5Vリファレンスは、残念ながら簡単には入手できません。この場合、正の範囲と負の範囲のバランスは釣り合わなくなります。この場合、正の範囲と負の範囲のバランスは釣り合わなくなりますが、**LM4140B** などの1.25Vのリファレンスを選択できます。

Voltage (V)	Reference voltage	Drift (typ), ppm/°C	Drift (max), ppm/°C	Initial accuracy (%)
3	REF5030	2.25	3	0.05
	REF5030A	3	8	0.10
1.25	LM4140A-1.25	-	3	0.10
	LM4140B-1.25	-	6	0.10

表1. 低ドリフト電圧リファレンス製品のドリフトと精度の比較

分圧回路を使用した3V電圧リファレンスを前提とした場合、図3に示すような第2のソリューションが考えられます。

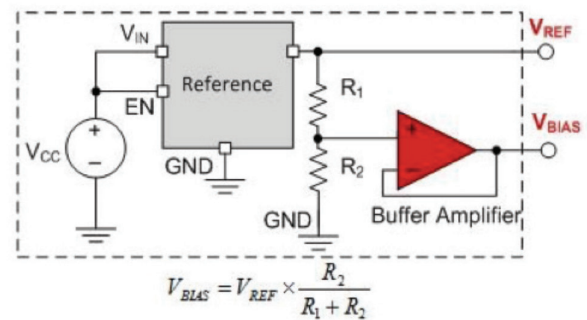


図3. ソリューション No. 2: リファレンス + 分圧回路 + バッファ

次の式1に示すように、 V_{BIAS} のドリフトはリファレンス δ_{REF} 、抵抗分割回路 δ_{RDIV} 、バッファ・アンプ δ_{BUF} のドリフトに由来します。

$$\delta_{V_{BIAS}} = \sqrt{\delta_{REF}^2 + \delta_{RDIV}^2 + \delta_{BUF}^2} \quad (1)$$

同等の低ドリフト・ソリューションにするため、許容誤差が0.1%、温度ドリフトが5ppm(100万分の5)/°Cの抵抗を選択します。アンプのフルスケール範囲が1.5Vであることを考慮すると、バッファ・アンプのオフセットはそれほど大きな値にはなりません。入力オフセット電圧による0.1%の誤差と1ppm/°Cのドリフト誤差を目標とした場合、アンプのオフセット電圧は1.5mV未満、ドリフトは1.5 μ V/°C未満になる必要があります。

表2は、このソリューション向けに選択したデバイスを示しています。部品選択の詳細については、TI Designsリファレンス・デザイン・ライブラリの『[Low-Drift Bidirectional Single-Supply Low-Side Current Sensing Reference Design](#)』を参照してください。

Voltage (V)	Device	Part number	Performance
3	Reference voltage	REF5030A	Initial accuracy: 0.1% Drift: 8 ppm/°C (max)
1.25	Resistor	PCF0603-13-4K99BT1	Tolerance: 0.1% Drift: 5 ppm/°C
	Amplifier	LMV831	Resistance: 4.99 k Ω Vos: 1.0 mV (max) Drift: 1.5 μ V/°C (max)

表2. ソリューション No. 2 の部品(リファレンス + 分圧回路 + バッファ)

ここで提案した2つのソリューションを簡単に振り返ってみましょう。

- ソリューション No. 1は単純な手法ですが、固定されたリファレンス出力という制限があります。V_{BIAS}がV_{REF}/2であるとは限りません。
- ソリューション No. 2は1つのリファレンスしか使用しないため、VBIASのドリフトはVREFのドリフトに追従します。状況に応じて抵抗を調整できるので、このソリューションはV_{BIAS} ≠ V_{REF}/2の場合に極めて有効です。一方で、このソリューションにはより多くの部品が必要になるという欠点もあります。

図4は、デュアル出力電圧リファレンス (REF2030) を使用してV_{REF}とV_{BIAS}の両方を1つのチップから供給する、3つ目のソリューションを示しています。2つの独立したバッファにより、バンドギャップ電圧からV_{REF}とV_{BIAS}が生成されます。内部抵抗は、V_{BIAS} = V_{REF}/2となるような大きさに設定されています。表3は、REF2030の主な仕様を一覧にまとめたものです。

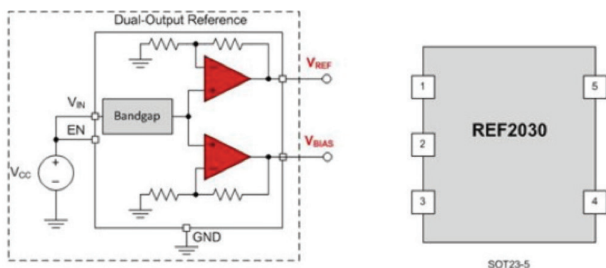


図 3. ソリューション No. 3 (REF2030 デュアル出力基準電圧)

Voltage (V)	Device	Performance
3, 1.25	REF2030	Initial accuracy: 0.05% Drift: 8 ppm/°C (max) Drift: 3 ppm/°C (typ) Drift tracking: 7 ppm/°C (max) over -40°C to 125°C

表 3. REF2030 の仕様

2つの基準電圧を生成する3種類のトポロジを確認したので、次はこれらのソリューションの性能を、合計誤差、ドリフト追従、出力間のマッチングという3つの観点から比較してみましょう。

合計誤差

次の式2では、パーセンテージで与えられた仕様をppmに変換しています。

$$ppm = 10000x\% \quad (1)$$

各電圧出力の合計誤差性能指標は、次の式3で表されるように、動作温度範囲にわたる初期精度とドリフトによって決まります。

$$E_{Total_error} = \sqrt{E_{Initial_accuracy}^2 + E_{temp_drift}^2} \quad (3)$$

ソリューション No. 1では、LM4140Bのデータシートに標準的なドリフトが記載されていないため、70°Cの温度範囲での最大ドリフト仕様を計算に使用しました。ソリューション No. 2では、REF5030A、抵抗回路、バッファによってV_{BIAS}が生成されます。そのため、初期精度とドリフトは式1に示すように、これら3つの誤差源の二乗和平方根 (RSS) で表すことができます。REF2030とREF5030Aはボックス法を使用してドリフトを判定しているため、計算用の温度範囲は動作範囲全体か、または165°Cです。

表4は、ソリューション No. 1でのV_{REF}の性能がソリューション No. 2と同等である一方、そのV_{BIAS}出力には、はるかに多くの誤差があることを示しています。ソリューション No. 2でのV_{BIAS}の誤差には、V_{REF}からの誤差も含まれています。両方の出力で初期精度が高く、温度ドリフトが低いソリューション No. 3は、3つのソリューションの中で最も誤差が少なくなっています。

Solution	Voltage (V)	Error source	Initial accuracy error (ppm)	Temperature drift error (ppm)	Total error (ppm)
1	V _{REF}	REF5030A	1000	495	1116
	V _{BIAS}	LM4140B-1.250	1000	560	1146
2	V _{REF}	REF5030A	1000	495	1589
		LMV831	167		
	V _{BIAS}	PCF0603-13-4K99BT1	1000	500	
		REF2030	500		

表 4. 出力電圧ごとの誤差への寄与度の比較

ドリフト追従とマッチング

このデュアル出力システムにとって重要なもう一つの仕様が、特定の温度範囲にわたる2つの電圧間の精度のマッチングを表すドリフト追従であり、式4で表されます。図5は、REF2030の標準的なドリフト追従性能を示しています。

$$Drift\ Tracking = \left(\frac{V_{DIFF(MAX)} - V_{DIFF(MIN)}}{V_{REF} \times TempRange} \right) \times 10^6 (ppm) \quad (4)$$

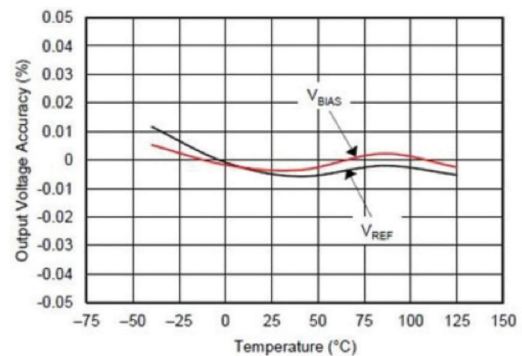


図 5. 温度に対するV_{REF}とV_{BIAS}の追従

ソリューション No. 1では2つの独立した電圧リファレンスを印加しているため、理論上、2つのリファレンスは互いに直接追従しない可能性があります。そのため、追従は各電圧リファレンスの最大温度ドリフト (11ppm/°C) の RSS 値となります。LM4140Bは0 ~ 70°Cの範囲だけが指定されているので、このドリフト追従はこの温度範囲にのみ適用されます。

ソリューション No. 2では、V_{REF}の誤差が両方の出力に共通するので、V_{REF}とV_{BIAS}の間のドリフト追従 (δ_{Tracking}) は、次の式5で表されるように、抵抗回路 (δ_{RES}) とバッファ (δ_{BUF}) からのドリフトにのみ依存します。

$$\delta_{Tracking} = \sqrt{\delta_{RES}^2 + \delta_{BUF}^2} \quad (5)$$

初期精度誤差を考慮すれば、次の式6に示すように、RSSによる出力のマッチング (25°C時) を計算することもできます。

$$Output_Matching = \sqrt{E_{V_{REF_Initial_accuracy}}^2 + E_{V_{MAX_Initial_accuracy}}^2} \quad (6)$$

表5は比較結果の概要です。ソリューション No. 2のドリフト追従と出力マッチングは、抵抗の精度に大きく依存します。ソリューション No. 2は、ソリューション No. 3に比べて2つの出力の追従がやや優れている一方、出力のマッチングが大幅に劣っています。具体的な数字では、ソリューション No. 3が約900ppm 優れています。これはつまり、ドリフトは2ppm/°Cしか変わらないため、ソリューション No. 2がNo. 3より高精度のソリューションとなるには450°Cの温度変化が必要になるということです。

Solution	Error sources	Output matching (at 25°C, ppm)	Drift tracking (ppm/°C)
1	REF5030A	1414	11
	LM4140B-1.250		
2	LMV831	1014	5
	PCF0603-13-4K99BT1		
3	REF2030	100	7

表 5. 出力マッチングとドリフト追従の比較

この比較結果から、ほとんどのケースでソリューション No. 3の全体性能が最も優れていることがわかります。ただし、実際の設計では、性能以外の点も考慮する必要があります。次は、スペース消費とコストに関してこれら3つの手法を比較した場合に、どのような

優劣があるのかを見ていきましょう。

スペース消費とコスト

高密度アプリケーションでは、システム性能とは別に、プリント基板 (PCB) の実装面積の要件が極めて重要になる場合があります。

図6を見ると、各ソリューションの総PCBスペース (デカップリング・コンデンサは考慮しない) をひと目で把握できます。

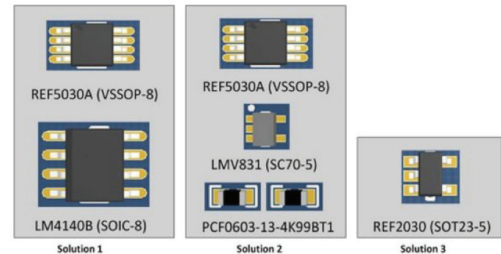


図 6. 3つのソリューションの総プリント基板スペース

表6は、必要なスペース (本体寸法のみを考慮) の簡単な計算を示しています。パッケージ・サイズが4.64mm²の1つの統合ソリューションからデュアル出力を供給することにより、REF2030の総スペースは、ソリューション No. 1の占有スペースに対して83%、ソリューション No. 2に対して67%縮小しています。コストの観点から見ると、REF2030のコストはソリューション No. 1に比べて52%、ソリューション No. 2に比べて30%低くなっています。

Solution	Device	Package	Body size (mm x mm)	Total size (mm ²)	Cost (USD)
1	REF5030A	VSSOP-8	3 x 3	28.11	1.35
	LM4140B-1.250	SOIC-8	2.9 x 4.9		1.55
2	REF5030A	VSSOP-8	3 x 3	14.06	1.35
	LMV831	SC70-5	1.25 X 2		0.40
	2 x PCF0603-13-4K99BT	0603 (1608 metric)	1.6 X 0.8 (each)		0.48
3	REF2030	DDC-5	1.6 x 2.9	4.64	1.4

表 6. 3つのソリューションすべてのスペース消費とコスト

まとめ

表7では、3つのソリューションすべてを比較しています。2つの独立した電圧リファレンスによって構築されたソリューション No. 1は、非常に単純かつ実装しやすいソリューションです。ただし、使用できる電圧の選択肢に制限があり、出力間での直接のドリフト追従がないという明らかな欠点もあります。また、2つの低ドリフト高精度リファレンスを使用しているため、非常に高コストです。

Solution	Voltage (V)	Device	Initial accuracy error (ppm)	Temperature drift error (ppm)	Total error (ppm)	Matching (at 25°C, ppm)	Drift tracking (ppm/°C)	Body size (mm ²)
1	V _{REF} = 3	REF5030A	1000	495	116	1414	16	28.11
	V _{BIAS} = 1.25	LM4140B-1/25		560				
2	V _{REF} = 3	REF5030A	1000	495	1589	1014	5	14.06
	V _{BIAS} = 1.25	LMV831	167	33				
		PCF0603-13-4K99BT1	1000	500				
3	V _{REF} = 3 V _{REF} = 1.25	REF2030	500	495	704	100	7	4.64

表 7. 3つのソリューションすべての最終的な比較

ソリューション No. 2は、より多くの部品と基板スペースを消費しながらも、ソリューション No. 1に比べてコストが低く、ドリフト追従に優れています。ただし、ソリューション No. 2の V_{BIAS} の精度は V_{REF} 、分圧回路、バッファ・アンプのドリフトによって決まるので、ソリューション No. 1より劣っています。一方で、ソリューション No. 2には、 $V_{BIAS} \neq V_{REF}/2$ の場合に異なるバイアス電圧を柔軟に設計できるという利点もあります。

ソリューション No. 3との最も顕著な違いは、No. 3が1チップ・ソリューションであるという点です。この設計は低コストでPCBスペースの使用面積が小さいことに加え、初期精度が最も優れています。実際、ソリューション No. 3は、No. 2に比べて出力マッチング率が90%高く、消費スペースが67%小さく、コストが30%低くなっています。つまり、低ドリフト・システムを目標とし、低コストで高精度の性能を確保したいという場合は、ソリューション No. 3 (REF2030) が適しているかもしれません。

2. 高精度単出力電流リファレンス

Zachary Richards

電流ソースおよびシンクは、アクティブなアナログ回路のバイアスといった単純なものから電流コンデンサ積分器のリセットおよび発振器アーキテクチャに至るまで、すべてのアナログ設計に欠かすことのできない構成要素です。電流ソースおよびシンクを実装するための便利なトポロジとして、オペアンプによって駆動する電界効果トランジスタ (FET) を使用し、小型の直列抵抗の帰還から電流を生成するトポロジがあります。図1は、このトポロジを表しています。

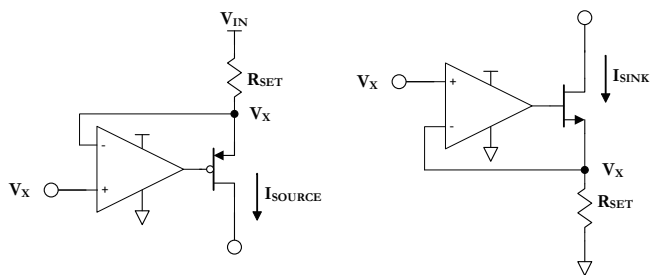


図1. 帰還による電流ソースおよびシンク生成回路

図1に示すように、どちらの回路でも負帰還を使用して R_{SET} 抵抗に電圧を印加しており、それによって以下のソース電流とシンク電流 (式1と式2) が生成されます。

$$I_{SOURCE} = \frac{(V_{IN} - V_X)}{R_{SET}} \quad (1)$$

$$I_{SINK} = \frac{V_X}{R_{SET}} \quad (2)$$

これらの電流をDCとして利用するには、式1と式2の分子が定数でなければなりません。これを実現する方法としては、図2に示すように、シャント電圧リファレンスを使用する方法が最も簡単です。

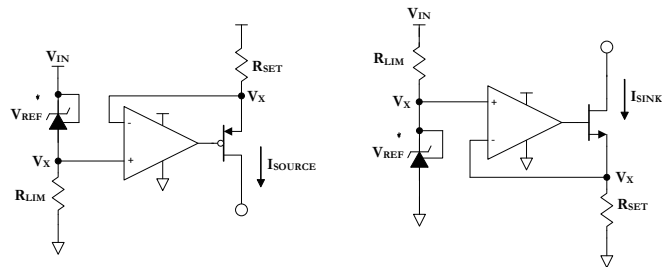


図2. 電圧リファレンスからの帰還による電流ソースおよびシンク生成回路

図2からわかるように、 R_{LIM} 抵抗が過剰な入力電圧を降下させ、電圧リファレンスを流れる電流を制限しています。さらに、カソードリファレンス間が接続された可変電圧リファレンス (LMV431 など) により、帰還電圧が最小値に引き下げられます。これによって得られる重要な利点については、後ほど説明します。式1および式2を、以下の式3および式4として記述し直します。

$$I_{SOURCE} = \frac{(V_{IN} - V_X)}{R_{SET}} = \frac{(V_{IN} - (V_{IN} - V_{REF}))}{R_{SET}} = \frac{V_{REF}}{R_{SET}} \quad (3)$$

$$I_{SINK} = \frac{V_X}{R_{SET}} = \frac{V_{REF}}{R_{SET}} \quad (4)$$

式3と式4は等しいので、それらを組み合わせて次の式5にまとめると、任意のソースまたはシンク電流 I_{SET} を生成するために必要な R_{SET} の値を求めることができます

$$R_{SET} = \frac{V_{REF}}{I_{SET}} \quad (5)$$

このトポロジの出力電圧範囲は、FETと R_{SET} 抵抗で維持しなければならないヘッドルームによって制限されます。印加される帰還電圧を最小限に抑えることで、有効な出力電圧範囲が最大になります。次の式6と式7は、電流ソースおよびシンクの、有効な出力電圧範囲内および範囲外での動作をそれぞれ表しています。

$$I_{SOURCE} = \begin{cases} \frac{V_{REF}}{R_{SET}} & , & V_{SOURCE} < V_{IN} - V_{REF} \\ \frac{V_{IN} - V_{SOURCE}}{R_{SET}} & , & V_{SOURCE} \geq V_{IN} - V_{REF} \end{cases} \quad (6)$$

$$I_{SINK} = \begin{cases} \frac{V_{REF}}{R_{SET}} & , & V_{SINK} > V_{REF} \\ \frac{V_{SINK}}{R_{SET}} & , & V_{SINK} \leq V_{REF} \end{cases} \quad (7)$$

可変電圧リファレンスの内部 V_{REF} はどれも約1.24Vです。バンドギャップ・リファレンスを介して生成されるこの電圧が、最終的にこのトポロジ全体の制限を決めることになります。例として、**図3**には R_{SET} 値124Ωでの電流シンク特性（リニア電流ドロップアウトを含む）を示しています。

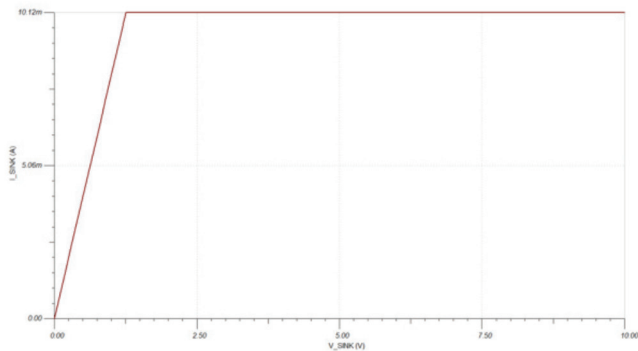


図3. 出力電圧に対するシンク電流の特性

このトポロジのFETの代わりにバイポーラ接合トランジスタ (BJT) を使用した場合、ヘッドルーム要件はわずかに高くなる場合がありますが、最終的にはほぼ同一の動作となります。

理想電流ソースは、回路理論の基本となる要素です。物理的実装は常に理想を下回るものですが、そうした不足を軽減したり防止したりするためには、その背景となるメカニズムを理解することが大切です。このトポロジに関しては、出力電圧範囲が出力電流に与える影響と、それを最小限に抑えるために電圧リファレンスの選択がどれだけ重要かという点を確認しました。

3. 単一帰還デバイスの電流リファレンス・ネットワーク

Zachary Richards

任意の大きさのDC電流の生成は、オペアンプ帰還と電圧リファレンスを使用した単純かつ簡単なプロセスです。ただし、たとえば任意の数 (Nとします) の電流シンク (または電流ソース) を生成する必要があると考えてみてください。この電流シンクまたはソースは、いくつかの複雑なアナログ回路から成る各段をバイアスするために、それぞれ任意の大きさが設定されています。リファレンス電圧は単一の実装だけで生成できますが、一方でシンクの帰還部全体を繰り返し実装すれば、コストや設計

領域の増大につながる可能性があります。そこで次のような疑問が生じます：このようなバイアス回路を、単一の帰還ソースを使用して実装することは可能なのでしょうか。設計がいくらか複雑になり、特定の条件を満たす必要もありますが、答えは「はい」です。**図1**は、そのような回路 (ここではシンクのみ) を示しています。

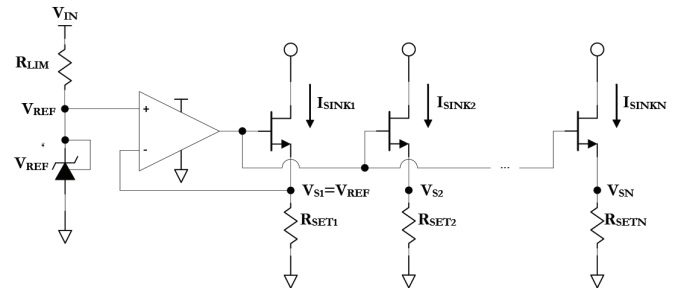


図1. 電流シンク回路

金属酸化膜半導体電界効果トランジスタ (MOSFET) のソース電圧 V_S と R_{SET} 抵抗によって各legのシンク電流が決まります。外側のシンク・leg (つまり1を超えるすべてのN) からの帰還を除去すると、 V_{SN} を直接制御できなくなります。そのため、任意のN番目のlegの目標とするシンク電流 I_{SINKN} を生成するには、 R_{SETN} を慎重に選択しなければなりません。

図1を検討することで得られる次の**式1**は、バイアス回路の最初のlegの電流に対するN番目のlegの電流の比率を定義しています。

$$\frac{I_{SINKN}}{I_{SINK1}} = \frac{V_{SN}/R_{SETN}}{V_{REF}/R_{SET1}} = \frac{V_{SN}}{V_{REF}} \cdot \frac{R_1}{R_N} = \frac{V_{SN}}{V_{REF}} \cdot M_{RN} = M_{IN} \quad (1)$$

R_1 と R_N の抵抗比 M_{RN} を求めるために**式1**を変形すると、次の**式2**が得られます。

$$M_{RN} = \frac{V_{REF}}{V_{SN}} \cdot M_{IN} \quad (2)$$

では、バイアス回路のN番目のlegのMOSFETソース電圧 V_{SN} とは何なのでしょう。飽和領域で動作するNチャネル金属酸化膜半導体 (NMOS) のドレイン電流の式 (次の**式3**) について考えてみましょう。

$$I_{Dn} = \frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (3)$$

ドレイン電圧の上昇が原因で増加したドレイン電流は R_{SET} 抵抗を介して減少し、結果としてソース電圧が上昇するので、ここでのチャネル幅変調の影響はほとんど無視できます。MOSFETで任意の電流をどのような値にでも維持できるようにするには、ゲート電圧をソース電圧とスレッシュホールド電圧の合計より大きく

しなければなりません。つまり、固定ゲート電圧の場合、最終的にソース電圧は少なくともスレッショルド電圧降下分だけそれを下回る値にクランプされ、ドレイン電圧の上昇によってドレイン電流が増加することはありません。そのため、このクランプを確実に実行するために R_{SET} が十分に大きくなる動作条件を定めることで、以下のような仮定が行えます。次の式4をご覧ください。

$$(1 + \lambda \cdot V_{DSN}) \approx 1 \quad (4)$$

式3と式4を基にすると、式1で表された比率は次の式5として記述し直すことができます。

$$M_{IN} = \frac{I_{SINKN}}{I_{SINK1}} = \frac{\frac{1}{2} \cdot K_n \cdot (V_{GSN} - V_T)^2}{\frac{1}{2} \cdot K_n \cdot (V_{GS1} - V_T)^2} = \frac{(V_G - V_{SN} - V_T)^2}{(V_G - V_{REF} - V_T)^2} = \left(\frac{V_G - V_{SN} - V_T}{V_G - V_{REF} - V_T} \right)^2 \quad (5)$$

式5を簡略化するために、次の項を式6として定義します。

$$V_{GT} = V_G - V_T \quad (6)$$

この代入と式5の各項の変形を行うと、次の V_{SN} の式(式7と式8)が得られます。

$$V_{GT} - V_{SN} = \sqrt{M_{IN}} \cdot (V_{GT} - V_{REF}) \quad (7)$$

$$V_{SN} = (1 - \sqrt{M_{IN}}) \cdot V_{GT} + \sqrt{M_{IN}} \cdot V_{REF} \quad (8)$$

式8を式2に代入すると、次の式9と式10が得られます。

$$M_{RN} = \frac{V_{REF}}{V_{SN}} \cdot M_{IN} = \left(\frac{V_{SN}}{V_{REF}} \right)^{-1} \cdot M_{IN} = \left[\frac{(1 - \sqrt{M_{IN}}) \cdot V_{GT} + \sqrt{M_{IN}} \cdot V_{REF}}{V_{REF}} \right]^{-1} \cdot M_{IN} \quad (9)$$

$$M_{RN} = \left[(1 - \sqrt{M_{IN}}) \cdot \frac{V_{GT}}{V_{REF}} + \sqrt{M_{IN}} \right]^{-1} \cdot M_{IN} \quad (10)$$

では、ゲート駆動電圧とスレッショルド電圧の差異、 V_{GT} とは何なのでしょう。この値は、最終的にはバイアス回路の最初のレグの帰還によって決まります。基本的には目標の I_{SINK1} 電流を維持するために必要な電圧であり、次の式11で表されます。

$$I_{SINK1} = \frac{1}{2} \cdot K_n \cdot (V_{GT} - V_{REF})^2 = \frac{V_{REF}}{R_{SET1}} \quad (11)$$

式11の各項を変形すると、次の V_{GT} の式(式12と式13)が決まります。

$$\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}} = (V_{GT} - V_{REF})^2 \quad (12)$$

$$V_{GT} = V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}} \quad (13)$$

式13を式10に代入すると、次の式14が得られます。

$$M_{RN} = M_{IN} \cdot \left[(1 - \sqrt{M_{IN}}) \cdot \left(\frac{V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}}}{V_{REF}} \right) + \sqrt{M_{IN}} \right]^{-1} \cdot C \quad (14)$$

最終的には、抵抗比 M_{RN} を、単に M_{IN} (およびバイアス回路デバイスのいくつかの物理定数)の関数として次の式15のように記述できます。

$$M_{RN} = M_{IN} \cdot \left[(1 - \sqrt{M_{IN}}) \cdot \left(1 + \sqrt{\frac{2}{K_n \cdot R_{SET1} \cdot V_{REF}}} \right) + \sqrt{M_{IN}} \right]^{-1} \quad (15)$$

では、式15についてはどのようなことが言えるのでしょうか。まず、 M_{IN} 比率が1の場合は、対応する M_{RN} 比率も予想されたとおりに1となります。次に、 M_{IN} の値が1を超える場合は、式15の分母の2つの項が異なる符号になることがわかります。つまり、関連する特定の物理量(K_n , R_{SET1} , V_{REF})に応じて、 M_{RN} は任意の大きな値になる可能性があるということです。そのため、すべての N について I_{SINKN} が I_{SINK1} 以下になるようにすることで、この領域を回避し、代わりに $M_{IN} \leq 1$ 領域を優先することが必要です。

式15のルートの項の分母 (K_n , R_{SET1} , V_{REF} の積) を大きな値にすると、 M_{RN} と M_{IN} が極限で1対1の直線関係になります。最終的に、この積を大きくするために V_{REF} と R_{SET1} がとることのできる使用可能な値の範囲は、シンクに必要なヘッドルームによって制限されます。ただし、 I_{SINK1} が固定値の場合、 V_{REF} を大きくするためには R_{SET1} も同様に大きくする必要があります。この積の最後の変数 K_n は MOSFET のプロセス・トランスコンダクタンスであり、デバイスを適切に選択することで最大化できます。図2は、 M_{RN} と M_{IN} の直線関係に対する K_n の影響を (5桁に及ぶ範囲の K_n 値ごとに) 表しています。

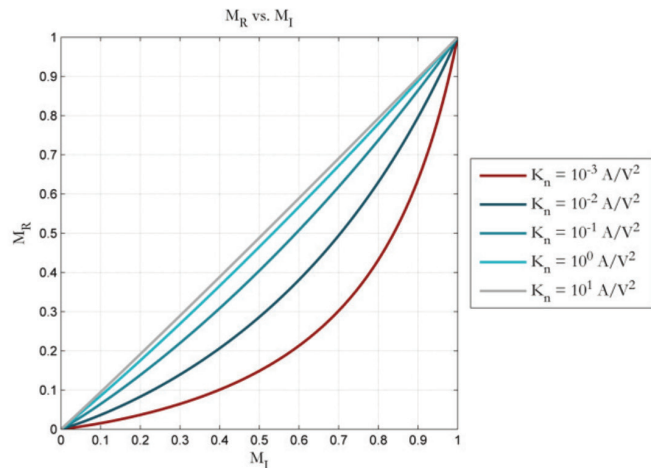


図2. プロセス・トランスコンダクタンスごとの電流比率に対する抵抗比率

プロセス・トランスコンダクタンスは、キャリア移動度、酸化膜誘電率、酸化膜厚 (μ , ϵ_{ox} , t_{ox}) といった材料およびプロセス特性への依存性から、この名前と呼ばれています。次の式16をご覧ください。

$$K_n = k_n' \cdot \frac{W}{L} = \mu_n \cdot C_{ox} \cdot \frac{W}{L} = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L} \quad (16)$$

しかし、プロセス・トランスコンダクタンスはデバイスの幅と長さの比率にも依存しているので、一般に大型のデバイスの動作は、式15の線形増加動作になります。ほとんどのデータシートには K_n についての記載がありませんが、 g_m または g_{FS} として記載されることの多い一般的なデータシート・パラメータである順方向トランスコンダクタンスから、 K_n を算出できます。

$$g_m = g_{FS} = \frac{\partial I_{Dn}}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left(\frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \right) = K_n \cdot (V_{GS} - V_T) \quad (17)$$

次の、飽和領域で動作する NMOS のドレイン電流の式を思い出してください。

$$I_{Dn} = \frac{1}{2} \cdot K_n \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (18)$$

チャネル長変調を無視して式18の各項を記述し直すと、次の式19が得られます。

$$V_{GS} - V_T = \sqrt{\frac{2 \cdot I_D}{K_n}} \quad (19)$$

結果を式17に代入し、最終的に次の式20と式21を使用して K_n を求めます。

$$g_m = K_n \cdot \sqrt{\frac{2 \cdot I_D}{K_n}} = \sqrt{2 \cdot I_D \cdot K_n} \quad (20)$$

$$K_n = \frac{g_m^2}{2 \cdot I_D} \quad (21)$$

式21を使用すれば、バイアス回路に最適な MOSFET デバイスを選択できます。さらに、この値を式15で使用すれば、目標の I_{SINKN} 電流を生成するために必要な R_{SETN} 抵抗値を (より正確に) 算出できます。

式15では、 $M_{IN} \leq 1$ 領域の R_{SETN} 抵抗の推定値が大きめに算出される傾向があるため、結果として得られる電流は目標値よりも低くなります。ただし、理想的なトランジスタのケース ($M_{IN} = M_{RN}$) では、この領域の R_{SETN} 抵抗の推定値が常に実際より小さくなります。つまり、これら2つの値を計算すると、最終的にはちょうど必要な値が得られることになります。

ランダムに選択した2つの N チャネル電界効果トランジスタ (NFET)、N チャネル MOSFET A と N チャネル MOSFET B について検討してみましょう。これらの NFET の g_{FS} 値は、それぞれ 5.5S ($I_D = 9A$ 時)、15S ($I_D = 31A$ 時) と記載されています。これらの NFET を使用して 1/4 の M_{IN} 比率を実装すると考えてみてください。表1は、(いくつかの単純な設計値とともに) 式15を使用して計算した修正後の R_{SETN} と M_{RN} 比率を示しています。

	g_{FS} (S)	I_D (A)	K_n (A/V ²)	V_{REF} (V)	I_{SINK1} (A)	I_{SINKN} (A)	M_{IN}	R_{SET1} (Ω)	R_{SETN} (Ω)	M_{RN}
N-channel MOSFET A	5.5	9	1.68	1.25	1.0	0.25	0.25	1.25	7.18	0.174
N-channel MOSFET B	15	31	3.63	1.25	1.0	0.25	0.25	1.25	6.48	0.193

表1. $M_{IN} = 1/4$ での回路パラメータと算出した R_{SETN} および M_{RN}

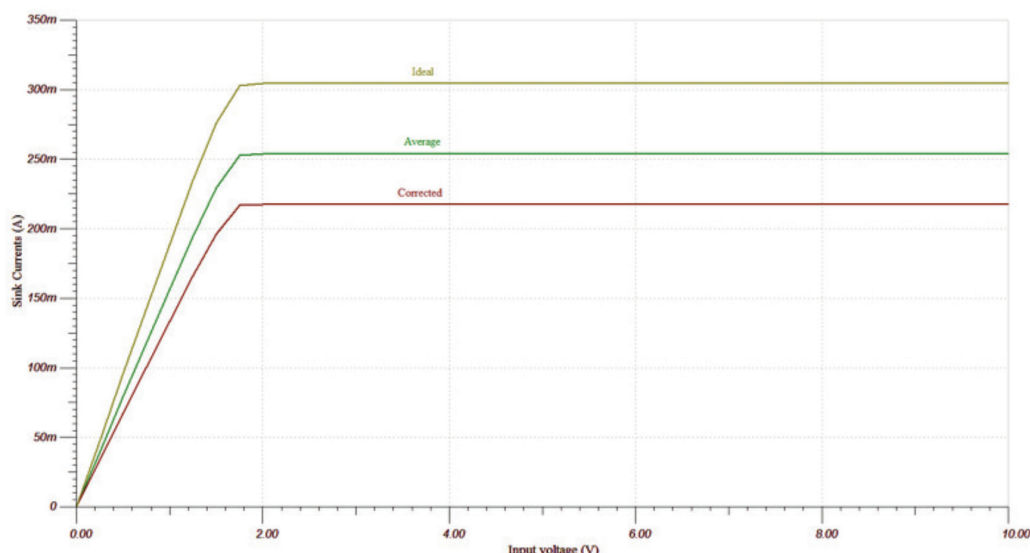


図 3. R_{SETN} の理想値、修正値、平均値 (シンク電流 対 ドレイン電圧)

	Ideal			Corrected			Average		
	R_{SETN} (Ω)	I_{SINKN} (A)	Error (%)	R_{SETN} (Ω)	I_{SINKN} (A)	Error (%)	R_{SETN} (Ω)	I_{SINKN} (A)	Error (%)
N-channel MOSFET A	5.0	0.304	21.6	7.2	0.218	-12.8	6.1	0.254	1.5
N-channel MOSFET B	5.0	0.283	13.2	6.5	0.221	-11.6	5.7	0.248	-0.8

表 2. R_{SETN} の計算方法と算出された精度

図3は、表1に記載されているNチャネルMOSFET Bトランジスタの条件を使用し、理想的なケース(これらの条件下では5 Ω)、修正後のケース(式15)、および2つのケースの平均から算出された R_{SETN} 値で実装した、図1に示す回路のTINA-TIソフトウェア・シミュレーションの結果を表しています。

表2は、NチャネルMOSFET AとNチャネルMOSFET Bを使用した、前述の3つの R_{SETN} 値でのシミュレーション結果を、対応するパーセンテージ誤差の計算結果とともにまとめたものです。

最初の帰還駆動レグの電流が回路内で最も大きく、各レグで適切なヘッドルームが維持されているという条件を満たしている限り、最終的には単一帰還デバイスを使用して任意の値のバイアス回路を得ることができます。つまり、バイアス回路を単一の電圧リファレンスから構築できます。

4. 単純な高精度電流シンク・アーキテクチャ

Zachary Richards

任意の大きさのDC電流の生成は、オペアンプ帰還と電圧リファレンスを使用した単純かつ簡単なプロセスです。個々の電流ソ

スおよびシンクや、それらの回路網を実現するために利用できる外部オペアンプ・アーキテクチャがいくつか存在します。

ここでは、電圧リファレンス自体からの帰還を使用したアーキテクチャについて見ていきましょう。図1に示すような電圧リファレンスの記号と実際の機能ブロック図を考えてみてください。

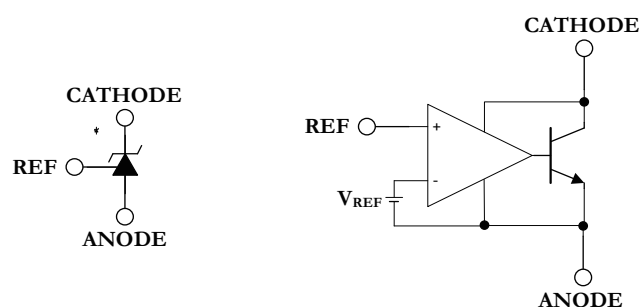


図 1. 電圧リファレンスとその機能ブロック図

電圧リファレンスの動作は基本的にツェナー・ダイオードと同じなので、この図にはツェナー・ダイオードの記号を使用しました。ただし、この動作を実現するには、単純なデバイスの物理特性を考慮するだけでなく、巧妙な設計が必要になります。図2に示す自己参照(カソード・リファレンス間が接続された)構成について考えてみましょう。

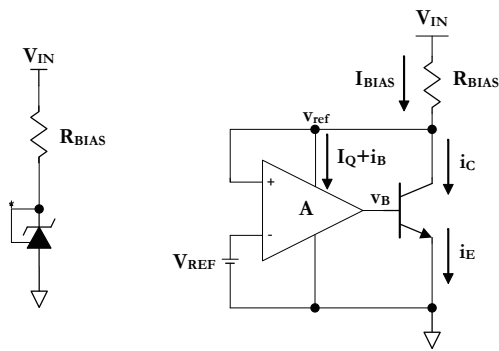


図2. 電圧リファレンスの標準的動作

この構成については、どのようなことが言えるでしょうか。まず第一に、図2のすべての電流を使用することで、次の式1に示すように状況を大幅に単純化して定義することができます。

$$I_{BIAS} = I_Q + i_B + i_C = I_Q + i_E \quad (1)$$

I_{BIAS} はオペアンプの静止電流 I_Q と、バイポーラ接合トランジスタ (BJT) のエミッタ電流 i_E の合計です。次の式2では、オペアンプの静止電流が通常動作時のエミッタ電流に比べて無視できる程度であるという認識に基づき、式1をさらに簡略化しています。

$$I_{BIAS} \approx i_E \quad (2)$$

次の式3と式4では、ベース-エミッタ接合部のダイオード式と公称理想係数を用いた順方向バイアス動作によりエミッタ電流を定義しています。

$$i_E = I_S \cdot (e^{\frac{v_{BE}}{V_T}} - 1) \approx I_S \cdot e^{\frac{v_{BE}}{V_T}} \quad (3)$$

$$I_{BIAS} \approx I_S \cdot e^{\frac{v_{BE}}{V_T}} \quad (4)$$

式4に示されているとおり、 I_{BIAS} を維持するためにベース-エミッタ間電圧がいくらか存在していなければなりません。つまり、図2の v_{ref} と V_{REF} の間にはゼロでない差異があることとなります。次の式5で、 V_{REF} と小さな摂動電圧 ϵ_v によって v_{ref} を定義し、この差異を明らかにしましょう。

$$v_{ref} = V_{REF} + \epsilon_v \quad (5)$$

これで、次の式6と式7に示すとおり、ベース-エミッタ電圧とオペアンプ・ゲインによって ϵ_v を定義できます。

$$v_{BE} = A \cdot (V_{REF} + \epsilon_v - V_{REF}) = A \cdot \epsilon_v \quad (6)$$

$$\epsilon_v = \frac{v_{BE}}{A} \quad (7)$$

理想的なオペアンプのケースでは ϵ_v がゼロに低下することが明らかですが、ここではごく控えめな値をいくつか検討してみましょう。次の式8では、 I_{BIAS} を維持するために必要な v_{BE} が 0.5V、オペアンプのゲインが標準的な 10^4 であると仮定して式7を解いています。

$$\epsilon_v = \frac{0.5V}{10^4} = 50\mu V \quad (8)$$

1.25Vの電圧リファレンスの場合、これは4,000分の1パーセント (40ppm) 程度の誤差を意味しますが、そのような誤差は無視できる値と見なしても問題ありません。

では、入力電圧を大きくして I_{BIAS} を増加させた場合に ϵ_v がどうなるのかを検討してみましょう。具体的には、次の式9と式10に示すように、 I_{BIAS} を任意の動作点から2倍に増やします。

$$I_{BIAS1} = I_S \cdot e^{\frac{v_{BE1}}{V_T}} \quad (9)$$

$$I_{BIAS2} = I_S \cdot e^{\frac{v_{BE2}}{V_T}} = 2 \cdot I_{BIAS1} \quad (10)$$

次の式11～13に示すように、式10を式9で割って各項を簡略化することにより、 I_{BIAS} を2倍にするために必要な v_{BE} の変化量が得られます。

$$\frac{I_{BIAS2}}{I_{BIAS1}} = \frac{I_S \cdot e^{\frac{v_{BE2}}{V_T}}}{I_S \cdot e^{\frac{v_{BE1}}{V_T}}} = \frac{e^{\frac{v_{BE2}}{V_T}}}{e^{\frac{v_{BE1}}{V_T}}} = 2 \quad (11)$$

$$\frac{v_{BE2}}{V_T} - \frac{v_{BE1}}{V_T} = \ln(2) \quad (12)$$

$$V_{GT} = V_{REF} + \sqrt{\frac{2 \cdot V_{REF}}{K_n \cdot R_{SET1}}} \quad (13)$$

最終的には、次の式14と式15に示すとおり、 I_{BIAS} を2倍にするために必要な ϵ_v の変化量を求める式が得られます。

$$\Delta v_{BE} = A \cdot \epsilon_{v2} - A \cdot \epsilon_{v1} = A \cdot \Delta \epsilon_v \quad (14)$$

$$\Delta \epsilon_v = \frac{\Delta v_{BE}}{A} = \frac{V_T \cdot \ln(2)}{A} \quad (15)$$

熱電圧 V_T の室温値を代入し、ここでも標準的なオペアンプ・ゲインを 10^4 と仮定すると、式15を解くことで、 I_{BIAS} を2倍にするために必要な $\Delta \epsilon_v$ の控えめな値を求めることができ、次の式16が得られます。

$$\Delta \epsilon_v = \frac{V_T \cdot \ln(2)}{A} = \frac{17.92mV}{10^4} = 1.792\mu V \quad (16)$$

この場合、 I_{BIAS} が2倍になるごとに V_{REF} の電圧は $1.792\mu V$ しか増加しません。これは、ツェナー・ブレイクダウンの動作を模倣するベース・エミッタ・ダイオードの指数関数的IV特性とオペアンプ・ゲインの乗算です。

次の図3に示すように、電圧リファレンスの接続方法を変えると、その内部オペアンプを活用して単純な電流シンクを生成できます。

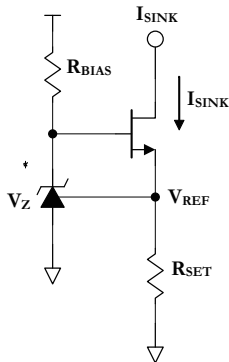


図 3. 電圧リファレンスから生成される単純な電流シンク

ここで行われている動作を視覚的に把握するため、図4に示す、記号の代わりに挿入した機能図について考えてみましょう。

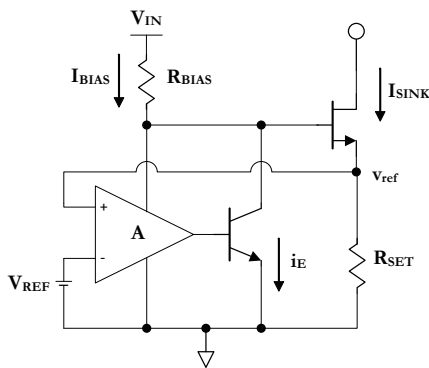


図 4. 単純な電流シンクの機能図

V_{IN} 、 R_{BIAS} 、BJT回路は基本的にオペアンプの反転出力段として機能するので、それらの組み合わせを、図5に示すように、新しいゲインを持ち入力極性が反転した新しいオペアンプ記号 A_T にまとめることができます。

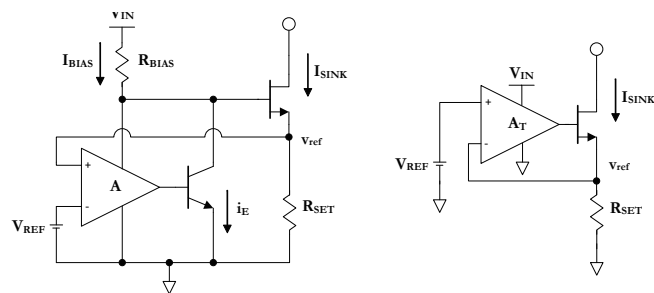


図 5. 単純な電流シンクの機能図と等価回路

5. 絶縁型 DC/DC コンバータ・シャントの安全性のための設計

Ron Michallick

お使いのシャント・レギュレータが危険な状態にあることをご存じでしたでしょうか。でも大丈夫です。費用をかけずに修正できるので、ご心配には及びません。

絶縁型 DC/DC コンバータ・アプリケーションで使用されるごく一般的な帰還回路では、[ATL431](#)などのシャント・レギュレータと光アイソレータを、パルス幅変調回路 (PWM) コントローラへの出力電圧の帰還用に使用しています。この回路は効果的で使いやすい回路です。ただし、ご存じないかもしれませんが、この回路には静電放電 (ESD) や電氣的オーバーストレス (EOS) の危険が潜んでいます。

一見したところ、図1のシャント・レギュレータに EOS の影響はなさそうです。 V_{OUT} で過電圧が生じるとカソード電圧が低下し、リファレンス・ピンの電圧は、カソード・ピンとにある内部ダイオードによって上昇しません。直列抵抗がリファレンス・ピンとカソード・ピンの両方で電流を制限してシャントを保護します。整流器が電圧をクランプし、直列抵抗がシャントへの電流を制限するので、負電圧の V_{OUT} によってシャントに悪影響が及ぶことはありません。

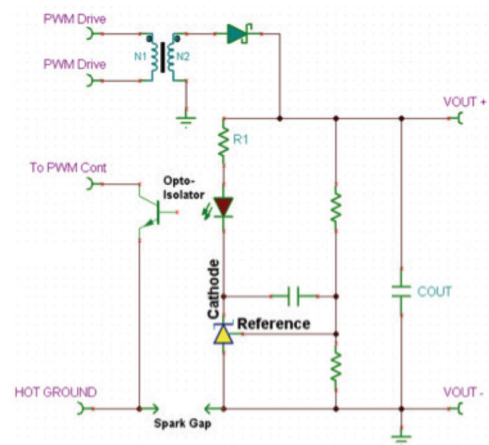


図 1. 絶縁型 DC/DC コンバータのエラー・アンプ回路

ただし、ESD 事象の発生中に絶縁部にかかる電圧が大きくなりすぎると、シャント・レギュレータが損傷を受ける可能性があります。絶縁部で最も弱い部分は、通常は光アイソレータのリードです。

光アイソレータのギャップが破壊された場合に ESD が最も放電しやすいパスは、図2に赤線で示したシャント・レギュレータを通るパスです。

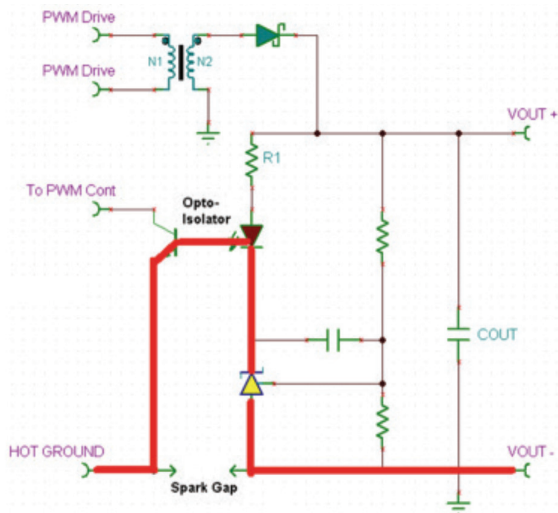


図 2. 光アイソレータのリード間の電気アークを含む ESD パスを示す赤線

抵抗 R1 を光アイソレータのアノードからカソード側に移動することで、絶縁破壊時にシャントが保護されます。抵抗の移動による性能や安定性への影響はありません。抵抗の移動が有効なのは、この移動により、光アイソレータの絶縁破壊時にグランドへのパスとして出力コンデンサが優先されるようになるからです。

図3の赤線は新しい ESD パスを示しています。

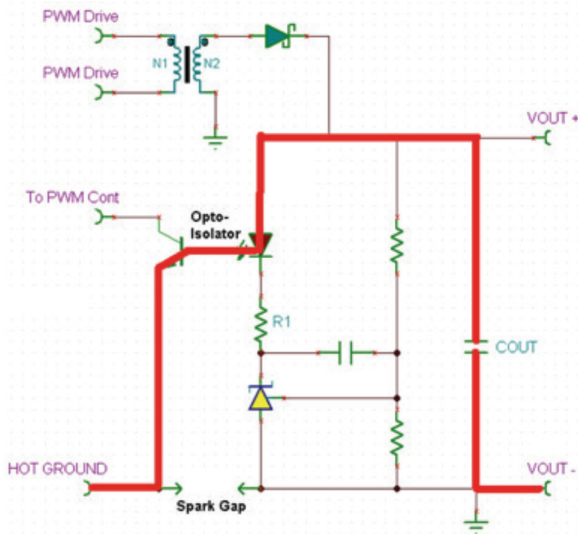


図 3. 光アイソレータのリード間の電気アークを含む新しい ESD パスを示す赤線

これでシャント・レギュレータは主要な ESD パス上の部品ではなくなったので、ESD によって損傷することがなくなります。電流はコンデンサに流れますが、コンデンサはシャント・レギュレータの耐性を大幅に上回る ESD エネルギーに耐えられます。電気アークが通過する光アイソレータ上のピンによっては、PWM コントローラに大きな危険が及ぶ可能性が残り、光アイソレータ自体もある程度の危険にさらされます。

スペースに制限のある設計では、別の危険が生じる可能性もあります。図4に示すように、シャントやそのノード・パターンを配置する場所が絶縁された（ホット・グランド）パターンに近すぎると、電気アークがシャントやその回路パターンに直接発生する可能性があります。この場合、抵抗 R1 を移動してもシャントは保護されません。この問題を解決するには、アノード（グランド）が絶縁ギャップの反対側にあるパターンに最も近いノードとなるように、シャントを回転させます。



図 4. シャント・リファレンスに対する電気アーク（赤線）の影響

これ以上の保護が必要な場合は、意図的なスパーク・ギャップを追加して、ESD 事象を一方のグランドからもう一方のグランドにアーク放電させることもできます。このスパーク・ギャップは、必要な降伏電圧が大幅に低いため、アークが別のパスを選ばないように確実に誘導できます。スパーク・ギャップ間のアークが部品にストレスを与える可能性がないことは、図5を見れば明らかです。

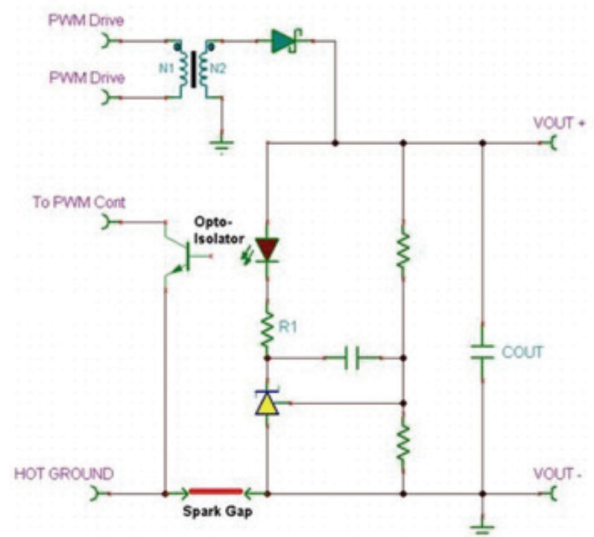


図 5. スパーク・ギャップ保護部品（赤線は電気アーク）

ご覧のように、簡単な変更によって ESD 性能を大幅に向上させることができます。また、前述したように費用はかかりません。ここで紹介した帰還安全回路は、TI の [ATL431/2](#)、[TL431/2](#)、[TLVH431](#) を含むすべての共通アノード可変シャント・レギュレータに適用できます。

リソース

- テキサス・インスツルメンツの電圧リファレンス・ランディング・ページ: www.tij.co.jp/vref
- シャント電圧リファレンスの外部抵抗クイック・スタート・カリキュレータ: www.tij.co.jp/tool/jp/shunt_voltage_reference_resistor_calculator
- 電圧リファレンスに関する技術記事
https://e2e.ti.com/blogs_/japan/tags/vref
- 電圧リファレンス・トポロジの選択方法に関する記事: <http://embedded-computing.com/articles/shunt-versus-series-how-to-select-a-voltage-reference-topology/#>

S-0107

ご注意:

本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をする場合がありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいようお願い致します。

TIは製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TIがその他社製品を承認あるいは保証することにはなりません。



重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated