

Application Note

TPS53689T/C9T のスタートアップ動作分析: バンプ低減と積分時間の一定依存関係



Mark Chen, Vasav Gautam, Ramakrishnan Venkatraman

概要

スタートアップ中、コンスタント オン タイム (COT) コントローラの出力電圧が短時間発振しているのが確認されます。最新のプロセッサに電力を供給するマルチフェーズ電圧レギュレータ (VR) システムでは、このようなバンプがダウンストリームデバイスにストレスを加えたり、誤ってフォルト状態をトリガしたり、システムの安定性に影響を及ぼしたりする可能性があります。この現象を軽減するために、バンプ低減技術が実装されています。このアプリケーション ノートは、パワー マネージメント IC のバンプ現象の根本原因を分析し、TPS53689T/C9T マルチフェーズ コントローラに実装している実用的なバンプ低減手法を紹介します。測定結果は、代表的な動作条件でこれらの手法の有効性を検証するために提供されています。

目次

1 はじめに.....	2
2 マルチフェーズ VR システムにおけるバンプの定義.....	2
3 システムの説明と観測されたエラー.....	3
4 シミュレーション分析とイベントのシーケンス.....	5
5 低電圧フォルトトリガの識別.....	6
6 測定値の検証.....	6
7 まとめ.....	7
8 参考資料.....	7
9 改訂履歴.....	7

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

大電流マルチフェーズ電圧レギュレータ (VR) アプリケーションでは、信頼性の高いシステム動作を実現するには、安定的で予測可能なスタートアップ動作が不可欠です。最新のデジタル コントローラは多くの場合、パワーアップ時の出力電圧リンギングを低減するためのバンプ低減などの高度なスタートアップ機能を搭載しています。

顧客プラットフォームでの **TPS53689T** マルチフェーズ コントローラのシステム評価中に、バンプ低減機能により異常なスタートアップ条件が確認されました。具体的には、出力電圧が正常に上昇しなかったため、コントローラが低電圧 (UV) フォルトを報告しました。積分低時定数を増やすことにより、この問題は解決されました。

このアプリケーション ペーパーでは、この動作の根本原因を分析し、コントロール ループ パラメータ チューニング (特に **Final_INT_LOW_TC** 設定) によって、バンプ低減機能を維持したまま、スタートアップの堅牢性を上げる方法を示します。

2 マルチフェーズ VR システムにおけるバンプの定義

コントローラは、ソフト スタート時の実際の出力電圧 (V_{OUT}) と設定点 ($VDAC$) の差を監視します。事前定義されたスレッショルドである **50mV** よりも差が開くと、制御ループが別の PWM パルスを必要とするまで、すべての PWM がトライステートになります。TI では、ソフトスタート時に大きな突入電流と大きな V_{OUT} バンプが発生した場合にのみバンプ低減機能を有効にすることを推奨します。

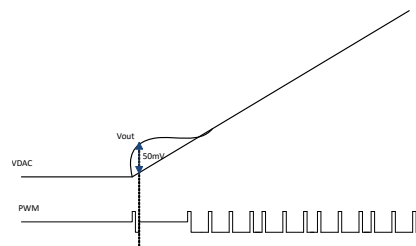


図 2-1. バンプ低減有効

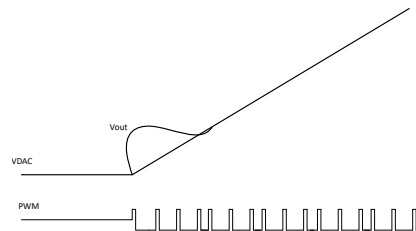


図 2-2. バンプ低減無効

注

出力電圧波形は単純な説明であり、実際の動作はループ補償、**min_ton** 開始および出力電力供給ネットワークの関数です

3 システムの説明と観測されたエラー

顧客の基盤上での評価中に、異常なスタートアップ動作が観察されました。バンプ低減機能が有効になっているときに、システムがスタートアップシーケンスを完了できませんでした (図 3-1)。一方、バンプ低減機能が無効になった後、通常のスタートアップ動作が実現されました (図 3-2)。スタートアップに失敗した状態では、コントローラによって **VOUT_UV** 保護イベントがログに記録されました。

低電圧 (UV) トリガの正確なタイミングと条件は、外部の測定からは直接識別できないため、エミュレートしたコントローラを使用してイベントをさらに調査しました。エミュレートされたコントローラの内部 **VDAC** 電圧を監視し、**SMBus** アラート経由でそのステータスを報告することにより、UV トリガが発生したことを確認できました。

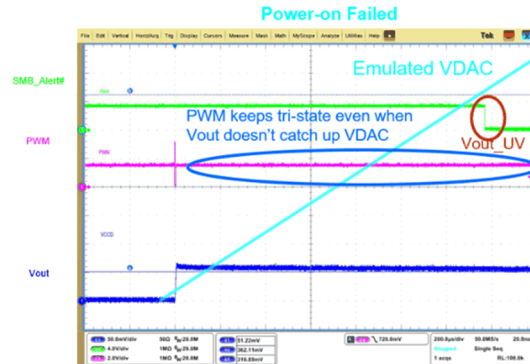


図 3-1. バンプ低減有効

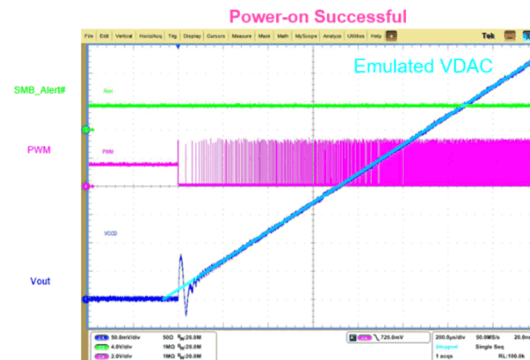


図 3-2. バンプ低減無効

図 3-1 に示すように、コントローラは **PWM** パルスを停止するため、最初の数 **PWM** パルス後に出力電圧がストールします。次の問題は、なぜコントローラが **PWM** パルスの生成を停止するかです。シミュレーションでは、この問題はコントローラ積分器の飽和 (負の値が高) に関係していることが確認されました。

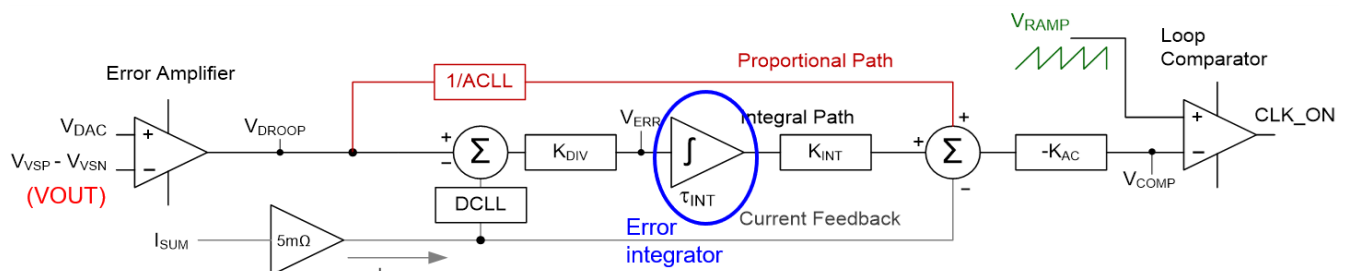


図 3-3. ループ補償の概念ブロック図

図 3-3 に、制御ループにおける積分器 (t_{INT}) の位置を示します。GUI では、これは Int 時定数 (図 3-4) と表されます。ただし、バンプ低減時には、別の値の t_{INT} が使用されます。これは、レジスタの位置 0xCE<14:12> (GUI には表示されません) に格納され、Int_low_TC と表されます。時定数の最終的な値は、表 3-1 に示すように $t_{INT} \times G_{INT}$ です。

The screenshot shows the 'Loop Compensation' window with the following parameters:

- DC Load Line: 0.5000000 mΩ
- AC Load Line: 0.390625 mΩ
- DCM Int Time Constant: 14 μs (highlighted in red)
- DYN Int Time Constant: 6 μs
- Int Time Constant: 2 μs
- Ramp: 400 mV
- Integration Gain: 1.5
- AC Gain: 0.25
- VDINT: 40 mV
- GINT: ☒ 1.0x DYN_INT_TC; 1.0x INT_TC
☐ 6.0x DYN_INT_TC; 6.0x INT_TC

図 3-4. Fusion GUI のループ タイミング パラメータ

表 3-1. 積分器の実効時定数

ボード	INT_TC GUI 値	INT_LOW_TC レジスタ名	GINT	Final INT_TC	Final INT_LOW_TC	起動に成功?
1U	2us	125ns	6	12us	750ns	はい
2U	8us	125ns	1	8us	125ns	いいえ
2U 検証	8us	1000ns	1	8us	1000ns	はい

4 シミュレーション分析とイベントのシーケンス

図 4-1 に、さまざまな動作モードの積分回路を示します。ここで、最終的な積分時定数は $1/RC$ です。最初は、積分器の出力 V_I はゼロです。以下で、シミュレーション結果 (図 4-2) と併せてイベントのシーケンスを説明します。

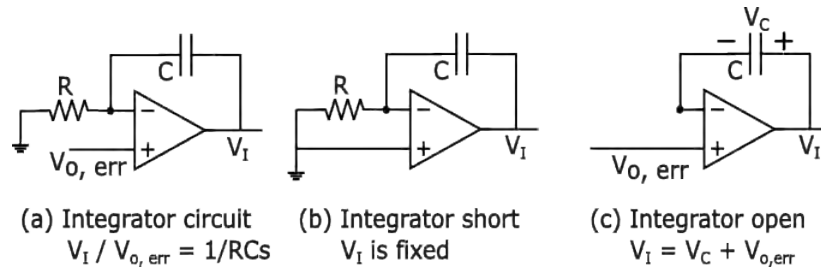
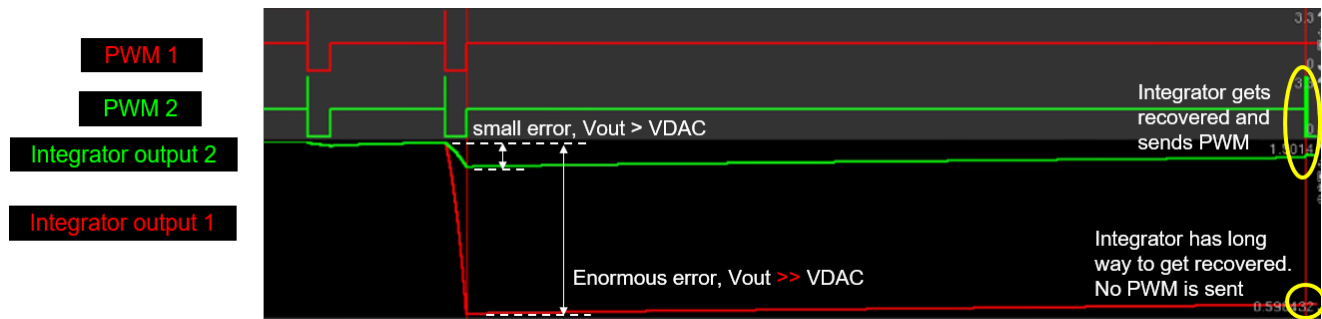


図 4-1. さまざまな動作モードでの積分器回路

1. 初期状態では、PWM はトライステートになり、積分器は 図 4-1b に示すように短絡されています。起動中、最初の 2 つの PWM の接続はそのまま維持されます。
2. 最初の PWM が印加されると、出力バンプが上昇します。これは、電力段のインダクタとコンデンサの構成によって異なります。また、Int Low TC がアクティブになります。トライステート モードの後、最初の 2 つの PWM はアクティブなままです。積分器はまだ短絡されています。
3. VOUT (AVSP-AVSN) がバンプ低減スレッショルドを上回ると、PWM がトライステートになり、積分器が解放されます (図 4-1)。したがって、エラー積分は停止します。ただし、積分器の出力は VOUT エラーと同じレートで変動します ($V_I = \text{一定} + V_{O, error}$)
4. VOUT がバンプ低減スレッショルドを下回ると、別の PWM が発行されます。これは 2 番目の PWM で、通常のエラー積分が開始されます。
5. 積分時定数は低い (積分乗数は高い) ため、積分器出力は約 200ns 以内に飽和に移行します。
6. この時点で、出力が再度上昇して、2 番目のバンプ低減イベントを検出します。これにより PWM はトライステートになり、積分器が解放されます。
7. 積分器が飽和状態 (または極端に負の状態) で、積分器が開放されているため、次のオン パルスは非常に長い時間は送信されず、PWM はトライステートのまま、次のオン パルスを待機します。
8. DAC が PWM なしで継続的に上昇するので、この結果、UV フォルトが発生します。

また、シミュレーション結果は、Final INT_LOW_TC が 1000ns の場合、スタートアップ フェーズ中に内部エラー積分器の積分レートが遅くなり、出力電圧の上昇が一時的に制限されている場合でも積分器が飽和しにくくなることも示しています。この条件では、コントローラは PWM パルスを生成し続け、出力電圧をスムーズに上昇させることができます。積分器の動作のこの違いにより、2 つの基板設計で観測される異なるスタートアップ動作を明確に説明できます。

これらの結果は、バンプ低減が有効になったときのスタートアップの安定性を決定する上で、最終的な INT_LOW_TC が重要な役割を果たすことを示しています。



波形 1 (赤) は、(Final INT_LOW_TC) = 125ns でバンプ低減が有効です

波形 2 (緑) は、(Final INT_LOW_TC) = 1000ns でバンプ低減が有効です

図 4-2. 異なる Final INT_LOW_TC によるシミュレーション結果

5 低電圧フォルトトリガの識別

スタートアップ フォルト条件が発生している間、コントローラによって VOUT_UV フォルトが記録されました。ただし、UV トリガの正確なタイミングを、外部測定のみから直接決定することはできません。

これに対処するため、エミュレーション コントローラを使用して内部 VDAC 電圧を監視しました。フォルト ステータスは SMBus Alert# によって通知され、低電圧イベントのタイミングを識別できます。図 3-1 では、SMBus_ALERT# は VDAC で約 400mV でアサートされます。これは、VOUT、50mV より 350mV 高い値です。

この方法では、出力電圧が停止した後、UV フォルトがトリガされたことを確認し、積分器の飽和によってさらなる PWM 動作を防止します。

6 測定値の検証

ベンチテストでは、解析とシミュレーションの結果をさらに詳しく検証しました。図 6-1 に示すように、最終的な INT_LOW_TC が 125ns に設定されると、出力電圧が正常に起動しません。図 6-2 に示すように、最終的な INT_LOW_TC が 1000ns に増加すると、出力電圧は正常に起動できます。内部積分器は、初期スタートアップ フェーズ中は較正期間が必要ですが、出力電圧は UV スレッシュホールドを下回らないため、低電圧保護がトリガされるのを防止し、出力電圧が通常どおり上昇します。

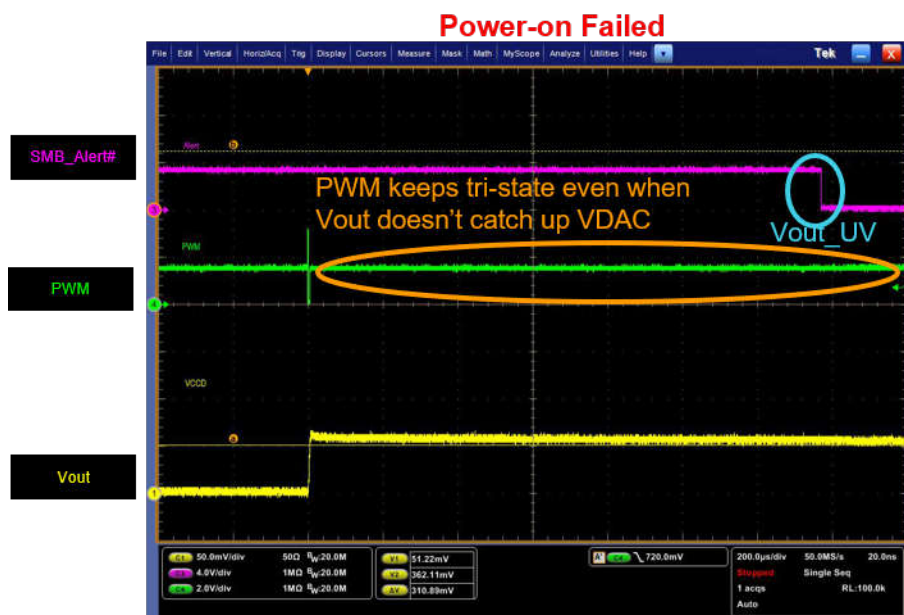


図 6-1. バンプ低減が有効で Final INT_LOW_TC = 125ns

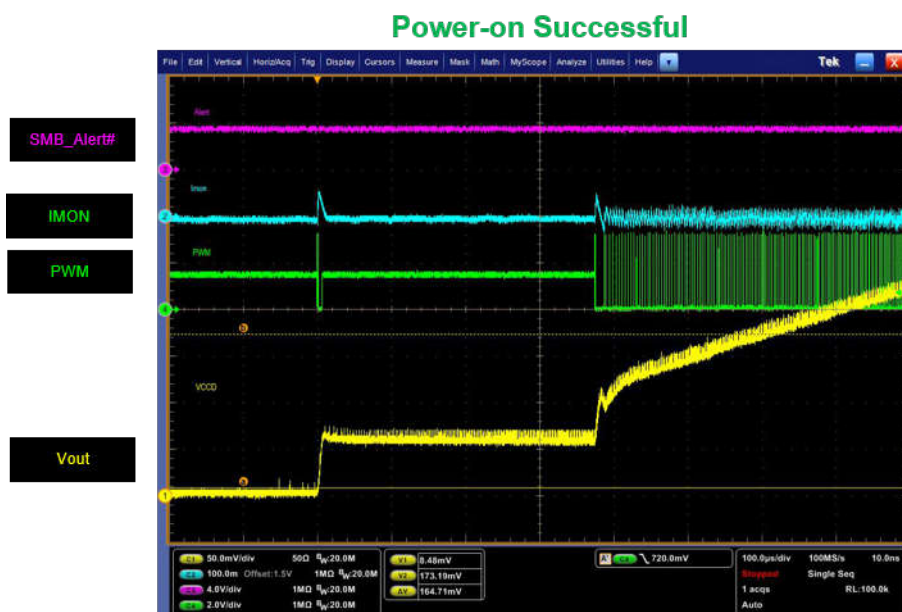


図 6-2. バンプ低減が有効で Final INT_LOW_TC = 1000ns

7 まとめ

このアプリケーション ノートでは、バンプ低減を有効にした TPS53689T ベースの設計でスタートアップの不安定性が観測されるのは、過度に積極的な Final_INT_LOW_TC の設定が原因で発生する内部エラー積分器の飽和が原因である可能性があることを示しています。

制御ループ解析、シミュレーション、ベンチ検証により、Final_INT_LOW_TC を増やすと、積分器の飽和が効果的に防止され、意図しない低電圧フォルトのトリガが回避され、信頼性の高いスタートアップ動作が可能になることが分かっています。

したがって、大電流マルチフェーズ VR アプリケーションでバンプ低減を有効にするには、制御ループ パラメータを適切に調整することが不可欠です。

8 参考資料

1. テキサス インスツルメンツ、『TPS53689T デュアル チャネル (N + M ≤ 8 相) D-CAP+、降圧、TLVR サポート付きマルチフェーズ コントローラ、PMBus および VR14 SVID インターフェイス付き』、データシート。
2. テキサス インスツルメンツ、『TPS536C9T デュアル チャネル (N + M ≤ 12 相) D-CAP+、降圧、TLVR サポート付きマルチフェーズ コントローラ、PMBus および VR14 SVID インターフェイス付き』、データシート。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2026) to Revision A (August 2026)	Page
ドキュメント全体で startup のスペルを start-up に更新.....	0
「システムの説明と観測されたエラー」セクションのテキストにある t_{INT} のフォーマットを更新	3
「シミュレーション分析とイベントのシーケンス」セクションのテキストにある $1/RC$ のフォーマットを更新	5

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月