

Application Note

TDM と I²C バスを共有する複数の TAC5x1x デバイス

Garret Godfrey

概要

TAC5x1x デバイス (TAC5111、TAC5112、TAC5211、TAC5212、TAC5311-Q1、TAC5312-Q1、TAC5412-Q1) は、モノラル (TAC5x11) またはデュアル (TAC5x12) チャンネルのオーディオ アプリケーション向け高性能コーデックです。このドキュメントでは、複数の TAC5x1x デバイスで単一の TDM および I²C バスを共有できるように構成する方法について説明します。

目次

1 概要.....	2
2 制御バスの共有.....	2
3 オーディオ バスの共有.....	3
3.1 共有 TDM の ASI 構成.....	4
3.2 デイジーチェーン TDM の ASI 構成.....	7
4 複数の TAC5x1x 評価基板の PurePath Console 3 の構成.....	10
4.1 TAC5x1x のデフォルト I ² C アドレスの変更.....	11
4.2 複数のデバイスでの PurePath Console の起動.....	12
5 PurePath Console I ² C スクリプト.....	15
5.1 共有 TDM の TAC5x1x I ² C スクリプト.....	15
5.2 デイジーチェーン TDM の TAC5x1x I ² C スクリプト.....	16

図の一覧

図 1-1. 制御バスとオーディオ データ バスを共有する 4 つの TAC5x1x デバイス.....	2
図 3-1. TDM モード標準プロトコル タイミング (TX_OFFSET = 0).....	3
図 3-2. TAC5x1x の共有 TDM 接続図.....	4
図 3-3. TAC5x1x デイジーチェーン TDM 接続図.....	8
図 4-1. TAC5x1x 評価基板の I ² C および TDM 信号の位置.....	10
図 4-2. TAC5x1x 評価基板の I ² C アドレス構成.....	11
図 4-3. PurePath Console デバイス数入力ダイアログ.....	12
図 4-4. PurePath Console のメイン ウィンドウ.....	13
図 4-5. PurePath Console デバイス A チャンネルからスロットへのマッピング.....	13
図 4-6. PurePath Console デバイス B チャンネルからスロットへのマッピング.....	14

表の一覧

表 2-1. TAC5x1x I ² C ターゲット アドレス設定.....	2
表 3-1. PASI_TX_CFG0 レジスタ 0x1B.....	5
表 3-2. PASI_TX_CHx_CFG レジスタ 0x1E - 0x25.....	6
表 3-3. PASI_RX_CHx_CFG レジスタ 0x28 - 0x2F.....	6
表 3-4. ASI_CFG0 レジスタ 0x18.....	8
表 4-1. TAC5x1x 評価基板の I ² C ターゲット アドレス.....	11

商標

PurePath™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 概要

TAC5x1x の各 ADC チャンネルは、1 つのアナログ差動入力またはシングルエンド入力、または 2 つのデジタル パルス密度変調 (PDM) マイク入力をサポートしており、各 DAC チャンネルは 1 つの差動出力または最大 2 つのシングルエンド出力をサポートしています。

最大 8 つのアナログ入力または 16 個の PDM 入力、および最大 16 個のアナログ出力を備えるシステムで、時分割多重化 (TDM) インターフェイスを使用することで、最大 4 つの TAC5x1x デバイスが単一のオーディオ データ バスを共有でき、基板配線面積を最小限に抑えることが可能です。

TAC5x1x は、I²C インターフェイスを使用した共有制御バスをサポートしています。図 1-1 に示されているように、このアプリケーション ノートでは、デバイス間で単一の制御バスとオーディオ データ バスを共有するように TAC5x1x を構成する方法に焦点を当てます。

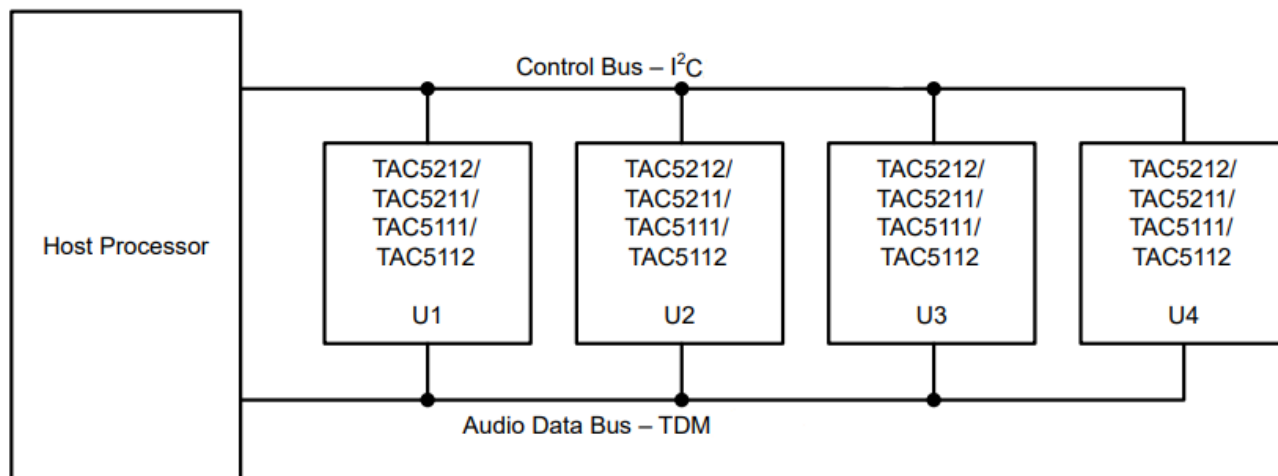


図 1-1. 制御バスとオーディオ データ バスを共有する 4 つの TAC5x1x デバイス

2 制御バスの共有

TAC5x1x デバイスは、スタンダード モード、高速モード、または高速モード プラスで動作する I²C バスで制御されます。この I²C 制御バスには 7 ビットのターゲット アドレスが必要ですが、最下位 2 ビットは、ADDR ピンを規定値の抵抗を介して GND または AVDD にプルすることでプログラムできます。表 2-1 に、このピンの構成オプションによって決まる TAC5x1x デバイスの 4 つのアドレスを一覧します。

表 2-1. TAC5x1x I²C ターゲット アドレス設定

ADDR 設定	デバイス アドレス (7 ビット)	デバイス アドレス (8 ビット)
GND への短絡	0x50	0xA0
4.7kΩ を GND にプルダウン	0x51	0xA2
22kΩ を AVDD にプルアップ	0x52	0xA4
4.7kΩ を AVDD にプルアップ	0x53	0xA6

各 TAC5x1x デバイスに独自の ADDR 設定があるため、SCL および SDA ラインはデバイス間で短絡し、メイン コントローラからの 1 つの I²C バスに接続できます。

3 オーディオ バスの共有

TAC5x1x デバイスは、デジタル化されたオーディオ データを TDM オーディオ バス経由で送信します。このバスのチャネル転送は、データの最初のスロット (スロット 0) による FSYNC の立ち上がりエッジで開始され、その後、残りのデータスロットが昇順 (スロット 1、スロット 2 など) に続きます。各スロットは、BCLK の立ち上がりエッジで、MSB ファーストから順にビットを送信します。図 3-1 に、TX_OFFSET が 0 に設定されている場合の 8 つのスロットの TDM バス動作の例を示します。これは、MSB が FSYNC と同じ BCLK エッジで送信されることを意味します。この図で、FSYNC はホストプロセッサからのフレーム同期信号、BCLK はホストプロセッサからのビット クロック信号、DIN/DOU は TAC5x1x デバイスとの間のデータバスです。TAC5x1x は、DIN および DOU データバスの各チャネルにおける最大 32 個のスロット割り当てをサポートしています。

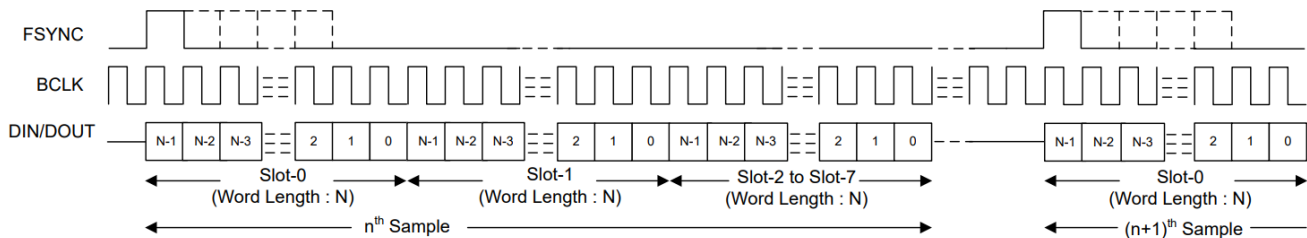


図 3-1. TDM モード標準プロトコル タイミング (TX_OFFSET = 0)

式 1 に示されているように、TDM モードでオーディオ バスを適切に動作させるには、フレームあたりのビット クロック数が、アクティブな出力チャネル数と出力チャネル データのプログラムされたワード長との積以上の値である必要があります。図 1-1 に示されている例では、各 4 チャネルを備えた 4 つのデバイス、サンプリング レート 48kHz、ワード長 32 ビット、 $BCLK \geq 4 \times 4 \times 48\,000 \times 32 = 24.576\text{ MHz}$ です。サポートされている最大 BCLK は 25MHz であるため、共有オーディオ バスで利用可能な最大デバイス数は、デバイスごとに使用されるチャネル数、サンプリング レート、ワード長に依存します。

$$25\text{ MHz} \geq BCLK \geq (\# \text{ channels/device}) \times (\# \text{ devices}) \times (\text{sampling rate}) \times (\text{word length}) \quad (1)$$

注

BCLK 周期が 18.5MHz よりも高い場合、マイクロプロセッサはデバイスと同じ BCLK エッジ極性で DOU データをラッチする必要があります。

この状態に従わない場合、マイクロプロセッサが DOU から破損したデータをキャプチャする可能性があります。

TAC5x1x は、ADC および DAC バスの共有 TDM 構成で、複数のデバイスを相互に配線する仕組みをサポートしています。また、デジタイゼーション TDM 構成もありますが、これは ADC パスのみでサポートされています。以下の 2 つのセクションでは、TAC5x1x デバイスがこれらの方法で TDM バスを共有するように構成する上でプログラムする必要のあるレジスタについて詳述します。

3.1 共有 TDM の ASI 構成

図 3-2 に示されているように、共有 TDM バス構成では、複数の TAC5x1x デバイスの ASI バスが相互に 1 つの共有バスに接続されます。

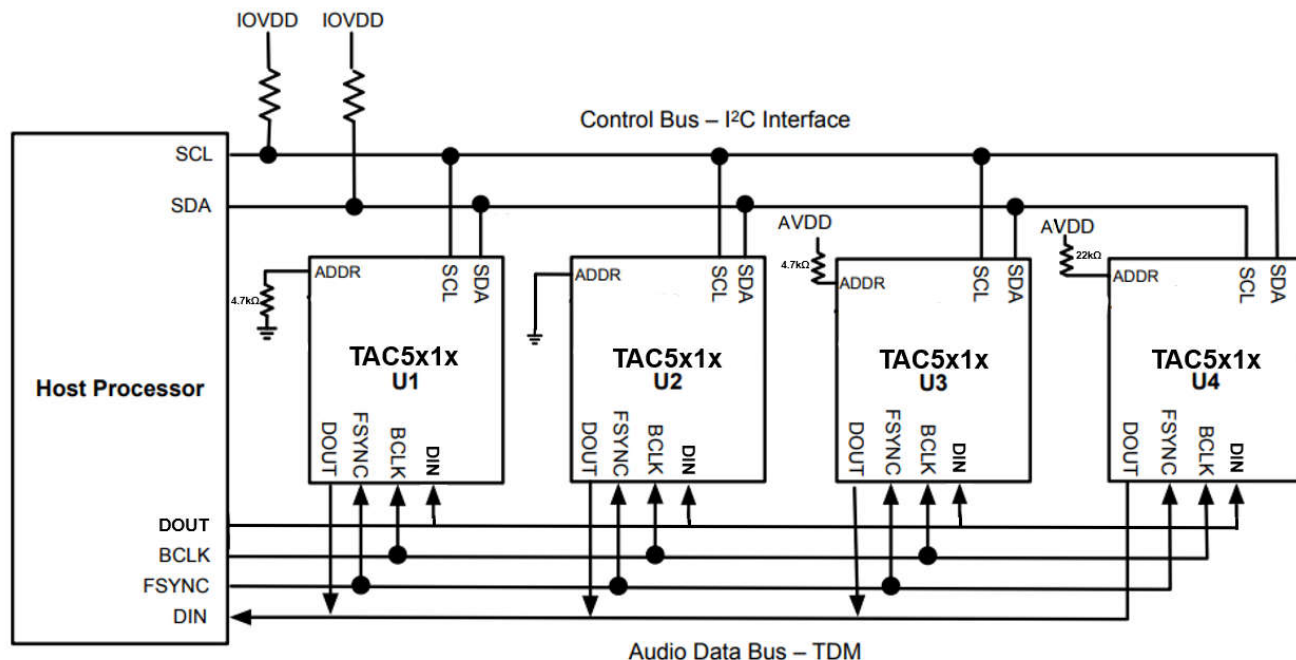


図 3-2. TAC5x1x の共有 TDM 接続図

複数のデバイスが同じスロットで出力データを送信することを防止するため、TAC5x1x は、以下のレジスタを使用してデバイスの入力チャンネルをプログラマブル スロットにマッピングする方式をサポートしています。

- PASI_TX_CH1_CFG (ページ 0x00、レジスタ 0x1E)
- PASI_TX_CH2_CFG (ページ 0x00、レジスタ 0x1F)
- PASI_TX_CH3_CFG (ページ 0x00、レジスタ 0x20)
- PASI_TX_CH4_CFG (ページ 0x00、レジスタ 0x21)

同様に、デバイスの出力チャンネルは、以下のレジスタを使用してプログラマブル スロットにマッピングできます。

- PASI_RX_CH1_CFG (ページ 0x00、レジスタ 0x28)
- PASI_RX_CH2_CFG (ページ 0x00、レジスタ 0x29)
- PASI_RX_CH3_CFG (ページ 0x00、レジスタ 0x2A)
- PASI_RX_CH4_CFG (ページ 0x00、レジスタ 0x2B)

これにより、どちらのデータバス上の任意のチャンネルを、32 個の使用可能な TDM スロットのいずれかに、任意の順序でマッピングできます。

図 3-2 の例として、以下の I²C スクリプトでは、U1 ~ U4 の入力チャンネルを、TAC5x1x の TX スロット 0 ~ 15 にそれぞれ割り当てるように構成します。図 3-2 に示されているように、このスクリプトは、共有 ADC データ出力バスを有効にしますが、この構成は DAC 入力バスに対しても機能します。このスクリプトは、レジスタアドレスを上記の対応する RX 値に変更することで、RX バス上の DAC 入力データに適用できます。TDM スロットにチャンネルを柔軟に割り当てるため、各デバイスの入力チャンネルにはスロットが順番に割り当てられていないことに注意してください。

```

w A0 1E 24 # Set U1 ch1 mapped to slot 4 of DOUT
w A0 1F 26 # Set U1 ch2 mapped to slot 6 of DOUT
w A0 20 21 # Set U1 ch3 mapped to slot 1 of DOUT
w A0 21 20 # Set U1 ch4 mapped to slot 0 of DOUT
w A2 1E 23 # Set U2 ch1 mapped to slot 3 of DOUT
w A2 1F 25 # Set U2 ch2 mapped to slot 5 of DOUT
w A2 20 22 # Set U2 ch3 mapped to slot 2 of DOUT

```

```
w A2 21 27 # Set U2 Ch4 mapped to slot 7 of DOUT
w A4 1E 28 # Set U3 Ch1 mapped to slot 8 of DOUT
w A4 1F 29 # Set U3 Ch2 mapped to slot 9 of DOUT
w A4 20 2A # Set U3 Ch3 mapped to slot 10 of DOUT
w A4 21 2C # Set U3 Ch4 mapped to slot 12 of DOUT
w A6 1E 2F # Set U4 Ch1 mapped to slot 15 of DOUT
w A6 1F 2D # Set U4 Ch2 mapped to slot 13 of DOUT
w A6 20 2E # Set U4 Ch3 mapped to slot 14 of DOUT
w A6 21 2B # Set U4 Ch4 mapped to slot 11 of DOUT
```

この構成では、すべてのデバイスが出力をハイ インピーダンス モードにする必要があり、別のデバイスがバスを駆動できます。表 3-1 に示されているように、TAC5x1x は、PASI_TX_CFG0 レジスタ 0x1B ビット フィールド PASI_TX_FILL を介した出力ラインの Low への駆動、または未使用のビット クロック サイクル時のハイ インピーダンスへの変換をサポートしています。PASI_TX_FILL を設定すると、未使用のビット クロック サイクル時に出力ライン DOUT はハイ インピーダンスになります。リセット値は、未使用サイクル中に DOUT が Low に駆動されるように構成します。

表 3-1. PASI_TX_CFG0 レジスタ 0x1B

ビット	フィールド	タイプ	リセット	説明
7	PASI_TX_EDGE	R/W	0b	プライマリ ASI データ出力 (プライマリおよびセカンダリ データ ピン上) の送信エッジ 0d = PASI_BCLK_POL のプロトコル構成に基づくデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として反転した後続のエッジ (半周期遅延)
6	PASI_TX_FILL	R/W	0b	未使用のサイクルのプライマリ ASI データ出力 (プライマリおよびセカンダリ データ ピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイ インピーダンスを使用
5	PASI_TX_LSB を表します	R/W	0b	LSB 送信のプライマリ ASI データ出力 (プライマリおよびセカンダリ データ ピン上) 0d = フルサイクルの間 LSB を送信 1d = 前半サイクルでは LSB を送信、後半サイクルではハイ インピーダンス 2d = 24 ビット 3d = 32 ビット
4-3	PASI_TX_KEEPER[1:0]	R/W	00b	プライマリ ASI データ出力 (プライマリおよびセカンダリ データ ピン) バス キーパー 0d = バス キーパーは常にディスエーブル 1d = バスキーパーは常にイネーブル 2d = バス キーパーは LSB 送信中の 1 サイクルのみイネーブル 3d = 32 バス キーパーは LSB 送信中の 1.5 サイクルのみイネーブル
2	PASI_TX_USE_INT_FSYNC	R/W	0b	プライマリ ASI はコントローラ モード構成において出力データ生成に内部 FSYNC を使用 (該当する場合) 0d = ASI プロトコル データ生成に外部 FSYNC を使用 1d = ASI プロトコル データ生成に内部 FSYNC を使用
1	PASI_TX_USE_INT_BCLK	R/W	0b	プライマリ ASI は、コントローラ モード構成での出力データ生成に内部 BCLK を使用します。 0d = ASI プロトコル データ生成に外部 BCLK を使用 1d = ASI プロトコル データ生成に内部 BCLK を使用
0	PASI_TDM_PULSE_WIDTH	R/W	0b	TDM 形式のプライマリ ASI FSYNC パルス幅。 (コントローラ モードで有効) 0d = FSYNC パルスは 1 BCLK 周期幅 1d = FSYNC パルスは 2 BCLK 周期幅

TAC5x1x は、表 3-2 に示されているように、PASI_TX_CHx_CFG レジスタを介して未使用チャネル スロットをトライステートにすること、または表 3-2 に示されているように、PASI_RX_CHx_CFG レジスタを介して未使用の入力スロットを無効化する仕組みをサポートしています。

表 3-2. PASI_TX_CHx_CFG レジスタ 0x1E - 0x25

ビット	フィールド	タイプ	説明
7-6	予約済み	R	予約済みビット。リセット値のみを書き込み
5	PASI_TX_CHx_CFG	R/W	プライマリ ASI 出力チャンネル X 構成 0d = プライマリ ASI チャンネル X 出力はトライステート状態 1d = プライマリ ASI チャンネル X 出力は ADC/PDM チャンネル X データに対応
4-0	PASI_TX_CHx_SLOT_NUM[4:0]	R/W	プライマリ ASI 出力チャンネル X スロット割り当て。 0d = TDM はスロット 0 1d = TDM はスロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 16d = TDM はスロット 16 17d = TDM はスロット 17 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31

表 3-3. PASI_RX_CHx_CFG レジスタ 0x28 - 0x2F

ビット	フィールド	タイプ	説明
7-6	予約済み	R	予約済みビット。リセット値のみを書き込み
5	PASI_RX_CHx_CFG	R/W	プライマリ ASI 入力チャンネル X 構成 0d = プライマリ ASI チャンネル X 入力ディスエーブル 1d = プライマリ ASI チャンネル X 出力は DAC チャンネル X データに対応
4-0	PASI_RX_CHx_SLOT_NUM[4:0]	R/W	プライマリ ASI 入力チャンネル X スロット割り当て。 0d = TDM はスロット 0 1d = TDM はスロット 1 2d ~ 14d = 構成に従って割り当てられたスロット 15d = TDM はスロット 15 16d = TDM はスロット 16 17d = TDM はスロット 17 18d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31

また、TAC5x1x は、GPIO1_CFG0、GPIO2_CFG0、または GPO1_CFG0 レジスタを介して、GPIO ピンをセカンダリ DOUT 出力 (DOUT2) またはセカンダリ DIN 入力 (DIN2) として構成する仕組みをサポートしています。これにより、1 つまたは複数のデバイスが 2 つのピンを介してデータを送信できます。PASI_TX_CFG2 レジスタ 0x1D ビット フィールド PASI_TX_CHx_SEL は、スロットをプライマリ (DOUT) またはセカンダリ出力 (DOUT2) にマッピングします。PASI_RX_CFG1 レジスタ 0x27 ビット フィールド PASI_RX_CHx_SEL は、スロットをプライマリ (DIN) またはセカンダリ入力 (DIN2) にマッピングします。

これらのセカンダリ データラインを使用することで、[式 1](#) が許容する数よりも多くのスロットをサポートすることが可能になります。この接続方法では、ビットクロック (BCLK) 速度が低下するだけでなく、ホストプロセッサのデータラインの負荷容量も減少します。たとえば、12 チャンネル、32 ビット データワードを備え、96KHz のサンプルレートで動作するシステムでは、25MHz の最大 BCLK 速度に違反する 36.864MHz のビットクロック (3 つのデバイス * 4 チャンネル/デバイス * 32 ビットワード * 96kHz) が必要です。6 つのチャンネルをプライマリバスに、6 つのチャンネルをセカンダリバスに割り当てて 12 のチャンネルを分割すると、BCLK が 25MHz 以下に維持されます。各デバイスには 4 つのチャンネルがあるため、1 つのデバイスには 2 つのチャンネルがプライマリバスに割り当てられ、2 つのチャンネルがセカンダリバスに割り当てられます。

上記の例では、以下の I²C スクリプトは、プライマリおよびセカンダリ DOUT バスで ADC 出力の共有 TDM 用に U1、U2、U3 を構成します。

```
w A0 1E 20 # Set U1 ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 ch4 mapped to slot 3 of DOUT
w A2 1E 24 # Set U2 ch1 mapped to slot 4 of DOUT
```

```
w A2 1F 25 # Set U2 Ch2 mapped to slot 5 of DOUT
w A2 0A 62 # Set U2 GPIO1 as DOUT2
w A2 1D 0C # Set U2 Ch3 and Ch4 to DOUT2
w A2 20 20 # Set U2 Ch3 mapped to slot 0 of DOUT2
w A2 21 21 # Set U2 Ch4 mapped to slot 1 of DOUT2
w A4 0A 62 # Set U3 GPIO1 as DOUT2
w A4 1D 0F # Set U2 Ch1-4 to DOUT2
w A4 1E 42 # Set U3 Ch1 mapped to slot 2 of DOUT2
w A4 1F 43 # Set U3 Ch2 mapped to slot 3 of DOUT2
w A4 20 44 # Set U3 Ch3 mapped to slot 4 of DOUT2
w A4 21 45 # Set U3 Ch4 mapped to slot 5 of DOUT2
```

前述のように、共有 TDM 構成は、DAC 入力データバスと ADC 出力バスで有効化できます。上記の例では、以下の I²C スクリプトは、プライマリおよびセカンダリ DIN で DAC 入力の共有 TDM 用に U1、U2、U3 を構成します。

```
w A0 28 20 # Set U1 Ch1 mapped to slot 0 of DIN
w A0 29 21 # Set U1 Ch2 mapped to slot 1 of DIN
w A0 2A 22 # Set U1 Ch3 mapped to slot 2 of DIN
w A0 2B 23 # Set U1 Ch4 mapped to slot 3 of DIN
w A2 28 24 # Set U2 Ch1 mapped to slot 4 of DIN
w A2 29 25 # Set U2 Ch2 mapped to slot 5 of DIN
w A2 0A 12 # Set U2 GPIO1 as input
w A2 0F 04 # Select GPIO1 as DIN2
w A2 27 0C # Set U2 Ch3 and Ch4 to DIN2
w A2 2A 20 # Set U2 Ch3 mapped to slot 0 of DIN2
w A2 2B 21 # Set U2 Ch4 mapped to slot 1 of DIN2
w A4 0A 12 # Set U3 GPIO1 as input
w A4 0F 04 # Select GPIO1 as DIN2
w A4 27 0F # Set U2 Ch1-4 to DIN2
w A4 28 22 # Set U3 Ch1 mapped to slot 2 of DIN2
w A4 29 23 # Set U3 Ch2 mapped to slot 3 of DIN2
w A4 2A 24 # Set U3 Ch3 mapped to slot 4 of DIN2
w A4 2B 25 # Set U3 Ch4 mapped to slot 5 of DIN2
```

3.2 デイジーチェーン TDM の ASI 構成

基板配線と TDM バスのタイミング要件を簡素化するため、または DOUT ライン負荷容量の増加を回避するため、TAC5x1x デバイスには、あるデバイスのデータ出力 (DOUT) を別のデバイスの GPIO1、GPIO2、または GPI1 ピンへの入力として配線するデイジーチェーンモードがあります。各デバイスは、データを TDM バスの適切なスロットに内部的に結合し、次のデバイスに渡します。アナログ DAC 出力をデイジーチェーン接続することはできないため、共有 TDM とは異なり、この構成は ADC バスでのみ利用可能です。

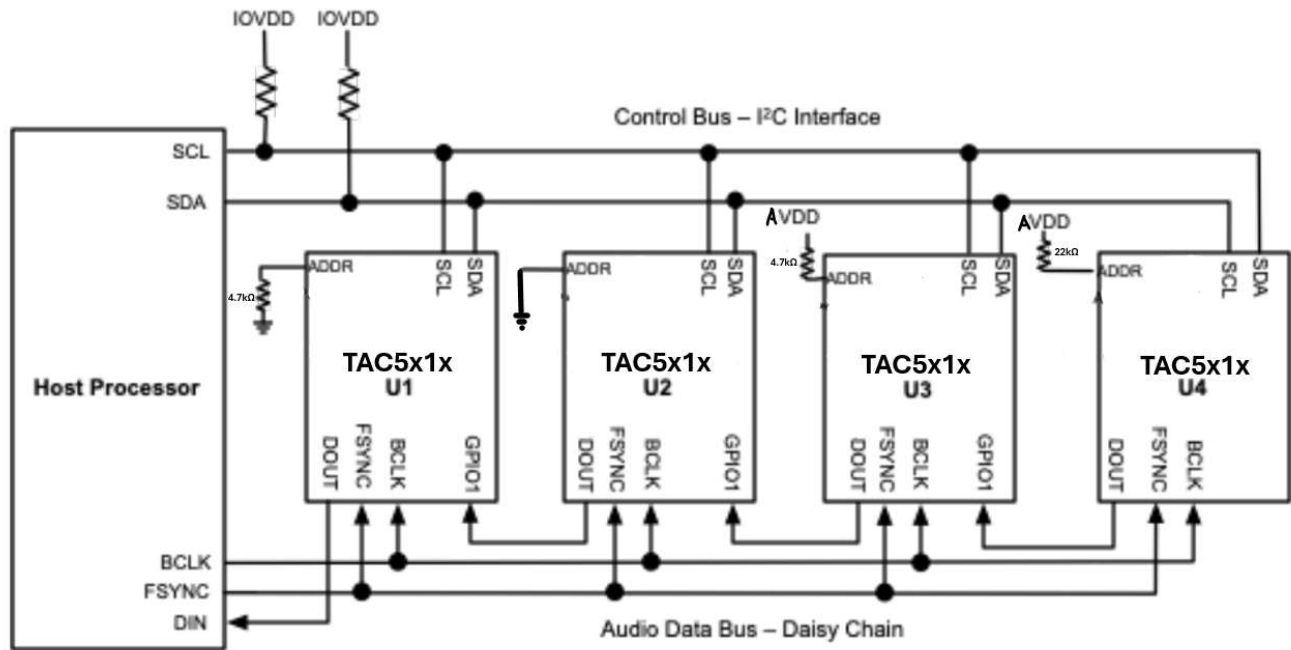


図 3-3. TAC5x1x デイジーチェーン TDM 接続図

表 3-4 に示されているように、ASI_CFG0 レジスタの DAISY_EN ビット フィールドを設定すると、デバイスがデイジーチェーン構成に構成されます。DAISY_IN_SEL ビット フィールドは、デイジーチェーン入力として使用される GPIO ピンを選択します。選択された GPIO も、入力として構成する必要があります。デイジーチェーン モードで構成する場合、利用可能な ASI は 1 つのみです。

表 3-4. ASI_CFG0 レジスタ 0x18

ビット	フィールド	タイプ	リセット	説明
7	PASI_DIS	R/W	0b	プライマリ ASI (PASI) を無効または有効にします。 0d = プライマリ ASI イネーブル 1d = プライマリ ASI ディスエーブル
6	SASI_DIS	R/w	1b	セカンダリ ASI (SASI) を無効化または有効化します。 0d = セカンダリ ASI イネーブル 1d = セカンダリ ASI ディスエーブル
5	SASI_CFG_GANG	R/W	0b	プライマリ ASI と連動するセカンダリ ASI のすべての構成。 0d = セカンダリ ASI は独立した構成 1d = セカンダリ ASI 構成はプライマリ ASI と同一
4	DAISY_EN[1:0]	R/W	00b	デイジーチェーン機能イネーブル (1 つの ASI と 1 つの DOUT および DIN のみ利用可能) 0d = デイジーチェーン ディスエーブル 1d = PASI デイジーチェーン イネーブル (セカンダリ ASI は利用不可) 2d = SASI デイジーチェーン イネーブル (プライマリ ASI は利用不可) 3d = 予約済み。不使用
3-0	DAISY_IN_SEL[2:0]	R/W	000b	デイジー入力選択構成。 0d = デイジー入力ディスエーブル 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 予約済み 5d = DIN 6d ~ 7d = 予約済み

図 3-3 の例として、以下の I²C スクリプトは U1、U2、U3 をデイジーチェーン構成に構成します。この構成では、チェーン内の GPIO1 を介して、後続のデバイスの DOUT からの入力を受け取ります。各デバイスのチャンネルはスロット 0 ~ 3 にマッピングされていることに注意してください。しかし、U1 の DOUT には、U1 チャンネルではスロット 0 ~ 3、U2 チャンネルではスロット 4 ~ 7、U3 チャンネルではスロット 8 ~ 11、U4 チャンネルではスロット 12 ~ 15 があります。デイジーチェーン内の最初のデバイス (U4) は、別のデバイスから GPIO1 への入力を受け取っていないため、デイジーチェーンモード用に構成する必要はないことに注意してください。

```
w A0 1E 20 # Set U1 Ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 Ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 Ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 Ch4 mapped to slot 3 of DOUT
w A2 1E 20 # Set U2 Ch1 mapped to slot 0 of DOUT
w A2 1F 21 # Set U2 Ch2 mapped to slot 1 of DOUT
w A2 20 22 # Set U2 Ch3 mapped to slot 2 of DOUT
w A2 21 23 # Set U2 Ch4 mapped to slot 3 of DOUT
w A4 1E 20 # Set U3 Ch1 mapped to slot 0 of DOUT
w A4 1F 21 # Set U3 Ch2 mapped to slot 1 of DOUT
w A4 20 22 # Set U3 Ch3 mapped to slot 2 of DOUT
w A4 21 23 # Set U3 Ch4 mapped to slot 3 of DOUT
w A6 1E 20 # Set U4 Ch1 mapped to slot 0 of DOUT
w A6 1F 21 # Set U4 Ch1 mapped to slot 1 of DOUT
w A6 20 22 # Set U4 Ch1 mapped to slot 2 of DOUT
w A6 21 23 # Set U4 Ch1 mapped to slot 3 of DOUT
w A0 18 49 # Set U1's ASI to daisy chain via GPIO1
w A0 21 10 # Set U1's GPIO1 input as ASI input for daisy chain
w A2 18 49 # Set U2's ASI to daisy chain via GPIO1
w A2 21 10 # Set U2's GPIO1 input as ASI input for daisy chain
w A4 18 49 # Set U3's ASI to daisy chain via GPIO1
w A4 21 10 # Set U3's GPIO1 input as ASI input for daisy chain
```

4 複数の TAC5x1x 評価基板の PurePath Console 3 の構成

PurePath™ Console 3 は、単一の AC-MB に接続された複数の TAC5x1x デバイスをサポートしています。しかし、AC-MB コネクタは 1 つの TAC5x1x にのみ接続できます。単一の AC-MB に追加のデバイスを接続するには、その単一の AC-MB に接続された基板の電源、GND、I²C、TDM 信号を、他の TAC5x1x 評価基板のそれぞれの信号に外部配線で接続します。以下のように、それぞれ対応するヘッダーまたはジャンパを使用して他の信号を接続すると同時に、AC-MB に 1 つの評価基板のみを接続します。

- IOVDD テスト ポイントを経由して、すべての TAC5x1x 評価基板から IOVDD を接続します。
- AVDD テスト ポイントを介して、すべての TAC5x1x 評価基板の AVDD を接続します。
- SCL テスト ポイントを介して、すべての TAC5x1x デバイスの SCL ピンを相互に接続します。
- SDA テスト ポイントを介して、すべての TAC5x1x デバイスの SDA ピンを相互に接続します。
- BCLK テスト ポイントを介して、すべての TAC5x1x デバイスの BCLK ピンを相互に接続します。
- FSYNC テスト ポイントを介して、すべての TAC5x1x デバイスの FSYNC ピンを相互に接続します。
- 任意の GND テスト ポイントを介して、すべての TAC5x1x デバイスの共通の GND を相互に接続します。
- DOUT 接続は共有 TDM またはデジタイズ TDM モードに依存します。
 - 共有 TDM モードの場合は、DOUT テスト ポイントを介して、すべての TAC5x1x デバイスの DOUT ピンを相互に接続します。
 - デジタイズ TDM モードの場合は、TAC5x1x 評価基板をデジタイズチェーン形式で接続します。
 - DOUT テスト ポイントを介して、AC-MB に接続された基板の GPIO1 テスト ポイントにある GPIO1 信号を 2 つ目の基板の DOUT ピンに接続します。
 - 3 つ以上のデバイスを使用する場合は、DOUT テスト ピンを介して、2 つ目の基板の GPIO1 テスト ポイントにある信号を 3 つ目の基板の DOUT ピンに接続します。
 - 4 つのデバイスを使用する場合は、DOUT テスト ピンを介して、3 つ目の基板の GPIO1 テスト ポイントにある信号を 4 つ目の基板の DOUT ピンに接続します。

図 4-1 に示されているように、これらの信号を TAC5x1x 評価基板の各デジタル テスト ポイントでタップできます。

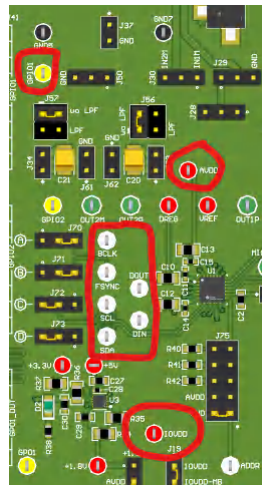


図 4-1. TAC5x1x 評価基板の I²C および TDM 信号の位置

4.1 TAC5x1x のデフォルト I²C アドレスの変更

複数の TAC5x1x 評価基板を単一の I²C バスに接続する場合、各評価基板に固有の I²C アドレスが必要です。図 4-2 に示されているように、TAC5x1x 評価基板では、I²C アドレスはヘッダー J75 のプルアップとプルダウンによって設定されます。表 4-1 に示されているように、このセクションにジャンパを配置すると、各 TAC5x1x デバイスの I²C アドレスが制御されます。

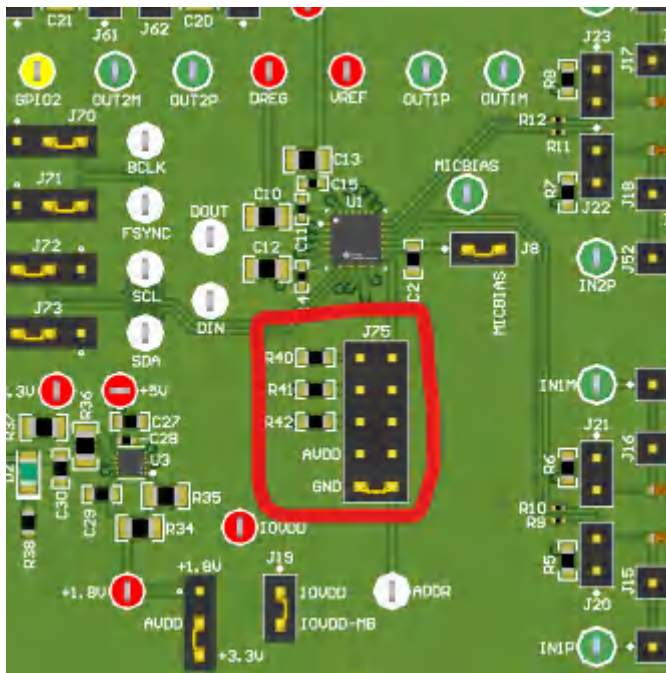


図 4-2. TAC5x1x 評価基板の I²C アドレス構成

表 4-1. TAC5x1x 評価基板の I²C ターゲット アドレス

J75 の位置	ADDR 設定	I ² C ターゲット アドレス (バイナリ)
1 (図 4-2 を参照)	GND への短絡	1010 000
2	AVDD への短絡	該当なし (SPI)
3	22kΩ を AVDD にプルアップ	1010 010
4	4.7kΩ を AVDD にプルアップ	1010 011
5	4.7kΩ を GND にプルダウン	1010 001

4.2 複数のデバイスでの PurePath Console の起動

図 4-3 に示されているように、PurePath Console を起動する際、AC-MB に接続されているデバイスの数をユーザーに照会します。このダイアログ ウィンドウで、2 つの TAC5212 デバイスを選択して「New」(新規) をクリックすると、図 4-4 に示されているメイン ウィンドウが起動します。

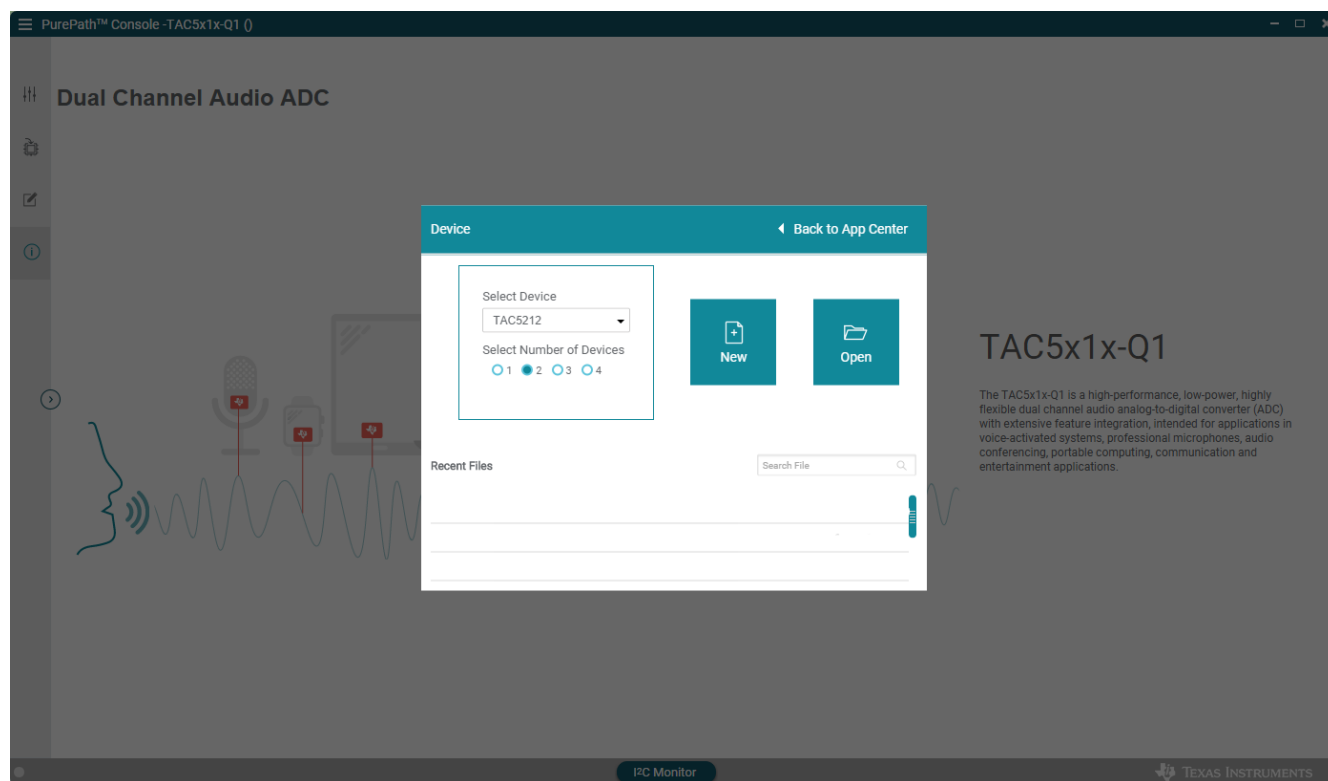


図 4-3. PurePath Console デバイス数入力ダイアログ

PurePath Console では、一度に 1 つのデバイスのみを構成できます。図 4-4 に示されているように、デバイスは画面上部にある文字付きのデバイス アイコンで示されます。デバイス アイコン A をクリックすると、より小さい番号の I²C アドレスがプログラムされ、B をクリックすると次の I²C アドレスがプログラムされるといった具合に動作します。

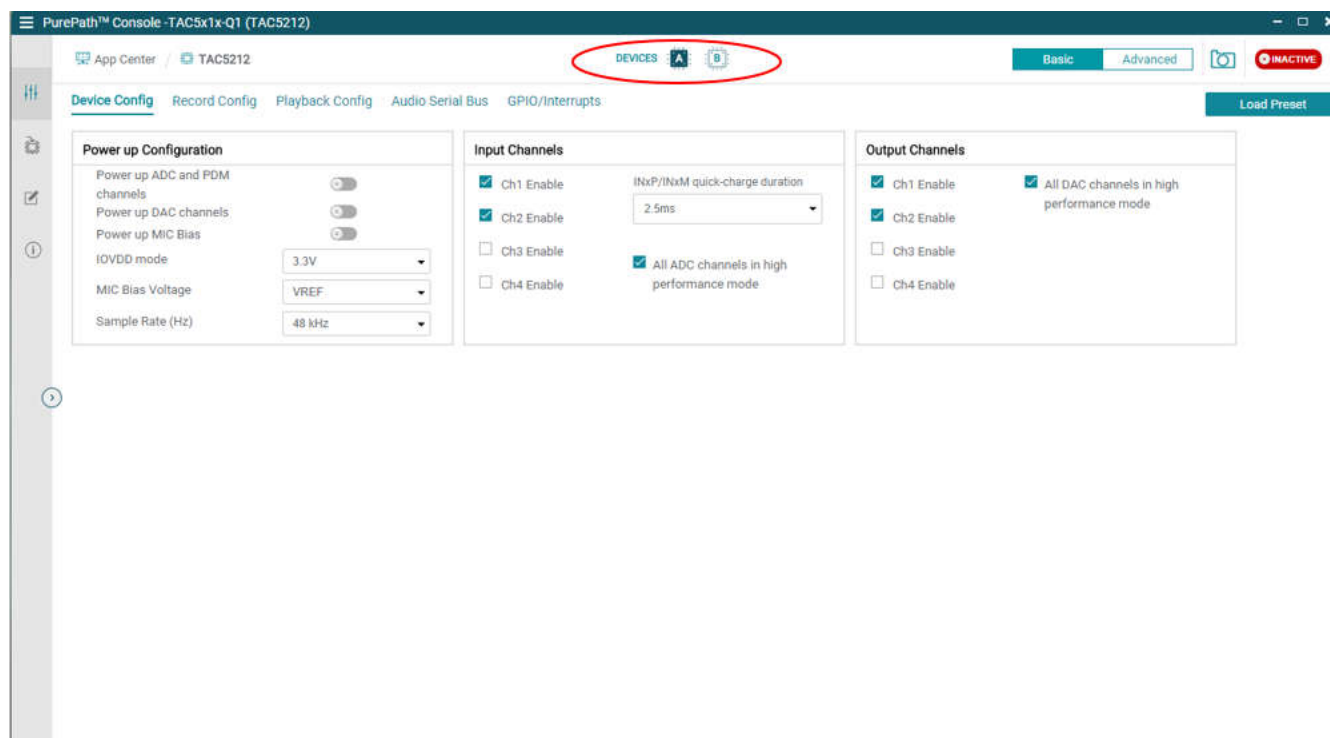


図 4-4. PurePath Console のメイン ウィンドウ

「Audio Serial Bus」(オーディオ シリアル バス) タブでは、デバイスの各チャンネルをスロットに割り当てます。図 4-5 では、デバイス A の入力チャンネル 1 ～ 4 が、それぞれスロット 0 ～ 3 に割り当てられています。図 4-6 では、デバイス B の入力チャンネル 1 ～ 4 がスロット 4 ～ 7 に割り当てられています。TDM バスの前のスロットは表示されていませんが、BCLK、FSYNC、SDOUT のオーディオ インターフェイス信号ライン プロットの先頭にある省略記号は、他のスロットがこれらのスロットの前に存在することを示しています。

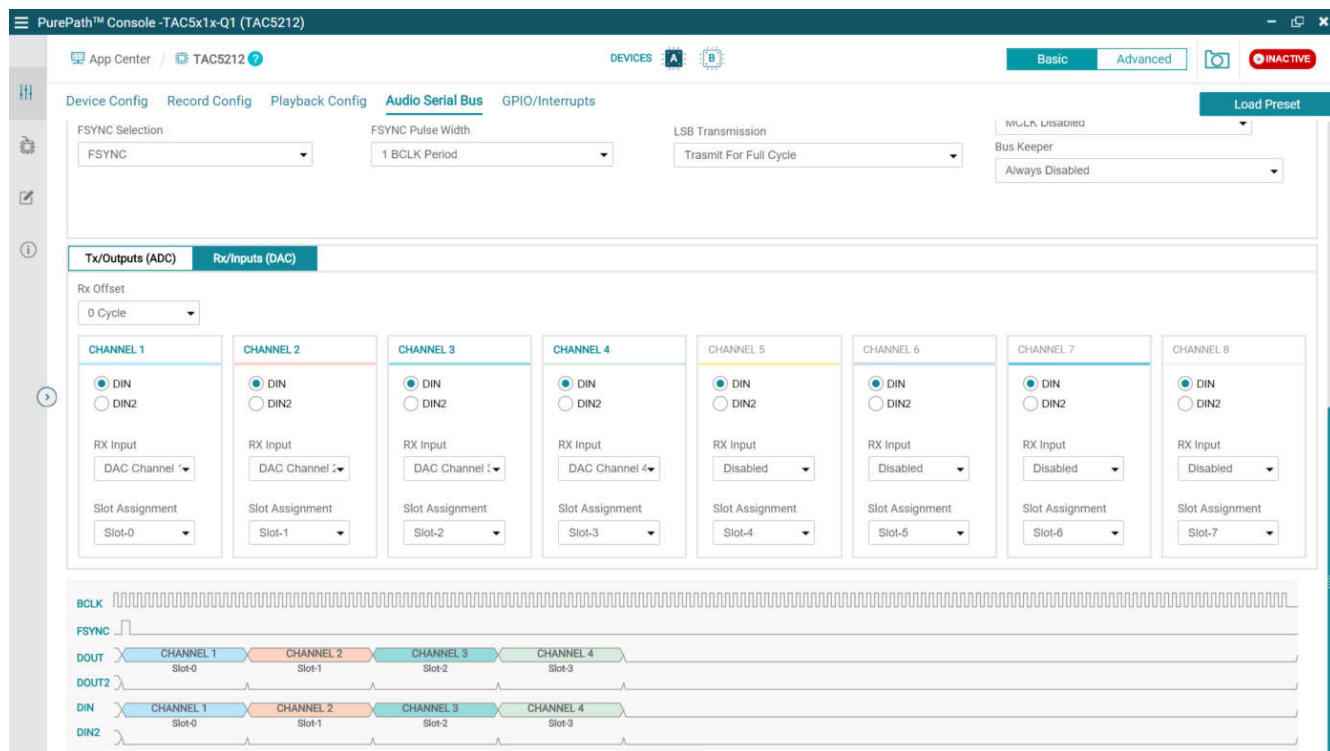


図 4-5. PurePath Console デバイス A チャンネルからスロットへのマッピング

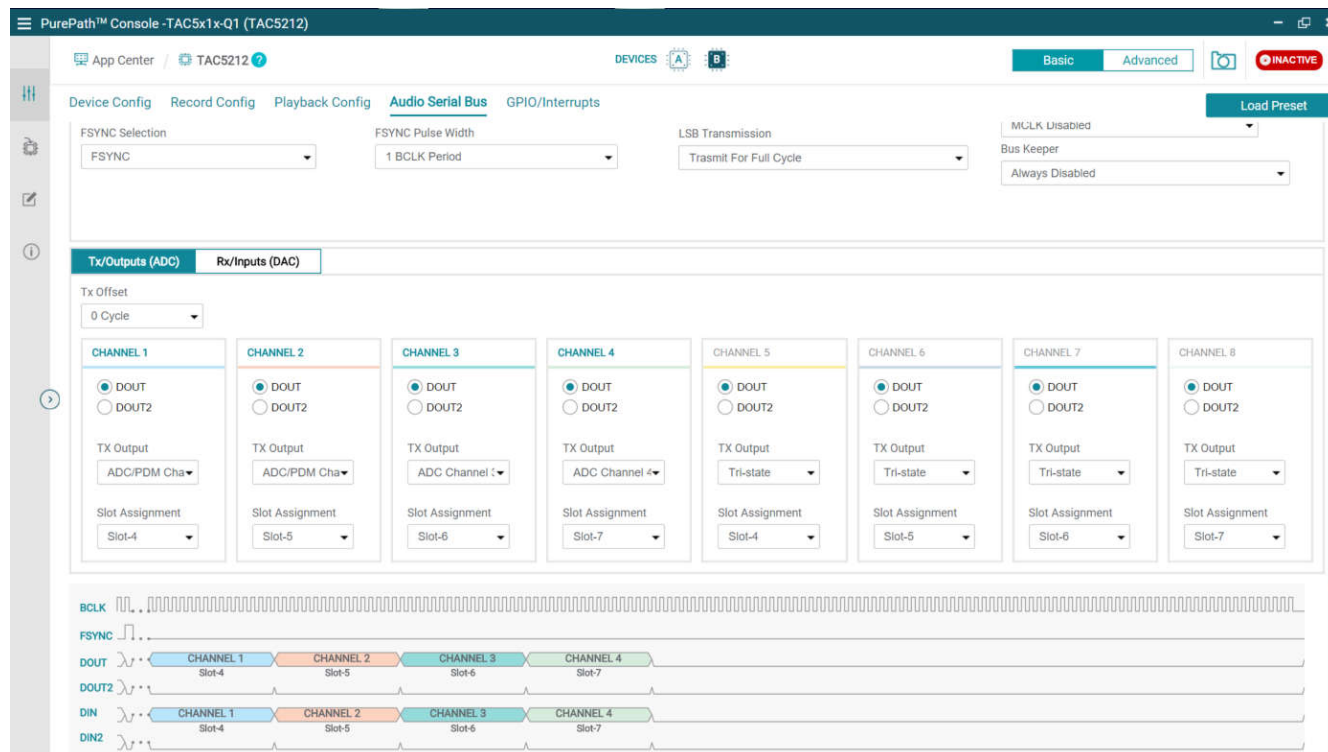


図 4-6. PurePath Console デバイス B チャンネルからスロットへのマッピング

5 PurePath Console I²C スクリプト

5.1 共有 TDM の TAC5x1x I²C スクリプト

以下の I²C スクリプトは、デバイスがリセットされた後で、4 つのデバイスを共有 TDM モードに設定します。

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#           # ==> comment delimiter
#
# I2C programming script for four devices sharing a TDM bus
# U4(SDOUT) -> U3 (SDOUT) -> U2 (SDOUT) -> U1 (SDOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# wait for 2ms.
#####
# wake-up devices
w A0 02 09 # Wake-up Device U1
w A2 02 09 # Wake-up Device U2
w A4 02 09 # Wake-up Device U3
w A6 02 09 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w A0 00 00 # Set Device page register to Page 0
w A0 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A0 1B 60 # ASI transmit Hi-Z for unused cycles
w A0 1E 20 # ASI primary output (DOUT) with CH1 assigned to slot 0
w A0 1F 21 # ASI primary output (DOUT) with CH2 assigned to slot 1
w A0 20 22 # ASI primary output (DOUT) with CH3 assigned to slot 2
w A0 21 23 # ASI primary output (DOUT) with CH4 assigned to slot 3
w A0 28 20 # ASI primary input (DIN) with CH1 assigned to slot 0
w A0 29 21 # ASI primary input (DIN) with CH2 assigned to slot 1
w A0 2A 22 # ASI primary input (DIN) with CH3 assigned to slot 2
w A0 2B 23 # ASI primary input (DIN) with CH4 assigned to slot 3
w A0 76 FF # Enable CH1-4 of Device A
# Program Device B (U2)
w A2 00 00 # Set Device page register to Page 0
w A2 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A2 1B 60 # ASI transmit Hi-Z for unused cycles
w A2 1E 24 # ASI primary output (DOUT) with CH1 assigned to slot 4
w A2 1F 25 # ASI primary output (DOUT) with CH2 assigned to slot 5
w A2 20 26 # ASI primary output (DOUT) with CH3 assigned to slot 6
w A2 21 27 # ASI primary output (DOUT) with CH4 assigned to slot 7
w A2 28 24 # ASI primary input (DIN) with CH1 assigned to slot 4
w A2 29 25 # ASI primary input (DIN) with CH2 assigned to slot 5
w A2 2A 26 # ASI primary input (DIN) with CH3 assigned to slot 6
w A2 2B 27 # ASI primary input (DIN) with CH4 assigned to slot 7
w A2 76 FF # Enable CH1-4 of Device B
# Program Device C (U3)
w A4 00 00 # Set Device page register to Page 0
w A4 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A4 1B 60 # ASI transmit Hi-Z for unused cycles
w A4 1E 28 # ASI primary output (DOUT) with CH1 assigned to slot 8
w A4 1F 29 # ASI primary output (DOUT) with CH2 assigned to slot 9
w A4 20 2A # ASI primary output (DOUT) with CH3 assigned to slot 10
w A4 21 2B # ASI primary output (DOUT) with CH4 assigned to slot 11
w A4 28 28 # ASI primary input (DIN) with CH1 assigned to slot 8
w A4 29 29 # ASI primary input (DIN) with CH2 assigned to slot 9
w A4 2A 2A # ASI primary input (DIN) with CH3 assigned to slot 10
w A4 2B 2B # ASI primary input (DIN) with CH4 assigned to slot 11
w A4 76 FF # Enable CH1-4 of Device C
# Program Device D (U4)
w A6 00 00 # Set Device page register to Page 0
w A6 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A6 1B 60 # ASI transmit Hi-Z for unused cycles
w A6 1E 2C # ASI primary output (DOUT) with CH1 assigned to slot 12
w A6 1F 2D # ASI primary output (DOUT) with CH2 assigned to slot 13
w A6 20 2E # ASI primary output (DOUT) with CH3 assigned to slot 14
w A6 21 2F # ASI primary output (DOUT) with CH4 assigned to slot 15
w A6 28 2C # ASI primary input (DIN) with CH1 assigned to slot 12
w A6 29 2D # ASI primary input (DIN) with CH2 assigned to slot 13
w A6 2A 2E # ASI primary input (DIN) with CH3 assigned to slot 14
w A6 2B 2F # ASI primary input (DIN) with CH4 assigned to slot 15
w A6 76 FF # Enable CH1-4 of Device D
# Power-up Devices A, B, C, & D
```

```
w A0 78 C0 # Power up ADC and DAC of Device A
w A2 78 C0 # Power up ADC and DAC of Device B
w A4 78 C0 # Power up ADC and DAC of Device C
w A6 78 C0 # Power up ADC and DAC of Device D
```

5.2 デイジーチェーン TDM の TAC5x1x I²C スクリプト

以下の I²C スクリプトは、デバイスのリセット後、4 つのデバイスをデイジーチェーン TDM モードに設定します。

```
# Key: w NN YY ZZ ==> write to I2C address 0xNN, to register 0xYY, data 0xZZ
#          # ==> comment delimiter
#
# I2C programming script for four devices in daisy chain TDM mode
# U4(DOUT) -> (GPIO1) U3 (DOUT) -> (GPIO1) U2 (DOUT) -> (GPIO1) U1 (DOUT) -> Host Processor
#
#####
# Power-up Sequence:
# Power up IOVDD and AVDD power supplies
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Wait for 2ms.
#####
# Wake-up devices
w A0 02 09 # Wake-up Device U1
w A2 02 09 # Wake-up Device U2
w A4 02 09 # Wake-up Device U3
w A6 02 09 # Wake-up Device U4
d 10      # 10 ms delay
# Program Device A (U1), interfaces to host processor
w A0 00 00 # Set Device page register to Page 0
w A0 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A0 1B 60 # ASI transmit Hi-Z for unused cycles
w A0 18 49 # Set U1's ASI to daisy chain via GPIO1
w A0 21 10 # Set U1's GPIO1 input as ASI input for daisy chain
w A0 1E 20 # Set U1 Ch1 mapped to slot 0 of DOUT
w A0 1F 21 # Set U1 Ch2 mapped to slot 1 of DOUT
w A0 20 22 # Set U1 Ch3 mapped to slot 2 of DOUT
w A0 21 23 # Set U1 Ch4 mapped to slot 3 of DOUT
w A0 76 F0 # Enable Ch1-4 of Device A
# Program Device B (U2)
w A2 00 00 # Set Device page register to Page 0
w A2 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A2 1B 60 # ASI transmit Hi-Z for unused cycles
w A2 18 49 # Set U2's ASI to daisy chain via GPIO1
w A2 21 10 # Set U2's GPIO1 input as ASI input for daisy chain
w A2 1E 20 # Set U2 Ch1 mapped to slot 0 of DOUT
w A2 1F 21 # Set U2 Ch2 mapped to slot 1 of DOUT
w A2 20 22 # Set U2 Ch3 mapped to slot 2 of DOUT
w A2 21 23 # Set U2 Ch4 mapped to slot 3 of DOUT
w A2 76 F0 # Enable Ch1-4 of Device B
# Program Device C (U3)
w A4 00 00 # Set Device page register to Page 0
w A4 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A4 1B 60 # ASI transmit Hi-Z for unused cycles
w A4 18 49 # Set U3's ASI to daisy chain via GPIO1
w A4 21 10 # Set U3's GPIO1 input as ASI input for daisy chain
w A4 1E 20 # Set U3 Ch1 mapped to slot 0 of DOUT
w A4 1F 21 # Set U3 Ch2 mapped to slot 1 of DOUT
w A4 20 22 # Set U3 Ch3 mapped to slot 2 of DOUT
w A4 21 23 # Set U3 Ch4 mapped to slot 3 of DOUT
w A4 76 F0 # Enable Ch1-4 of Device C
# Program Device D (U4)
w A6 00 00 # Set Device page register to Page 0
w A6 1A 30 # ASI Format TDM with 32-bit word length, default FSYNC and BCLK polarity
w A6 1B 60 # ASI transmit Hi-Z for unused cycles
w A6 1E 20 # Set U4 Ch1 mapped to slot 0 of DOUT
w A6 1F 21 # Set U4 Ch1 mapped to slot 1 of DOUT
w A6 20 22 # Set U4 Ch1 mapped to slot 2 of DOUT
w A6 21 23 # Set U4 Ch1 mapped to slot 3 of DOUT
w A6 76 F0 # Enable Ch1-4 of Device D
# Power-up Devices A, B, C, & D
w A0 78 C0 # Power up ADC and DAC of Device A
w A2 78 C0 # Power up ADC and DAC of Device B
w A4 78 C0 # Power up ADC and DAC of Device C
w A6 78 C0 # Power up ADC and DAC of Device D
```

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月