

Application Note

TAS2573 設計およびレイアウトのガイドライン



Ivan Salazar

概要

TAS2573 オーディオ アンプは、実際の音楽および音声アプリケーションにおいて効率を上げ、バッテリー寿命を重視して最適化されたデジタル入力 **Class-D** オーディオ アンプです。このアンプは、統合されたクラス H ブースト コンバータを使用して、高出力電力を供給できます。

このアプリケーション ノートでは、このデバイス ファミリーを採用した設計において、システム内での高い品質と信頼性を確保し、システムへの組み込み後に優れた効率と性能を実現するための、設計および PCB レイアウトに関する推奨事項を説明します。

目次

1 概要.....	3
2 ピン構成および機能.....	3
3 アプリケーション回路図.....	5
3.1 推奨部品定格.....	8
4 レイアウトのガイドライン.....	9
4.1 VDD ピン.....	9
4.2 PVDD ピン.....	10
4.3 GREG ピン.....	12
4.4 SW ピン.....	14
4.5 VBAT ピン.....	15
4.6 VBAT_SNS ピン.....	16
4.7 OUT_P および OUT_N ピン.....	17
4.8 IOVDD ピン.....	19
4.9 DREG ピン.....	20
4.10 デジタル I/O ピン.....	21
4.11 グランド ピン.....	22
5 まとめ.....	24
6 参考資料.....	24

図の一覧

図 2-1. パッケージの上面図のピン配置.....	3
図 3-1. 1S 構成の TAS2573.....	5
図 3-2. 2S 構成の TAS2573.....	6
図 3-3. 外部 PVDD 構成の TAS2573.....	7
図 4-1. VDD デカップリング コンデンサの配置.....	9
図 4-2. レイヤ 1 の VDD ピンからの配線.....	10
図 4-3. デカップリング コンデンサのレイヤ 2 の PCB グランド面への接続.....	10
図 4-4. PVDD デカップリング コンデンサの配置.....	11
図 4-5. レイヤ 1 の PVDD ピンからの配線.....	11
図 4-6. デカップリング コンデンサのレイヤ 2 の PCB グランド面への接続.....	12
図 4-7. GREG デカップリング コンデンサの誤った配線.....	12
図 4-8. GREG デカップリング コンデンサの適切な配線.....	13
図 4-9. 評価基板上の GREG デカップリング コンデンサの配置.....	13
図 4-10. ビアを使用した GREG デカップリング コンデンサの内層への接続.....	13

図 4-11. レイヤ 4 の GREG ピンと PVDD ピンへのデカップリング コンデンサの配線.....	14
図 4-12. SW ピンの近くへのブースト インダクタとデカップリング コンデンサの配置.....	14
図 4-13. レイヤ 1 での SW インダクタへの電源の配線.....	15
図 4-14. SW インダクタのデカップリング コンデンサのレイヤ 2 での PCB GND 面への接続.....	15
図 4-15. VBAT ピンの近くへのデカップリング コンデンサの配置.....	16
図 4-16. レイヤ 1 の VBAT ピンへの電源の配線.....	16
図 4-17. レイヤ 1 でのスピーカ端子への OUT_P/N の配線.....	17
図 4-18. 内部 PCB レイヤの OUT_P/N パスより下の配線.....	18
図 4-19. レイヤ 3 を介した OUT_P/N ピンから EMI フィルタへの配線.....	18
図 4-20. IOVDD デカップリング コンデンサの配置.....	19
図 4-21. IOVDD デカップリング コンデンサのレイヤ 1 のピンへの配線.....	19
図 4-22. VDD と IOVDD を共有するための誤った接続.....	20
図 4-23. VDD と IOVDD を共有するための推奨接続.....	20
図 4-24. DREG デカップリング コンデンサの配置.....	20
図 4-25. DREG デカップリング コンデンサのレイヤ 1 のピンへの配線.....	21
図 4-26. 高電圧スイッチングラインからの内層 (3 および 4) 内のデジタル ラインの配線.....	21
図 4-27. PCB GND 面へのグランド ピンの接続.....	22
図 4-28. レイヤ 1 でのデバイス GND ピンの接続.....	22
図 4-29. レイヤ 2 での PCB GND 面への接続.....	23

表の一覧

表 3-1. 部品定格.....	8
表 5-1. 設計およびレイアウトのまとめ.....	24

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

TAS2573 は、ブースト付きのデジタル入力 Class-D スマート アンプです。このデバイスは、シングルまたはマルチセル バッテリ電源から電源電圧を受け取り、電源を高電圧にブーストします。この機能により、ユーザーはオーディオを再生し、スピーカー負荷に大電力を供給できます。

このデバイスをオーディオ ソリューションで使用する場合、PCB 設計が重要な要素となります。デバイスの信頼性を確保し、所定の性能および機能要件を満たすと同時に、損失を最小限に抑えてシステム効率を維持するためには、アプリケーションの設計において特定の設計・レイアウト手法を考慮する必要があります。

このアプリケーション ノートは、最適な性能と効率でこのデバイスを動作させるため、従う必要のある一連の推奨ガイドラインを提供します。TAS2573EVM は、これらのガイドラインを具体的に示すためのリファレンスとして使用されます。

2 ピン構成および機能

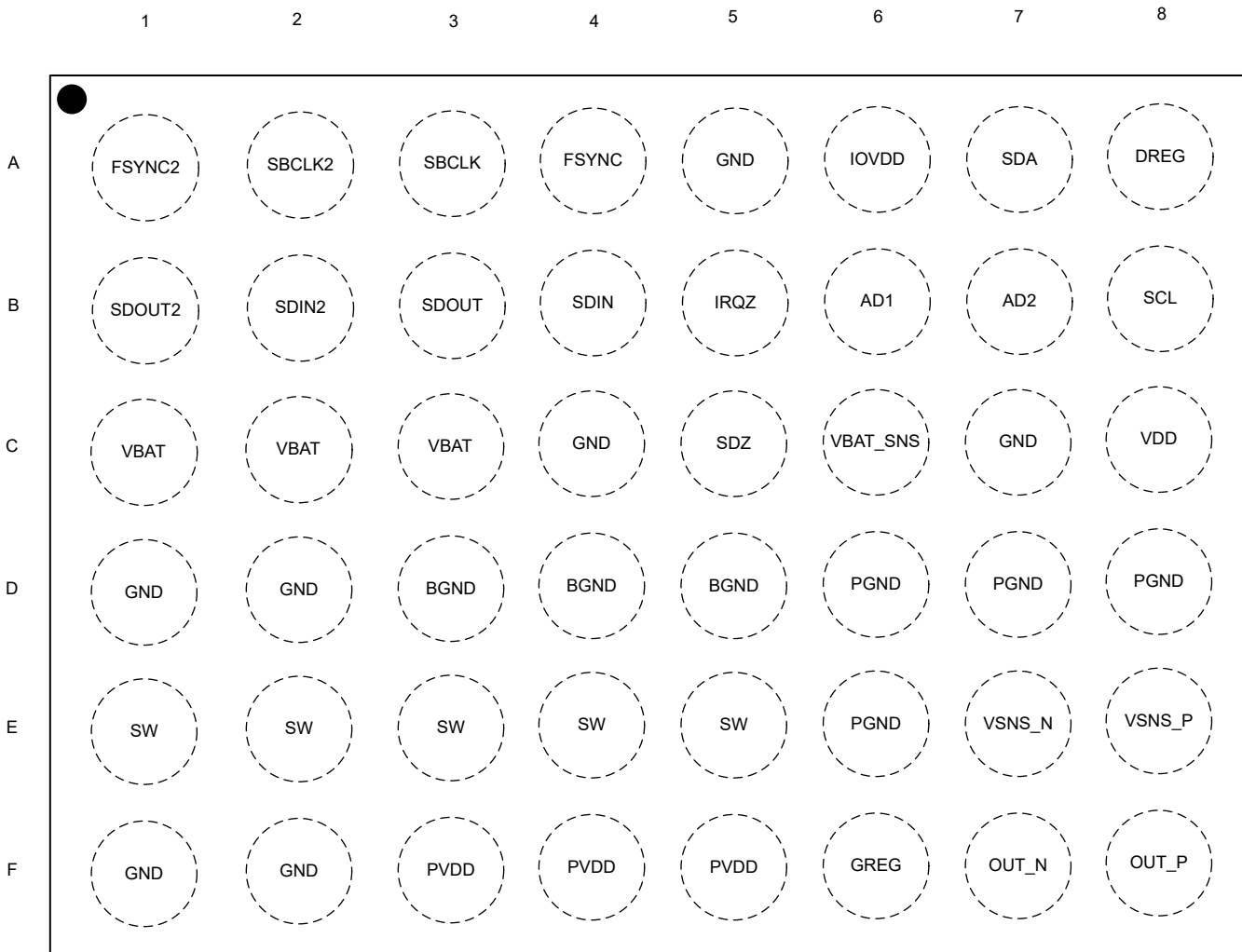


図 2-1. パッケージの上面図のピン配置

ピンの機能

ピン		タイプ ¹	説明
名称	番号		
AD1	B6	I	I ² C アドレス ピン LSB。
AD2	B7	I	I ² C アドレス ピン LSB+1。
BGND	D3	P	昇圧グラウンド。複数のビアを使用して PCB GND プレーンに強力に接続します。
	D4		
	D5		
DREG	A8	P	デジタル コア電圧レギュレータ出力。コンデンサを使用して GND にバイパスします。外部負荷に接続しないでください。
FSYNC	A4	I	プライマリ オーディオ インターフェイス用の I ² S ワード クロックまたは TDM フレーム同期。
GREG	F6	P	ハイスайд ゲート CP レギュレータ出力。外部負荷に接続しないでください。
GND	A5	P	デジタル グラウンド。PCB GND プレーンに接続します。複数のビアで必要とされるグラウンド プレーンへの強力な接続。
	C4		
	C7		
	D1		
	D2		
	F1		
	F2		
IOVDD	A6	P	1.2V または 1.8V デジタル IO 電源。コンデンサを使用して GND にデカップリングします。
IRQZ	B5	O	オープンドレイン、アクティブ Low 割り込みピン。オプションの内部プルアップを使用しない場合は、抵抗を使用して IOVDD にプルアップします。
OUT_N	F7	O	Class-D の負出力。
OUT_P	F8	O	Class-D の正出力。
PGND	D6	P	Class-D 電力段のグラウンド。複数のビアを使用して PCB GND プレーンに強力に接続します。
	D7		
	D8		
	E6		
PVDD	F3	P	昇圧出力と Class-D 電力段電源内蔵。
	F4		
	F5		
SBCLK	A3	I	プライマリ オーディオ インターフェイス用の I ² S/TDM シリアル ビット クロック。
SCL	B8	I	I ² C クロック ピン。抵抗を使用して IOVDD にプルアップします。
SDA	A7	I/O	I ² C データ ピン。抵抗を使用して IOVDD にプルアップします。
SDIN	B4	I	プライマリ オーディオ インターフェイス用の I ² S または TDM シリアル データ入力。
SDOUT	B3	O	プライマリ オーディオ インターフェイス用の I ² S または TDM シリアル データ出力。
SDZ	C5	I	アクティブ Low のハードウェア シャットダウン。
SW	E1	P	昇圧コンバータ スイッチ入力。
	E2		
	E3		
	E4		
	E5		
VBAT	C1	P	バッテリー電源入力。2.5V または 5.5V の電源に接続し、コンデンサでデカップリングします。
	C2		
	C3		
VBAT_SNS	C6	I	バッテリー センズ端子。リモート バッテリー センシングの場合に 1S または 2S バッテリー電源に接続します。リモート センシングを使用しない場合、ピンを接地します。

ピンの機能 (続き)

ピン		タイプ ¹	説明
名称	番号		
GND	C6	P	グラウンド ピン。このピンは、バッテリー センズ端子としても使用できます。リモート バッテリー センシングの場合に 1S または 2S バッテリー電源に接続します。リモート センシングを使用しない場合、ピンを接地します。
VDD	C8	P	アナログ、デジタル電源。1.8V 電源に接続し、コンデンサで GND にデカップリングします。
VSNS_N	E7	I	電圧検出の負入力。スピーカにできる限り近づけて、スピーカの負端子に接続します。EMI フィルタを使用する場合は、直列抵抗を追加します。
VSNS_P	E8	I	電圧検出の正入力。スピーカにできる限り近づけて、スピーカの正端子に接続します。EMI フィルタを使用する場合は、直列抵抗を追加します。
FSYNC2	A1	I	セカンダリ オーディオ インターフェイス用の I ² S ワード クロックまたは TDM フレーム同期。
SBCLK2	A2	I	セカンダリ オーディオ インターフェイス用 I ² S/TDM シリアル ビット クロック。
SDIN2	B2	I	セカンダリ オーディオ インターフェイス用の I ² S または TDM シリアル データ入力。
SDOUT2	B1	O	セカンダリ オーディオ インターフェイス用の I ² S または TDM シリアル データ出力。

1. I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。

3 アプリケーション回路図

以下の図は、TAS2573 をに接続できるさまざまな構成を示しています。図 3-1 に、1S 構成の TAS2573 を示します。ここでは、デバイスに給電するための電圧源としてシングルセルバッテリーを使用します。

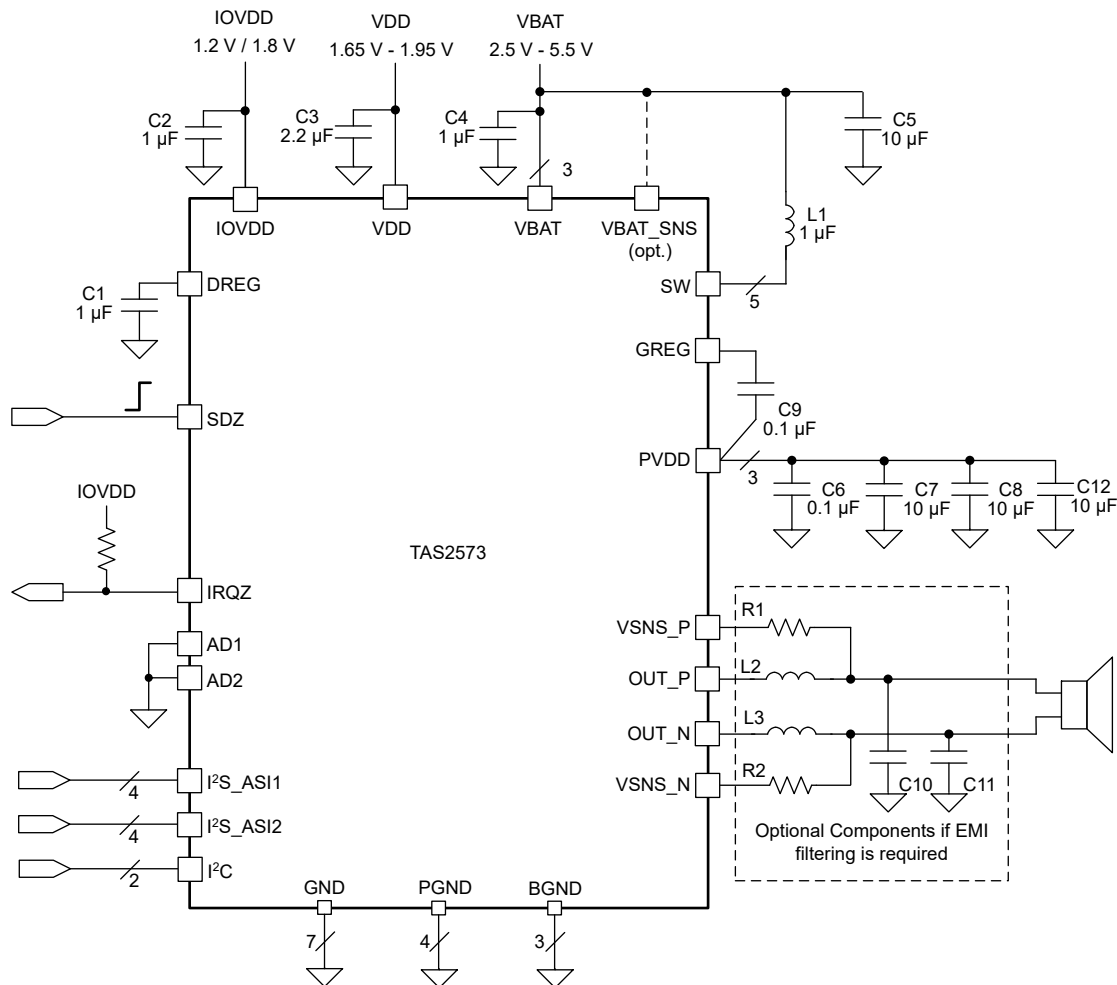


図 3-1. 1S 構成の TAS2573

図 3-2 に、2 セルバッテリーがデバイスの電源として動作している 2S 構成で接続されているデバイスを示します。

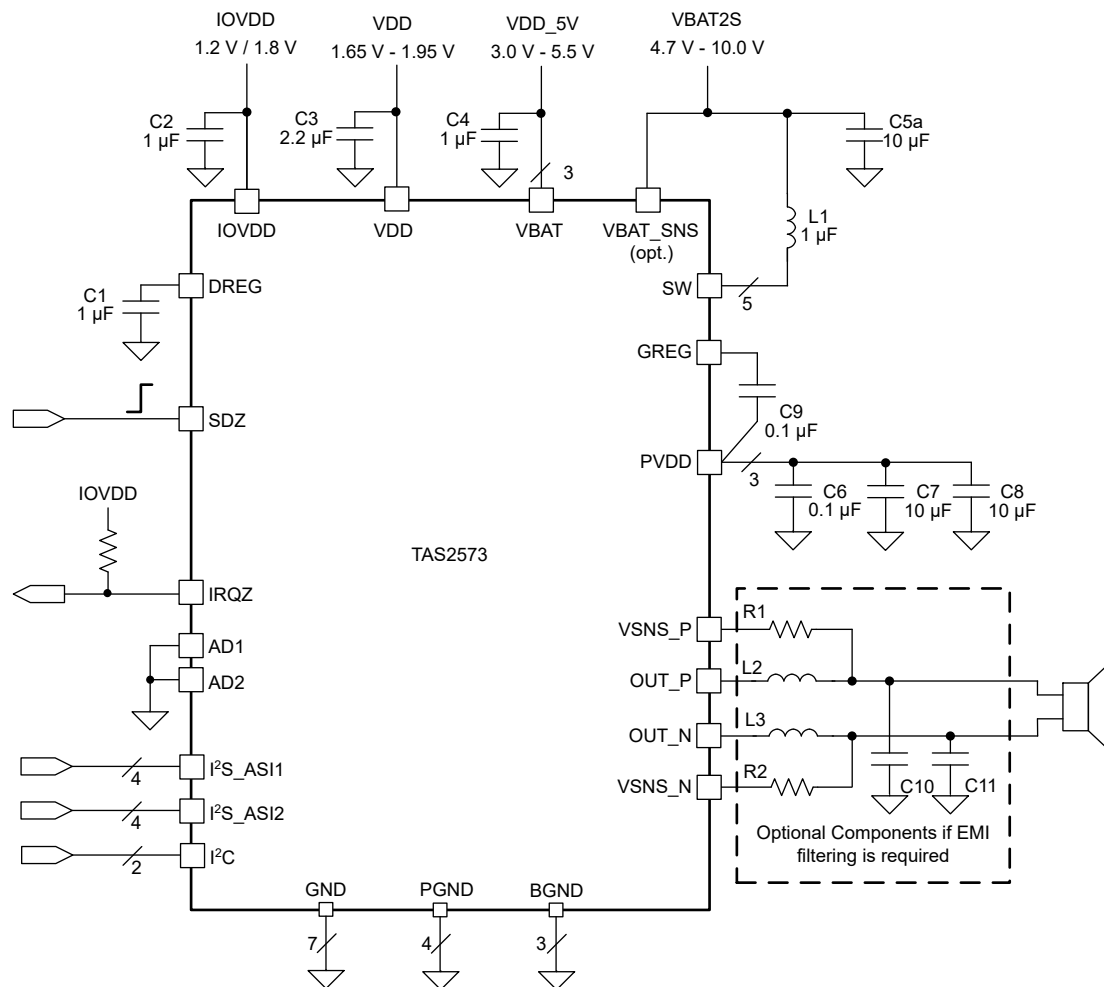


図 3-2. 2S 構成の TAS2573

図 3-3 に、TAS2573 の外部 PVDD 構成を示します。ここではデバイスの内部昇圧コンバータがディセーブルされ、PVDD は 3 セルのバッテリーから外部から供給できます。

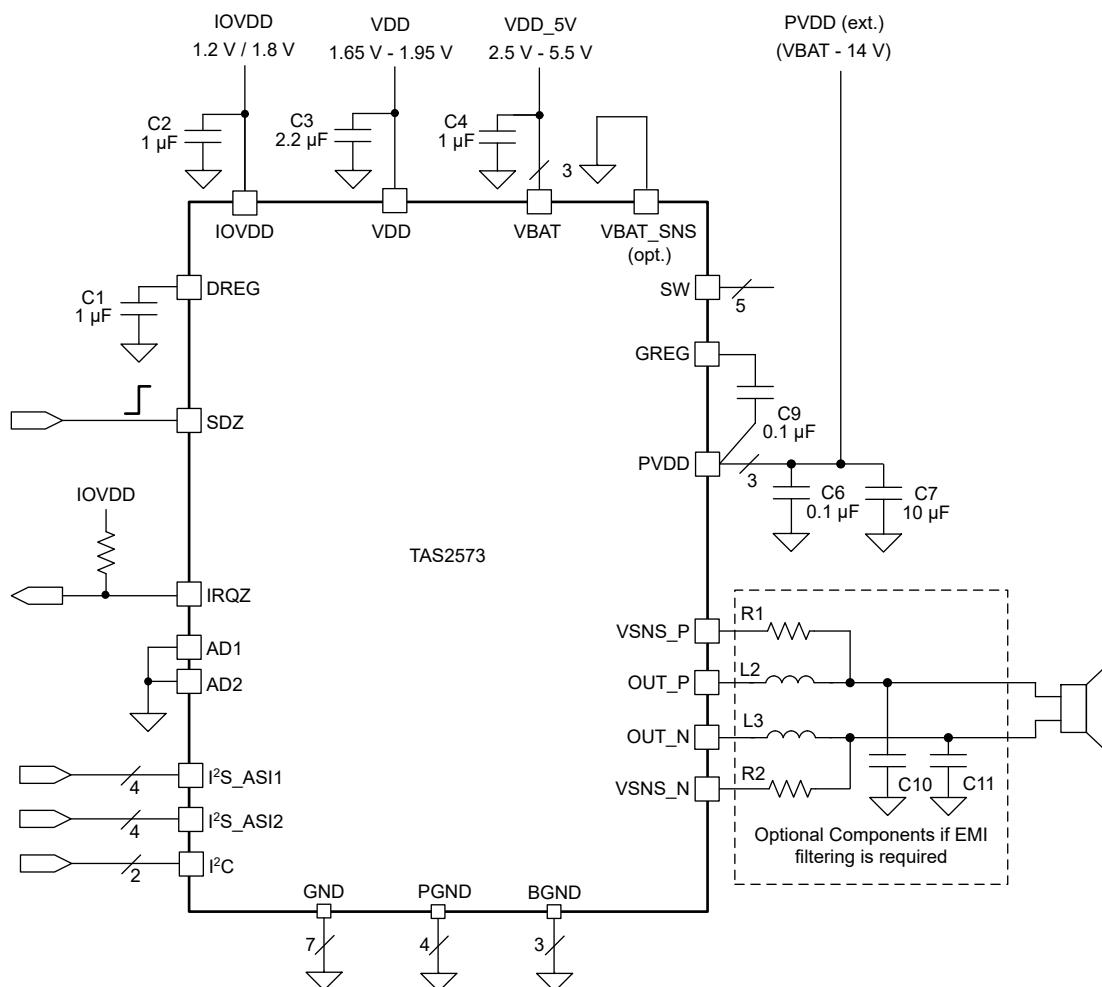


図 3-3. 外部 PVDD 構成の TAS2573

3.1 推奨部品定格

表 3-1 は、図 3-1、図 3-2、および図 3-3 に示す部品で推奨される部品定格を示しています。

表 3-1. 部品定格

部品	説明	仕様	最小値	標準値	最大値	単位
L1	ブーストコンバータ用インダクタ	インダクタンス	0.47	1	-	μH
		飽和電流	-	5.3	-	A
L2, L3	オプションの EMI フィルタ インダクタ (L2、L3 が使用されている場合は R1、R2 を使用する必要があります)	DC 電流	2	-	-	A
C1, C2	DREG、IOVDD 用デカップリング コンデンサ	容量、許容誤差 20%	-	1	-	μF
		定格電圧	2	6.3	-	V
C3	VDD デカップリング コンデンサ	容量、許容誤差 20%	-	2.2	-	μF
		定格電圧	2	6.3	-	V
C4	VBAT デカップリング コンデンサ	容量、許容誤差 20%	-	1	-	μF
		定格電圧	6.3	10	-	V
C5	VBAT 用電源デカップリング コンデンサ	容量、許容誤差 20%	-	10	-	μF
		定格電圧	6.3	10	-	V
C5a	VBAT2S デカップリング コンデンサ	容量、許容誤差 20%	-	10	-	μF
		定格電圧	10	16	-	V
C6	PVDD 用低 ESL デカップリング コンデンサ	容量、許容誤差 20%	-	0.1	-	μF
		定格電圧	16	25	-	V
C7, C8, C12	PVDD 電源デカップリング コンデンサ	容量、許容誤差 20%	-	10	-	μF
		定格電圧	16	25	-	V
		PVDD 用コンボ コンデンサの 13V 時における定格容量	3	-	-	μF
C9	GREG デカップリング コンデンサ	容量、許容誤差 20%	-	0.1	-	μF
		定格電圧	6.3	10	-	V
C10, C11	オプションの EMI フィルタ コンデンサ (C10、C11 が使用されている場合は L2、L3 を使用するものとします)	定格電圧	2xPVDD		-	V
R1, R2	オプションの電圧検出抵抗 (L2、L3 を使用する場合は使用する必要があります)	抵抗、5% 公差	1	2.2	4.7	kΩ
		温度係数	-	-	300	ppm/°C
		定格電力	-	0.01	-	W

4 レイアウトのガイドライン

このセクションでは、本デバイスの各ピン セクションに従う必要のあるベスト レイアウト プラクティスについて、詳しく説明します。

4.1 VDD ピン

VDD ピンは、デバイス内の各種の重要なアナログ ブロックおよびデジタルブロックを電源オンにするために使用されます。VDD ピンは、デバイスが Y ブリッジ モードで動作している場合、低消費電力で **Class-D** 出力段を駆動するための電源としても機能します。

VDD ピンを PCB 上の対応する電源に配線する際は、以下のガイドラインを考慮する必要があります。

- Y ブリッジが Y ブリッジ スレッショルドより低い電力レベルでイネーブルになると、**Class-D** アンプには VDD ピンからのスイッチング電流が流れます。高速なエッジレートにより、この電流は **200mA** のオーダーとなることがあります。
- VDD ピンと対応する電源との間の経路の寄生インダクタンスは、 $L \cdot di/dt$ がスイッチング電流への誘導性キックバックにより、ピンに大きな電圧リップルを生じさせます。この影響は、デバイスの性能と機能に影響を及ぼす可能性があります。
- VDD ピンを $\geq 2.2\mu\text{F}$ 値のコンデンサで GND ピンにデカップリングすることを推奨します。このコンデンサは、同じ層の VDD ピンのできるだけ近くに配置する必要があります。
- デカップリング コンデンサは、可能な限り小さい寄生インダクタンス (ESL) を持つ必要があります。0201 パッケージ コンデンサの使用を推奨します。
- PCB 上のスペースに制約がある場合は、コンデンサのトップ プレートが VDD ピンに直接接続され、ボトム プレートが複数のビア (最低 3 個を推奨) を用いて PCB のグランド面に接続されるように配置します。

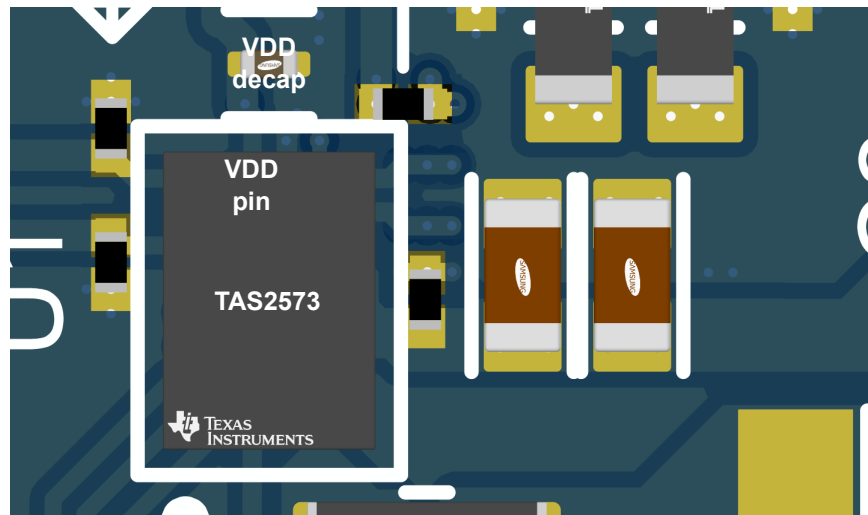


図 4-1. VDD デカップリング コンデンサの配置

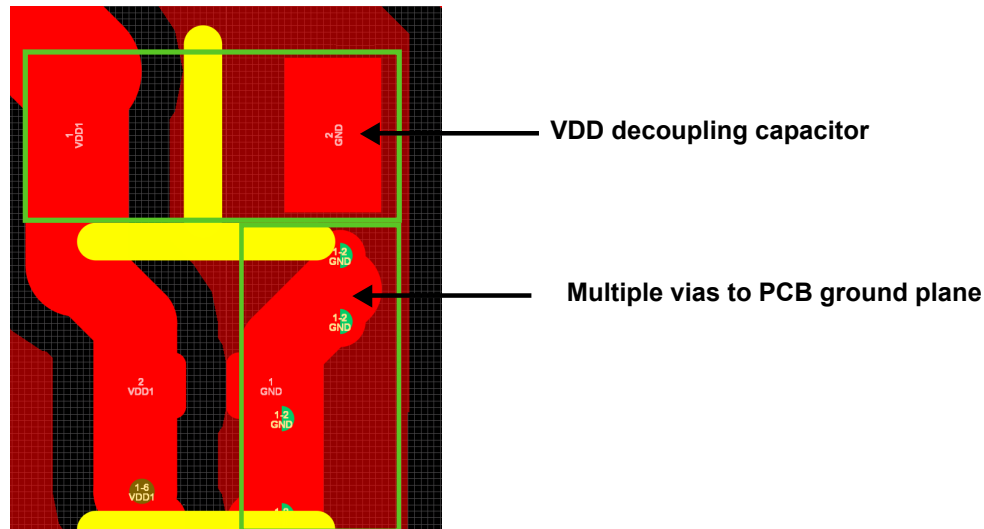


図 4-2. レイヤ 1 の VDD ピンからの配線

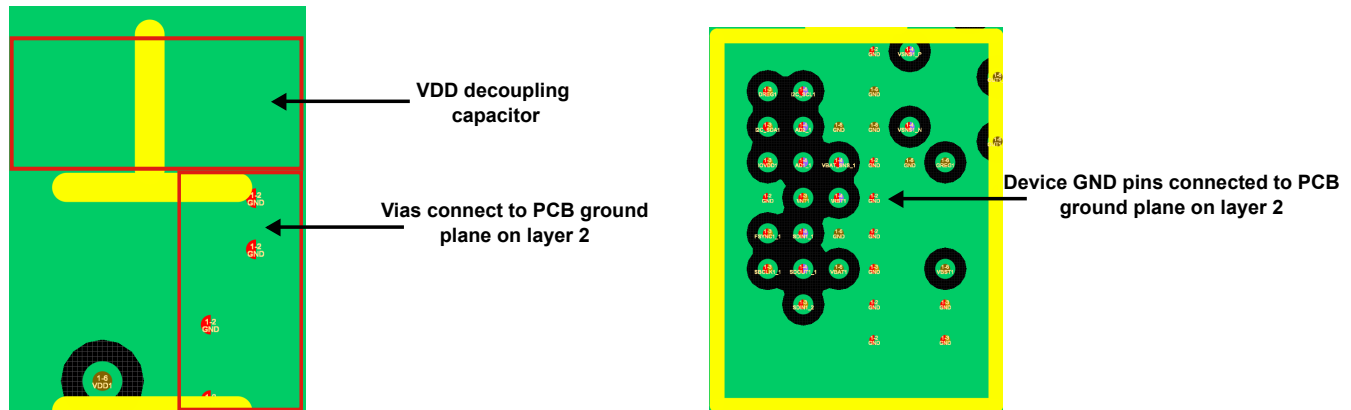


図 4-3. デカップリング コンデンサのレイヤ 2 の PCB グランド面への接続

4.2 PVDD ピン

PVDD ピンは、内部ブーストコンバータの出力に対応します。PVDD ピンは、出力電力レベルが Y ブリッジ スレッショルドよりも高いときに、Class-D 出力段を駆動する電源としても機能します。

PVDD ピンを PCB に配線する際は、以下の推奨事項を考慮する必要があります。

- 出力電力レベルが Y ブリッジ スレッショルドを上回ると、Class-D 出力段は高速エッジレートにより PVDD ピンから大きなスイッチング電流を消費します。
- デバイスが昇圧コンバータで動作している場合、このピンに外部回路の負荷を接続しないでください。
- これらの過渡電流による PVDD ピンの電圧リップルを最小限に抑えるため、 $\geq 3 \times 10\mu\text{F}$ の値のコンデンサを使用して PVDD ピンをバイパスする必要があります。
- この静電容量は、以下に起因するディレーティングを受ける可能性があります。
 - 許容差
 - 最大 PVDD 電圧に近い電圧係数
- このディレーティング後の静電容量は、13V において少なくとも $3\mu\text{F}$ である必要があります。
- また、PVDD から PGND へのループインダクタンスを最小限に抑えるため、PVDD ピンは $0.1\mu\text{F}$ の低 ESL コンデンサ (ESL を $\leq 250\text{pH}$ にする必要があります) でバイパスする必要があります。0201 パッケージコンデンサを使用して、このバイパスを実現します。低 ESL コンデンサは、デバイスに可能な限り近づけて配置する必要があります。

- デカップリング コンデンサは PGND ピンにバイパスする必要があります。PCB のグランド面を介してバイパスする場合は、バイパス コンデンサのグランド接続とデバイスの PGND ピンの間の寄生インダクタンスを最小限に抑えるため、複数のビア (3 個以上のビアを推奨) を使用します。
- 外部 PVDD モードで動作させる場合、PVDD ピンは、 I^2R 損失を最小限に抑えるため、大電流を流すことができ、寄生抵抗が小さい広いパターンを使用して電源に接続する必要があります。

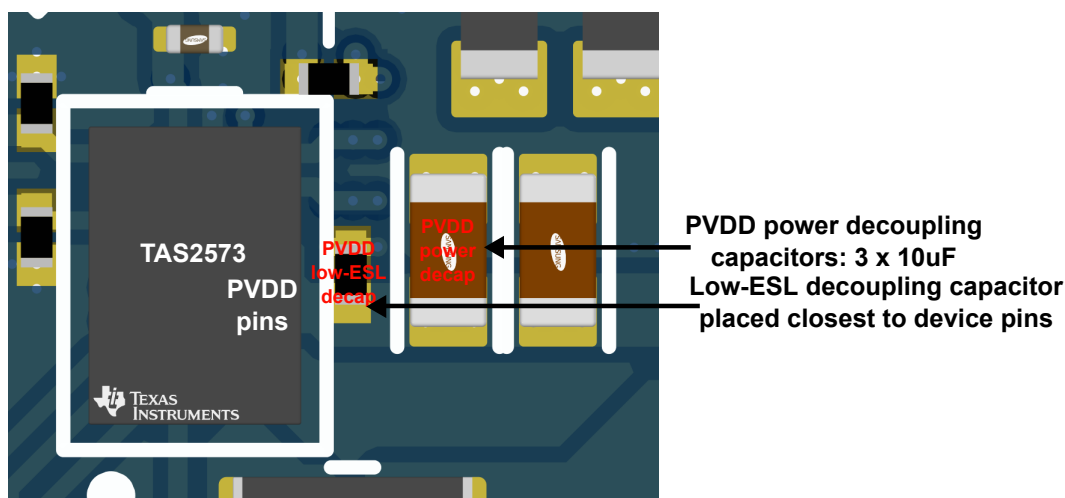


図 4-4. PVDD デカップリング コンデンサの配置

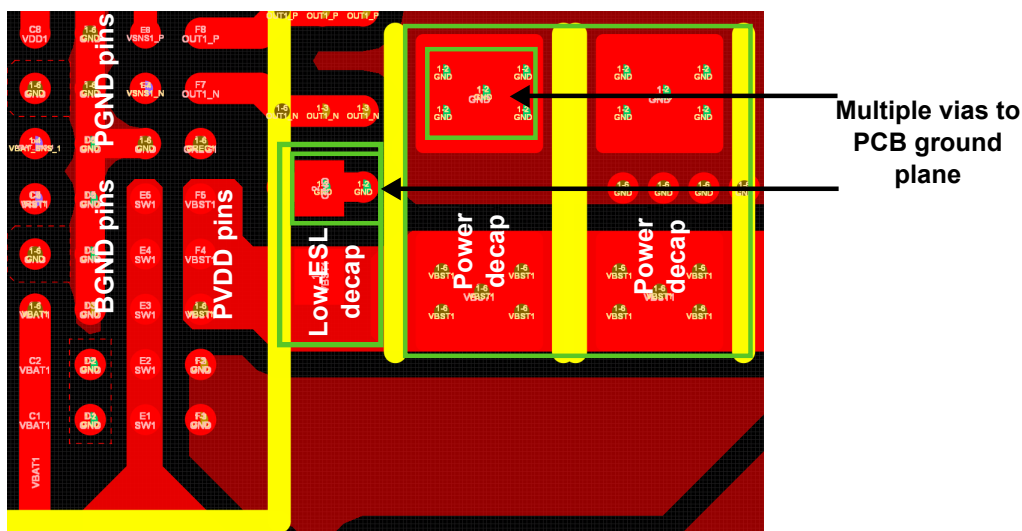


図 4-5. レイヤ 1 の PVDD ピンからの配線

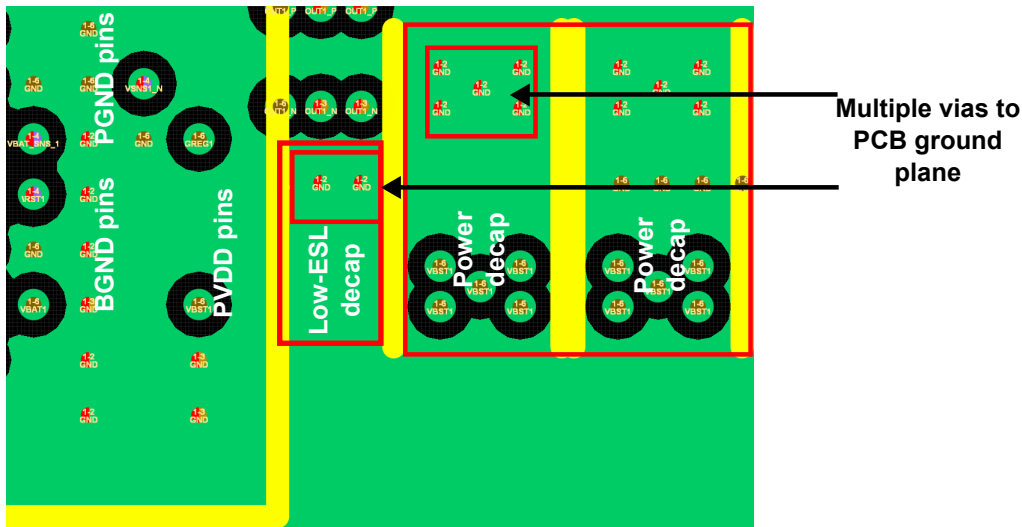


図 4-6. デカップリング コンデンサのレイヤ 2 の PCB グランド面への接続

4.3 GREG ピン

GREG ピンは、ブースト コンバータおよび Class-D 出力段のハイサイド ゲートドライバの電源ピンとして機能します。GREG ピンには、VBAT ピンの電圧を使用して電力が供給されます。

GREG ピンを PCB に配線する際は、以下の推奨事項を考慮する必要があります。

- GREG ピンと PVDD ピンは、値 $0.1\mu\text{F}$ のコンデンサを使用してデカップリングする必要があります (ESL および ESR を最小化するため、0201 パッケージを使用することを推奨します)。
- トップ プレートは GREG ピンに接続する必要があります。また、ボトムプレートは PVDD ピンへの共通インダクタンスを避けるため、PVDD PCB プレーンや PVDD デカップリング コンデンサトップ のプレートにではなく、PVDD ピンへの直接スター接続を使用する必要があります。
- デカップリング コンデンサの電圧定格は $\geq 6.3\text{V}$ にする必要があります。
- 内部 PCB レイヤーで接続を行う場合は、複数のビアを使用して、経路内の寄生インダクタンスを小さくします。

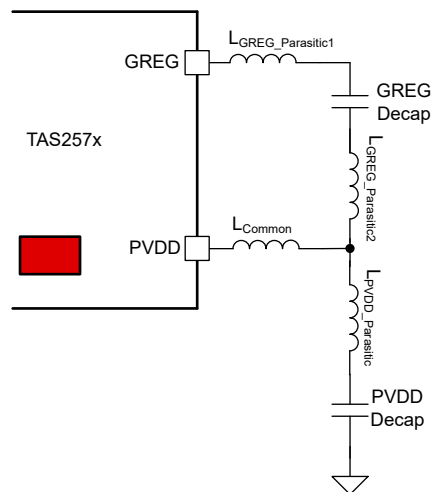


図 4-7. GREG デカップリング コンデンサの誤った配線

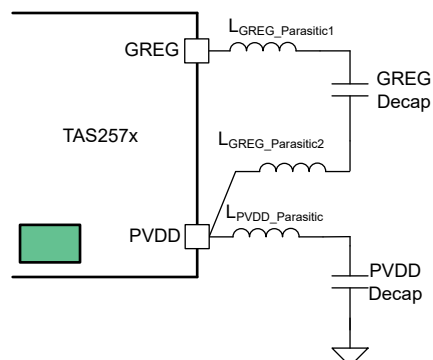


図 4-8. GREG デカップリング コンデンサの適切な配線

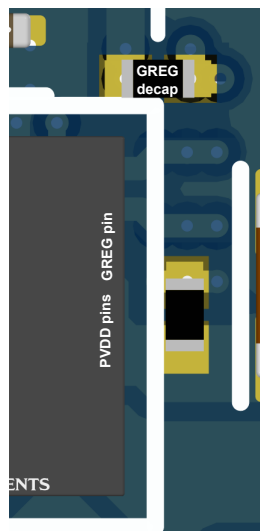


図 4-9. 評価基板上の GREG デカップリング コンデンサの配置

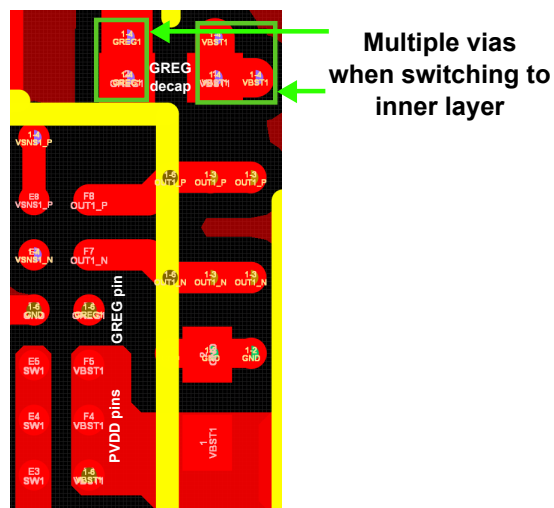


図 4-10. ビアを使用した GREG デカップリング コンデンサの内層への接続

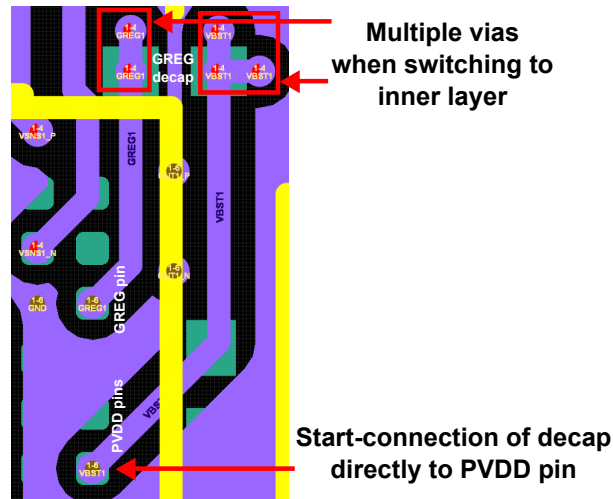


図 4-11. レイヤ 4 の GREG ピンと PVDD ピンへのデカップリング コンデンサの配線

4.4 SW ピン

SW ピンは、本デバイスの内部ブースト コンバータへのスイッチング入力に対応します。電源を PCB 上の SW ピンに配線する際は、以下の推奨事項を考慮する必要があります。

- このノードには、大きな過渡電流が流れることが想定されます。ノードは、大電流能力があり、寄生抵抗とインダクタンスが最小である広いパターンで配線する必要があります。
- このノードは高電圧でスイッチングできます。カップリングを避けるため、BCLK、FSYNC、SDIN SDOUT などの低電圧パターンをこのノードの両端に配線することを避けることを推奨します。
- SW ピンに接続されるインダクタを、デバイスの近くに配置します。ESR の低いインダクタを使用することは、より高い効率の実現に役立ちます。
- 電源から SW インダクタへの配線は、 I^2R 損失による効率の影響を最小限に抑えるため、寄生抵抗を最小限に抑える必要があります。
- SW インダクタを、インダクタに可能な限り近づけて配置した 10 μ F 以上のコンデンサでデカップリングしてください。この配置は、過渡電流に起因するノードのリップルを低減することを目的としています。このコンデンサは、インダクタとデバイスの SW ピンの間ではなく、電源とインダクタの間に配置する必要があります。
- SW ノード パス上の寄生容量を最小限に抑え、スイッチング損失を低減し、効率に影響を及ぼします。
- デバイスが外部 PVDD モードで動作している場合、SW ピンは未接続のままにする必要があります。

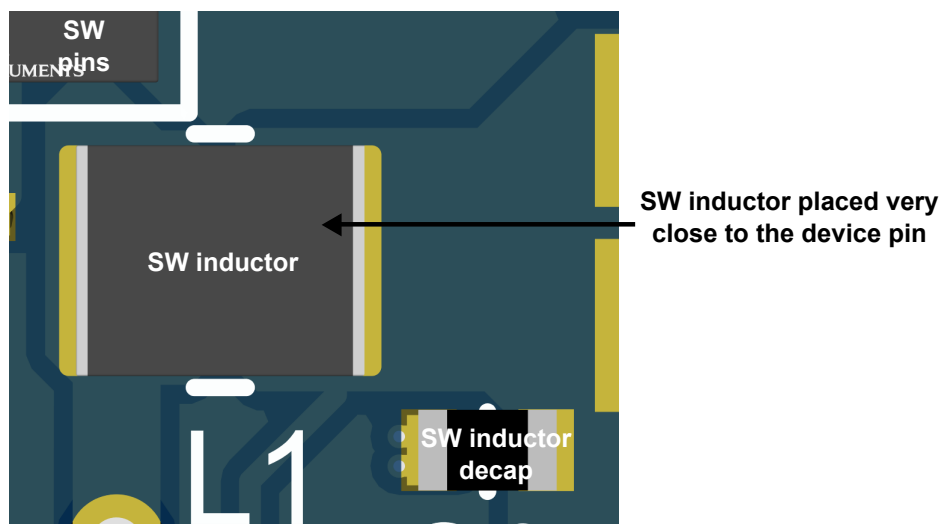


図 4-12. SW ピンの近くへのブースト インダクタとデカップリング コンデンサの配置

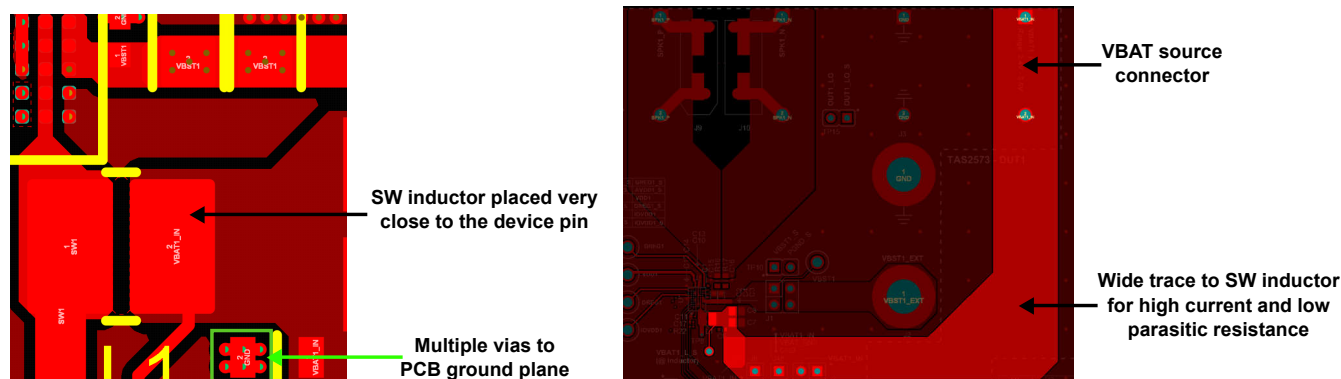


図 4-13. レイヤ 1 での SW インダクタへの電源の配線

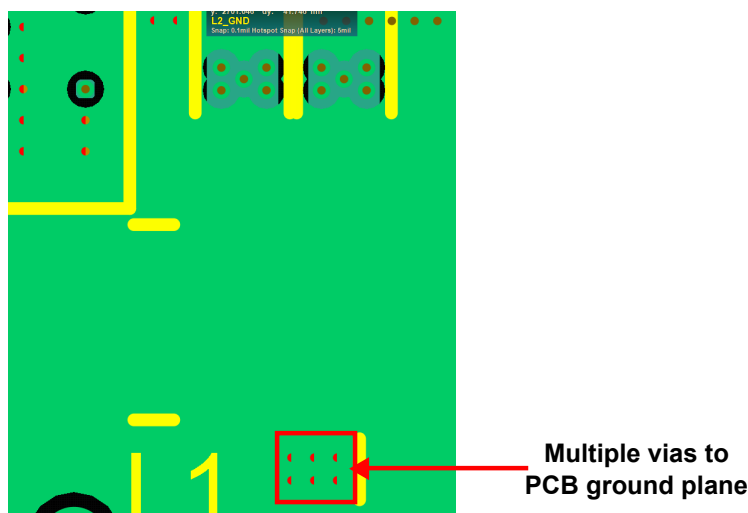


図 4-14. SW インダクタのデカップリング コンデンサのレイヤ 2 での PCB GND 面への接続

4.5 VBAT ピン

VBAT ピンはデバイスの電源ピンとして機能し、デバイス内部の一部のアナログ ブロックに電力を供給するために使用されます。このピンは、VBAT ピンの電源電圧を検出するようにデバイスが設定されている場合、電圧検出ピンとしても機能します。このピンは、電圧制限、ブラウンアウト検出、ブースト ターンオンなどの各種バッテリー監視の決定 (特に VBAT1S モード) に使用されます。

VBAT ピンを PCB に配線する際は、以下のガイドラインを考慮する必要があります。

- VBAT ピンは、10mA までの電流を供給します。このピンに配線されるパターンは、前述のピンよりも狭くできます。
- VBAT ピンは、SW インダクタへの配線に使用される大電流バスとは独立した配線を用いて、電源に接続する必要があります。
- VBAT ピンは、デバイスに可能な限り近づけて配置した 1 μ F 以上のコンデンサで GND にデカップリングする必要があります。ESL および ESR を低減するため、0201 パッケージ コンデンサを使用することを推奨します。
- PCB のグランド面を経由して GND に接続する場合、GND ピンへの寄生インダクタンスを最小限に抑えるために、複数のビアを使用してコンデンサのボトム プレートに接続する必要があります。

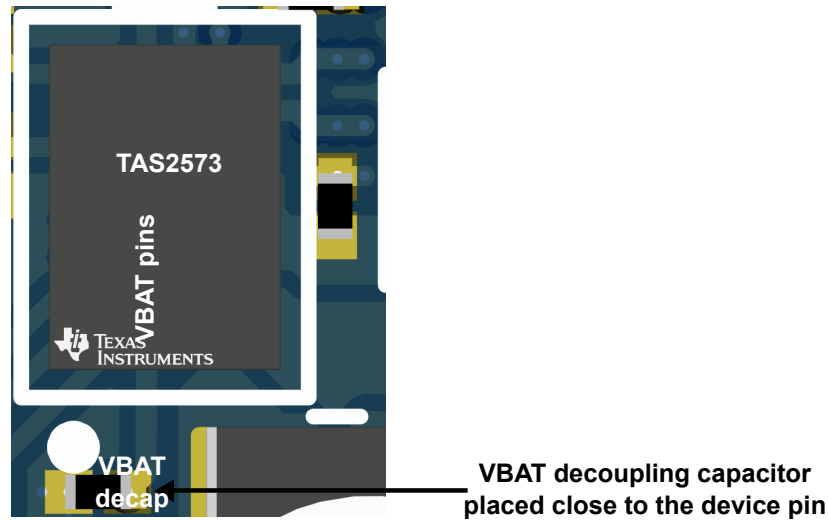
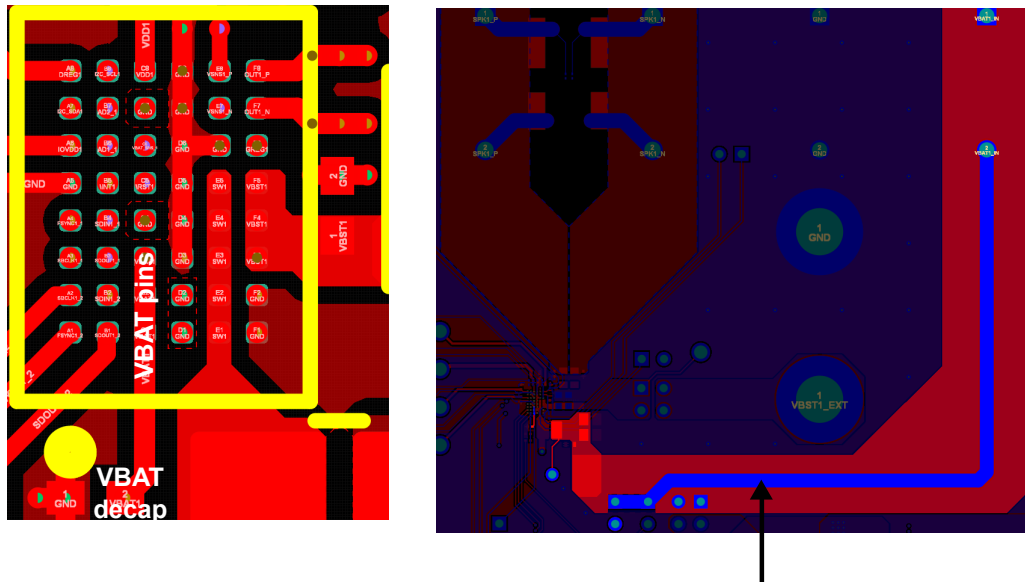


図 4-15. VBAT ピンの近くへのデカップリング コンデンサの配置



Routing to VBAT pin from power source is separate from SW high-current path on different layer

図 4-16. レイヤ 1 の VBAT ピンへの電源の配線

4.6 VBAT_SNS ピン

VBAT_SNS ピンは、デバイスに搭載されている追加のバッテリー検出ピンです。

VBAT_SNS ピンの PCB 配線では、以下のガイドラインを考慮する必要があります。

- VBAT1S モードでは、このピンはオプションのケルビン検出ピンとして機能します。
- 使用しない場合は、ピンをグラウンドに接続します。
- VBAT2S モードでは、このピンは 2S 電源に接続されます。その後、このピンは、電圧リミッタやブースト ターンオンなどに関する内部的な判断のために監視されます。
- このピンを使用する場合は、SW インダクタに配線される大電流パスとは独立した別のパターンを介して電源に配線する必要があります。

4.7 OUT_P および OUT_N ピン

OUT_P ピンと OUT_N ピンは、Class-D アンプの差動出力に対応します。これらのピンを PCB 上で配線する際は、以下のガイドラインを考慮する必要があります。

- これらのピンは、Y ブリッジ モードでは 0 から VDD、Y ブリッジのスレッシュホルドを超えると 0 から PVDD の間で切り替わります。
- このスイッチングは高速なエッジレートで発生し、その結果、これらのノードにおいて高いスイッチング電流が生じます。したがって、これらのピンは、大電流を流すことができる広いパターンでスピーカに配線する必要があります。
- 配線が PCB の内層に切り替わる場合は、電流容量を確保し、寄生インダクタンスを減らすために、複数のビアを使用する必要があります。
- これらのピンにおける寄生容量は、スイッチング損失を増大させ効率に悪影響を及ぼすため、最小限に抑える必要があります。静電容量が十分に大きい場合、スイッチングによって過電流割込みが誘発される可能性もあります。
- これらのノードは高電圧スイッチングノードであるため、BCLK、FSYNC、SDIN、SDOUT などの低電圧ノードをこのパスに配線しないでください。その結果、結合を防止できます。

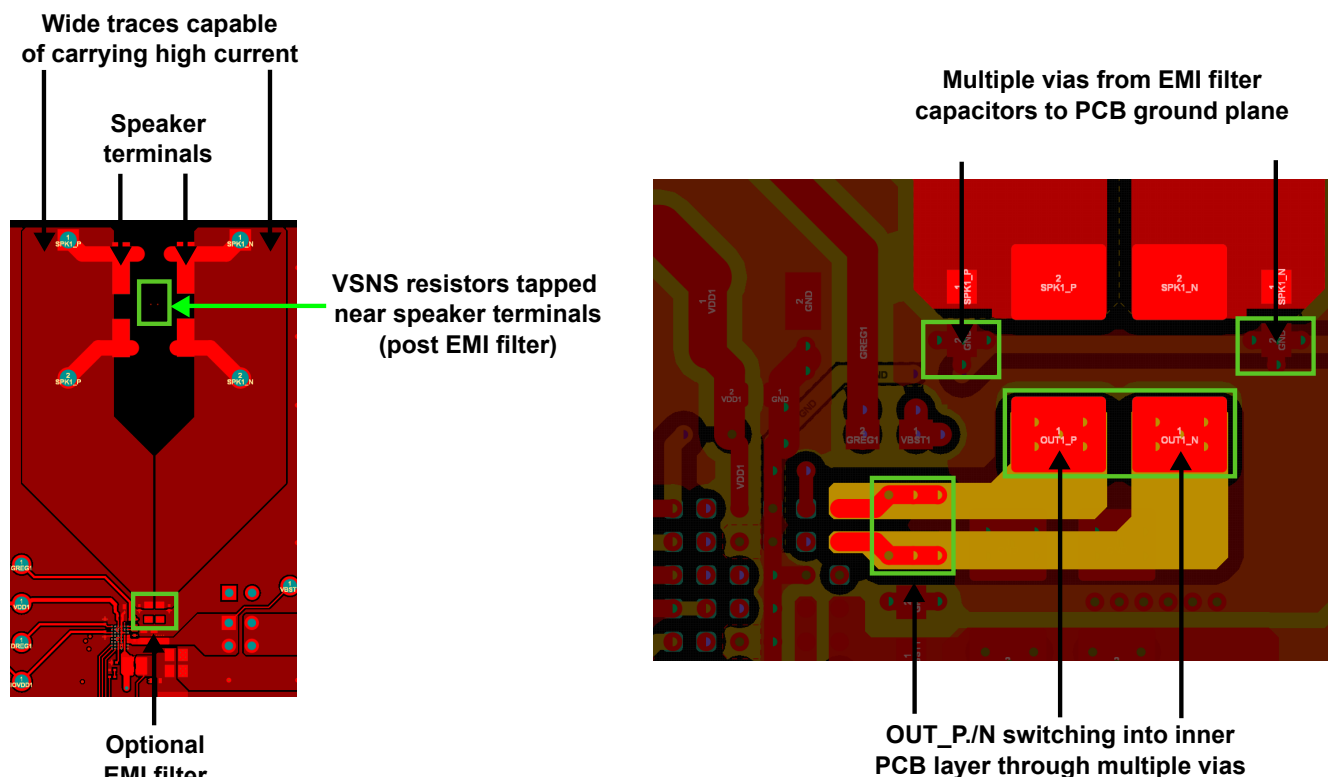


図 4-17. レイヤ 1 でのスピーカ端子への OUT_P/N の配線

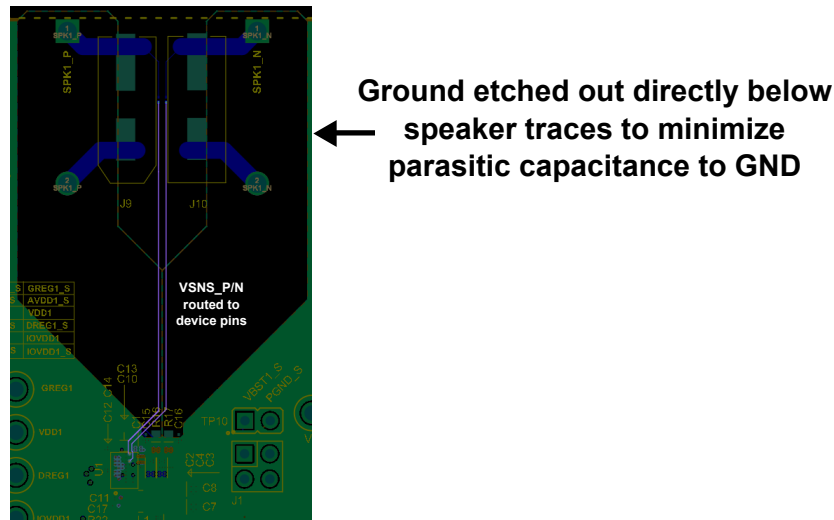


図 4-18. 内部 PCB レイヤの OUT_P/N パスより下の配線

4.7.1 出力でのオプションの EMI フィルタ

TAS2573 は EMI を最小限に抑えるためのエッジ レート制御をサポートしていますが、必要に応じて、システム設計者が Class-D 出力段に受動素子による EMI フィルタを実装することも可能です。

OUT_P ピンまたは OUT_N ピンに EMI フィルタを使用する場合、以下の点を考慮する必要があります。

- Class-D スイッチング周波数による共振を避けるため、フィルタの L-C カットオフ周波数は 3MHz を上回る必要があります。
- フィルタで使用するコンデンサ C の値は、 (C/L) の比が ≤ 1.5 になるように選択する必要があります。この対策により、ピーク出力時の誤った過電流割り込みの発生が回避されます。
- VSNS_P または VSNS_N のパスは、スピーカ端子の近くからデバイスピンに配線する必要があります。EMI フィルタを使用する場合、この配線は EMI フィルタの後に行われます。
- EMI フィルタを使用する場合は、VSNS_P または VSNS_N 配線パスに 2.2k Ω 直列抵抗を使用することを推奨します。この抵抗は、最大 4.7k Ω に抑える必要があります。

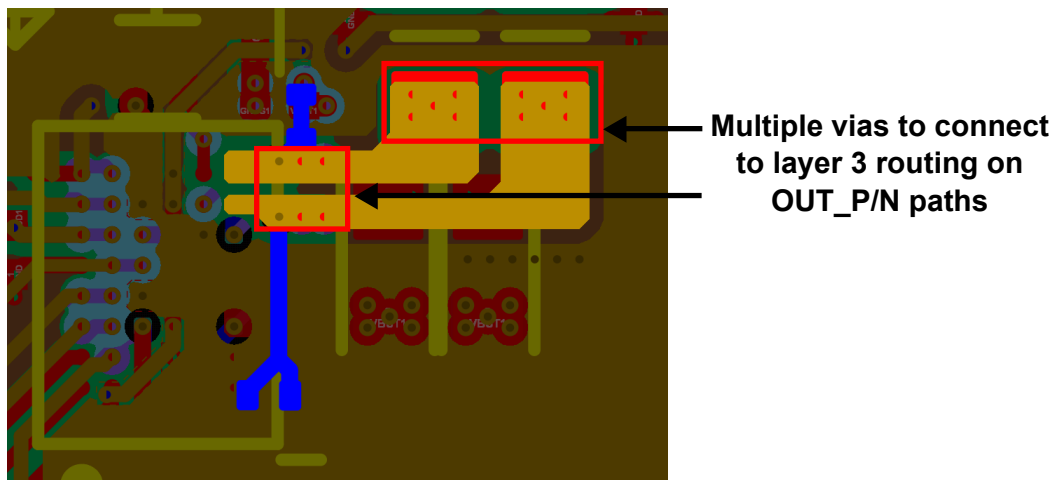


図 4-19. レイヤ 3 を介した OUT_P/N ピンから EMI フィルタへの配線

4.8 IOVDD ピン

IOVDD ピンは、デバイスのデジタル I/O 用の電源ピンです。IOVDD ピンを PCB に配線する際には、次の推奨事項を考慮する必要があります。

- IOVDD ピンを GND に対してデカップリングします。その際、1 μ F 以上の容量を持つコンデンサを、デバイスに可能な限り近づけて配置します。
- 共通の電源を使用して VDD ピンと IOVDD ピンの両方に電源を供給する場合、ソースの共有がデバイスの近くで発生していることを確認して (たとえば、VDD ピンと IOVDD ピンをデバイスのできるだけ近くで短絡する必要があります)、共通の配線を電源に接続する必要があります。
- このような接続を使用する場合、結合されたデカップリング コンデンサを VDD ピンの近くに配置する必要があります。

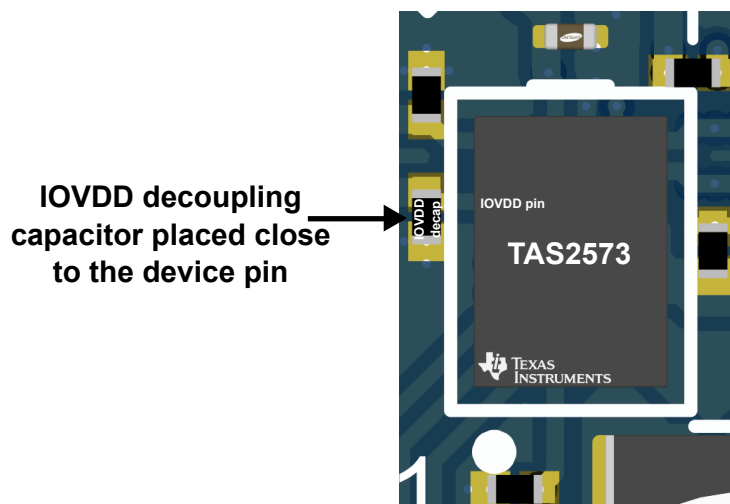


図 4-20. IOVDD デカップリング コンデンサの配置

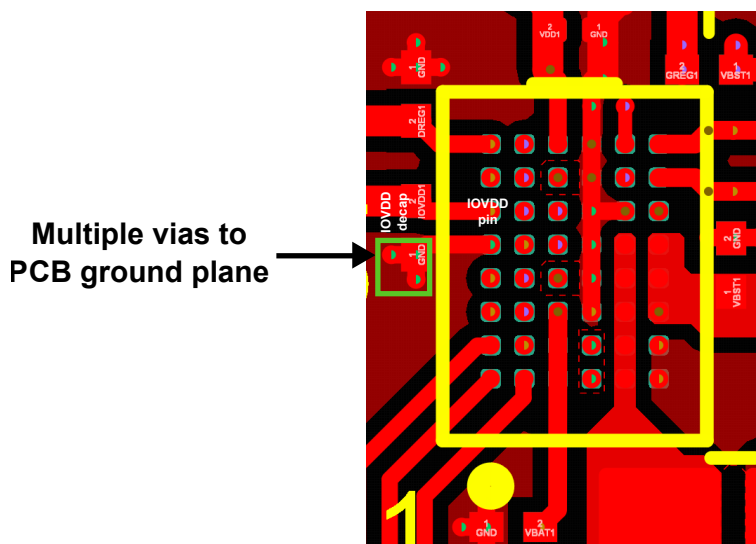


図 4-21. IOVDD デカップリング コンデンサのレイヤ 1 のピンへの配線

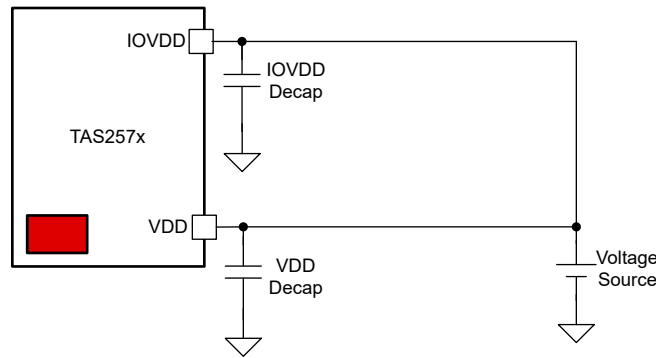


図 4-22. VDD と IOVDD を共有するための誤った接続

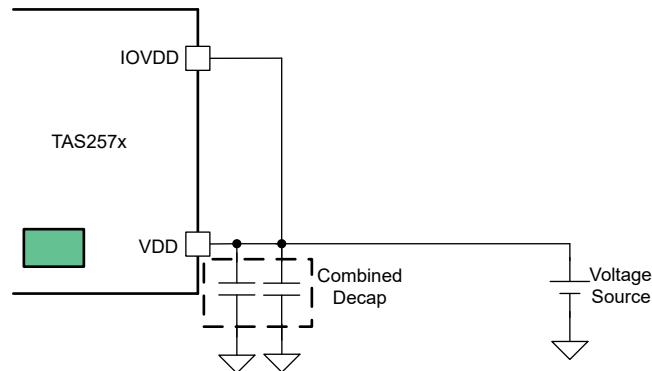


図 4-23. VDD と IOVDD を共有するための推奨接続

4.9 DREG ピン

DREG ピンは、内部で生成される LDO 電圧に対応します。DREG ピンは、デバイスの内部デジタル ブロックの電源として機能します。DREG ピンを PCB に配線する際には、以下のガイドラインを考慮する必要があります。

- DREG ピンは、 $\geq 1\mu\text{F}$ の値のコンデンサで GND ピンとデカップリングする必要があります。このコンデンサはデバイスにできるだけ近付けて配置する必要があります。ESR と ESL 最小限にするため、0201 コンデンサを使用します。
- DREG ピンには、いかなる外部回路も接続してはいけません。
- PCB のグランド面を介してデカップリングする場合は、複数のビアを使用して、コンデンサのグランド接続とデバイスの GND ピンの間の寄生インダクタンスを最小化します。

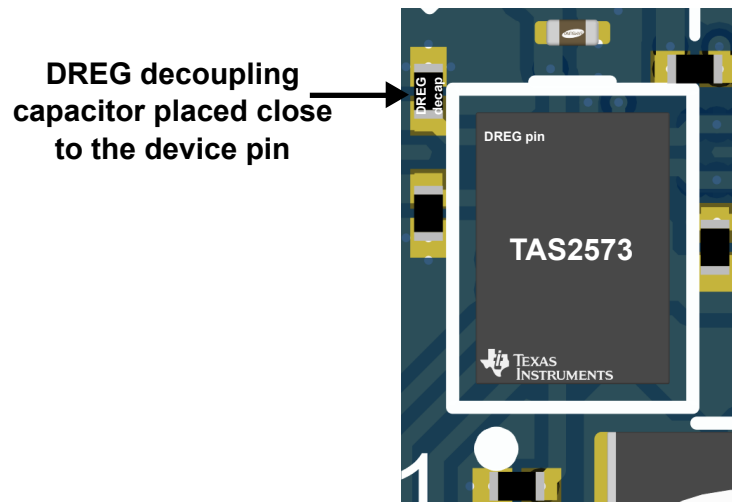


図 4-24. DREG デカップリング コンデンサの配置

Multiple vias to
PCB ground plane

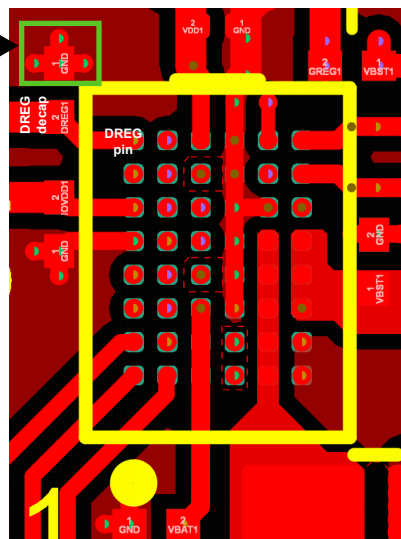


図 4-25. DREG デカップリング コンデンサのレイヤ 1 のピンへの配線

4.10 デジタル I/O ピン

このデバイスには次のデジタル I/O ピンが搭載されており、すべて IOVDD 電源電圧を基準としています。

- デバイスへの I²C 通信用の SCL、SDA。
- I²C デバイス アドレスを設定するための AD1、AD2。
- TDM/I²S オーディオ シリアル インターフェイス用の SBCLK、FSYNC、SDIN、SDOUT。
- デバイス割り込み用 IRQz。
- デバイスのハードウェア シャットダウン用の SDz。

デジタル信号の完全性を損なう恐れのある結合を回避するため、これらのデジタル ピンは、高電圧スイッチング ノード (SW、OUT_P、OUT_N、VSNS_P、VSNS_N) から離して配線する必要があります。

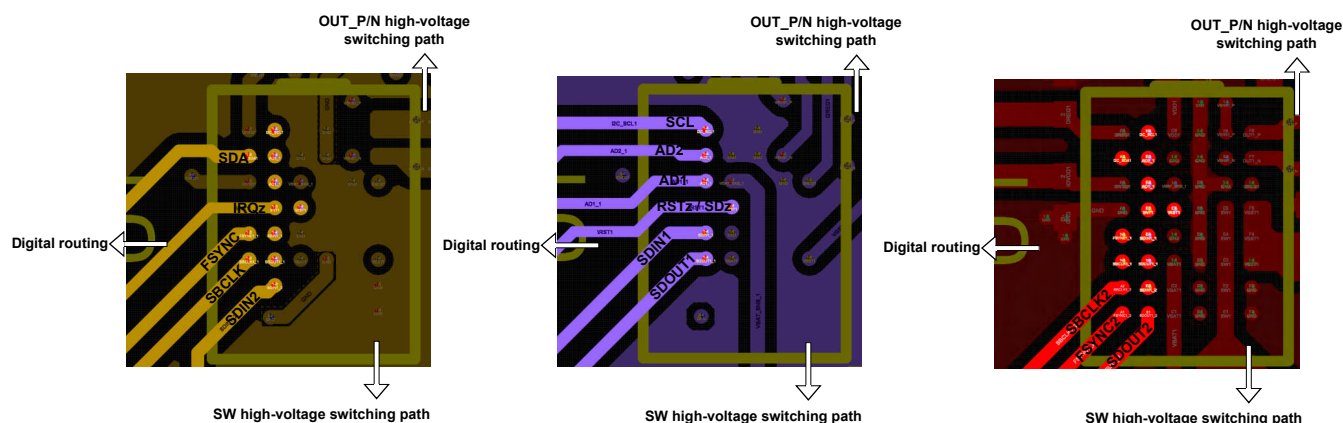


図 4-26. 高電圧スイッチング ラインからの内層 (3 および 4) 内のデジタル ラインの配線

4.11 グランド ピン

このデバイスには複数のグランド ピンがあり、PCB のグランド面に接続する必要があります。ピンを接続する際は、次以下のガイドラインを考慮する必要があります。

- このデバイスには、アナログ グランドとデジタル グランド用の 3 つの GND ピンがあります。これら 3 つのピンは、ビアを使用して PCB のグランド面に独立して接続する必要があります。PCB グランドへの共通インダクタンスを避けるため、これらのピンをトップレイヤで互いに短絡させないでください。
- このデバイスには、ブースト コンバータを示す 3 本の BGND ピンと、Class-D 電力段を示す 4 本の PGND ピンがあります。これらのピンは、PCB のトップレイヤで互いに短絡してから、個別のビアを使用して PCB グランド面に配線する必要があります。
- PCB グランドへの共通インダクタンスを避けるため、BGND ピンまたは PGND ピンをトップレイヤでデバイスの他の GND ピンに短絡しないでください。

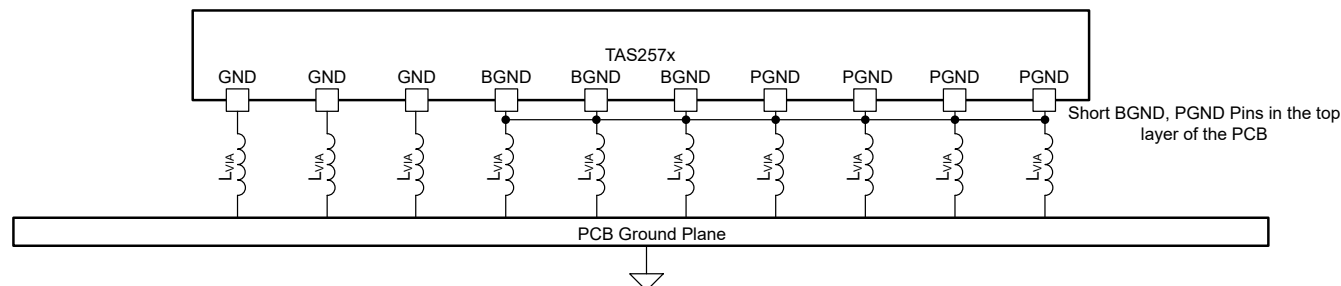


図 4-27. PCB GND 面へのグランド ピンの接続

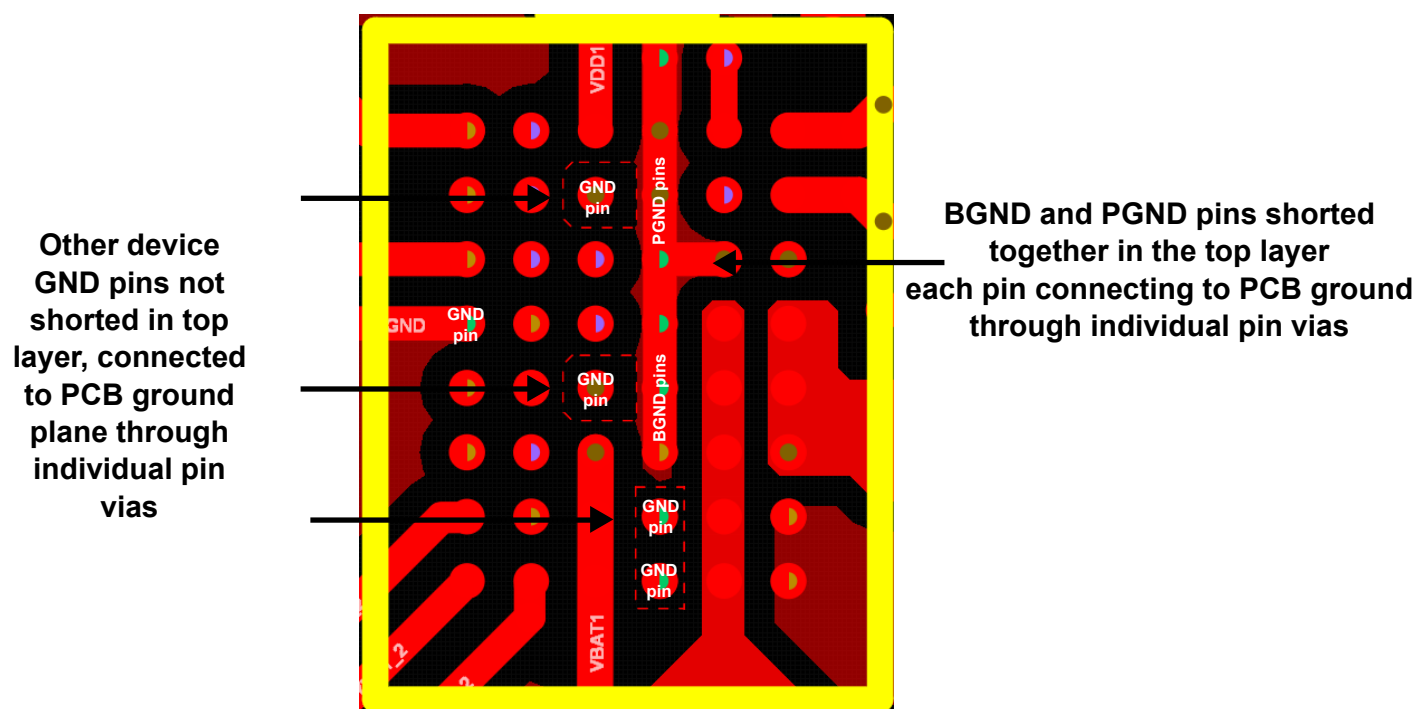


図 4-28. レイヤ 1 でのデバイス GND ピンの接続

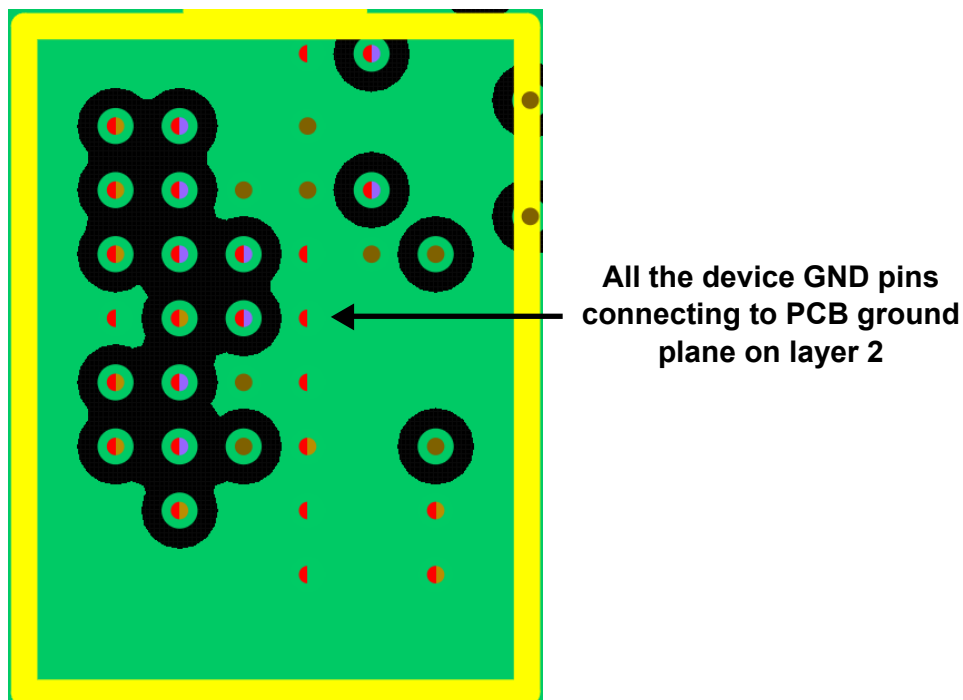


図 4-29. レイヤ 2 での PCB GND 面への接続

5 まとめ

表 5-1 に、デバイスの各ピンの推奨設計とレイアウト方法を示します。

表 5-1. 設計およびレイアウトのまとめ

セクション	ピンまたはセクション	最大寄生配線インダクタンス (pH)	推奨ガイドライン
1	VDD	250	可能な限りデバイスの近くに配置したコンデンサ $\geq 2.2\mu\text{F}$ でデカップリングします
2	PVDD	130	コンデンサ $3 \times 10\mu\text{F}$ でデカップリングし、デバイスにできる限り近づけて配置します ESL を最小限に抑えるため、小型パッケージ (0201) の $0.1\mu\text{F}$ コンデンサをデバイスの最も近くに配置する必要があります。 PVDD 電圧によるディレーティングを考慮してください。 大電流容量を持つ広いパターン
3	GREG	3000	PVDD ピンに $0.1\mu\text{F}$ のコンデンサを接続してデカップリングを行います。 スター接続で PVDD ピンに直接接続します
4	SW		インダクタは、デバイスにできる限り近づけて配置してください。 大電流を扱うための広いパターンを配線し、効率にとって重要な寄生抵抗を最小化 (I^2R 損失の低減) インダクタの近くにある $\geq 10\mu\text{F}$ コンデンサでデカップリングします グラウンドとの寄生容量を最小化し、スイッチング損失を低減します 外部 PVDD モードでは、ピンを未接続のままにします
5	VBAT	250	スター接続を使用して電源に直接接続します デバイスに可能な限り近づけて、 $1\mu\text{F}$ 以上のコンデンサでデカップリングを行ってください。
6	VBAT_SNS		スター接続を使用して電源に直接接続します VBAT1S モードでのオプション接続。使用しない場合はグラウンドに接続します
7	OUT_P/OUT_N		デバイスに可能な限り近づけて、 $1\mu\text{F}$ 以上のコンデンサでデカップリングを行ってください。 大電流を流すことができる広いパターン グラウンドとの寄生容量を最小化し、スイッチング損失を低減します
8	VSNS_P/ VSNS_N		スピーカ端子の近くでタップします (EMI フィルタ後) EMI フィルタ (推奨 $2.2\text{k}\Omega$) 使用時に直列抵抗が必要です
9	IOVDD	250	デバイスの極力近くに、 $1\mu\text{F}$ 以上のコンデンサを配置してデカップリングを行ってください 必要な I/O 電源が 1.8V である場合は、デバイスピン付近の VDD に短絡できます。短絡している場合でも、C2 と C3 の両方のコンデンサを VDD ピンの近くに配置することを推奨します
10	DREG	250	デバイスの極力近くに、 $1\mu\text{F}$ 以上のコンデンサを配置してデカップリングを行ってください
11	デジタル		カップリングを避けるため、SW、OUT_P、OUT_N などの高電圧スイッチング ノードの近くに配線しないでください
12	グラウンド	BGND - 35pH PGND - 30pH ピンごとに GND - 100pH	トップ レイヤで BGND ピンまたは PGND ピンを短絡します PGND または BGND ピンと GND ピンとの間のグラウンド面に対する共通インダクタンスを避けます デバイスの性能に不可欠な PCB グラウンドに対する総寄生インダクタンス。インダクタンスを最小限に抑えるために、複数のビアを使用します

6 参考資料

- ・ テキサス インスツルメンツ、「[TAS2573EVM ユーザー ガイド](#)」、ユーザー ガイド。
- ・ テキサス インスツルメンツ、『[TAS2573 データシート](#)』、データシート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月