

Application Note

SYSREF アライメント検出器と SYSREF モニタ



Akshay Kumar, Mujammil Patel, Karthikeyan G

概要

このアプリケーション ノートでは、AFE81xx における SYSREF アライメント検出器の使用方法について説明します。AFE81xx は高性能で広帯域のマルチチャネルトランシーバのファミリであり、最大 16 の RF サンプリングトランスミッタチェーン、最大 16 の RF サンプリングレシーバチェーン、および最大 4 の RF サンプリング デジタイジング補助チェーン (フィードバック パス) を統合しています。SYSREF は、デバイス内の主要な機能ブロックのリセットとして機能する基準信号であり、複数のデバイス間で共通のタイミング基準を確立するのに役立ちます。システムレベルで確定的なレイテンシを確保するには、パワーアップ サイクルごとに確定的な方法で SYSREF が AFE 入力クロックによりラッチされる必要があります。主に、SYSREF アライメント検出器はセットアップ時間やホールド時間の違反なしに、SYSREF エッジを AFE 入力クロック エッジにアライメントするのに役立ちます。これは、AFE を外部クロック モードで使用するときなど、より高いクロック レートで機能する場合に重要です。

目次

1 概要.....	2
2 SYSREF アライメント検出器のアーキテクチャ.....	3
2.1 ケース 1.....	4
2.2 ケース 2.....	4
2.3 ケース 3.....	4
3 SYSREF アライメント検出器設定用のソフトウェア シーケンス.....	5
4 高周波モード.....	6
5 まとめ.....	6
6 参考資料.....	7

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

SYSREF は、デバイダ、信号処理ブロック、弾性バッファなどの内部コンポーネントを同期させるためにデバイスで使用され、確定的なレイテンシが保証されます。この結果、リンク全体のレイテンシが確定的となり、出力が位相整合するように複数のデバイスが完全同期されます。SYSREF 信号は入力クロックよりもかなり低い周波数で動作し、その周波数は入力クロックの整数倍です。AFE では、SYSREF は基準クロック (Fref) の立ち上がりエッジでラッチされます。図 1-1 に示すように、これらの間の位相差によって、SYSREF はセットアップ境界とホールド境界の間に入る可能性があるため、SYSREF ブロックのタイミング違反が発生する可能性があります。

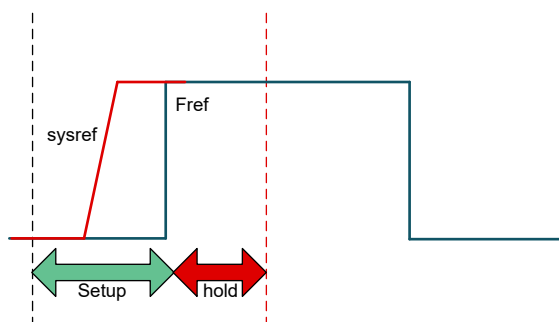


図 1-1. セットアップ ホールド ウィンドウ

SYSREF は、常にタイミング条件が満たされるように配置する必要があります。これを確実にする最も簡単な方法は、SYSREF 遷移を基準クロック (Fref) の立ち下がりエッジと一致させることです。これを行うには、SYSREF パスまたは Fref パスに適切な遅延を導入する必要があります。たとえば、AFE が外部ソースからクロックを受信している場合、クロックソースに位相を導入して遅延を模倣することができます。(遅延 = 位相 (度) / 360 / Fref)。

SYSREF アライメント検出器は、SYSREF と基準クロック (Fref) の間の相対位置を識別するのに役立ちます。12GHz 入力クロック (83ps 周期) などの、高周波クロックの外部クロックモードで動作するデバイスを使用する場合、タイミングマージンが極めて厳しいため、SYSREF 信号正確なアライメントが重要になります。このモードでは、SYSREF 伝搬または入力基準クロック伝搬のわずかな偏差 (30 ~ 40ps 程度) でも、SYSREF エッジは入力クロックの立ち上がりエッジに非常に近い位置へ遷移する可能性があります。一方、入力クロックが通常 500MHz 以下 (2ns の周期) となる内部 PLL モードでは、利用可能なタイミングマージンが大幅に増大します。SYSREF 到着時間の変動がクロックエッジ境界をまたぐ可能性が低いため、システムのスキューに対して許容度が高くなり、SYSREF アライメント検出器への依存が低減します。最終的に確定的な動作を実現するには、適切な同期とタイミング要件への準拠を検証するため、外部クロック構成での SYSREF アライメント検出器の使用を強く推奨します。

SYSREF アライメント検出器ブロックは、clock_in (Fref) と sysref_in (SYSREF) の 2 つの入力を受信します。クロックエッジに対する SYSREF の相対タイミングを評価し、10 ビットの SYSREF アライメント検出器読み取り値を出力として生成します。この読み取り値は、最初の内部ラッチ付近のキャプチャポイントにおける、入力クロックと SYSREF 信号との相対的な位相関係を反映しています。ソースで SYSREF 遅延を段階的に調整しながら SYSREF アライメント検出器の出力の変化を観察することで、ユーザーは有効なタイミングウィンドウ内で SYSREF の配置を最適化できます。

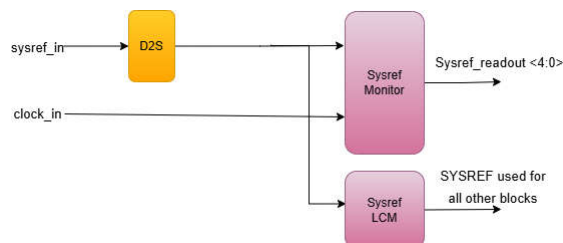


図 1-2. SYSREF パスの概要

2 SYSREF アライメント検出器のアーキテクチャ

SYSREF アライメント検出器の出力は、10 ビットの値 [9:0] です。各ビットは、以下に示すように、基準クロック (Fref) の立ち上がりエッジを基準とする SYSREF のゾーンを示します。

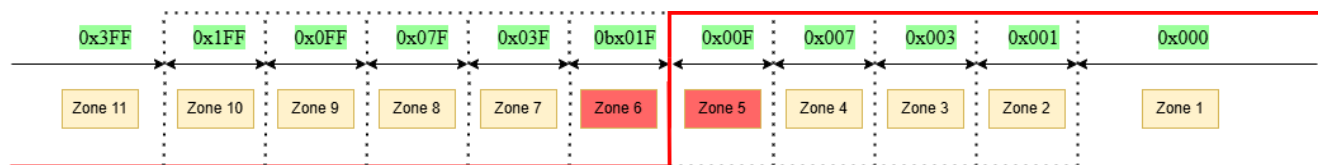


図 2-1. SYSREF ゾーンと SYSREF アライメント検出器の読み取り値マッピング

各ゾーンは、セットアップ違反とホールド違反からの利用可能なマージンを示します。表 2-1 に、各ゾーンの解釈を示します。

表 2-1. SYSREF アライメント検出器のゾーン定義とタイミング マージン

ゾーン番号	SYSREF アライメント検出器の読み取り値	説明
ゾーン 1	0	これは、SYSREF が基準クロック (Fref) の立ち下がりエッジより前、かつ立ち上がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から最小 32ps のマージンがあります。SYSREF は、基準クロック (Fref) の次の立ち上がりエッジでラッチされます。これが最適なゾーンです。
ゾーン 2	1	これは、SYSREF が基準クロック (Fref) の立ち下がりエッジより前、かつ立ち上がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 24 ~ 32ps のマージンがあります。SYSREF は、基準クロック (Fref) の次の立ち上がりエッジでラッチされます。
ゾーン 3	3	これは、SYSREF が基準クロック (Fref) の立ち下がりエッジより前、かつ立ち上がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 16 ~ 24ps のマージンがあります。SYSREF は、基準クロック (Fref) の次の立ち上がりエッジでラッチされます。
ゾーン 4	7	これは、SYSREF が基準クロック (Fref) の立ち下がりエッジより前、かつ立ち上がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 8 ~ 16ps のマージンがあります。ここでは、タイミング違反の影響を受けやすくなります。SYSREF が基準クロック (Fref) の次の立ち上がりエッジでラッチされるのが理想的です。
ゾーン 5	15	これは、SYSREF が基準クロック (Fref) の立ち下がりエッジより前、かつ立ち上がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 0 ~ 8ps のマージンがあります。ここでは、タイミング違反の影響を最も受けやすくなります。
ゾーン 6	31	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 0 ~ 8ps のマージンがあります。ここでは、タイミング違反の影響を最も受けやすくなります。
ゾーン 7	63	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 8 ~ 16ps のマージンがあります。ここでは、タイミング違反の影響を受けやすくなります。SYSREF は基準クロック (Fref) のこの立ち上がりエッジでラッチされます。
ゾーン 8	127	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 16 ~ 24ps のマージンがあります。SYSREF は基準クロック (Fref) のこの立ち上がりエッジでラッチされます。
ゾーン 9	255	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 24 ~ 32ps のマージンがあります。SYSREF は基準クロック (Fref) のこの立ち上がりエッジでラッチされます。
ゾーン 10	511	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から 32 ~ 40ps のマージンがあります。SYSREF は基準クロック (Fref) のこの立ち上がりエッジでラッチされます。
ゾーン 11	1023	これは、SYSREF が基準クロック (Fref) の立ち上がりエッジより前、かつ立ち下がりエッジより後に存在することを示します。このゾーンでは、タイミング違反から最小 40ps のマージンがあります。SYSREF は基準クロック (Fref) のこの立ち上がりエッジでラッチされます。これが最適なゾーンです。

ゾーン 1 とゾーン 11 は、SYSREF の最も安全なゾーンです。現在の読み取り値に基づいて SYSREF を進めるか遅らせることで、最適なマージンを得ることができます。AFE81xx の SYSREF アライメント検出器の読み取り値は、Fref クロックの立ち上がりエッジでラッチされ、クロックの立ち下がりエッジで記録 / フリーズされます。実質的にすべての読み取り値は、SYSREF 立ち上がりエッジ後に現れる Fref クロックの立ち下がりエッジに先行する、Fref クロックの立ち上がりエッジを基準としています。

注: 高周波モード (Fref が 7.5G を超える) の場合、一部のゾーンは無効となります。セクション 4 を参照してください。

いくつかのケース スタディを、アライメント戦略の例を挙げて説明します。

2.1 ケース 1

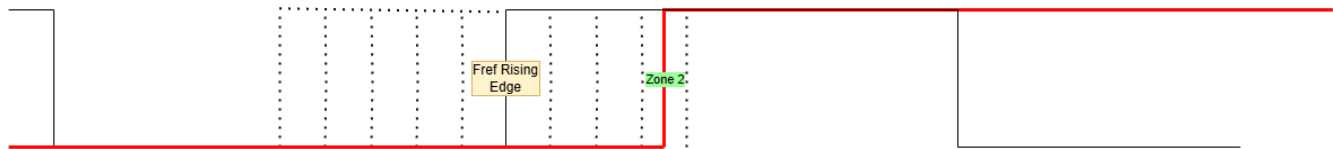


図 2-2. ケース 1 — SYSREF がゾーン 2 にある場合

この場合、SYSREF はゾーン 2 にあり、SYSREF アライメント検出器の読み取り値は 0x01 となるはずです。このケースをさらに考え進めてみると、SYSREF をクロックに対して進めていくにつれて、読み取り値は 0x01 から 0x3FF に遷移し始めるはずです。SYSREF アライメント検出器の読み取り値が 0x3FF になると、ゾーン 11 に入ります。同様に、SYSREF を遅らせていくと、0x000 へ遷移し始め、ゾーン 1 に到達します。

2.2 ケース 2



図 2-3. ケース 2 — SYSREF がゾーン 11 にある場合

このケースでは、SYSREF はゾーン 11 に入るよう、基準クロックの立ち上がりエッジのはるか前まで進められています。SYSREF アライメント検出器には 0x3FF が表示されます。SYSREF をさらに進めても、SYSREF が前の基準クロック (Fref) の立ち下がりエッジより前に来ない限り、SYSREF アライメント検出器の出力は 0x3FF のままになります。

2.3 ケース 3



図 2-4. ケース 3 — SYSREF がゾーン 1 にある場合

このケースでは、SYSREF クロックを大きく進めた結果、基準クロック (Fref) の立ち下がりエッジよりも前に位置することになります。これはゾーン 1 に該当し、SYSREF アライメント検出器に 0 が表示されます。ここで、SYSREF をさらに進め続けると、SYSREF がゾーン 2 に入るほど進まない限り、モニタ出力はすべて 0 の表示になります。この状況はケース 1 で説明したものと同じですが、唯一の違いは、SYSREF アライメント検出器が 1 クロック前でラッチされることです。

3 SYSREF アライメント検出器設定用のソフトウェア シーケンス

AFE81xx SYSREF アライメント検出器の構成と読み取りは、一連の CAPI 関数を使用して、デバイスの SPI インターフェイスを通じて行われます。

ブリングアップ構成では、SYSREF が AC 結合か DC 結合かを示す入力を、「sysrefTermination」システム パラメータを使用して AFE に提供する必要があります。

* ビット 4 = 1 — SYSREF は DC 結合

* ビット 4 = 0 — SYSREF は AC 結合

uint8_t sysrefTermination;

設定および読み取りには、次の CAPI シーケンスが必要です。

1. ti_afe81_enableSysrefmonitor(AFE81_INST_TYPE afelInst);

この関数を使用して、SYSREF アライメント検出器を有効にします。SYSREF アライメント検出器を使用する場合、これを 1 回だけ実行する必要があります。

2. ti_afe81_sysrefmonitorReady(AFE81_INST_TYPE afelInst)

この関数は、SYSREF アライメント検出器のステート マシンをリセットし、次の SYSREF パルスでトリガできる準備完了状態を維持します。この関数を実行する前に、SYSREF モニタを有効にしておく必要があります。これを実行した直後に SYSREF パルスを供給し、sysrefmonitorReadout 関数を使用して SYSREF モニタ出力をチェックします。

3. sysrefmonitorReady の呼び出し直後に SYSREF パルスを供給してください。#adcDacSync 関数を使用できません。

4. ti_afe81_sysrefmonitorReadout(AFE81_INST_TYPE afelInst, uint32_t *sysrefMonitor)

5. ti_afe81_disableSysrefmonitor(AFE81_INST_TYPE afelInst)

SYSREF アライメント検出器の出力データを返します。sysrefmonitorReady 関数の最新の呼び出しの後に SYSREF が受信されなかった場合、出力データは 65535 になります。それ以外の場合、出力データは 10 ビットのフィールドになります。

表 3-1. FRef に対する SYSREF の位置

0x3FF	有効 / ベスト ケース
0x0FF	進んだ状態
0x01F	進んだ状態 / 遅れた状態
0x00F	進んだ状態 / 遅れた状態
0x001	遅れた状態
0x000	有効 / ベスト ケース

最適な設定は、SYSREF パスに遅延を追加して遅らせた場合、0 から 0x3FF (ゾーン 1 からゾーン 11) へきれいに遷移し、SYSREF パスの遅延を減らして進めた場合、0x3FF から 0 (ゾーン 11 からゾーン 1) にきれいに遷移する状態です。これにより、SYSREF はクロックの立下りエッジへ正確にアライメントされます。

ti_afe81_sysrefmonitorReadout 関数は、ti_afe81_sysrefmonitorReady を呼び出した後に最初にキャプチャされる SYSREF パルスの読み取り値を返します。更新された読み取り値を取得するには、各読み取り動作の前に

ti_afe81_sysrefmonitorReady を呼び出す必要があります。通常のデバイス動作に復帰させるには、モニタを無効化する必要があります。これが重要なのは、検出器を有効化後、デバイスが 1 パルスしか受信し続けられないため、再リンクなど複数の SYSREF パルスを必要とするシーケンスが影響を受けるためです。SYSREF の読み取りごとに、モニタの有効化、準備完了、パルス読み取りのキャプチャ、モニタの無効化という一連のシーケンスを完了してから AFE 動作を進めてください。読み取りの間に AFE 関連の操作を実行する予定がある場合、すべての測定に対してこの 5 ステップのサイクル全体を繰り返します。

4 高周波モード

基準クロック (Fref) が 7.5G を上回る場合、SYSREF アライメント検出器を高周波モードで動作させます。このモードではタイミングの制約を受けるため、全部で 11 あるゾーンのうち特定のゾーンが無効になります。

無効になるゾーンは、ゾーン 1、ゾーン 2、ゾーン 9、ゾーン 10、ゾーン 11 です。これは実質的に、SYSREF アライメント検出器の 10 ビット [9:0] 出力のうち、5 ビット [6:2] が有効であり、ビット [1:0] は常に 1、[9:7] は常に 0 になることを意味します。

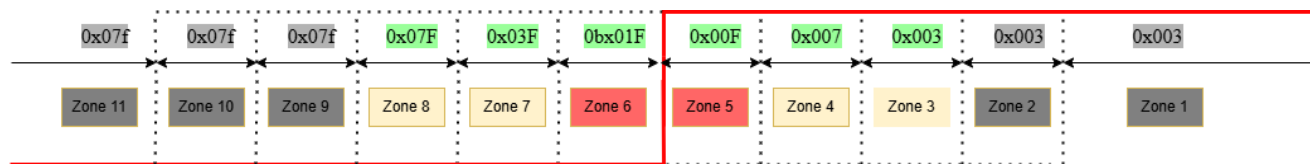


図 4-1. 高周波モードでの SYSREF ゾーン

高周波数モードでは、最適な設定は、SYSREF パスに遅延を追加して遅らせた場合、0x3 から 0x07F (ゾーン 3 からゾーン 8) へきれいに遷移し、SYSREF パスの遅延を減らして進めた場合、0x07F から 0 (ゾーン 8 からゾーン 3) にきれいに遷移する状態です。これにより、SYSREF はクロックの立下りエッジへ正確にアライメントされます。

表 4-1. 高周波モードでの FRef に対する SYSREF の位置

0x07F	有効 / ベスト ケース
0x03F	進んだ状態
0x01F	進んだ状態 / 遅れた状態
0x00F	進んだ状態 / 遅れた状態
0x007	遅れた状態
0x003	有効 / ベスト ケース

5 まとめ

このアプリケーション ノートでは、デバイス間で確定的なレイテンシを実現するうえで、SYSREF アライメント検出器が果たす役割について説明します。SYSREF アライメント検出器の内部アーキテクチャと動作について説明し、入力クロックに対する SYSREF 信号の高精度なアライメントについて詳しく説明しています。SYSREF アライメント検出器の 10 ビット読み取り値を確認することで、ユーザーは入力クロック タイミングを検証して最適化し、セットアップ タイミングとホールド タイミングの要件を満たすことができます。

6 参考資料

1. テキサス インスツルメンツ、『[AFE812x、オクタル / クワッド チャネル RF トランシーバ \(フィードバック パス付き\)](#)』データシート。
2. テキサス インスツルメンツ、『[AFE8104、AFE8108、7.4GHz トランシーバ \(12GSPS DAC および 6GSPS ADC 搭載\)](#)』データシート。
3. テキサス インスツルメンツ、『[AFE8190、16 チャネル RF トランシーバ \(フィードバック パス付き\)](#)』データシート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月