

Application Note

IVI FPD-Link IV デバイスの I²C メカニズム

Shelly Xie, Violet Lei, Esther Chang

概要

このアプリケーション ノートは、I²C 通信の基礎と、FPDLINK シリアルライザ / デシリアルライザ システムで発生するバスのロックアップの問題の対処について説明します。

目次

1 I ² C の概要.....	2
2 コントローラとターゲット デバイスの間の I ² C 通信.....	3
3 FPD-IV デバイスの I ² C メカニズム.....	6
4 FPD-Link IV デバイスのクロック ストレッチの例.....	7
5 まとめ.....	7
6 参考資料.....	8

商標

すべての商標は、それぞれの所有者に帰属します。

1 I²C の概要

I²C 通信はコントローラ ターゲット アーキテクチャを活用しています。このアーキテクチャでは、常に 1 つのコントローラ デバイスのみがバスを制御します。コントローラ デバイスがクロック信号を生成し、通信を開始して、データ転送レートを安定化します。ターゲット デバイスには固有のアドレスが割り当てられ、呼び出された際に、コントローラとデータ交換を行います。複数のコントローラが同時にバス制御を要求している場合において、調停メカニズムによって秩序ある通信が維持されます。図 1-1 に、FPD-Link デバイスを介した I²C 通信の一般的な例を示します。

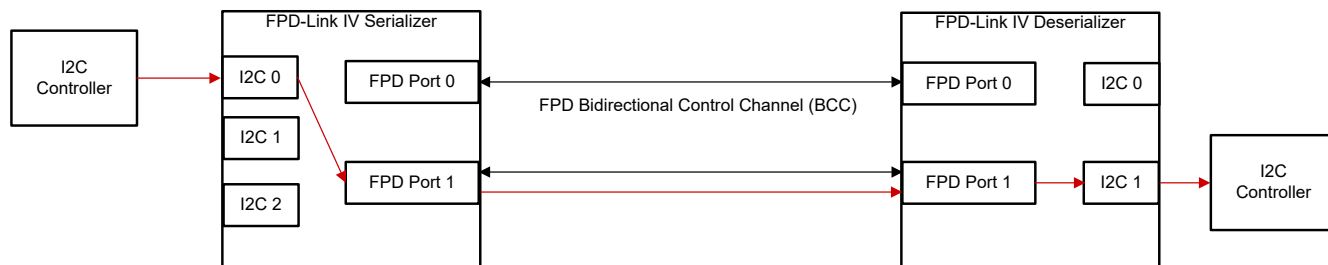


図 1-1. FPD-Link デバイスを介した I²C 通信の例

2 コントローラとターゲット デバイスの間の I²C 通信

I²C シリアル制御バスは SCL ラインと SDA ラインで構成され、SCL はクロックライン、SDA はデータラインとして機能します。シリアル バス プロトコルは、START、反復 START、STOP 条件を介して動作します。図 2-1 に示すように、SCL が High のままで SDA が High から Low に遷移した場合、START 条件が発生します。反対に STOP は、SDA が Low から High に遷移したときに SCL も High である場合に発生します。バスをアイドル状態に解放せずにコントローラが新しい通信を開始する必要がある場合、反復 START 条件を使用できます。反復 START 条件は標準 START 条件に類似していますが、STOP 条件の前に発生することが異なります。反復 START は、マルチコントローラ システムで採用されることが多く、他のコントローラがトランザクションを中断せずに複数の読み取り / 書き込みトランザクションを行うことを可能にします。

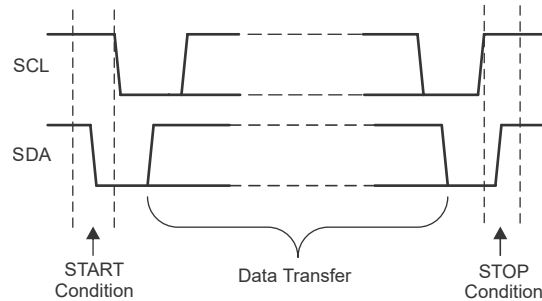


図 2-1. 開始条件と停止条件の定義

初期の START 条件の後、転送されるバイト (8 ビット) ごとに、トランスミッタは SDA ラインを 9 回目のクロック サイクルで Low にプルします。このサイクルでは、レシーバは SDA ラインを Low にして、ACK を返して応答するか、NACK を High のままにして応答できます。

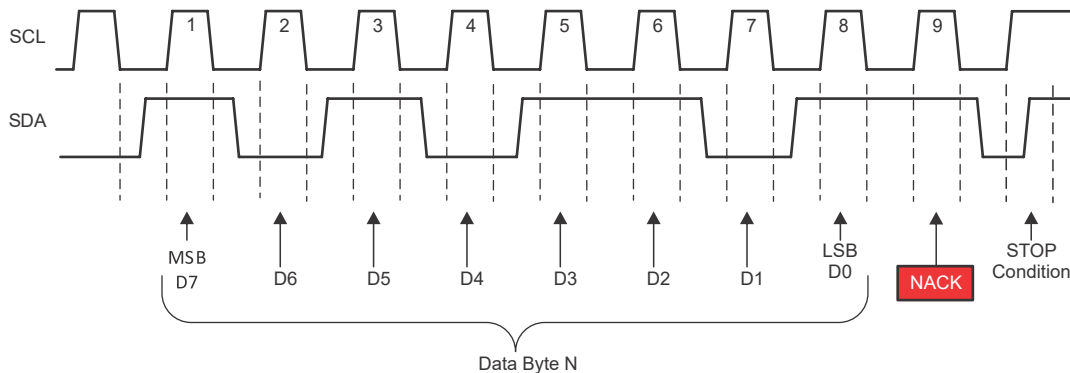


図 2-2. データ バイト NACK 波形の例

I²C 書き込み

図 2-3 に I²C 書き込みトランザクションを示します。コントローラ デバイスは最初に START 条件を発行し、その後に 7 ビットのターゲット アドレスを送信して、最後のビット (R) を 0 に設定して書き込み動作を示します。ターゲットから ACK を受信すると、コントローラは 8 ビットのレジスタ アドレスを送信します。ターゲットはこのデータを受信した後、コマンドの準備を示すために ACK で応答します。次に、コントローラは特定のレジスタ データをターゲットに送信し、完了を示すために STOP 条件を発行することで送信を終了します。図 2-3 に、書き込みトランザクションのフローを示します。

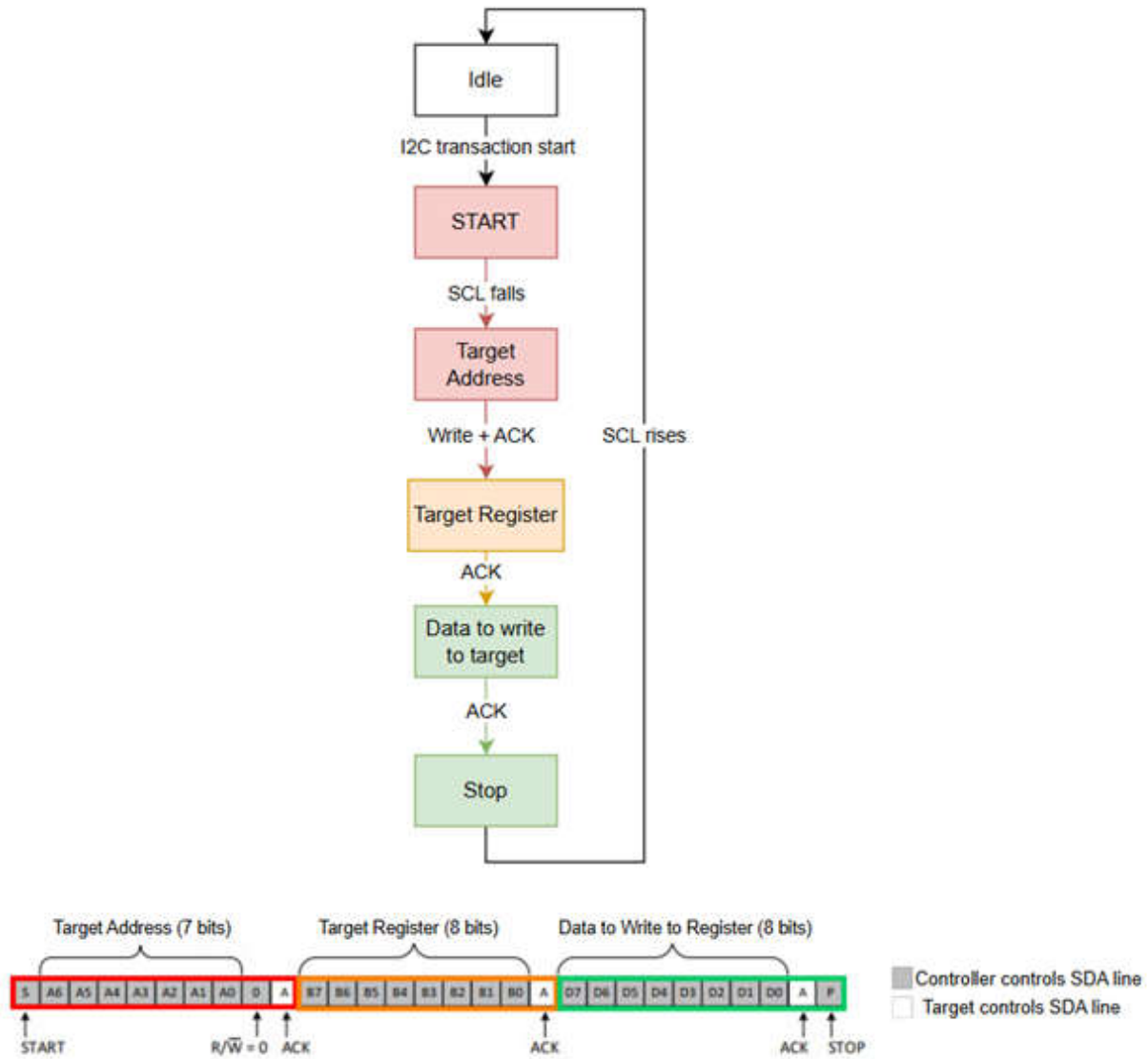


図 2-3. I2C 書き込みトランザクション

I2C 読み込み

書き込みトランザクションと同様に、コントローラ デバイスが **START** 条件を発行し、その後に 7 ビットのターゲット アドレスを送信して、最後のビット (**R/**)[**EC1**] を 0 に設定して書き込み動作を示します。ターゲットは **ACK** を発行し、コントローラはその後にデータを読み取るレジスタ アドレスを送信します。

ターゲットがレジスタ アドレスをアクリッジした後、コントローラは反復 **START** 条件を発行し、**R/** ビットを 1 に設定した状態でデバイス アドレスを送信して、コントローラを読み取りモードにします。ターゲットは、この読み取り要求をアクリッジします。このとき、コントローラは **SDA** バスを開放し、クロック信号をターゲットに供給し続け、応答を待ちます。

コントローラがレシーバになり、ターゲットがトランスミッタになります。ターゲットが送り返すすべてのデータ バイトについて、コントローラはさらにデータを受信する準備ができたことを示す **ACK** を送信します。ターゲットは、コントローラが予想される数のバイトを受信するまでデータの送信を継続します。この時点で、コントローラは **NACK** を送信し、通信を停止してバスを解放するようターゲットに指示します。その後、コントローラは **STOP** 条件を発行し、ターゲットからの読み取り動作を完了します。図 2-4 に、読み取りトランザクションのフローを示します。

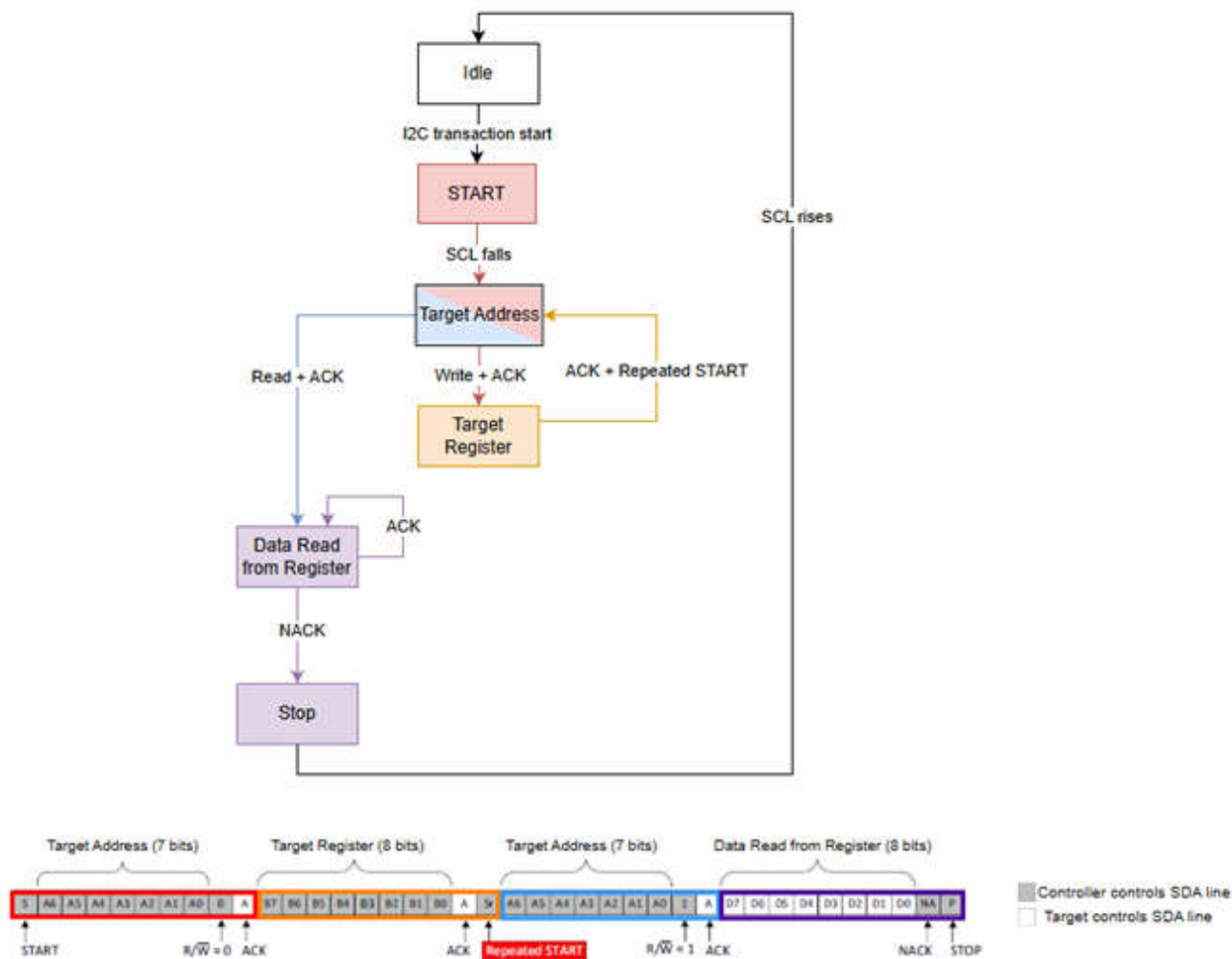


図 2-4. I²C 読み出しトランザクション

クロック ストレッチ

システムレベルの I2C 実装では、ターゲット デバイスはコントローラに応答する準備ができていない状況でクロック ストレッチを利用します。すべての I2C トランザクション中、コントローラは SCL 速度を制御します。ターゲット デバイスの応答時間がこれより長い場合、応答準備ができるまで SCL ラインをホールドしてクロックをストレッチします。

3 FPD-IV デバイスの I2C メカニズム

FPD-Link IV デバイスには、I²C バスを監視するための 3 つのメカニズムが組み込まれています。次の説明は、このシステム実装に基づいています。



図 3-1. クロック ストレッチに発生する I2C スタック問題の例

このシステムでは、FPD-Link IV シリアライザをローカル ターゲットとして、デシリアライザをローカル コントローラとして指定します。I²C コントローラは、シリアライザにコマンドをローカルで送信し、デシリアライザと I²C ターゲットにコマンドをリモートで送信します (FPD-Link BCC 経由)。

I²C アービター

I²C バス アービター機能により、1 つの I²C ターゲット デバイスが他の I²C ターゲットをブロックして、FPD-Link 双方向制御チャネル (BCC) システムにアクセスすることを防止します。タイマは、I²C ターゲットが **START** コマンドを受信した後に開始され、I²C ターゲットが **STOP** コマンドを受信しない場合、**ARB_TIMEOUT** レジスタで設定されるタイムアウト期間の経過後に終了します。**ARB_TIMEOUT** が発生すると、FPD-Link デバイスは **STOP** 信号を内部的に生成し、それを BCC 経由でリモート デバイスに送信します。これにより、ローカル デバイス上の他の I²C ターゲットが使用できるようにアービターを解放します。

I2C バス タイムアウト

I²C バス タイマは、コントローラとローカル ターゲットの間、またはローカル コントローラとターゲットの間のローカル バスに専用です。このタイマは、それぞれのコントローラによって **START** 条件が開始されると開始し、**SCL** が **High** のときに **SDA** ラインがトグルされない場合 (ターゲットからの応答がない場合)、**I2C_BUS_TIMER_SPEEDUP** レジスタ設定に基づいてタイムアウトします。タイムアウトが発生すると、コントローラは **NACK** 信号を内部で生成し、ローカル バス経由で送信してバスを解放します。

BCC ウォッチドッグ タイマ

BCC ウォッチドッグ タイマは、リモート トランザクション中にリモート ターゲットが応答するのに時間がかかりすぎる場合に、BCC の解放を維持します。タイマは、**SER** がコントローラから **START** コマンドを受信した後に開始され、**SER** が BCC を介してリモート デシリアライザから応答を受信しない場合、**BCC_WATCHDOG** で設定されたタイムアウト期間の経過後に終了します。タイムアウトが発生すると、**SER** に接続されているローカル I²C コントローラに **NACK** が送信されて、トランザクションをキャンセルして BCC を解放します。

4 FPD-Link IV デバイスのクロック ストレッチの例

多くの場合、マイコン (デシリアライザにローカル接続された I2C ターゲット) が複数のプロセスを処理している場合、そのマイコンはローカル I2C バスでクロック ストレッチを行い、SOC から待機状態を要求できます。

図 4-1 に、このクロック ストレッチの例を示します。D0 と D1 はそれぞれデシリアライザ - マイコンの SDA バスと SCL バスを表し、D2 と D3 はそれぞれ SOC - シリアライザの SCL バスと SDA バスを表します。マイコンのクロック ストレッチ期間がシリアライザで設定された ARB_TIMEOUT スレッシュホルドを超えると、アービター タイムアウトがトリガされます。この時点で、シリアライザは NACK を内部的に生成し、デシリアライザに送信してデシリアライザ - マイコン バスを解放します。

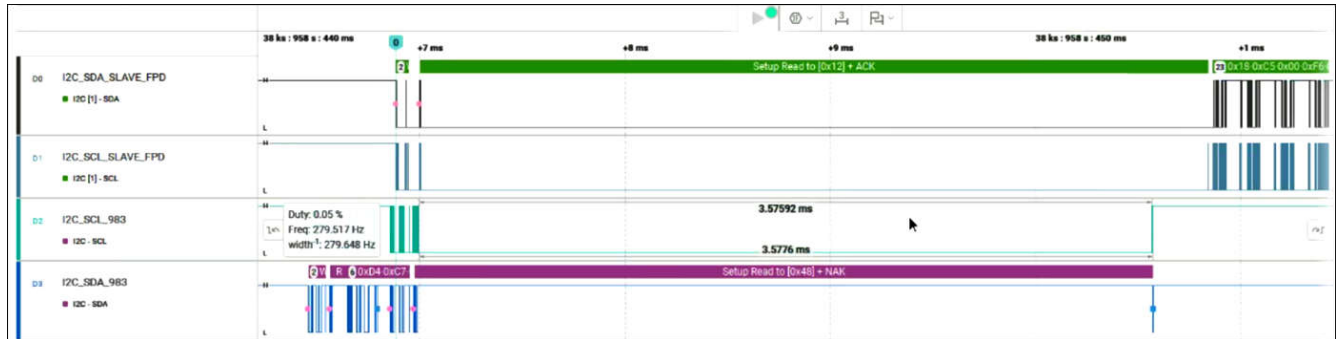


図 4-1. クロック ストレッチが ARB_TIMEOUT 条件を引き起こす

このクロック ストレッチは、FPD-Link を介してリモートのターゲットへの読み取りトランザクション中に発生します。読み取りコマンドのターゲット アドレス部分で SCL は Low に保持され、ACK を受信するまでトランザクションは続行できません。ただし、シリアライザ側の ARB_TIMEOUT がトリガされ、NACK を送信しても、デシリアライザが次の読み取りトランザクション状態に進むのには十分ではなく、ARB_TIMEOUT がトリガされた後、デシリアライザはこの読み取り状態を終了できません。

クロック ストレッチ時間が、シリアライザとデシリアライザの両方のアービター タイムアウトよりも短い場合、この問題を回避できます。ただし、クロック ストレッチ時間が、シリアライザの ARB_TIMEOUT レジスタで設定された値よりも大きい場合、バスが早期に解放されないように、シリアライザ側の I2C アービターをディスエーブルにする必要があります。これが FPD-Link 全体でのトランザクションの場合、デシリアライザにはトリガするアービターもあります。マイコンが ARB_TIMEOUT レジスタに設定された割り当て時間を超えてクロックストレッチを行うと予想される場合、このアービターをディスエーブルにする必要があります。このため、シリアライザとデシリアライザの両方で I2C バス アービターをディスエーブルにすることは、シリアライザとデシリアライザの ARB_TIMEOUT 機能において割り当てられた時間よりも長いクロック ストレッチがターゲットに予想される場合に適しています。BCC ウォッチドッグ タイマと I2C バスのタイムアウト機能は引き続きタイムアウト条件を処理し、必要に応じて I2C バスを解放できるため、この方法ではさらなるリスクは生じません。

5 まとめ

このアプリケーション ノートでは、基本的な I2C メカニズム、FPD-Link IV IVI デバイスで導入される特定の I2C メカニズム、およびアービター タイマがディスエーブルされているシステム レベルの実装クロック ストレッチの例について説明します。

6 参考資料

- テキサス インスツルメンツ、[『DS90HB983W-Q1 8K DP/eDP から FPD-Link IV へのシリアライザ、DSC 付き』データシート](#)
- テキサス インスツルメンツ、[『I²C バスについて』アプリケーション レポート](#)

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月