

Application Note

DC/DC 設計における TPLD アプリケーション

Nanxiao Zhong

概要

TI のプログラマブル ロジック デバイス (TPLD) ファミリは、豊富なロジック リソースを備えていて、コンシューマ エレクトロニクス、産業用システム、データ センターのさまざまなアプリケーションに対応します。この記事では、グラフィカル プログラミングを通じて DC/DC 電源アプリケーションで TPLD を PWM エクスパンダとして活用し、貴重な DSP リソースを節約するための方法を紹介합니다。

目次

1 概要.....	2
2 PCM 降圧 DC/DC の図.....	2
3 TPLD ベースの DC/DC PWM 生成.....	3
3.1 TPLD ベースのトポロジ PWM 生成.....	3
3.2 TPLD ベースの PCM PWM 生成.....	5
3.3 TPLD ベースのマルチフェーズ クロック生成.....	6
4 まとめ.....	8
5 参考資料.....	8

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

TPLD ファミリーは、汎用ロジック ゲート、RS フリップ フロップ、コンパレータ、タイマなどの豊富なペリフェラル リソースを統合したもので、厳格なロジックおよびタイミング要件を持つ多様なシナリオに広く適用できます。マルチフェーズ DC/DC アプリケーションでは、PWM チャネルの数、ロジック レベル、位相シフト クロックにより、DSP リソースの利用率とソフトウェア開発の両方で大きな課題が生じます。本書では、TPLD を PWM エクスパンダとして活用し、単相 / インターリーブ 並列 DC/DC コンバータにおいて DSP リソースが限られ、ソフトウェア開発が複雑になるという課題に効果的に対処するソリューションを紹介します。

2 PCM 降圧 DC/DC の図

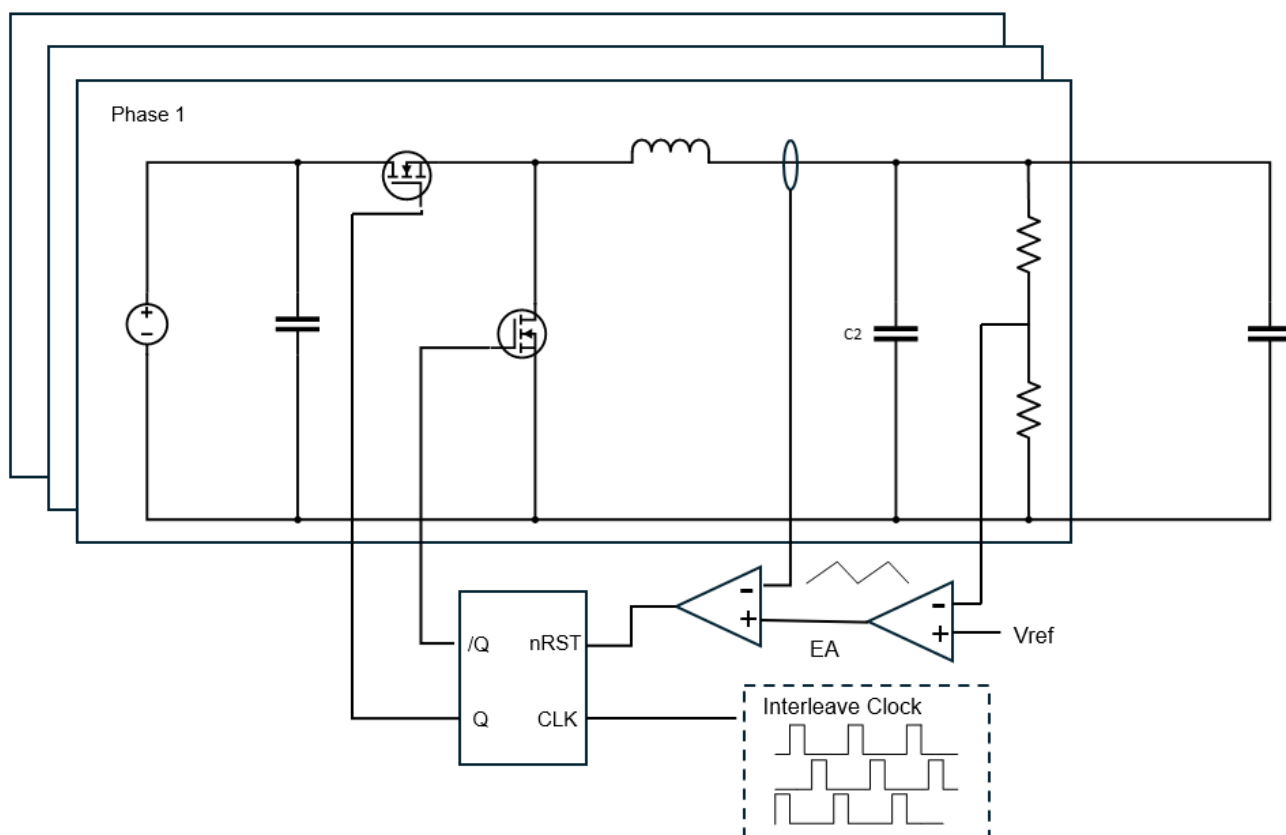


図 2-1. ピーク電流モード降圧の図

本書では、降圧コンバータトポロジに基づく TPLD アプリケーションについて説明します。図 2-1 に示すように、このアーキテクチャはピーク電流モード (PCM) 制御を利用し、1 次 (単極) システムに対する制御から出力への小信号伝達関数を低減します。これにより、ループ補償ネットワークの設計が大幅に簡素化され、負荷過渡応答が高速化されます。マルチフェーズ電源アプリケーションでは、インターリーブ技術が広く採用されています。その主な利点は、出力電圧リップルを相殺するために複数の位相にわたってインダクタ電流の位相をシフトし、大電流シナリオで必要とされる出力キャパシタンスを低減できることです。本書では、DSP 統合のレベルに基づき、次の 3 つの異なる実装方式を紹介します。(1) ホスト DSP が単相ベースの PWM 信号を供給し、TPLD が降圧、ACF、PSFB などのターゲットトポロジまで拡大してサポートする。(2) DSP がクロック信号とエラー信号を供給し、TPLD が完全な PWM 信号生成を処理する。(3) TPLD が、クロック位相シフトと PWM 信号生成の両方を独立して管理する。

3 TPLD ベースの DC/DC PWM 生成

3.1 TPLD ベースのトポロジ PWM 生成

このセクションでは、ホスト **DSP** が初期 **PWM** 波形を生成し、**TPLD** が対応する相補型 **PWM** 信号の生成を処理する実装方法について詳しく説明します。図 2 に示すように、**DSP** またはアナログ コントローラが、初期の閉ループ **PWM** 信号を生成します。次に、**TPLD** が内部インバータと遅延ブロックを使用してこの **PWM** 信号の立ち上がりエッジを処理し、デッドタイム挿入付きの相補型 **PWM** 波形を生成します。

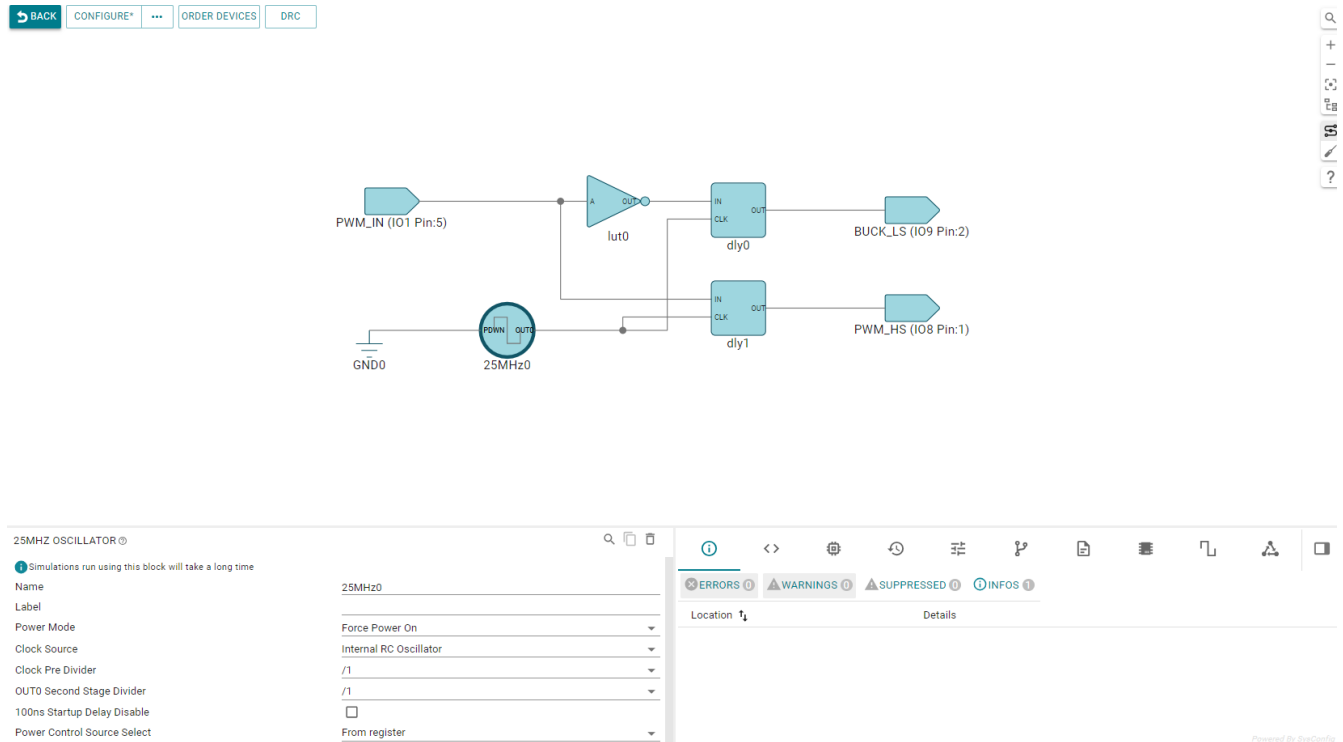


図 3-1. 同期整流降圧 PWM のロジック図

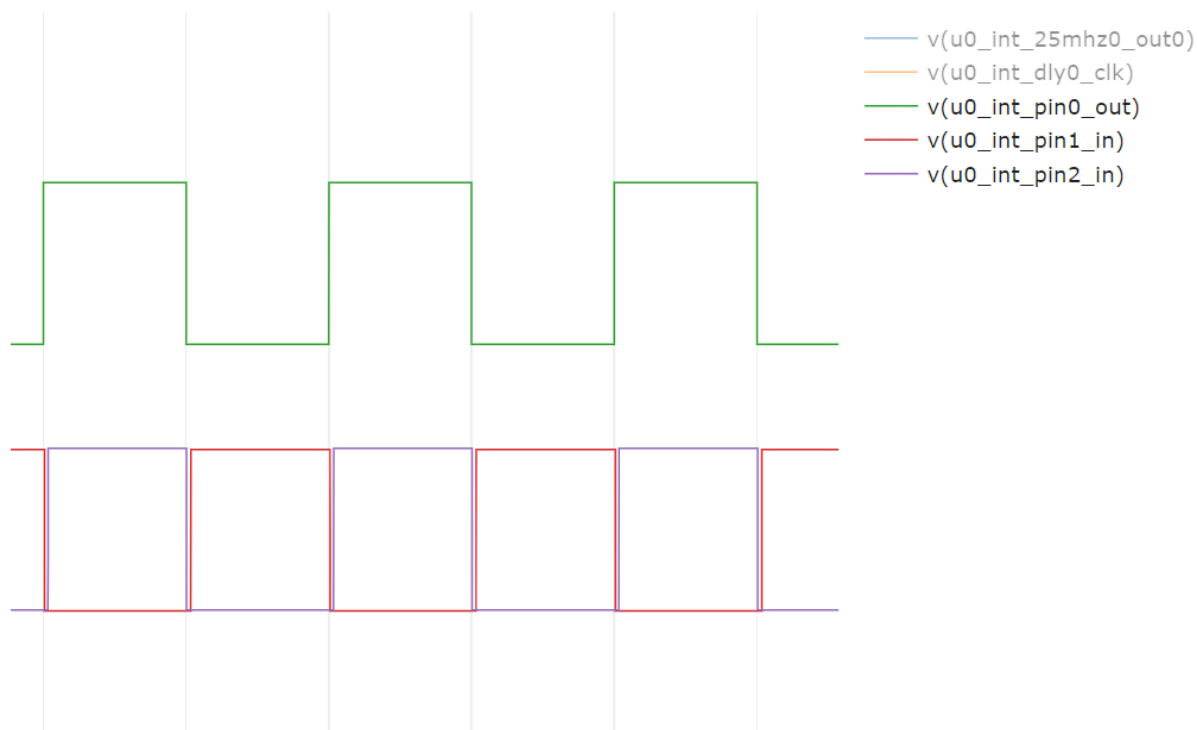


図 3-2. 同期整流降圧のシミュレーション波形

実用的なアプリケーションでは、GPIO をシュミットトリガによるデジタル入力モードで動作するように構成することで、TPLD のノイズ耐性を向上させることができます。デッドタイム制御の場合、出力 GPIO の外部 RC 回路に構成をオフロードすることも、ゲートドライバ固有のデッドタイム設計を使用して実装することもできるため、TPLD 内部ロジック設計の簡素化につながります。この方式の主な利点はシンプルな実装が可能で、欠点は標準的な降圧コンバータで節約できるのが 1 つの PWM チャネルのみであることです。一方、4 つの PWM を必要とする同期整流アクティブ クランプ フォワード (SR-ACF)、または 8 つの PWM を必要とする位相シフト フルブリッジ (PSFB) などの複雑なトポロジの場合、このアプローチでは、ホストコントローラの GPIO および PWM リソースを大幅にオフロードすることができます。

3.2 TPLD ベースの PCM PWM 生成

このセクションでは、TPLD を使用して降圧コンバータにピーク電流モード (PCM) PWM 信号生成を実装する方法について説明します。図 5 に示すように、ホストコントローラまたは外部オペアンプにより、補償されたエラー信号を供給します。TPLD は、内部コンパレータを使用して、このエラー信号を三角波のインダクタ電流波形と比較することで、初期コンパレータ出力を生成します。その後、この出力は、クロック信号と同期された RS フリップフロップによって処理され、初期の PWM 波形を確立します。最後に、内部ロジック回路は相補型 PWM 出力を生成します。

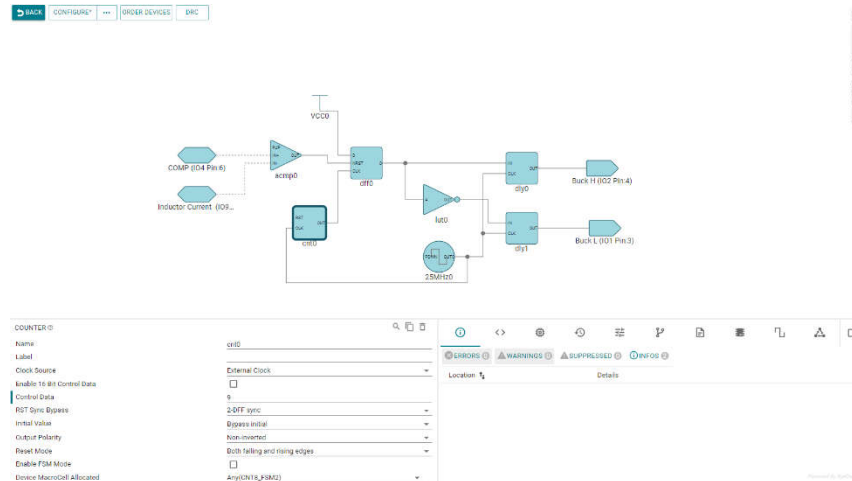


図 3-3. PCM 降圧 PWM のロジック図

図 3-3 に制御ブロック図の概略を示します。実用的な設計では、次の方法で、この実装の全体的な性能と信頼性を向上させることができます。

1. デューティ サイクルが 50% を超える場合、分数調波発振を防止するため、クロックから生成される電流センシング信号にスロープ補償を導入する必要があります
2. 内部コンパレータまたは追加のロジック回路を使用して、最大デューティ サイクル制限とサイクルごとの過電流保護回路を構築できます
3. 高周波アプリケーションの場合、外部の高速コンパレータを使用して過渡応答を高速化できます。

3.3 TPLD ベースのマルチフェーズ クロック生成

降圧コンバータのクロックおよび PWM 生成は、TPLD を使用して実装できます。図 3-4 に示すように、内部 2MHz 発振器をソース クロックとして使用します。カウンタ ブロックと D フリップ フロップによって、50% デューティ サイクルの位相 1 クロックが生成されます。その後、遅延ブロックを使用して位相 1 クロックから 4 つのインターリーブ位相クロックが生成され、インターリーブ マルチフェーズ動作が可能になります。

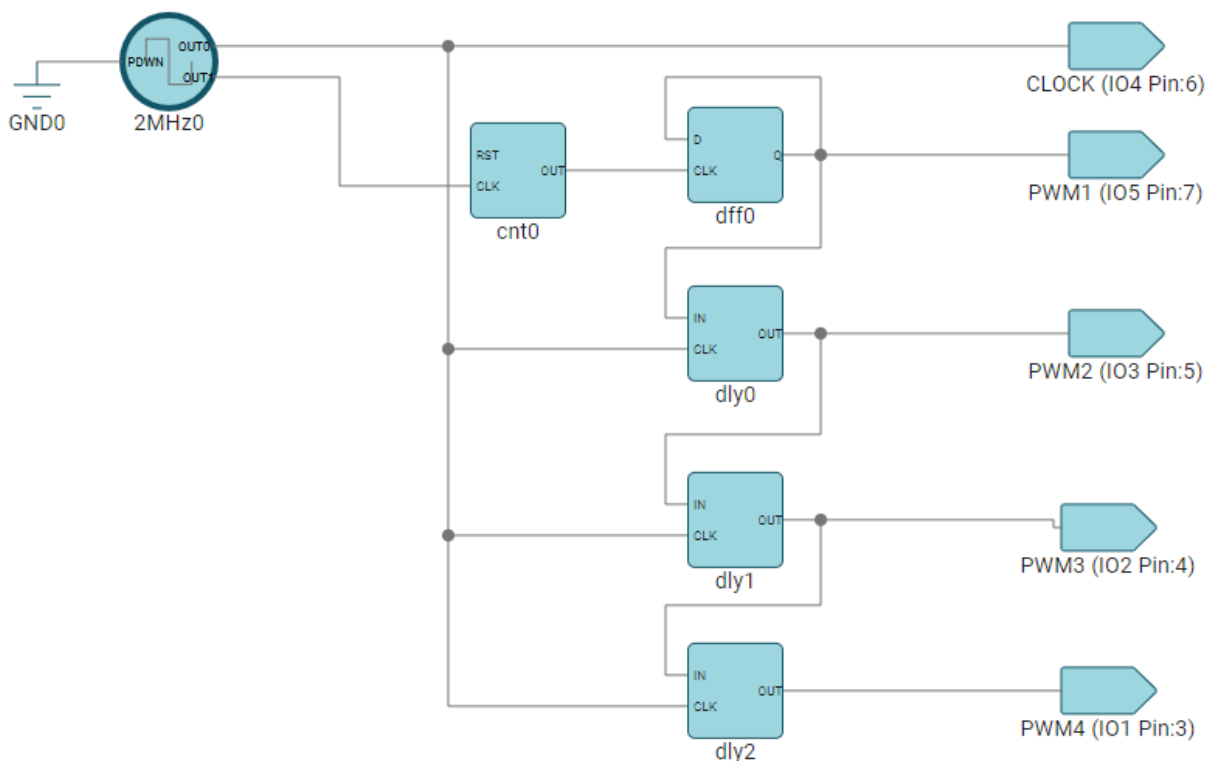


図 3-4. インターリーブ位相クロックのロジック図

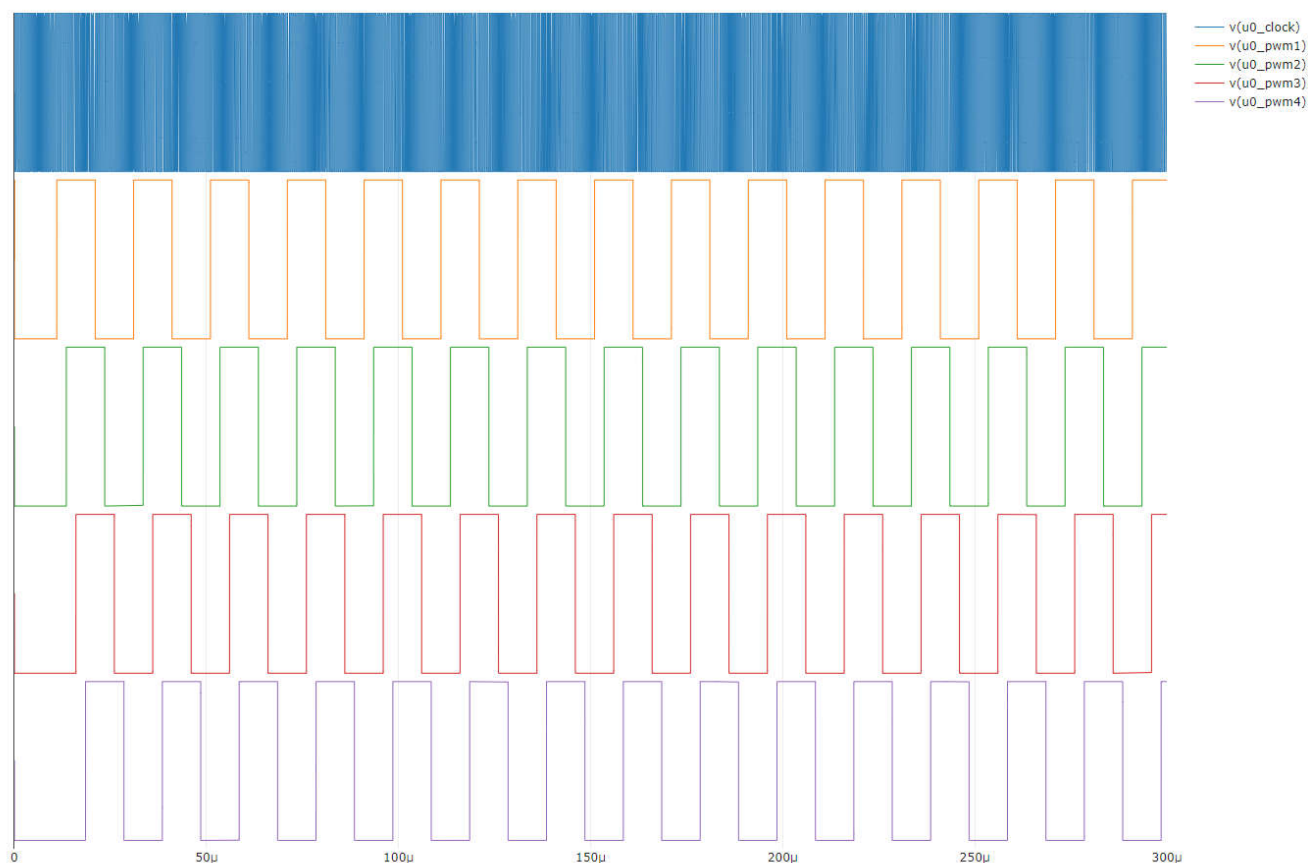


図 3-5. インターリーブ位相クロックのシミュレーション波形

TPLD はこの構成に基づいて、前述の 2 つの PWM 生成方式と接続して、インターリーブ並列 DC/DC 設計を実装できます。この実装では、TPLD はループ補償以外のほぼすべての機能タスクを DC/DC コンバータ回路内で処理できます。このアプローチにより、マルチフェーズ電源アプリケーションでのホストコントローラのリソース要件をさらに削減できます。

4 まとめ

本書では、シングル / インターリーブ DC/DC コンバータでグラフィカル プログラミングされた PWM エクスパンダとして TI の TPLD シリーズを利用しています。クロック位相シフトと相補型 PWM 生成の設計を処理することで、TPLD はクロックおよび PWM ロジック制御リソースをホスト コントローラから大幅にオフロードできます。このアプローチにより、効果的な DSP リソースの節約、ソフトウェアの複雑さの軽減、ハードウェア エンジニアによる迅速な開発の促進が実現します。

TPLD の詳細については、『[プログラマブル ロジックに関するエンジニア向けガイド](#)』をご覧ください。

5 参考資料

1. テキサス インスツルメンツ、『[TPLD1202 I2 C/SPI および 10-GPIO 搭載プログラマブル ロジック デバイス](#)』、データシート。
2. テキサス インスツルメンツ、『[TPLD 内での高速動作](#)』、アプリケーション ブリーフ。
3. テキサス インスツルメンツ、『[TI プログラマブル ロジック デバイスを使用した、フィードバック付き電源シーケンス](#)』、アプリケーション ブリーフ。
4. テキサス インスツルメンツ、『[使用 TI 可編程逻辑器件 \(TPLD\) 中的时序分量](#)』、アプリケーション ノート。
5. テキサス インスツルメンツ、『[LM5177 昇降圧コントローラを使用した昇降圧コンバータの並列動作](#)』、アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月