

Application Brief

TPS62850x-Q1 を使用したプリバイアス ソフト スタートによる Infineon TRAVEO™ T2G (CYT4DN) の 1.15V コアレールへの 給電



Moheddin Shaik

はじめに

Infineon TRAVEO™ T2G ファミリー (例: CYT4DN) は、ボディ制御、インストルメント クラスタ、およびゲートウェイ用途を対象とした高性能な自動車用マイクロコントローラです。最近の自動車用 SoC の多くと同様に、CYT4DN には初期電源投入時に 1.15V のコア レールに電力を供給するための内部 LDO レギュレータが内蔵されています。しかし、この内部 LDO には熱的な制限があり、高性能グラフィックス動作モードで必要となる全電流需要を維持することはできません。

より大電流での動作に対応するため、外部 DC/DC 降圧コンバータを並列に接続し、内部 LDO から引き継ぐようにしています。この引き継ぎにより、電源シーケンスに関する重大な課題が生じます。すなわち、外部 DC/DC コンバータが有効化された時点で、1.15V のコア レールはすでに内部 LDO によって充電されたプリバイアス電圧になっているのです。アクティブな出力放電機能を備えた従来の同期型降圧コンバータは、立ち上がり前にこのプリバイアスされた出力電圧を引き下げようとしますが、その結果、意図せずそのレールから電流を吸収し、MCU の予期せぬリセットを引き起こす可能性があります。

プリバイアス ソフト スタート機能を備えた DC/DC コンバータを使用することで、この動作を防ぐことができます。このコンバータは、出力から逆電流を消費することなく、既存のプリバイアス レベルからのみ出力の立ち上がりを開始します。重要な点として、直列ダイオードなどの外部ディスクリート部品は使用しないでください。これらは電圧降下や電力損失を引き起こし、厳密に規制された 1.15V レールでは許容できないからです。

プリバイアス ソフト スタート動作

図 1 は、VOUT がプリバイアスされた状態で起動する際の TPS628502F0QDRLRQ1 の電源投入シーケンスを示しています。

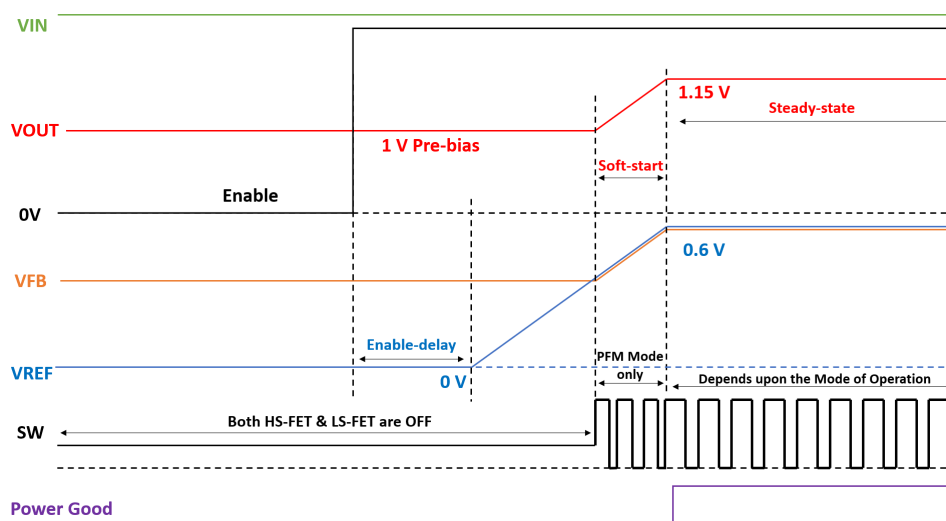


図 1. プリバイアスされた VOUT 状態での起動シーケンス

プリバイアスが発生する前に VIN が印加されている必要があります。

プリバイアスを安全に動作させるための基本的な前提条件として、VOUT にプリバイアス電圧が存在する間は、常に VIN が印加されている必要があります。これは図 1 に示されている通りで、イネーブルが High になるかなり前から、シーケンス全体を通じて VIN は High のまま維持されています。その理由は構造的なものです。バックコンバータのハイサイド FET には、SW と VIN の間に固有のボディダイオードが接続されています。VOUT にプリバイアスが印加されている状態で VIN が欠落していると、このプリバイアス電圧によって HS-FET のボディダイオードが順方向バイアスされ、VOUT から VIN へ電流が逆流する可能性があります。この制御不能な電流経路により、ボディダイオードの安全動作電流を超過し、HS-FET に永久的な損傷を与える恐れがあります。したがって、VOUT にプリバイアスがかけられている状態の前、最中、およびその後を通じて、VIN を確立し、維持する必要があります。

イネーブル遅延:

イネーブルが High になっても、デバイスは直ちにスイッチングを開始しません。図 1> は、イネーブルの立ち上がりエッジから VREF のランプ開始までのイネーブル遅延期間を示しています。この遅延により、コンバータが電圧調整を開始する前に、バイアス発生器、バンドギャップリファレンス、制御ロジックなどの内部回路が電源投入され、安定化することが可能になります。イネーブル遅延時間は、TI のデータシートに記載されている指定パラメータです。

VREF のランプ上昇とプリバイアス時の VFB の役割:

イネーブル遅延が完了すると、内部基準電圧 (VREF) は 0V から最終値である 0.6V に向けてランプ上昇を開始します。このランプ上昇の速度は、内部ソフトスタート時間によって設定され、これもデータシートに記載された指定パラメータです。一方、VFB は 0V にはなりません。VFB は、プリバイアスされた VOUT (約 1V) を検知するフィードバック分圧器によって決定される、0 以外の電圧に保たれます。VOUT はすでに内部 LDO によって昇圧されているため、VFB は最初からそのプリバイアスレベルを反映し、VREF が 0V から立ち上がる間、この電圧で安定して維持されます。この期間中、デバイスは非スイッチング状態 (SW 波形に示されているように、HS-FET と LS-FET の両方がオフ) を維持します。これは、VREF がプリバイアスによって設定された VFB レベルに達して初めて、制御ループがスイッチング動作を開始するためです。その交差点に達するまでは、コンバータにスイッチングを行う理由がありません。VOUT はすでに基準目標値を上回っているため、スイッチングは不要です。

ソフトスタート中の PFM 専用動作:

VREF が立ち上がり、VFB レベルに達すると、デバイスはスイッチングを開始します。この時点から、VFB は 0.6V に向けて上昇し続ける VREF に追従し、それに応じて VOUT も 1.15V に向けて上昇します。重要な点として、このソフトスタート期間全体を通じて、MODE ピンの設定 (High/Low) にかかわらず、コンバータは PFM (パルス周波数変調) モードで動作します。PFM モードでは、コンバータにはゼロ電流検出回路が組み込まれています。この検出回路は、インダクタ電流がゼロに達した瞬間にローサイド FET をオフにし、インダクタ電流が負になることを防ぎます。インダクタ電流は逆流できないため、VOUT から電荷が引き出され、コンバータを介して逆流するメカニズムは存在しません。この電流方向の制約により、プリバイアス電圧は他の放電回路とは独立して本質的に保護されます。

定常動作モード:

VOUT が目標値の 1.15V に達し、VREF/VFB が 0.6V に安定すると、ソフトスタートシーケンスが完了し、パワーグッドがアサートされます。この時点以降、MODE ピンの設定によって動作モードが決定されます。

MODE ピン	定常状態の動作
Low	PSM (省電力モード) — 軽負荷時は PFM、負荷電流が増加すると自動的に PWM に移行
High	FPWM (強制 PWM) — 負荷の状態にかかわらず、常に PWM モードで動作します

つまり、PFM 専用という制約はソフトスタート期間にのみ適用されるものであり、電圧安定化が達成されると、コンバータは MODE ピンで選択されたモードに従って通常動作を行います。

デバイスの選択

TPS62850x Q1 ファミリーは、3 種類の出力放電構成を提供しており、これらはコンバータがプリバイアスされた出力レールとどのように相互作用するかを直接決定します。

- **オン** — アクティブ放電により、レギュレータが無効化された際に **VOUT** をグランドに引き下げ、プリバイアスされたレールから電流を吸収します。
- **オフ** — アクティブ放電は行われず、レギュレータが無効化された際に出力は自然にフローティング状態になります。
- **切断** — 起動時やプリバイアス状態を含め、いかなる時点でも放電経路が存在せず、いかなる状況下でもプリバイアスされたレールへの逆電流の流れを防止します。

CYT4DN 1.15V コア レールのような、外部コンバータが引き継ぐ前に **MCU** の内部 **LDO** が出力をプリバイアスするアプリケーションでは、切断型放電のバリエーションのみが適しています。表 1 には、1A および 2A の定格電流範囲をカバーする、TPS62850x Q1 ファミリーの切断型放電を備えた 3 つの OPN がすべて記載されています。

デバイス	出力電流	VOUT 放電	ソフト スタート	出力電圧
TPS628501F0QDRLRQ1	1A	切断	1ms	可変
TPS628501H9QDRLRQ1	1A	切断	150µs	1.15V 固定
TPS628502F0QDRLRQ1	2A	切断	1ms	可変

切断型放電デバイスは、放電経路が一切存在しないため、バイアス適用前からアクティブ状態への移行中に逆電流のリスクを完全に排除し、最も堅牢な保護を実現します。特に、TPS628501H9QDRLRQ1 は、切断型放電と 150µs の高速ソフト スタートを備え、外部フィードバック抵抗を必要とせずに **CYT4DN** のコア レール電圧にほぼ一致する 1.15V の固定出力を提供するため、1A の出力電流で十分な場合には有力な選択肢となります。具体的な電流、電圧、およびソフト スタートの要件に基づいて **OPN** を選択してください。本アプリケーション ノートでは、TPS628502F0QDRLRQ1 (2A、調整可能、切断型放電、1ms ソフト スタート) をベンチ測定セクションの実例として使用しています。これは、このデバイスがグラフィックス モードでの電流要求量が高いためです。

ベンチ測定

前述のセクションで説明したプリバイアス ソフト スタートの動作を検証するため、TPS628502-Q1 について、イネーブル前に出力をプリバイアス状態に強制したベンチテストを実施しました。これは、CYT4DN の内部 LDO によって残されたプリバイアスされたレールをエミュレートしたものです。

表 1. テスト条件

パラメータ	値
VIN	6V
VOUT (強制プリバイアス)	0.766V
VOUT (ターゲット)	1.8V
IOUT	0A
モード	Low (PSM)
温度	25°C

注

ここで使用している 1.8V の目標値は、プリバイアス ソフト スタート機構のベンチマーク検証のみを目的としたものです。この動作特性は、CYT4DN の 1.15V コア レール用途にもそのまま適用されます。

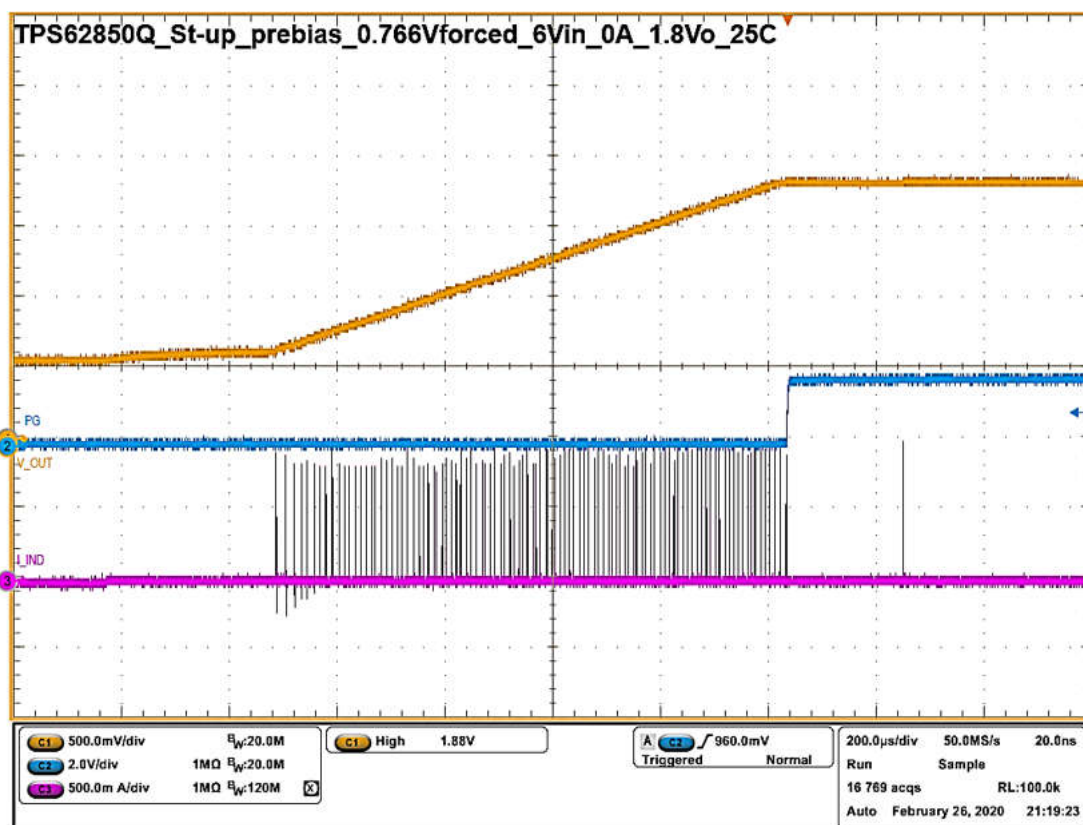


図 2. プリバイアス起動時の VOUT、PG、およびインダクタ電流

- **VOUT** は、強制プリバイアス電圧 (0.766V) から目標電圧 1.8V まで、滑らかかつ単調に立ち上がり、内部のソフトスタート立ち上がり電圧がプリバイアス電圧に追いつく時点でも、電圧の落ち込み、グリッチ、不連続性は見られません。
- **インダクタ電流 (I_IND)** は、ランプ上昇中を通じて離散的な PFM スイッチング パルスを示し、どの時点でも負の振れは見られません。これにより、ゼロ電流検出動作が確認され、プリバイアスされたレールから逆電流が流れないことが実証されています。
- **パワー グッド (PG)** は、ランプ上昇中ずっと Low のままであり、VOUT がレギュレーション目標値に達した時点で一度だけ High になります。これにより、定常状態へのスムーズな移行が確認されます。

この測定結果により、TPS62850-Q1 の PFM のみによるソフトスタートおよび切断放電機能が、プリバイアスからアクティブへのハンドオフ中に逆電流経路を完全に防止していることが確認されました。これにより、CYT4DN の 1.15V コアレール遷移に関する「はじめに」で説明されたリセットのリスクが直接的に解消されています。

商標

TRAVEO™ is a trademark of Infineon Technologies.

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月