

Application Note

BMS システムの TPLD1202 アプリケーション

Nanxiao Zhong

概要

ディスクリート ロジック デバイスは、バッテリー管理システム (BMS) で故障診断と状態保持のために幅広く使用されていますが、PCB サイズや低消費電力設計に関して大きな課題があります。テキサス インストルメンツの**プログラマブル ロジック デバイス (TPLD)** を使用すると、設計者は内部マクロセルを構成して、さまざまなロジック設計をシングルチップ設計に統合できます。このホワイト ペーパーは、**BMS アプリケーションに TPLD アーキテクチャを導入し、基板面積とハードウェア開発のフレキシビリティを効果的に最適化する方法に関する、設計者向けの実践的な実装ガイドの役割を解説しています。**

目次

1 概要	2
2 BMS システムの TPLD アプリケーション	3
2.1 低消費電力のウェークアップ	3
2.2 保護ロジックとウォッチドッグの統合	5
2.3 状態ラッチとグリッチ フィルタリング	7
3 まとめ	9
4 参考資料	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

車載および産業用エネルギー ストレージ システム (ESS) とバッテリー管理システム (BMS) では、厳格な機能安全規格を満たすために、独立したハードウェア冗長性を実装することが不可欠です。そのため、ディスクリート ロジック デバイスは BMS 設計全体で広く採用されています。主に次のコンポーネントが含まれます。(1) ウォッチドッグ IC とアナログ マルチプレクサ。(2) 故障と保護ロジックの統合。(3) EMI ノイズ下で状態を保持するための、ラッチ ネットワークとフリップ フロップ。

レイアウトやコストに関するこのような制限を解決するために、このアプリケーション ノートでは、テキサス インストルメンツ のプログラマブル ロジック デバイス (TPLD) を使用した高集積ハードウェア冗長性ソリューションを紹介しています。単一の TPLD チップの低消費電力でグラフィカルにプログラムされた内部マクロセルを利用することにより、エンジニアは異種のロジック パスをコンパクトなシリコン フットプリントに統合できます。この資料は、次世代 BMS プラットフォームで基板面積を最適化し、開発のフレキシビリティを高めるための実践的な導入ガイドとして活用できます。

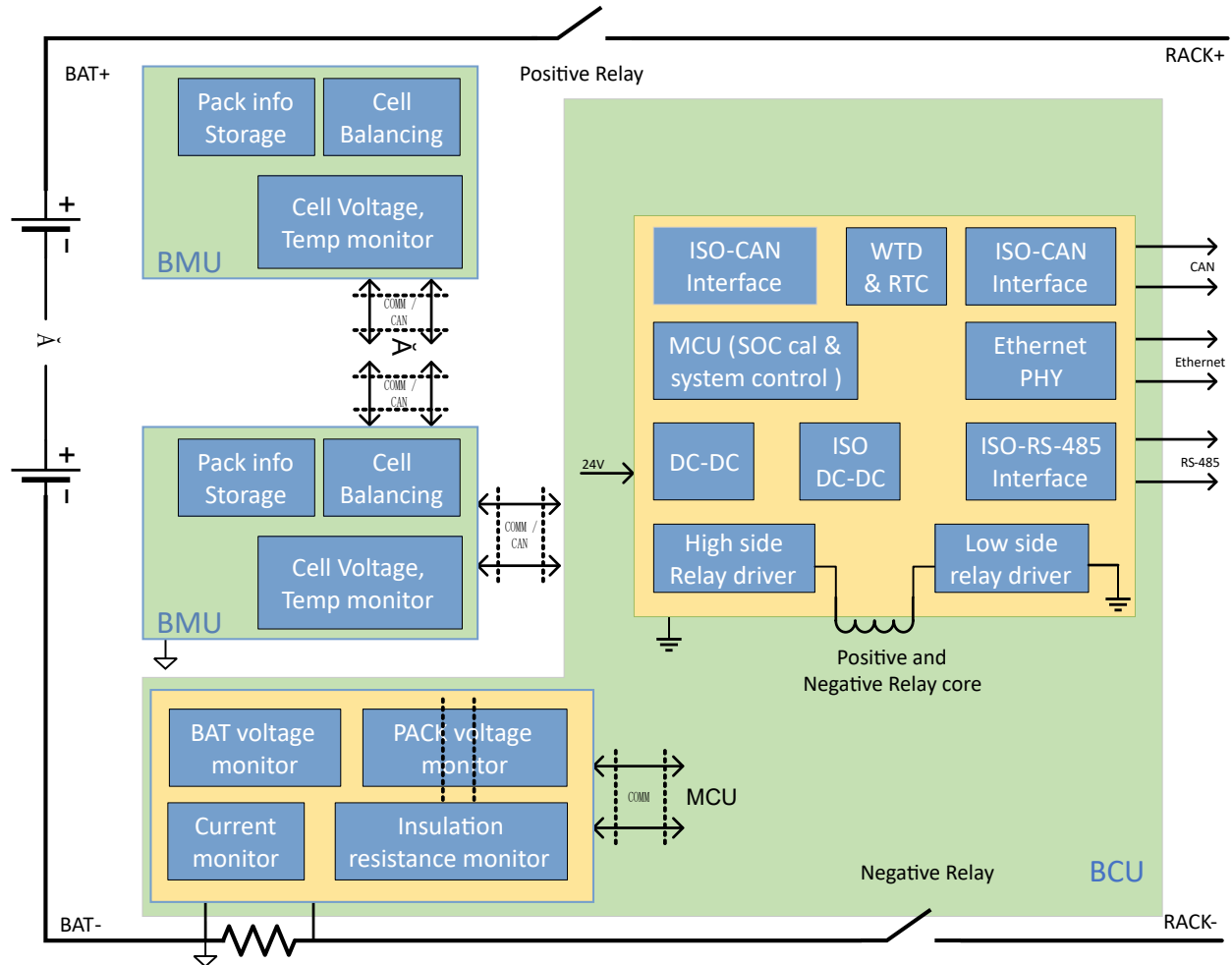


図 1-1. 代表的な BMS ブロック図

2 BMS システムの TPLD アプリケーション

2.1 低消費電力のウェークアップ

PARAMETER			TEST CONDITIONS	V _{CC} = 1.8V ± 0.09V			V _{CC} = 3.3V ± 0.3V			V _{CC} = 5V ± 0.5V			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Standby													
I _{CC}	Quiescent current		Inputs = static, Outputs = open, I _O = 0, OSC powered off, ACMP powered off		0.88			0.88			0.90		μA
Oscillator													
I _{CC}	Quiescent current	OSC0 enabled: 2kHz	Predivide = 1		1.94			2.03			2.57		μA
I _{CC}	Quiescent current	OSC0 enabled: 2kHz	Predivide = 8		1.95			2.03			2.57		μA
I _{CC}	Quiescent current	OSC0 enabled: 10kHz	Predivide = 1		1.96			2.05			2.59		μA
I _{CC}	Quiescent current	OSC0 enabled: 10kHz	Predivide = 8		1.95			2.05			2.56		μA
I _{CC}	Quiescent current	OSC1 enabled: 25MHz	Predivide = 1		431.0			432.9			433.1		μA
I _{CC}	Quiescent current	OSC1 enabled: 25MHz	Predivide = 8		264.6			266.0			266.2		μA

図 2-1. TPLD 電源電流特性

TPLD は、スタンバイ状態で超低静止電流 (1μA 未満) を実現します。このように効率が非常に優れているため、本デバイスは、バッテリーから直接常時オンの電源レールに接続されたままになります。InterConnect Studio (ICS) 内では、内部低周波数発振器 (LF_OSC) をイネーブルにすることにより、1 次クロックの配線を最適化します。この構成で動的なスイッチング損失を最小限に抑え、メイン マイコン (MCU) システムの初期化前に、信頼性の高いハードウェア監視ベースラインを検証できます。詳細については、『[TI のプログラマブル ロジック デバイス \(TPLD\) の低消費電力動作](#)』を参照してください。

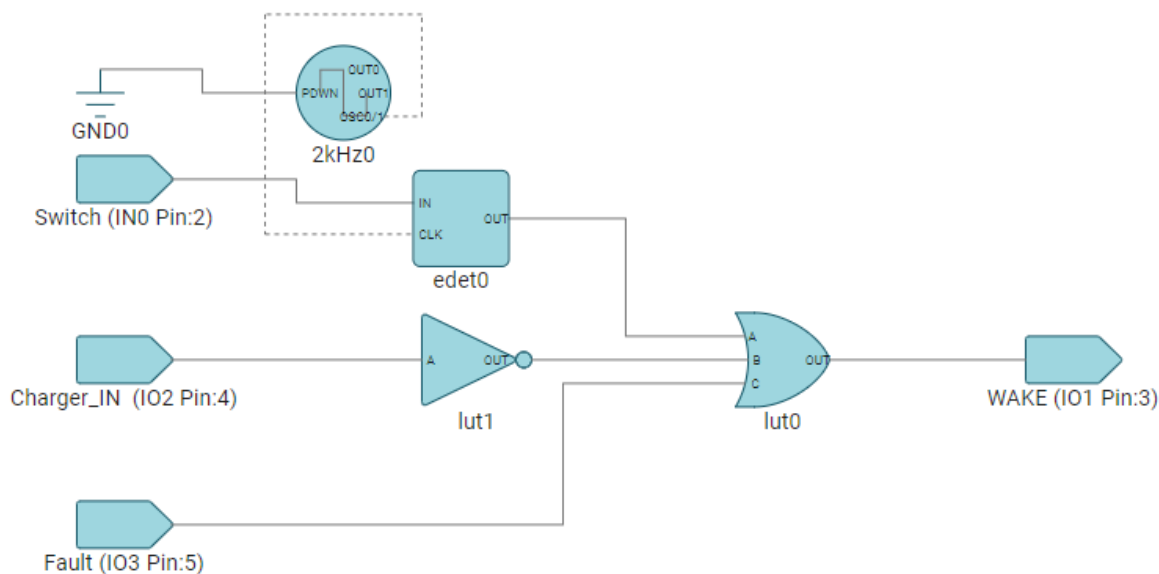


図 2-2. TPLD の BMS ウェークアップ図

BMS システムでは、ホスト マイコン / **AFE** は出荷モードまたはストレージ モードでシャットダウンされ、ボタンの押下時、充電器接続時、または異なる非同期外部信号 (パルス、アクティブ **High**、アクティブ **Low**) による障害発生時に、ウェークアップする必要があります。システム動作中にウィンドウ ウォッチドッグ タイマ (**WDT**) が実装され、マイコンのファームウェア停止リスクを軽減します。ウェークアップ オーケストレーションと **WDT** と **TPLD** を 1 つのチップで設計するのはシンプルで、レイアウトのサイズと静止電流を低減できます。

図 2-2 に示すように、TPLD は 3 入力の OR ゲートを利用して、異なるウェークアップ信号を集約します。このシミュレーション モデルでは、必要な信号のロジック反転を構成するためのインバータが TPLD に組み込まれており、エッジトリガのフリップ フロップを使用して、過渡信号またはパルス信号を確実にキャプチャします。

2.2 保護ロジックとウォッチドッグの統合

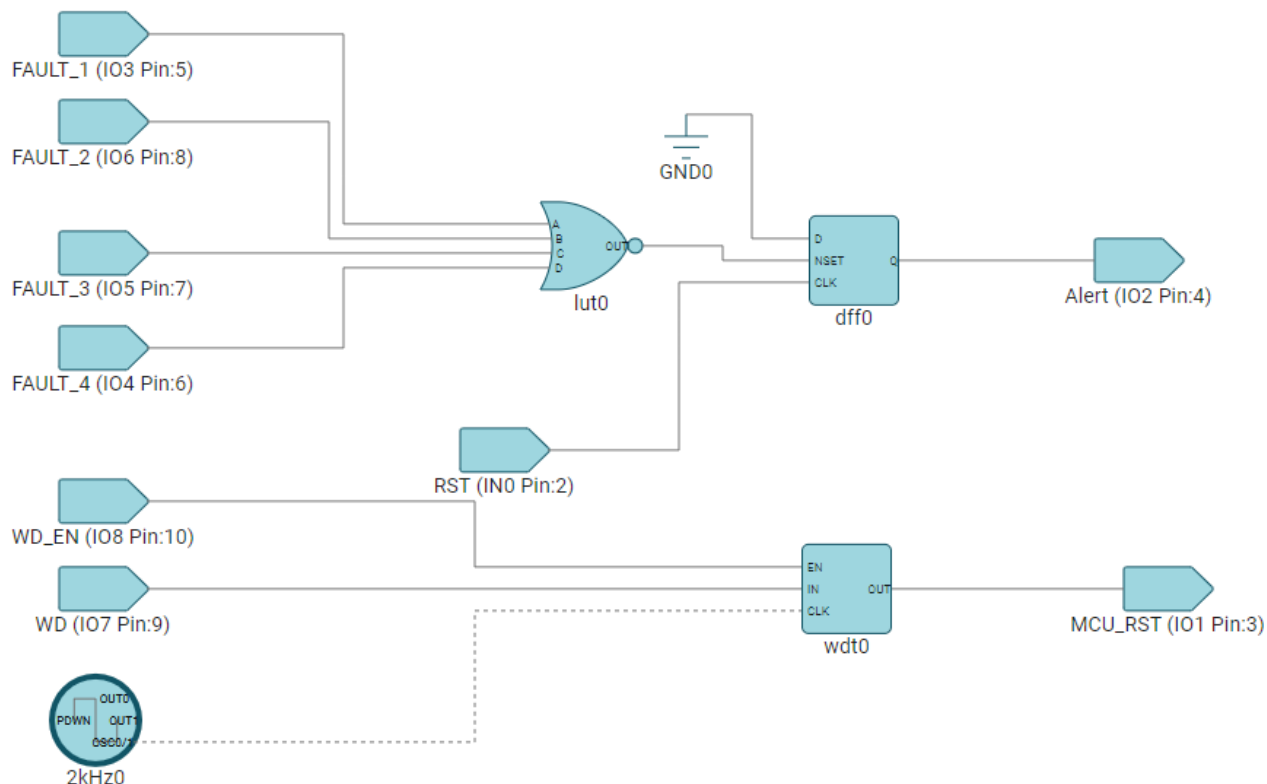


図 2-3. BMS ハウスキーピングの TPLD の図

BMS システムの動作中、フォルトが発生した時点で、ホスト マイコンは割り込みルーチンに即座に移行する必要があります。保護割り込みの大部分は **BMS AFE** により直接送出されますが、まだ安全境界または冗長障害が残っており、ホストが識別する必要があります。TPLD は、充電過電流、放電過電流、過電圧、低電圧などの外部アナログ センシング回路によって駆動される複数のフォルト信号をキャプチャし、フォルトをラッチしてホストに通知できます。図 2-3 に示すように、個別の非同期フォルト信号は内部 RS フリップ フロップによって安全にキャプチャされ、ルーチンのクリアは専用のハードウェアリセット (RST) ピンによって多重化されます。さらに、TPLD はアナログ コンパレータを内蔵しているため、外部アナログ パリフェラル数をさらに最小限に抑え、基板全体のフットプリントを最適化できます。ワン ショット ラッチの別の回避方法の詳細については、『[TI プログラマブル ロジック デバイスを使用して、ワン ショットを構成する](#)』を参照してください。

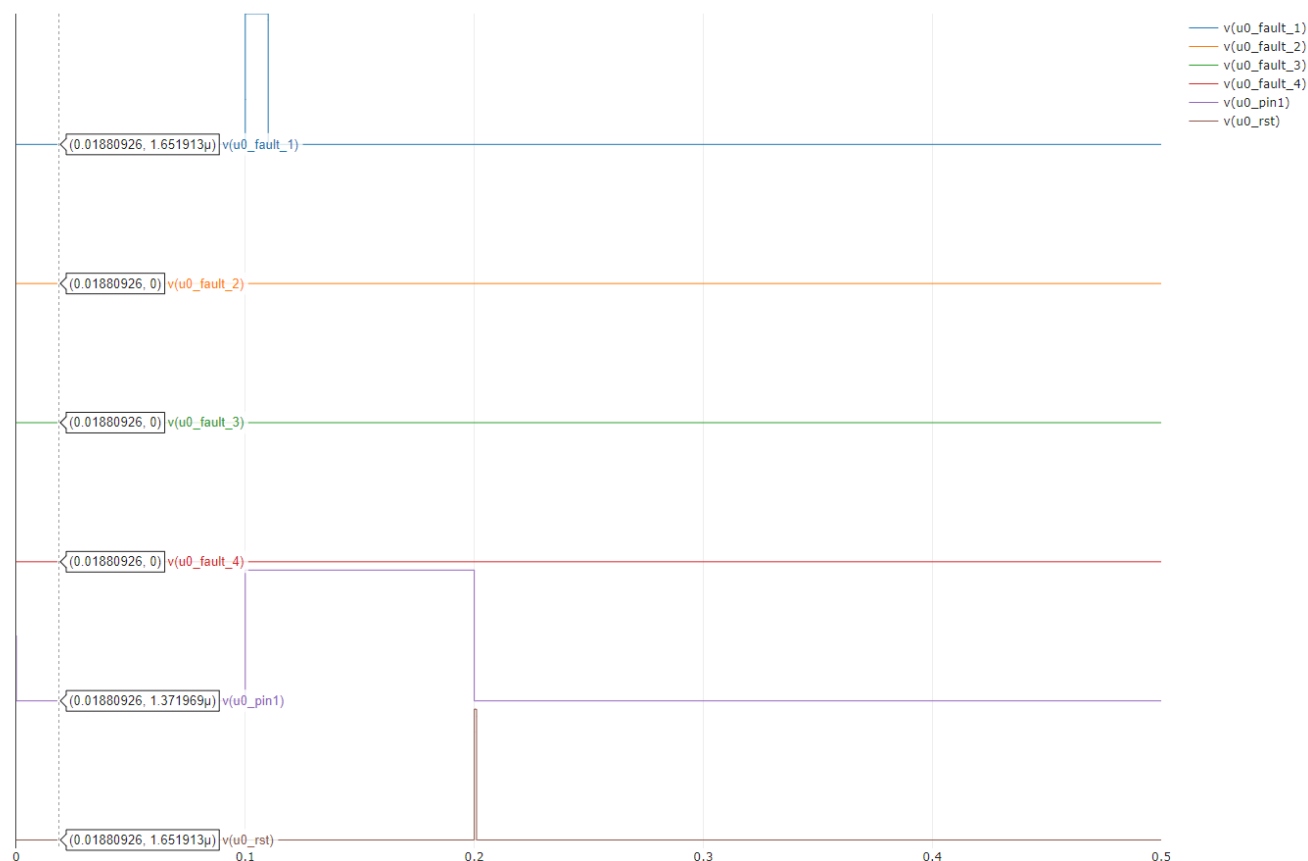


図 2-4. マルチチャネル フォルト ラッチのシミュレーション結果

TPLD は、ホスト監視用の自律ウォッチドッグ タイマ (WDT) として構成することもできます。図 2-3 に示すように、WDT は内部低周波数発振器 (LF_OSC) をタイムベースとして利用します。通常の実行中、ホスト マイコンは GPIO を定期的にトグルし、ウォッチドッグ入力 (WDI) パルスを送信して TPLD カウンタをクリアします。マイコンのブートアップ ブランキング ウィンドウによって発生する無限リセット ループを防止するための最もシンプルな方法は、WDT イネーブル機能を利用することです。パッシブ RC 遅延ネットワークまたは早期マイコン パワーグッド信号を EN ピンに配線することにより、TPLD は長いスタートアップ遅延を事前割り当てし、ホストがファームウェアの初期化を完了するまで WDT を一時的に無効化したままにします。ウォッチドッグ タイマ設定の詳細については、『TPLD 内でのウォッチドッグタイマの使用』を参照してください。

2.3 状態ラッチとグリッチ フィルタリング

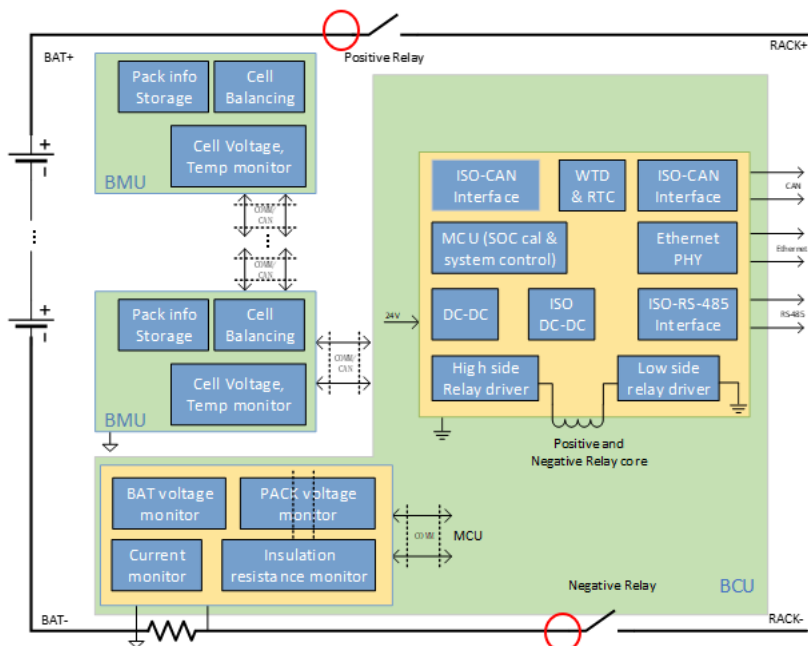


図 2-5. BMS リレーと FET ラッチ

BMS システムがアクティブ モードから低消費電力モードに移行している間、またはホストコントローラの予測不可能なソフトウェアリセット中に、ホストの GPIO ピンは即座にハイインピーダンス (Hi-Z) またはフローティング状態に変換します。高電圧リレーのドライバがこれらのホスト GPIO によって直接駆動される場合、フローティング段は意図しないリレーチャタリングや **False** 状態のスイッチングを簡単に発生させる可能性があります。高電圧、大電流のアプリケーションでは、このようなフローティング過渡が、物理的な接触器端子全体で致命的なアーク放電損傷を引き起こします。一般的な BMS 設計では、静止電流が大きいドライバラッチとして SN74HC373/SN74HC175 のようなディスクリートロジックが広く適用されています。

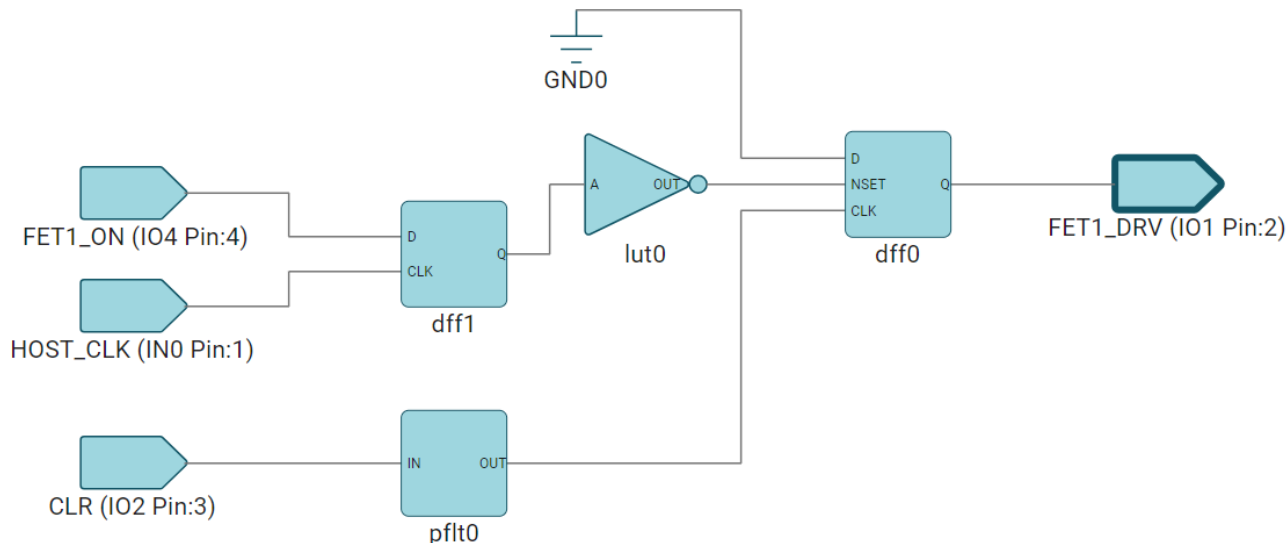


図 2-6. TPLD 段のラッチとグリッチ フィルタ

図 2-6 に示すように、TPLD はホストのパワー ダウンまたはリセット実行の前に、駆動状態レベルを一時停止して保持できます。後続のホスト コントローラ ピンが完全に駆動能力を失いフローティングになっても、TPLD は純粋なハードウェア アーキテクチャを通して安定した出力を独立して維持し、過渡パワーダウン ウィンドウ全体にわたって HVDU ループの絶対状態安定化を検証します。

さらに、高電圧コンタクトの瞬間的な関与や大電力スイッチング過渡時に、高周波電磁干渉 (EMI) ノイズ スパイクが一般的に発生します。この設計では、TPLD はシュミットトリガを内蔵したデジタル ピンとして入力段を構成し、内部プログラマブル フィルタ (PFLT) モジュール経由で信号をルーティングします。ナノ秒単位のブランキング ウィンドウをグラフィカルに構成することにより、TPLD はハードウェア レベルのデジタル ノイズ抑制を実行し、高周波スイッチングのグリッチを完全にフィルタ除去します。このアプローチは基本的に、遷移状態中のノイズ クロストークと寄生誤トリガをブロックするため、ハードウェア冗長性トポロジのシステム レベルの堅牢性を大幅に向上させます。

3 まとめ

TPLD は、低消費電力でグラフィカルにプログラムされたマクロセルを活用することにより、自律型ウォッチドッグ、低消費電力のウェークアップルーティング、フォルト保護集約、フローティング状態保持を統合できます。設計分析では、この手法は複数のディスクリートロジック IC、マルチプレクサ、および外部ウォッチドッグ タイマを置き換えることにより、PCB 基板面積の大幅な削減を実現します。最終的に、このトポロジにより、ハイバネーション時のホスト IO ドリフトが排除され、EMI スイッチング過渡が抑制されて、ハードウェア エンジニアの迅速で非常に柔軟性の高い開発が可能になります。TPLD の詳細については、『[プログラマブル ロジックに関するエンジニア向けガイド](#)』をご覧ください。

4 参考資料

1. テキサス インスツルメンツ、『[TPLD1202 I2 C/SPI および 10-GPIO 搭載プログラマブル ロジック デバイス](#)』、データシート。
2. テキサス インスツルメンツ、『[TPLD 内でのウォッチドッグタイマの使用](#)』、アプリケーション ブリーフ。
3. テキサス インスツルメンツ、『[TI プログラマブル ロジック デバイスを使用した、フィードバック付き電源シーケンス](#)』、アプリケーション ブリーフ。
4. テキサス インスツルメンツ、『[TI プログラマブル ロジック デバイスを使用して、ワン ショットを構成する](#)』、アプリケーション ブリーフ。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月