

Application Note

AM26xx および C2000 マイコンの電氣的オーバーストレス (EOS) 保護のガイドライン

Shivasharan Nagalika, Tejas Kulkarni, Jason Whiles

概要

産業および車載アプリケーションにおける半導体デバイスの長期信頼性を確保するには、電氣的オーバーストレス (EOS) 保護が極めて重要です。このアプリケーション レポートでは、TI の AM26xx (AM263x、AM263P4x、AM261x) および C2000 リアルタイム マイコン ファミリー向けに設計された、包括的な EOS 保護戦略およびガイドラインを提供します。

詳細な計算例、部品選定基準、および基板レイアウトのガイドラインを含む設計例を示し、エンジニアがシステムに堅牢な EOS 保護を実装できるようにしています。代表的なケース スタディでは、一般的な EOS シナリオとその予防方法を説明しています。

目次

1 概要	3
1.1 目的と範囲	3
1.2 EOS の定義と重要性	3
1.3 EOS と ESD との関係	3
2 デバイスの概要と EOS 感受性	5
2.1 AM26xx シリーズの概要	5
2.2 C2000 シリーズの概要	5
2.3 重要なピンとインターフェイス	5
2.4 パワードメインとシーケンシング要件	6
3 EOS の基礎と故障メカニズム	8
3.1 ESD ダイオード電流仕様	8
3.2 システム設計の EOS ソース	9
4 I/O インターフェイス保護	11
4.1 デジタル I/O 保護	11
4.2 通信インターフェイスの保護	11
4.3 PWM 出力保護 (C2000)	11
5 PCB 設計ガイドライン	13
5.1 部品の配置	13
5.2 配線	13
5.3 グランド プレーン設計	13
5.4 EOS 固有レイアウトに関する考慮事項	13
5.5 製造および組み立て EOS の防止	14
6 インサーキット テスト (ICT) EOS の軽減	16
6.1 ホットプラグのリスク	16
6.2 ICT 中の電源シーケンシング	16
6.3 帯電基板イベント (CBE)	17
6.4 VSS ファースト接続戦略	17
6.5 手動接続用コネクタの保護	18
7 外付け保護部品	19
7.1 TVS ダイオードの選択	19
7.2 フィルタ設計	19
7.3 電圧クランプ ソリューション	20
8 設計例とケース スタディ	21

8.1 ケース スタディ: VDD/VSS プレーン接続が不十分.....	21
8.2 ケース スタディ: 無効な PORz シーケンスによる I/O バッファの貫通電流発生.....	22
8.3 ケース スタディ: 有効なリセット前のアイソレータ出力イネーブルによる信号発生.....	23
8.4 ケース スタディ: 製造テストプロセスの改善.....	24
9 まとめと推奨.....	25
9.1 重要なポイント.....	25
9.2 AM26xx/C2000 システム向けのデザイン チェックリスト.....	25
10 参考資料.....	26

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

1.1 目的と範囲

このアプリケーション ノートでは、産業、車載、および制御アプリケーションにおいて、Texas Instruments の AM26xx (AM263x、AM263Px、AM261x) および C2000 ファミリのデバイスを電氣的オーバーストレス (EOS) イベントから保護するための包括的なガイダンスを提供します。本書は、以下を対象としています：

- ・ 組み込みシステムを開発するハードウェア設計エンジニア
- ・ EOS 堅牢な基板を実装する PCB レイアウト設計者
- ・ インサーキットテスト (ICT) を実施するテスト エンジニア
- ・ フィールド故障を解析する品質および信頼性のエンジニア

本書の推奨事項および設計ガイドラインは、デバイスのデータシート、信頼性データ、故障解析レポート、および業界のベスト プラクティスに基づいています。AM26xx および C2000 デバイスを主な対象としていますが、多くの原則は他のマイコン ファミリーにも広く適用できます。

1.2 EOS の定義と重要性

電氣的オーバーストレス (EOS) は、デバイスに規定された絶対最大定格を超える電圧、電流、または電力が加わることで発生し、半導体デバイスに即時的または潜在的な損傷を引き起こします。短時間の高電圧パルスを含む静電放電 (ESD) とは異なり、EOS イベントには通常次のものが含まれます：

表 1-1. EOS 定義

特性	EOS イベントの説明
電圧レベル	通常動作電圧の 2 ～ 3 倍 (ESD のような kV レベルではありません)
持続期間	数 μ s から連続的な時間範囲 (ESD よりもはるかに長くなります)
エネルギー	ESD イベントよりも総エネルギーが大きい

業界のフィールド返品データでは、半導体デバイス故障の 30 ～ 40% が EOS イベントに起因すると一貫して報告されています。これらの故障は、以下の工程で発生する可能性があります：

- ・ 製造プロセスとアセンブリ プロセス
- ・ インサーキット テスト (ICT) と機能テスト
- ・ システムのパワーアップおよびパワーダウン シーケンス
- ・ ケーブルとコネクタのホットプラグ
- ・ 誘導性負荷またはスイッチングによる過渡イベント

警告: EOS 損傷は潜在的な場合があります、デバイスは初期には正常に動作しているように見えても、内部構造の劣化によりフィールドで早期故障する可能性があります。これにより根本原因の解析が困難になるため、予防が極めて重要です。

1.3 EOS と ESD との関係

EOS と ESD では保護戦略が大きく異なるため、両者の違いを理解することが極めて重要です：

パラメータ	ESD イベント	EOS イベント
電圧レベル	kV 範囲 (通常は 1 ～ 8kV)	V 範囲 (標準値は 5 ～ 50V)
持続期間	ナノ秒 (< 100ns)	マイクロ秒単位で連続
ピーク電流	アンペア (短いスパイク)	ミリアンペア ～ アンペア (持続)
総エネルギー	Low (短時間)	High (長時間)
保護	オンチップ ESD 保護	外部コンポーネント + 設計
試験規格	HBM、CDM (JEDEC)	IEC 61000-4-2、システム レベル

表 2. EOS と ESD との関係

注: すべての AM26xx および C2000 デバイスには、HBM および CDM 試験に対応したオンチップ ESD 保護構造が搭載されていますが、これらの構造が扱える電流には制限があり (通常、連続 $\pm 2\text{mA}$)、外付け保護なしでは持続的な EOS イベントから保護することはできません。

2 デバイスの概要と EOS 感受性

2.1 AM26xx シリーズの概要

AM26xx ファミリーには、車載、産業オートメーション、モーター制御、および産業用イーサネット アプリケーションを対象とした AM263、AM263P、および AM261 リアルタイム マイコンが含まれます。主な特長は以下のとおりです。

- 400MHz 動作の ARMs Cortex-R5F コア
- 産業用イーサネット (EtherCAT、PROFINET、EtherNet/IP)
- モーター制御用の高速 ADC と PWM モジュール
- OSPI/QSPI フラッシュ インターフェイス
- 複数の電源ドメイン: VDD_CORE (1.2V)、VDDSHV (3.3V)、VDDA (3.3V)
- 温度範囲: -40°C から 125°C (産業用) または -40°C から 150°C (車載用)

AM26x デバイスは、256 ピン、293 ピン、304 ピン、および 324 ピンの BGA パッケージで提供され、複雑な車載および産業システム向けに豊富な I/O オプションを備えています。

2.2 C2000 シリーズの概要

C2000 リアルタイム マイコン ファミリー (F28004x、F2837x、F2838x) は、パワー エレクトロニクスおよびモーター制御アプリケーション向けに最適化されています。主な特長は以下のとおりです。

- 最大 200MHz で動作する C28x DSP コア
- 制御補償器アクセラレータ (CLA) コプロセッサ
- 150ps の分解能の高分解能 PWM
- 差動入力、同時サンプリングを使用する 16 ビット ADC
- サイクルごとの電流制限に対応した内蔵コンパレータ
- パワー ドメイン: VDD (1.2V)、VDDA (3.3V)、VDDIO (3.3V または 1.8V)、VDDPLL
- ハイサイド ゲートドライバ向けのブートストラップ回路サポート

C2000 デバイスは、64 ピンから 337 ピンまでのパッケージで提供され、単相インバータから複雑な三相モーター ドライブまで幅広いアプリケーションに対応します。

2.3 重要なピンとインターフェイス

特定のピンとインターフェイスは、EOS による損傷の影響を特に受けやすく、慎重な保護が必要です:

2.3.1 電源ピン

- VDD_CORE/VDD: コア ロジック電源 (1.2V)
- VDDSHV/VDDIO: I/O 電源 (通常 3.3V、一部は 1.8V をサポート)
- VDDA/VDDAPLL: ADC および PLL 用アナログ電源 (3.3V)
- VSS/VSSA: グランドリファレンス

重要な考慮事項

- パワーアップとパワーダウンは、電源ピンを適切にシーケンシングする必要があります
- デカップリング コンデンサは、デバイスの近く (10mm 以内) に配置する必要があります
- 各電源ドメイン / レールには、個別の監視と保護が必要です

2.3.2 リセットおよび構成ピン:

- PORz (パワーオンリセット): パワーオンリセット (ロジック Low イネーブル) ピン
- WARMRSTn: ウォームリセット (ロジック Low イネーブル) 入力およびリセット ステータス出力ピン
- ブート モード [SOP – センスオン電源] 構成ピン

EOS のリスク

- VDD が有効になる前に信号電圧を印加すると、ラッチアップが発生する可能性があります
- PORz の立ち上がり時間が遅い場合 (1ms 超)、デバイスが不定状態のままになる可能性があります
- PORz 経路のダイオードは、電源レールが安定する前に早期に解放される可能性があります

2.3.3 通信インターフェイス ピン:

- イーサネット (AM26xx): 外部 PHY への RMII/RGMII インターフェイス
- SPI、I2C、UART: 標準的な通信ペリフェラル
- CAN/MCAN: 車載と産業用のバス インターフェイス

外部接続により、これらのピンは以下の影響を受けやすくなります:

- ケーブル接続からの ESD イベント
- システム間のグラウンド電位差
- システム統合またはサービス中のホットプラグ

2.3.4 アナログ入力ピン (ADC):

- シングルエンドまたは差動アナログ入力
- 通常、0 ~ 3.3V の入力範囲向けに設計されています
- 一部の C2000 デバイスは、0 ~ 5V の入力をサポートしています

保護要件:

- 過電圧時に電流を制限するための直列抵抗
- 過渡抑制用のクランプ ダイオードまたは TVS
- ノイズ耐性の向上に役立つ RC フィルタリング

2.3.5 PWM 出力ピン (C2000):

- ゲートドライバ向け的高速スイッチング出力
- 高電圧のブートストラップ回路に接続される場合があります
- 高速なエッジレートにより、EMI に起因する EOS の影響を受けやすくなります

2.4 パワードメインとシーケンシング要件

AM26xx および C2000 デバイスにはどちらも複数の電源ドメインがあり、EOS による損傷を防止するために正しくシーケンシングする必要があります。

2.4.1 AM26xx 電源ドメイン:

- VDD_CORE (1.2V): コア ロジックとメモリ
- VDDSHV (3.3V): イーサネット PHY インターフェイスを含む高電圧 I/O
- VDDA (3.3V): アナログ回路 (ADC、発振器)

2.4.2 シーケンシングの要件:

- PORZ を解放する前に、VDD_CORE/VDDSHV が安定している必要があります
- すべての電源は単調にランプする必要があります (ディップまたは反転なし)
- パワーダウン中、順序は反転される場合があります
- デバイス固有のデータシートを参照してください

2.4.3 C2000 電源ドメイン:

- VDD (1.2V): コア ロジック、フラッシュ メモリ、ペリフェラル
- VDDA (3.3V): アナログ回路 (ADC、PLL、発振器)
- VDDIO (3.3V または 1.8V): I/O バッファ
- VDDPLL: PLL アナログ電源 (通常は VDDA に接続)
- デバイス固有のデータシートを参照してください

2.4.4 シーケンシング違反の影響:

1. 貫通電流:

I/O バッファの電源が有効になる前に入力信号が印加されると、NMOS と PMOS の出力トランジスタが同時に部分的にオン状態となり、出力段を介して VDDIO から VSS に大電流が流れる可能性があります。

2. ESD ダイオード ストレス:

VDD がまだ有効になっていない状態で信号ピンが High に駆動されると、信号ピンから VDD への ESD 保護ダイオードが順方向バイアスされ、未給電の VDD レールに電流が流れ込みます。

3. 未定義のデバイス状態:

電源が安定する前にリセットが早期に解除される (PORz が High になる) と、無効な電源電圧の状態デバイスが動作を開始する可能性があります。これにより、内部レジスタやフラッシュ メモリの書き込み内容が破損したり、デバッグが困難な不安定動作が発生したりする可能性があります。

3 EOS の基礎と故障メカニズム

3.1 ESD ダイオード電流仕様

ほとんどの AM26xx および C2000 マイコンでは、データシートの絶対最大定格のセクションにおいて、ESD ダイオードの最大電流が $\pm 2\text{mA}$ と規定されています。この仕様は、適切なシステム設計に極めて重要ですが、しばしば誤解されています。

3.1.1 仕様を理解する

$\pm 2\text{mA}$ の ESD ダイオード電流仕様は、オンチップ ESD 保護構造を介して電源レール (VDD または VSS) に安全に流すことができる最大連続電流を示しています。これらの ESD 構造は、以下の場合にトリガされます：

- 信号電圧が $VDD + 0.3\text{V}$ を超える場合 (上側の ESD ダイオードが導通し、VDD に電流が流れます)
- 信号電圧が $VSS - 0.3\text{V}$ を下回る場合 (下側の ESD ダイオードが導通し、VSS に電流が流れます)

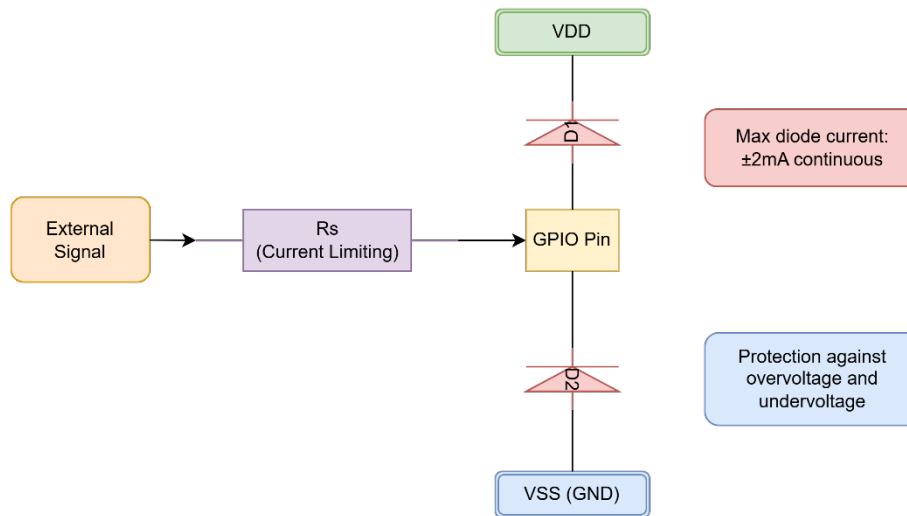
この仕様の要点は次のとおりです：

- $\pm 2\text{mA}$ の制限は、連続的または長時間 (数 ms 以上) 流れる電流に適用されます
- ESD 保護構造は、HBM/CDM 定格で規定されているように、実際の ESD イベント時には、はるかに大きな電流 (数 ns の間に数 A) に耐えることができます
- この制限は熱的な要因によるもので、連続して電流を流すと発熱し、構造を損傷する可能性があります
- アプリケーション設計では、外付け抵抗によって電流を制限するか、過電圧状態が発生しないようにする必要があります

3.1.2 ESD ダイオード保護構造

各 I/O ピンのオンチップ ESD 保護構造は、通常、以下で構成されています：

- I/O ピンから VDD レールへの上側クランプ ダイオード
- VSS レールから I/O ピンへの下側クランプ ダイオード
- 内部抵抗と寄生素子



Typical ESD Diode Protection Structure

図 1: ESD ダイオードの構造

3.1.3 電源サイクル時の重要な副作用

□ **重大な警告:** 主電源 (VDD/DVCC) が未給電の状態で GPIO ピンに電圧が印加される場合、ESD ダイオードの仕様に基づく手法は適用できません。これにより、ESD 保護構造を介してマイコンに意図しない給電が発生し、以下の問題を引き起こす可能性があります：

- I/O ピンによるデバイスの逆電力供給
- 予測不可能なデバイス動作とコード実行
- メモリの破損
- デバイスに対する物理的な損傷の可能性があります

電源への逆電力供給の問題を防止するには:

- I/O 信号が印加される前、または同時に、主電源が立ち上がるようにします
- 電源シーケンスにおける LDO 遅延とインライン静電容量を考慮に入れています

3.2 システム設計の EOS ソース

部品レベルおよび PCB レベルの保護に加えて、システムレベルの設計判断も EOS に対する脆弱性に大きく影響します。

3.2.1 バスの競合

バスの強豪は、複数のドライバが同じ信号ラインを同時に駆動しようとした場合に発生し、出力間に大電流が流れます。これは、電源シーケンスまたはモード遷移中に特に損傷を与えます。

一般的なシナリオ

- 適切なチップ セレクト制御を行わずに、複数のデバイスで共有 SPI バスを駆動する
- アドレス競合中の I2C バスの競合
- 同一ネットに接続された複数のデバイスで、GPIO ピンが出力として設定されています
- イネーブル シーケンスが不適切な双方向レベル シフタ

予防戦略

- 共有バスでは、厳密なチップ セレクト制御を実装します
- マルチマスタ システムでは、イネーブル制御付きのトライステート バッファを使用します
- パワーアップ時に、すべての GPIO を入力 (ハイ インピーダンス) として構成します
- 電流を制限するため、潜在的な競合信号に直列抵抗 (22 ~ 100Ω) を追加します

3.2.2 不適切な電圧レベル

デバイスのピンに不適切な電圧を印加することは、EOS の直接的な原因となります。これは、以下で発生します:

- レベル シフタの障害: レベル シフタが故障した場合、または設定が誤っている場合、5V 信号が 3.3V 定格のピンに印加される可能性があります。
- ホット プラグのイベント: ボードを通電中のシステムに接続すると、電圧過渡現象が発生する可能性があります。直列抵抗、TVS ダイオード、および制御されたスルーレートをを用いて、ホットプラグ保護を実装します。
- 逆電力給電: I/O ピンを介して電源オフ状態の電圧ドメインに電流が流れ込むと、ファントム給電やラッチアップが発生する可能性があります。絶縁バッファまたは直列ダイオードを使用して、逆電力パスを防止します。
- すべての電圧測定値が、すべての動作条件下でデータシートの仕様の範囲内にあることを確認します。部品公差やボード間のばらつきを考慮するため、複数の量産ユニットで測定を実施します。
- 過電圧保護 (OVP) および低電圧保護 (UVP) 機能を備えた電源を使用します。これらの保護機能は、電圧の安全スレッショルドを超えると自動的に電源出力を停止し、電圧スパイクによる電氣的オーバーストレス (EOS) や、電圧低下によるブラウンアウト状態を防止します。

3.2.3 インピーダンスの不整合とシグナル インテグリティ

50MHz を超える信号、または 6 インチを超える配線長では、伝送線路の影響が顕著になります。インピーダンスの不整合によって反射が発生し、受信端で信号電圧が二倍になる可能性があります。

AM26xx (RGMII、OSPI/QSPI) および C2000 (eQEP、高速 PWM) の高速インターフェイスの場合:

- 配線インピーダンスをドライバ / レシーバの仕様に合わせます (通常、シングル エンド 50Ω、差動 100Ω)

- 適切な終端処理を行います (ドライバ側での直列終端、レシーバ側での並列終端、または双方向信号に対する AC 終端)
- 差動ペアの配線長を一致させます (5mil 以内)
- 最大動作周波数における波長 $\lambda/10$ より長いスタブは避けてください。

適切な終端処理を行わない場合、反射電圧が IO 電圧の 2 倍に達し、ESD ダイオードが導通したり、その定格を超えたりする可能性があります。

3.2.4 フィルタリングとアースが不適切

電源ノイズやグラウンド バウンスにより、過渡的なオーバーストレスが発生する可能性があります。高周波の過渡現象が ESD 保護ダイオードを介して結合し、局所的な発熱や徐々に進行する劣化を引き起こす可能性があります。

フィルタリング要件:

- バルク デカップリング: デバイスから 2cm 以内に、各電源ドメインあたり 10 ~ 100 μ F
- 高周波デカップリング: 各電源ピンから 5mm 以内に、0.1 μ F および 0.01 μ F
- アナログ電源ピンにフェライト ビーズを配置: 100-300 Ω @ 100 MHz
- 外部接続される通信インターフェイスにコモン モード チョークを配置

グラウンディングのベスト プラクティス:

- デバイス直下に、切り欠きを最小限にした連続したグラウンド プレーンを配置
- 各 VSS ピンの近くに複数のグラウンド ビアを配置 (プレーンまでの抵抗値: 目標 1m Ω 未満)
- アナログ グラウンド領域とデジタル グラウンド領域を分離し、デバイスの近くの一点で接続
- シールドは PCB ではなく、ケーブル引き込み部でシャーシに接地
- 電源遮断時は、主電源を切る前に I/O ピンを無効化またはトライステート状態にするか、入力モードに設定します
- マイコンの電源がオフの状態でも通電が継続する I/O ピンには、外付け保護回路の使用を検討します

4 I/O インターフェイス保護

4.1 デジタル I/O 保護

AM26xx および C2000 デバイスのデジタル I/O ピンには、通常、VDD および VSS への内部 ESD 保護ダイオードが搭載されています。ただし、多くの場合、外部保護が必要になります：

- ピンは外部コネクタに露出しています
- 長いケーブルや PCB 配線を伝送する信号
- インターフェイス電圧はデバイスの定格を超えることがあります
- 誘導性負荷からの高速過渡が存在します

例えば、デジタル入力ピンには TVS ダイオード、アナログ入力ピンにはクランプ ダイオードを使用して、それぞれを保護できます。

4.2 通信インターフェイスの保護

4.2.1 産業用イーサネット (AM26xx RMII/RGMII)：

イーサネット PHY インターフェイスは外部ケーブルに接続されるため、ケーブルの挿抜時に発生する ESD、雷によるサージ、およびグラウンド電位差に対する保護が必要です。

保護戦略：

- TVS ダイオードはコネクタ部に配置します (マグネティクスがある場合は、その前段に配置します)
- マイコンと PHY の間のすべての信号ラインに直列抵抗 ($22\Omega \sim 33\Omega$) を配置します
- 差動ペア用コモン モード チョーク
- 高電圧コンデンサ ($1nF/2kV$) を経由するシャーシ グランド接続

4.2.2 CAN バス：

CAN トランシーバには通常、ESD 保護機能が内蔵されていますが、追加の保護が必要となる場合があります：

- CAN_H と CAN_L の間に TVS ダイオードを配置します (12V システムではスタンドオフ電圧 24V、24V システムでは 48V)
- EMI 耐性向上のためのコモン モード チョーク
- 過酷な環境向けの絶縁型 CAN トランシーバを使用するガルバニック絶縁

4.2.3 SPI、I2C、UART：

オンボードのパターンが短い場合：直列抵抗 ($22\Omega \sim 47\Omega$) で通常は十分です

外部コネクタの場合：TVS ダイオード (5V または 6V スタンドオフ) をグラウンドに追加します

4.3 PWM 出力保護 (C2000)

外付けゲートドライバまたは電力段を駆動する PWM 出力には、モーター巻線からの誘導性キックバック、ブートストラップ回路の結合、および電力段での貫通電流イベントに対する保護が必要です。

基本的な保護機能：

$R_s = 22\Omega \sim 47\Omega$ 、D1、D2 = 高速ショットキー ダイオード (BAT54)

ブートストラップ付きハイサイドドライバの場合：

- 直列抵抗がブートストラップ充電電流に耐えられることを確認します
- 故障時にブートストラップ電圧がマイコンの VDDIO を超える可能性がある場合は、ツェナー クランプを追加します

絶縁：

高電圧モータードライブ (DC バス電圧 100V 超) では、電力段の過渡現象によってグラウンド基準の PWM 信号に電氣的ストレスが加わるのを防ぐため、絶縁型ゲートドライバを使用します。

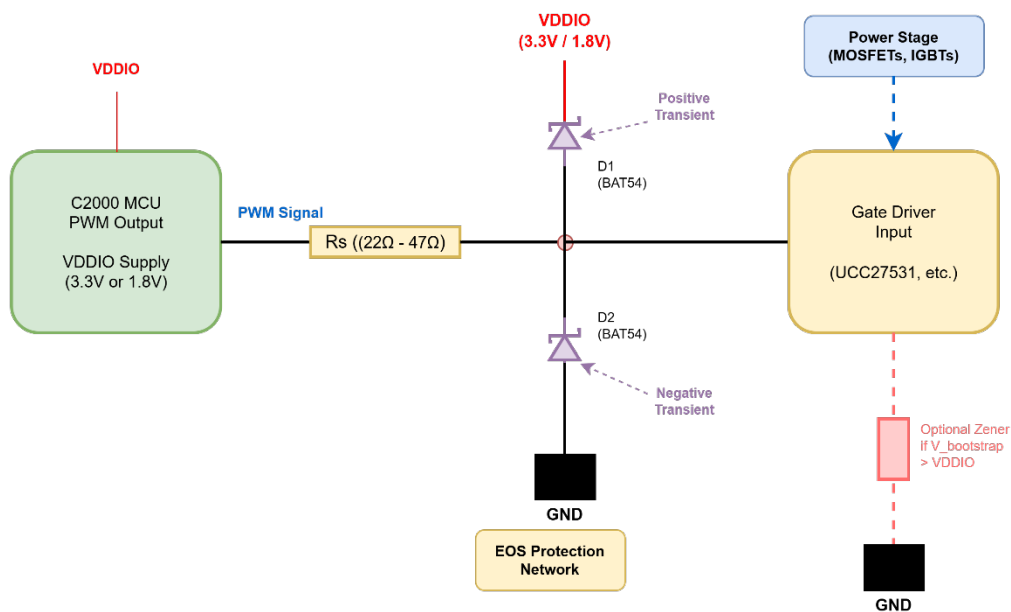


図 2: ゲートドライバを駆動する C2000 PWM 出力の基本的な保護機能

5 PCB 設計ガイドライン

5.1 部品の配置

EOS 保護にとって、マイコンに対して部品を適切に配置することは重要です:

デカップリング コンデンサ:

- 100nF のセラミック コンデンサを各 VDD ピンの 5mm 以内に配置します
- 低 ESL パッケージ (0402 または 0603 X7R/X5R セラミック) を使用します
- バルク コンデンサ (10 μ F から 47 μ F) は、10mm 以内に配置できます

保護部品:

- コネクタでの TVS ダイオード:コネクタのできるだけ近くに配置 (通常 10mm 以内)
- フィルタ コンデンサ:直列抵抗のマイコン側に配置します

大電流経路:

- PWM 出力とゲートドライバのリターン パスのループ面積を最小化します
- ゲートドライバ IC をパワー MOSFET の近くに配置します
- 高い di/dt が発生するパスの近くに、グラウンド プレーンのスティッチング ビアを配置します

5.2 配線

電源パターン:

- VDD と VSS には広いパターンまたは銅箔を使用します
- 層間の遷移には、複数のビア (ボール ピンごとに一個のビアを推奨) を使用します

リターン電流パス:

- 信号配線の直下に、連続したグラウンド プレーンを配置します
- 高速信号の下グラウンド プレーン内の分割は避けます
- グラウンド プレーンの端に沿ってスティッチング ビアを配置します

5.3 グラウンド プレーン設計

堅牢で連続したグラウンド プレーンは、過渡電流に対する低インピーダンスの帰路、高感度信号のシールド、およびパワー 部品の放熱経路を提供するため、EOS 保護に不可欠です。

グラウンド プレーンのベスト プラクティス:

- マルチレイヤ PCB では、専用のグラウンド層を使用します
- グラウンド プレーン内の切り欠きと分割を最小限に抑えます
- 銅箔面積を最大化するため、ビアとグラウンド プレーン間のクリアランスを最小限 (5 ~ 10mil) にします
- すべての高速およびアナログ信号の基準としてグラウンド プレーンを使用します

グラウンド接続:

- マイコンのすべての VSS ピンを、複数のビアを介してグラウンド プレーンに直接接続します
- マイコンのフットプリントの周囲にビア スティッチング (グラウンド ビア) を配置します
- 電源のグラウンドからマイコンの VSS まで、独立した低インダクタンス経路を確保します
- シャーシ グラウンド (存在する場合) は、高耐圧コンデンサ (1nF/2kV) と、それに並列接続したスパーク ギャップまたは TVS を介して PCB グラウンドに接続します

5.4 EOS 固有レイアウトに関する考慮事項

電源シーケンへの対応:

- 遅延を最小限に抑えるため、低インピーダンスの電源イネーブル信号を配線します
- 電源シーケンス IC をレギュレータの近くに配置します
- 回路を監視するため、電力ドメインごとに別々のトレースを使用します

コネクタ設計:

- コネクタに長いグランド ピンを使用して、VSS ファースト接続を実装します
- グランド ピンをコネクタの角と端に配置します
- 入力部にはデュアル グランド ピンを使用します

5.5 製造および組み立て EOS の防止

EOS イベントは、基板の組み立ておよび製造プロセスのときに発生することがあります。これらのリスクを理解し、適切な管理策を実装することは、大量生産において不可欠です。

5.5.1 ボードアセンブリの EOS ソース

PCB 実装時に発生する一般的な EOS の原因には、以下が含まれます:

- 部品の誤実装:** 部品の位置ずれ、極性の逆接続、または部品の誤配置により、過大ストレス状態が発生する可能性があります。ピン 1 の向き、コンデンサおよびダイオードの極性表示、実際のフットプリントに一致する部品外形が明確に分かるシルク スクリーン表示を使用します。
- 機器のフィルタリングに関する問題:** はんだ付け装置、リフロー炉、およびヒート ガンによって、電源ラインに電氣的ファストトランジェント (EFT) が発生する可能性があります。これらの過渡現象は、実装工程中に高感度回路へ結合する可能性があります。すべての実装設備、特にはんだごてやヒート ガンには、フィルタ処理された AC 電源を使用します。
- 機器のグランディング:** 実装設備のグランド接続がオープン状態になると、工具先端にフローティング電圧が発生する可能性があります。ある事例では、グランド接続のオープンにより、はんだごての先端に 60VAC が発生し、デバイス故障が繰り返し発生していたことが確認されました。使用前に、すべての設備が適切にグラウンド接続されていることを確認します。
- リフロー温度の逸脱:** リフロー時の過熱は、パッケージの剥離によるボンディング ワイヤへのストレスや、接合部温度の規定範囲逸脱など、複数のメカニズムによって EOS 損傷を引き起こす可能性があります。リフロー プロファイリング時に、実際のボード温度を監視します。
- 充電済みコンデンサ:** ディスクリット コンデンサには、前工程のテストまたは実装工程で蓄積された電荷が残っている場合があります。基板に取り付けた場合、この残留電圧は敏感なピンに放電される可能性があります。必要に応じてコンデンサの放電手順を実施します。

5.5.2 製造時の確認事項

アセンブリ関連の EOS を特定して防止する方法:

1. 機器の検査:

- すべてのはんだ付け装置の AC 電源フィルタリングを確認します
- 工具先端のグランド導通を確認します (保護接地まで 1Ω 未満である必要があります)
- 接地が確認された産業用コンセントを使用します
- 電源ケーブルに破損がないかどうかを調べます

2. アセンブリ プロセスの検証:

- 部品の極性確認に AOI (自動光学検査) を使用します
- BGA/QFN 整列の X 線検査
- はんだ接合の品質を確認するための RPI (リフロー プロセス検査)
- シルク スクリーンのマーキングが部品の向きと一致していることを確認します

3. 温度モニタ:

- プロファイリングの間に、代表的な基板に熱電対を取り付けます
- ピーク温度がコンポーネントの仕様内にあることを確認します
- 熱設計が不十分であることを示すホットスポットを確認します

4. 受信コンポーネントの検査:

- 配置前にコンデンサを放電します

- 部品のマーキングが BOM と一致していることを確認します
- 物理的な損傷や汚れがないか点検します

6 インサーキット テスト (ICT) EOS の軽減

インサーキット テスト (ICT) は PCB 製造における重要な工程であり、マイコン フラッシュへのプログラミング、電氣的テスト、または品質管理チェックを実施するために、PCB と一時的な電氣接続を確立します。ただし、ICT には大きな EOS リスクがあり、適切に管理しないと、電氣的誘起物理損傷 (EIPD) を引き起こす可能性があります。

6.1 ホットプラグのリスク

ホットプラグとは、電源または信号がどちらかの側でアクティブになっている間に、電氣機器を接続または切断することを指します。これは、ICT 動作中の EOS の大きな原因です。

6.1.1 ホットプラグによる故障のメカニズム

アクティブな信号が存在する状態でコネクタを接続すると、以下のような複数の故障メカニズムが発生する可能性があります：

- ・ 信号ピンはグラウンド / 電源よりも前に接触するため、過渡電流が発生します
- ・ 異なる電位にあるシステム間での電荷移動 (帯電基板イベント)
- ・ パワーダウン デバイスへの I/O ピン経由の電流注入
- ・ デバイスの絶対最大定格を超える電圧スパイク

6.1.2 ホットプラグ防止

ベスト プラクティス：

- ・ コネクタに電源が供給されていないことを確認します：接続する前に、必ずコネクタの電源を切り、グラウンド接続します
- ・ 制御された電源シーケンスで ICT 機器を使用します
- ・ 過渡電流を制限するため、テスト ポイントに直列抵抗 (標準値 100Ω) を追加します

6.2 ICT 中の電源シーケンシング

AM26xx および C2000 デバイスには、ICT 中の EOS 損傷を防止するために遵守すべき固有の電源シーケンス要件があります。

6.2.1 主要なシーケンシング要件

- ・ 信号前に供給：I/O ピンに信号を印加する前に、必ずデバイスへ電源を供給します。これにより、デバイスに適切に電源が供給され、ESD 保護構造が正常に機能することを確保できます。
- ・ デバイス固有のシーケンスに従います：適切な電源ドメインのシーケンス (コア、I/O、アナログドメイン) については、デバイスのデータシートを参照してください
- ・ フローティング入力の回避：電源遷移時には、すべての I/O ピンの論理レベルが確定しているか、トライステート状態になっていることを確認します

6.2.2 ICT 電源シーケンス違反

□警告：ICT は、システムの電源設計と運用設計が異なる場合があります。例：

- ・ ICT では低電圧部品のみ電源を供給しますが、通常動作時には高電圧レギュレータから電源が供給されます
- ・ ICT 時と通常動作時では、電源レールの立ち上がり順序が異なります
- ・ 特定のテスト シーケンスでは、システムの一部のみを電源投入します

これらのシナリオは、意図しない電源シーケンス違反を引き起こす可能性があります。軽減の方針：

- ・ ICT 電力供給パスと運用パスを分析します
- ・ 一貫性のある電圧アプリケーション シーケンスを確保します
- ・ 必要に応じて、ICT ソフトウェアにシーケンシング遅延を実装します
- ・ 電圧スーパーバイザを使用して、適切なシーケンシングを監視します

6.3 帯電基板イベント (CBE)

帯電基板イベント (CBE) は、物理的に絶縁された電気システム間に静電的な電位差が存在する場合に発生します。これらのシステムを接続すると、ボード間に電流のサージが流れます。その大きさは、電位差および部品の静電容量によって決まります。

6.3.1 CBE メカニズム

CBE は、次の理由で大きな損傷を引き起こす可能性があります：

- 電流は瞬間的に数アンペアを超える可能性があります
- 信号ピンは電流処理能力が制限されています
- 比較的小さい電圧差 (10V 未満) でも損傷が発生する可能性があります
- ボードの静電容量には、十分なエネルギーが蓄積されます ($C = \text{nF} \sim \mu\text{F}$ の範囲)

容量に蓄積されるエネルギー： $E = \frac{1}{2}CV^2$

5V の電位差で 100nF の容量を持つ基板の場合：

$$E = \frac{1}{2} \times 100 \times 10^{-9} \times 5^2 = 1.25\mu\text{J}$$

このエネルギーは一見小さく見えますが、接続ピンを介して数 ns の間に放電されるため、大きなピーク電流が発生し、高感度な I/O 保護構造を損傷する可能性があります。

6.3.2 大容量電荷の放散を低減

電源ネットワーク (VDD3V3) などの大容量ノードは、大きなエネルギーを蓄積して放電できるため、帯電基板イベント (CBE) のリスクがあります。

6.3.2.1 逆充電メカニズム

- VSS は、ステーションのコモン グランド電位に速やかに等電位化されます。
- VDD3V3 は、ノード容量が大きいと、一時的に大きな負電圧に保持されたままとなります。
- マイコン内部の寄生構造および ESD ダイオードが、VSS から VDD3V3 に向かって順方向バイアスされます。
- 大きなサージ電流がこれらの高感度な内部経路に流れ込み、その電流処理能力を超えることで、シリコンに恒久的な損傷を引き起こします。

6.3.2.2 ボードレベルのシャント保護

IC 内部構造を保護するため、CBE 電流を安全に吸収できる低インピーダンスの外部バイパス経路を設ける必要があります。

- 実装：VSS と大容量の電源レール VDD3V3 の間に、基板レベルの保護ダイオードを直接配置します
- 方向：アノードを VSS に、カソードを VDD3V3 に接続します
- ダイオードの選択：外付けクランプには、大電力ショットキー バリア ダイオードなど、導通開始時の順方向電圧が低いデバイスを使用する必要があります
- 操作：負の CBE 発生時には、内部のシリコン ESD 保護構造より先に外付けショットキー ダイオードが導通します。これにより、破壊的なサージ電流を IC から迂回させ、基板上の保護部品でエネルギーを安全に消費できます。

6.4 VSS ファースト接続戦略

CBE および一般的な ICT EOS 保護の主な緩和戦略は、VSS ファースト (グランド ファースト) 接続を実装することです。これにより、信号ピンや電源ピンが接触する前に、グランド リファレンスが確立されます。

6.4.1 VSS ファースト設計の原則

基本原理：

以下の理由により、コネクタの嵌合時に VSS (グランド) ピンが最初に接触する必要があります：

- グランド プレーンは、損傷なしで大きなサージ電流に対応できます
- 信号伝送の前に、共通のリファレンス電位を確立します
- 複数のシステム間の電圧差を最小限に抑えます
- 過渡電流のリターン パスを提供します

- CBE 中に信号ピンが損傷するリスクを低減します

6.4.2 実装方法

VSS を最初に接続する構成は、複数の物理的な設計手法で実装できます：

方法	実装の詳細
より長い VSS ピン	信号 / 電源ピンより 1 ～ 2mm 長い VSS ピンを備えたデザイン コネクタ
ベッド オブ ネイル 備品	より背の高い VSS テスト ポイント (高さ 0.5 ～ 1mm) を ICT 装置で使用します
デュアル VSS 配置	VSS ピンをコネクタの両端に配置します (角 / 端が先に接触)
埋め込み信号ピン	VSS ピンに対して信号 / 電力ピンをわずかに埋め込みます

表 3: ICT の実装方法

6.5 手動接続用コネクタの保護

手動で接続するコネクタや露出したヘッダは、取り扱いや接続時に ESD および EOS イベントの影響を特に受けやすくなります。これらの場合、VSS ファーストの設計を上回る追加の保護機能が必要です。

6.5.1 保護方式

- ESD 保護ダイオード: コネクタの入力部に TVS ダイオードを配置します
- 直列抵抗: 露出した信号ラインに 100 ～ 330Ω の抵抗を追加します
- RC フィルタ: 低速信号用の RC ローパス フィルタを実装します
- コンフォーマル コーティング: 露出したヘッダに保護コーティングを塗布します
- コネクタ シールド: グランドに接続された金属シェルを使用します

✓ 推奨事項: **AM26xx** および **C2000** システムのフィールド アクセス可能なコネクタには、**多層保護を実装: VSS を最初に接続する機械設計 + 直列抵抗 + TVS ダイオード。**

7 外付け保護部品

7.1 TVS ダイオードの選択

過渡電圧サプレッサ (TVS) ダイオードは、高速過渡と ESD イベントに対する主な保護デバイスです。

7.1.1 主要なパラメータ:

- 1. スタンドオフ電圧 (V_{standoff} または V_{RWM}):** TVS が非導通状態に維持される最大電圧。最大信号または電源電圧より高くする必要があります。通常は、動作電圧よりも 20 ~ 30% 高い値を選択します。
- 2. ブレークダウン電圧 (V_{BR}):** TVS が大幅に導通し始める電圧。試験電流 (通常 1mA) で規定されています。保護されたピンの絶対最大定格を下回る必要があります。
- 3. クランプ電圧 (V_{clamp}):** サージ イベント時に TVS の両端に実際に発生する電圧。ピーク パルス電流 (ESD イベントでは、多くの場合 1A または 8A) で規定されています。重要なパラメータ: 絶対最大定格未満である必要があります。
- 4. ピーク パルス電流 (I_{PP}):** TVS が処理できる最大サージ電流。電力サージの場合は 8/20 μ s パルス、ESD の場合は立ち上がり 1ns。予測される過渡エネルギーに基づいて選定します。
- 5. 容量:** 接合部容量は高速信号に影響を及ぼします。10MHz を超えるアプリケーションで低静電容量タイプが利用可能です。標準: 15pF ~ 150pF (電圧定格に応じて異なります)。

7.1.2 単方向動作と双方向動作の比較:

- 単方向: 常にグランドに対して正の値を示す信号 (例: 電源)
- 双方向: 正と負のスイングが可能な信号 (例: 差動インターフェイス、AC 結合信号)

7.1.3 配置:

- 保護されているピンまたはコネクタのできるだけ近くに取り付けます (< 10mm)。
- 配線のインダクタンスを低く抑えます (短く広いパターン)
- 複数のビア (2 倍以上) を使用してグランド プレーンに直接接続します

7.2 フィルタ設計

RC フィルタは、スルーレートの制限と高周波過渡の減衰で、EOS 保護と EMI 耐性の両方を実現します。

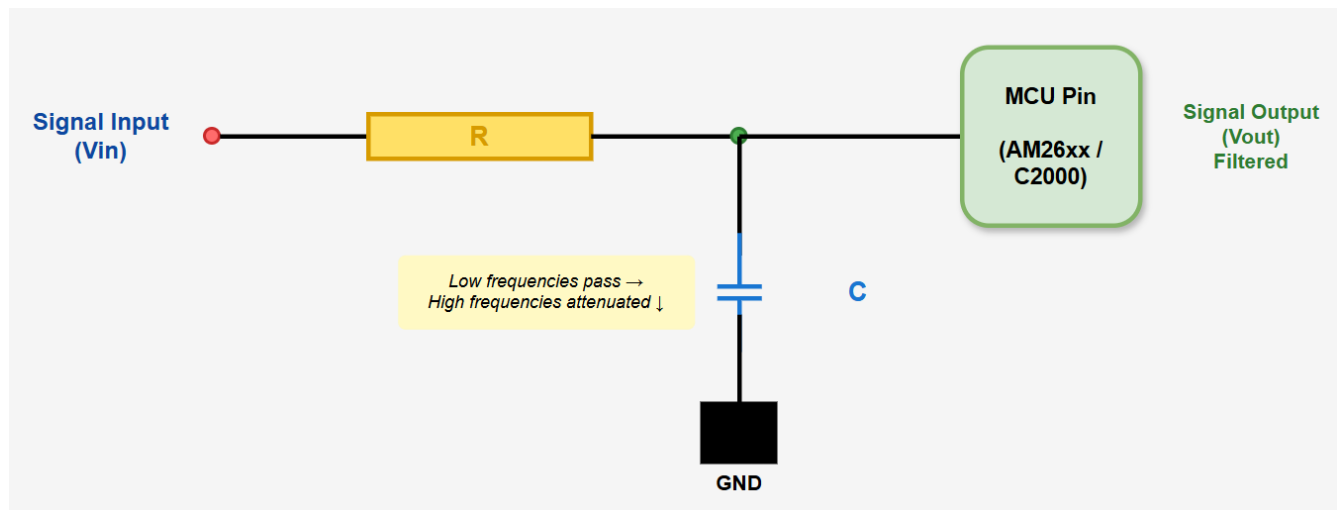


図 3、フィルタ設計

カットオフ周波数: $f_c = 1 / (2\pi \times R \times C)$

設計上の考慮事項:

1. カットオフ周波数の選択:
 - 最大信号周波数の 3 ~ 10 倍高い必要があります

- デジタル信号の場合: $f_c > 10 \times f_{\text{signal}}$
- アナログ信号の場合: $f_c = 2-3 \times f_{\text{signal}}$ (帯域幅を維持するため)

2. 抵抗値:

- ロジック遷移中の許容可能な電圧降下によって制限されます
- 4mA ドライブ付き 3.3V ロジックの場合: $R < (3.3V - 2.4V) / 4mA = 225\Omega$
- 代表値の範囲: デジタル信号用の $22\Omega \sim 100\Omega$ 、アナログ入力用の $1k\Omega$ から $10k\Omega$

3. コンデンサ値:

- 温度に対して安定性を確保するための C7R または X7R セラミック
- 代表値の範囲: $100pF \sim 10nF$
- マイコンピンの入力容量を考慮します (通常は $5 \sim 10pF$)

7.3 電圧クランプ ソリューション

ESD ダイオードの電流制限を超える可能性がある場合 (例: 外部信号がアクティブな状態での電源サイクル時) は、外付けの電圧クランプが必要です。

ツェナー ダイオードのクランプ:

電源レール間に配置し、逆電力供給時の電圧をクランプします。

ツェナー電圧の選択: $V_Z = \text{公称 } VDD + 10 \sim 20\%$

例: 3.3V レールの場合、3.6V または 3.9V のツェナーを使用します

計算例:

外部回路から ESD ダイオードを介して VDD に 10mA の電流が流れ込む可能性がある場合:

$$P_{\text{zener}} = V_Z \times I = 3.6V \times 10mA = 36mW$$

安全マージンを確保するため、200mW 定格のツェナー ダイオード (SOD-323 パッケージ) を選定します

シャントレギュレータのクランプ:

より大きな電流、またはより厳密な電圧レギュレーションが必要な場合は、シャントレギュレータ (例: TLV431) を使用します。

ツェナーと比較した場合の利点:

- より厳しい電圧公差 ($\pm 0.5\%$ と $\pm 5\%$ の比較)
- ダイナミック インピーダンスの低減
- より大きい電流に対応可能 (最大 100mA)

抵抗分圧器を使用してクランプ電圧を設定します: $V_{\text{clamp}} = V_{\text{ref}} \times (1 + R1/R2)$

TLV431 では、 $V_{\text{ref}} = 1.24V$ です

3.45V クランプの場合: $3.45V = 1.24V \times (1 + R1/R2)$ 、 $R1/R2 = 1.78$

$R2 = 10k\Omega$ 、 $R1 = 17.8k\Omega$ を選択します ($18k\Omega$ 標準値を使用)

パラメータ	TVS ダイオード	ツェナー ダイオード	シャントレギュレータ
応答時間	<1ns	<1ns	約 1μs
ピーク電流	非常に高い (A)	中 (mA)	中 (mA-100mA)
許容電圧	$\pm 5-10\%$	$\pm 5\%$	$\pm 0.5-2\%$
最適な用途	高速過渡	DC クランプ	高精度クランプ

表 4 - クランプ ソリューション

8 設計例とケーススタディ

8.1 ケーススタディ: VDD/VSS プレーン接続が不十分

デバイス: AM2634

故障モード: 複数の I/O セルおよび電源レールのコンデンサで、VDDS33 と VSS 間の短絡が発生しています

問題:

物理故障解析により、ダイ上の同様の領域で VDDS33 の短絡を示す類似の故障痕跡が確認されました。光学および IR イメージングにより、VDD (R9)、VDDS33 (R15)、VDDA33 (P9) と VSS 間でメタルフラッシュオーバーが確認されました。

根本原因の調査:

お客様の PCB 設計では、AM2634 直下の VSS (PGND) および VDD (VCC1V2LV) プレーンへの銅箔接続が不十分でした。AM2634 エリアの外部から内部へ接続するプレーンの銅箔幅が不十分であり、AM2634 に必要な 2A を超える突入電流を確実に流すには不十分でした。電源投入時に、大きな突入電流によって電源プレーンに予期しない電位差やリンギング過渡現象が発生し、電源電圧に影響を与えるとともに、I/O セルに電圧ストレスが引き起こされました。TI の評価基板 (TMDSCNCD263) と比較すると、お客様のボードでは電流分配のための銅箔面積が大幅に少ないことが確認されました。

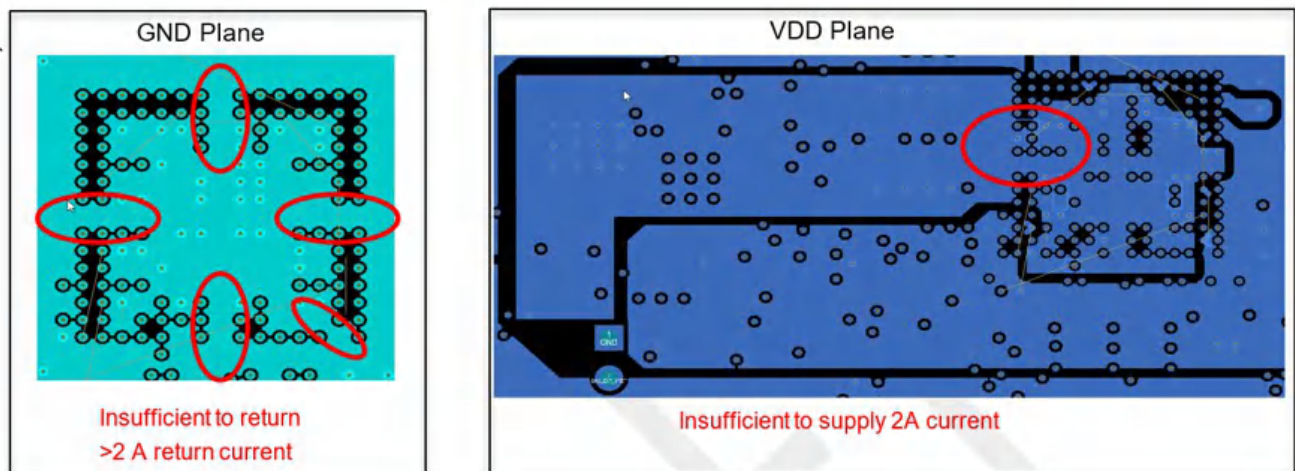


図 4: 問題のあるレイアウト

是正措置:

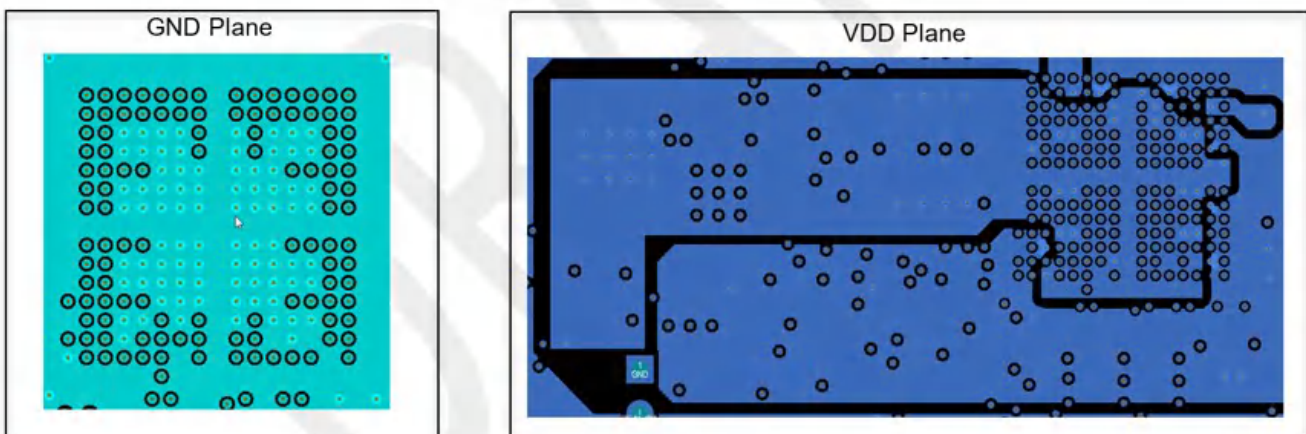


図 5: リファレンス評価基板のレイアウト

ビアとプレーン間のクリアランスを小さくし、ビア間に銅箔を広く確保しました。デバイス直下の VDD および VSS プレーンでは、可能な限り広い範囲を銅箔でベタ配線しました。TI の評価基板のリファレンス設計における銅箔分布パターンに合わせて、PCB を再設計しました。VDD と VSS の両方の接続で 2A を超える電流容量を確認しました。

結果:

この事例は、適切な電源分配ネットワーク設計が極めて重要であることを示しています。EOS の専門家により、不十分なグランド接続によって、観測された故障を説明できることが確認されました。故障箇所に一貫性があり、複数の返却品で同様の領域に故障が確認されたことから、製造不良ではなく環境ストレスが原因であることが示されました。

設計のレッスン: 電源プレーンの銅箔は、定常電流だけでなく、ワーストケースの突入電流を考慮してサイズを決定する必要があります。TI の評価基板のリファレンス設計は、実績のある電源分配レイアウトを提供します。

8.2 ケース スタディ: 無効な PORz シーケンスによる I/O バッファの貫通電流発生

デバイス: AM2634

故障モード: VDDS33 および VDDS18 が VSS に短絡します

問題:

PORz (パワーオンリセット) 信号は、二つの点で AM263x データシートの要件に違反していました。

問題 1 - PORz パスのダイオード: POW_RESET 信号と PORz ピンの間に配置されたダイオードにより、VCC1V2LV (VDD) が 1.2V まで完全に立ち上がる前に、PORz が 0.5V を超えて上昇しました。AM263x データシートでは、PORz の V_{IL} (最大値) = 0.5V と規定されているため、AM2634 の VDD が有効な 1.2V レベルに到達する前に、PORz が論理 High として認識される可能性があります。

問題 2 - PORz 立ち上がり時間が遅い: PORz 信号の立ち上がり時間が非常に遅く (数ミリ秒)、 V_{IL} (最大値) と V_{IH} (最小値) の間の不定状態に長時間とどまっていました: 0.5V ~ 1.35V。

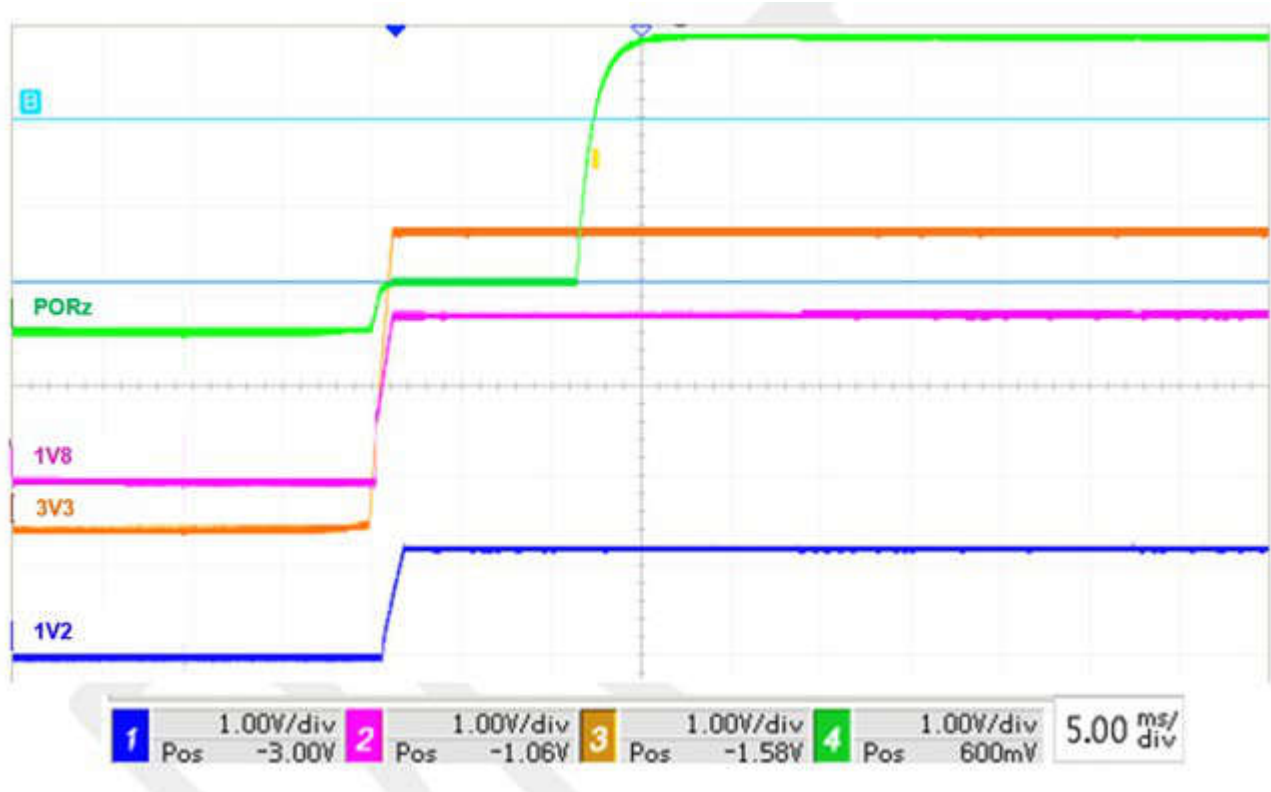


図 6: パワーアップ シーケンス

根本原因の調査:

TX ブロック図に以下を示します: レベルシフタ (1.8V) → プリドライバ (1.8V) → I/O ドライバ (VDDIO)。

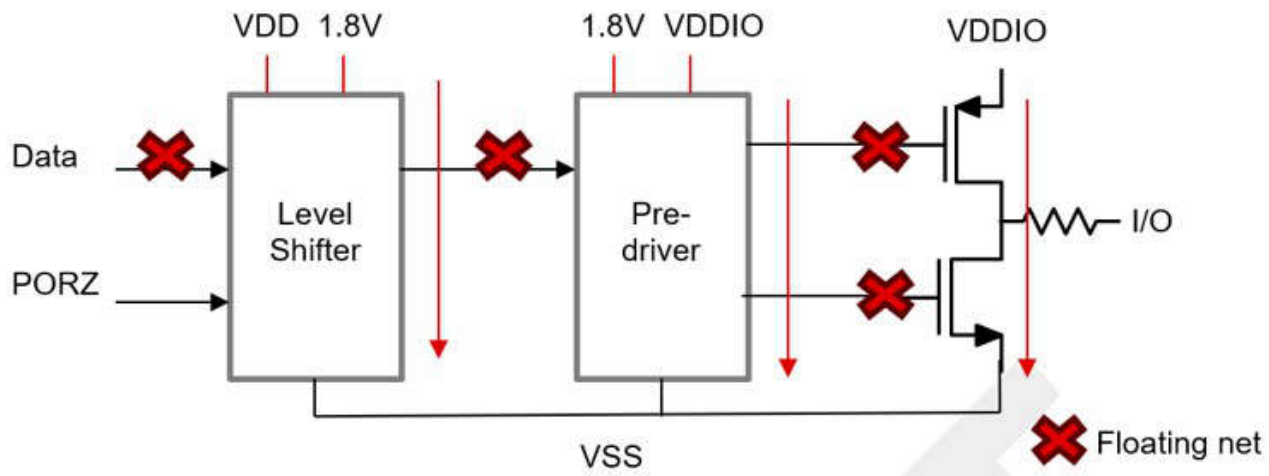


図 7: 内蔵ゲートドライバ回路

PORz が VDD の有効化前に立ち上がると、レベルシフタのゲート制御が解除され、入力がフローティング状態となることで短絡電流 (VDDSD18 から VSS) が発生します。

レベルシフタ出力は中間レベルに達し、ドライバのゲートはフローティング状態になり短絡電流 (VDDIO から VSS) が発生します。これらの貫通電流は過渡的なものですが、不十分な電源分配ネットワーク (PDN) によって電圧が上昇します。

不十分な銅電圧ストレスと組み合わせると、EOS エラーにつながります。

VDD が有効になる前に PORz によってレベルシフタのゲート制御が解除されると、すべての段が不定状態となり、大電流が流れます。

是正措置:

POW_RESET と PORz ピンの間のダイオードを削除します。POW_RESET が 3.3V ロジックの場合は、PORz に直接接続します。複数のパワーグッド信号が組み合わされた場合は、PORz がアサートされる前に、ロジックとゲートを使用してすべての信号が High になるようにします。PORz には、より強い駆動能力と高速な立ち上がり特性を持つ信号を使用し、不定電圧範囲にとどまる時間を最小限にします。

8.3 ケーススタディ: 有効なリセット前のアイソレータ出力イネーブルによる信号発生

デバイス: AM2634

故障モード: I/O NMOS/PMOS トランジスタの貫通電流による VDDSD33/VDDSD18 と VSS 間の短絡

問題:

有効な PORz 解除前に、A7 ピン (AM2634 への UART RX 入力) にアクティブ信号が入力されました。A7 は ISO7741 デジタルアイソレータを介して接続されていました。ISO7741 の Side 1 は VCC3V3LV (AM2634 の 3.3V 電源レール) から給電され、Side 2 は P3V3 から給電されていました。両側の出力イネーブル (EN1、EN2) は、それぞれ対応する電源レールに直接接続されていました。A7 は AM2634 のフェイルセーフ I/O ピンではありません。

根本原因の調査:

ボードの電源投入時に、電源シーケンス違反が発生しました:

- VCC3V3LV は、VCC1V2LV (AM2634 のコア VDD が 1.2V に到達) より先に立ち上がります
- ISO7741 の EN1 は VCC3V3LV に接続されているため、VCC3V3LV が供給されると出力ドライバ (OUTD) が直ちに有効になります
- ISO7741 が BATMCI_AC_LV_SCI_RX を High に駆動することを妨げるものではありません。AM2634 パッド A7 に 3.3V を印加します
- これは、AM2634 の電源レールが有効になる前、かつ PORz が解除される前に発生します。

- AM2634 の I/O バッファが不定状態 (適切にリセットされていない状態) となり、貫通電流が発生します。
- 貫通電流は NMOS/PMOS ドライバトランジスタを流れます: VDD_{S33} および / または VDD_{S18} から VSS。

物理故障解析により、トランジスタレベルで NMOS/PMOS ドライバの損傷が確認され、これは無効なリセット状態で発生した貫通電流と整合しています。

是正措置:

- ISO7741 Side 1 のイネーブル (EN1) を、VCC3V3LV ではなく有効な AM2634 PORz 信号に接続します。
- これにより、ISO7741 が UART 信号を有効にする前に、AM2634 の I/O バッファが既知の状態 (オフ状態) になります。
- PORz は、すべての電源レールが有効になった後にのみ High になるため、信号が早期にアサートされることを防止できます。
- AM2634 の入力を駆動するすべてのアイソレータおよびバッファに、同じ原則を適用します。
- アイソレータのイネーブル信号を PORz でゲート制御することにより、デバイスが有効な電源電圧でパワーオンリセットを完了するまで、信号が AM2634 のピンに到達しないようにできます。

これにより、I/O ドライバの損傷を引き起こした貫通電流経路が除去されます。

8.4 ケーススタディ: 製造テストプロセスの改善

デバイスファミリ: F280025 - C2000 リアルタイム マイコン

故障モード: ICT/FCT (インサーキット テスト / 機能回路テスト) 中の EOS/EIPD 損傷

問題:

あるお客様で、F280025 の EOS/EIPD 故障が発生しました。故障解析により、EOS イベントによる EIPD と整合する VDD/VSS または信号ピンのデバイス損傷が確認されました。

問題の根本原因は、ボード設計および製造テストプロセスにあることが判明しました。

基板設計の問題:

1. 電流負荷能力に制約のある VDD 接続 (銅箔不足)
2. 電流負荷の制限による VSS 接続、
3. PORz シーケンスの問題
4. 適切な検証を行わずに、出力イネーブル信号を PORz に接続していました。
5. 製造テストの課題: ホット プラグ (電源 / 信号作動中にテスト装置を接続)、
6. ICT/FCT 中の電源シーケンスが、データシートの要件に適合していませんでした、
7. VSS ファースト接続が不十分 (テスト治具のグランド ピンが拡張されていません)。
8. 治具接続時の帯電基板イベント (CBE)。

是正措置:

二種類の主な製造ラインの改良:

(1) グランドピンの延長 - 製造テストとアプリケーション ボード間のコネクタで、グランド ピンを長くしました。

- 固定具の取り付け時に VSS ファースト接続を確保します。帯電基板イベント (CBE) による損傷を軽減します。

(2) 電源シーケンスの修正 - ホット プラグを防止するように電源シーケンスを変更しました。TI データシートの要件に適合するように、電源投入時および電源遮断時のシーケンスを修正しました。

- 電源を入れる前に、確実なアース接続を確保します。他のピンに信号を印加する前に、コネクタの電源ピンに電源を供給しました。

製造テストプロセスは、EOS の重要なリスク要因です。ホット プラグ、電源シーケンス違反、および ICT/FCT 中の不十分なグランド接続は、アプリケーション ボードの設計が正しくても、デバイス損傷を引き起こす可能性があります。テスト治具の設計にも、製品設計と同等の注意を払う必要があります。ある製品ラインで有効性が確認された改善策は、同様の故障の再発を防止するため、すべての製品に体系的に展開する必要があります。

9 まとめと推奨

AM26xx および C2000 マイコンの電氣的オーバーストレス (EOS) 保護には、電源設計、I/O インターフェイス保護、PCB レイアウト、および製造テスト手順を含む、包括的な多層アプローチが必要です。

9.1 重要なポイント

1. ESD ダイオード電流仕様: オンチップ ESD ダイオードを流れる最大連続電流 $\pm 2\text{mA}$ は、熱的な制限値です。外部保護では、この制限を超えないようにする必要があります。
2. 電源装置の相互作用: LDO の選定では、電流シンク能力を考慮する必要があります。超低消費電力 LDO では、ESD ダイオードの導通による電源電圧の上昇を防ぐため、外付けの電圧クランプが必要です。
3. 電源シーケンス: デバイス固有の電源シーケンス要件を厳守することで、電源遷移時のラッチアップおよび EOS を防止できます。コア電圧は、I/O 電圧より前または同時に確立する必要があります。
4. ICT 保護: インサーキット テストでは、帯電基板イベント (CBE) およびそれに伴う EOS を防止するため、VSS を最初に接続し、電源シーケンスを適切に制御するとともに、ホットプラグ状態を排除する必要があります。
5. 多層防御: 単一の保護方法では十分ではありません。直列抵抗、TVS ダイオード、フィルタ、適切な PCB レイアウトを組み合わせることで、堅牢な EOS 耐性を実現します。

9.2 AM26xx/C2000 システム向けのデザイン チェックリスト

電源:

- データシートの要件に基づき電源シーケンスを検証します
- 超低消費電力 LDO を使用する場合は、外付けの電圧クランプを追加します
- 電圧監視回路は、すべての電源レールを監視します

I/O インターフェイス:

- 電源電圧を超える可能性がある信号には、直列抵抗を配置します
- コネクタの入力部に TVS ダイオードを配置します
- アナログ入力の RC フィルタ
- 通信インターフェイスは、適切に終端されています

PCB のレイアウト:

- 基板の境界に配置する保護部品
- 堅牢なグランド プレーンを実装しています
- 電流ループが最小化されています
- 高感度アナログ回路の周囲にガードリングを配置しています

ICT 手順:

- VSS を最初に接続するコネクタ設計が実装されています
- ホットプラグ条件が解消されました
- ICT 電源シーケンスが動作シーケンシングと一致しています
- テスト装置には、信号バスに直列抵抗が含まれています

10 参考資料

1. テキサス インスツルメンツ、[AM263x Sitara™ リアルタイム コントロール付きマイコン データシート](#)、データシート。
2. テキサス インスツルメンツ、『[AM261x Sitara™ マイコン](#)』、データシート。
3. テキサス インスツルメンツ、[TMS320F2838x リアルタイム マイクロコントローラ](#)データシート。
4. テキサス インスツルメンツ、[TMS320F28004x リアルタイム マイクロコントローラ](#)データシート。
5. テキサス インスツルメンツ、[ESD ダイオード電流仕様](#)、アプリケーション ノート。
6. JEDEC 規格 JESD22-A114、静電放電 (ESD) 感度試験 - 人体モデル (HBM)
7. JEDEC 規格 JESD22-C101、電界誘起型帯電デバイス モデル試験方法
8. IEC 61000-4-2、電磁両立性 - 試験および測定技術 - 静電放電イミュニティ試験
9. テキサス インスツルメンツ、[システムレベル ESD の考慮事項](#)アプリケーション レポート。
10. Boxleitner、W.、静電放電と電子機器、IEEE Press、1988

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月