

Application Note

TPS55288 レイアウトのガイドライン



Helen Chen, Bryce Xun

概要

TPS55288 は、バッテリー電圧やアダプタ電圧を複数の電源レール向けに変換する目的で最適化済みの同期整流昇降圧コンバータです。回路図設計と外部部品の適切な選択に加え、昇降圧設計を成功させるには基板レイアウトも重要です。このアプリケーション ノートでは、安定した動作、優れた熱特性、低 EMI 性能を実現するための TPS55288 昇降圧コンバータの配線方法について詳しく説明します。

目次

1 概要.....	2
2 TPS55288 レイアウト ガイドライン.....	2
3 まとめ.....	8
4 参考資料.....	8
5 改訂履歴.....	9

図の一覧

図 2-1. クリティカル ループがある昇降圧コンバータの回路図.....	2
図 2-2. 出力段部品の配置.....	3
図 2-3. ローサイド FET 駆動パターン配線.....	4
図 2-4. ハイサイド FET 駆動パターン配線.....	5
図 2-5. 出力電流センス パターン配線.....	5
図 2-6. AGND 接続.....	6
図 2-7. AGND-PGND 接続.....	6
図 2-8. サーマル ビアを PGND ピンに配置.....	7
図 2-9. サーマル ビアを VOUT ピンに配置.....	7

商標

USB Type-C® is a registered trademark of USB Implementers Forum.

すべての商標は、それぞれの所有者に帰属します。

1 概要

TPS55288 昇降圧コンバータは、産業用 PC、車載チャージャ、ドッキングなどの USB Type-C® PD 用途で広く使用されています。さまざまな入力電圧に応じて、出力電力範囲は約 10W ~ 100W です。

適切に計画された PCB レイアウトは、あらゆる DC/DC または AC/DC パワーコンバータのシステム設計を成功させるための基礎となります。最適化されたレイアウトは、比較的小型ソリューション サイズで、EMI 性能の向上、放熱特性の改善、良好な安定性性能の改善につながります。そのため、最適化されたレイアウトは、信頼性の向上、コストの削減、製品開発期間の短縮を実現します。

このアプリケーション ノートでは、TPS55288 降圧昇圧コンバータ レイアウトのガイドラインについて説明します。このアプリケーション ノートのガイドラインを活用すると、4 層 PCB により上記の目標を達成できます。メイン コンテンツには、重要なスイッチング ループ、電力段の部品配置、電源回路と信号回路配線、AGND および PGND 接続、電源と GND の銅プレーン設計の識別が含まれます。

2 TPS55288 レイアウト ガイドライン

2.1 クリティカル スwitchング ループの識別

図 2-1 は、出力段の部品、ゲートドライバ、VCC バイアス電源を内蔵した TPS55288 4 スwitch 昇降圧コンバータを示しています。図 2-1 には、大電流の配線、di/dt の大きいクリティカル ループ、di/dt の大きいスイッチング ノードが色で示されています。

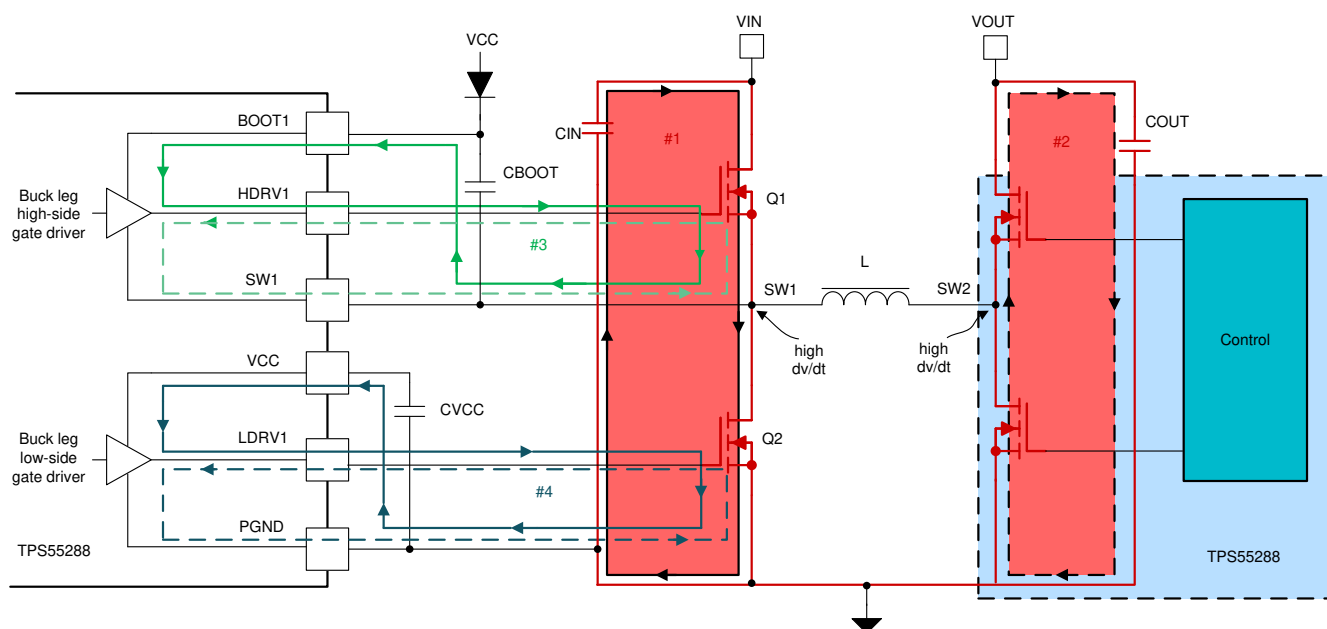


図 2-1. クリティカル ループがある昇降圧コンバータの回路図

赤色の網で示されているのがループ 1 とループ 2 で、降圧レグと昇圧レグ用の 2 つのクリティカル高周波数電力ループです。これら 2 つのループの配線は長くて細いため、過剰なノイズ、スイッチング ノードでのオーバーシュートとリンギング、寄生インダクタンスによるグラウンド バウンスを引き起こす可能性があります。MOSFET のスイッチング イベントでは、整流電流のスルーレートが 3 ~ 5A/ns を超える可能性があるため、2nH の寄生インダクタンスによって 6V の電圧スパイクが発生する場合があります。これらのクリティカル ループを流れるパルス電流方形波には高調波成分が多いため、ループの面積が大きいと放射エネルギーが大きくなり、電磁干渉の問題が発生する可能性があります。そのため、パターン長と、ループ 1 およびループ 2 で囲まれた領域を最小限に抑えることが不可欠です。

メイン インダクタに流れる電流の大部分は DC で、多重構造の三角波電流リップルが含まれています。インダクタンスは本質的に電流の変化レートを制限します。メイン インダクタと直列の寄生インダクタンスは安全です。一方、スイッチング ノード SW1 と SW2 の面積はできるだけ小さくする必要があります。SW1 と SW2 を大面積の銅プレーンで覆うと、高

dv/dt のノイズの多い信号が容量性結合によって付近にある他のパターンに結合し、電磁干渉の問題を引き起こす可能性があります。

図 2-1 のループ 3 とループ 4 は、降圧レグ MOSFET のゲート ループです。ループ 3 は、ブートストラップ コンデンサから供給される MOSFET のハイサイド ゲートドライバ回路を表します。ループ 4 は、VCC コンデンサから供給される MOSFET のローサイド ゲートドライバ回路を表します。ターンオン経路とターンオフ経路は、それぞれ実線と破線で表示されています。ターンオンおよびターンオフ遷移中に MOSFET のゲート容量を充電および放電するために、最大で 1A 程度のピーク電流が短時間ゲート ループを流れます。

VCC デカップリング コンデンサを VCC ピンと PGND ピンのすぐ近くに配置し、ブートストラップ コンデンサを SW ピンとブートピンとのすぐ近くに配置すると、ゲート ループで囲まれた領域を減らすことができます。ゲートドライバ配線をシリコンから MOSFET まで最短で引き、ゲート配線とリターン配線を並走させてゲートループ インダクタンスとループ面積を最小化します。

2.2 電力コンポーネントの配置

図 2-2 は、パワー MOSFET、入出力セラミック コンデンサ、メイン インダクタ、TPS55288 シリコンの上層への配置を図示しています。

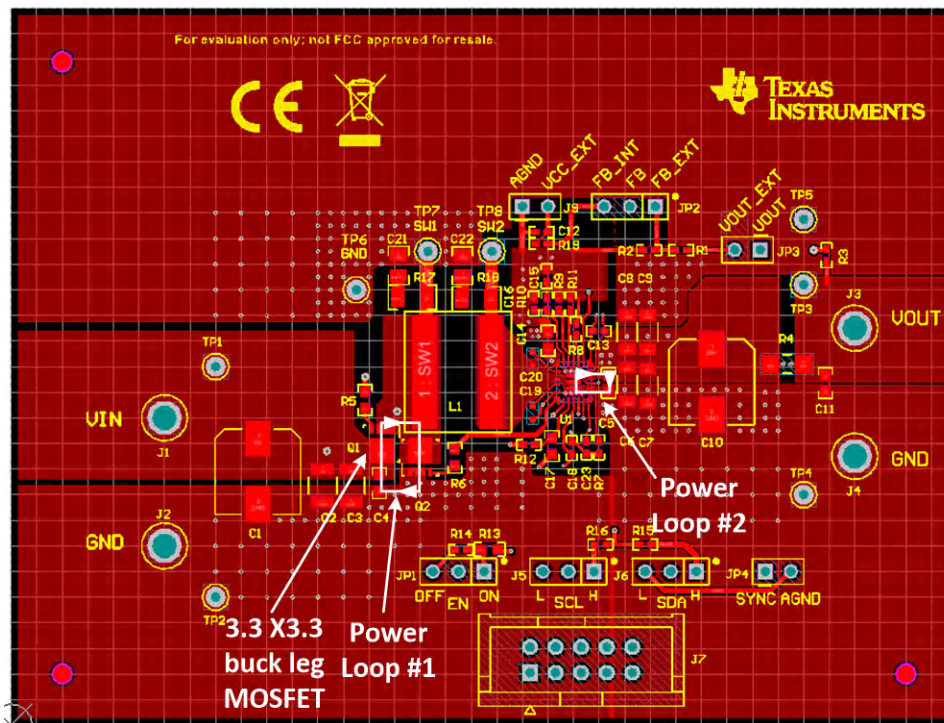


図 2-2. 出力段部品の配置

入力コンデンサは降圧レグ MOSFET の近くに配置します。出力コンデンサは TPS55288 の VOUT ピンと PGND ピンに隣接して配置します。適切に配置することにより、電源ループ 1 と電源ループ 2 の囲まれた領域を小さくすることができます。

メイン インダクタ L1 は、降圧レグ MOSFET と TPS55288 シリコン間に配置します。SW ノードは小面積の銅プレーンで形成され、SW ノードの高 dv/dt 遷移に関連する容量性結合を低減します。SW ノードの大型銅プレーンは熱抵抗改善に寄与しますが、放射エミッションを悪化させます。

2.3 ドライバ回路と信号回路の配線

図 2-3、図 2-4 は、IC から降圧レグ MOSFET へのゲート駆動パターンを示します。駆動パターンは 1 層と 3 層に配線されます。ゲート駆動のリターンパターンを各 MOSFET ソースに直接接続するケルビン接続では、同相インダクタンスを最小限に抑えることができます。ゲートループ面積を最小限に抑えるため、ゲートとソースのパターンを差動ペアとして横に並べて配線します。ローサイド MOSFET ゲートドライバのリターン電流は、GND プレーンを流れて IC の PGND ピンに戻ります。ゲート駆動抵抗は各 MOSFET のゲート端子の近くに配置する必要があります。

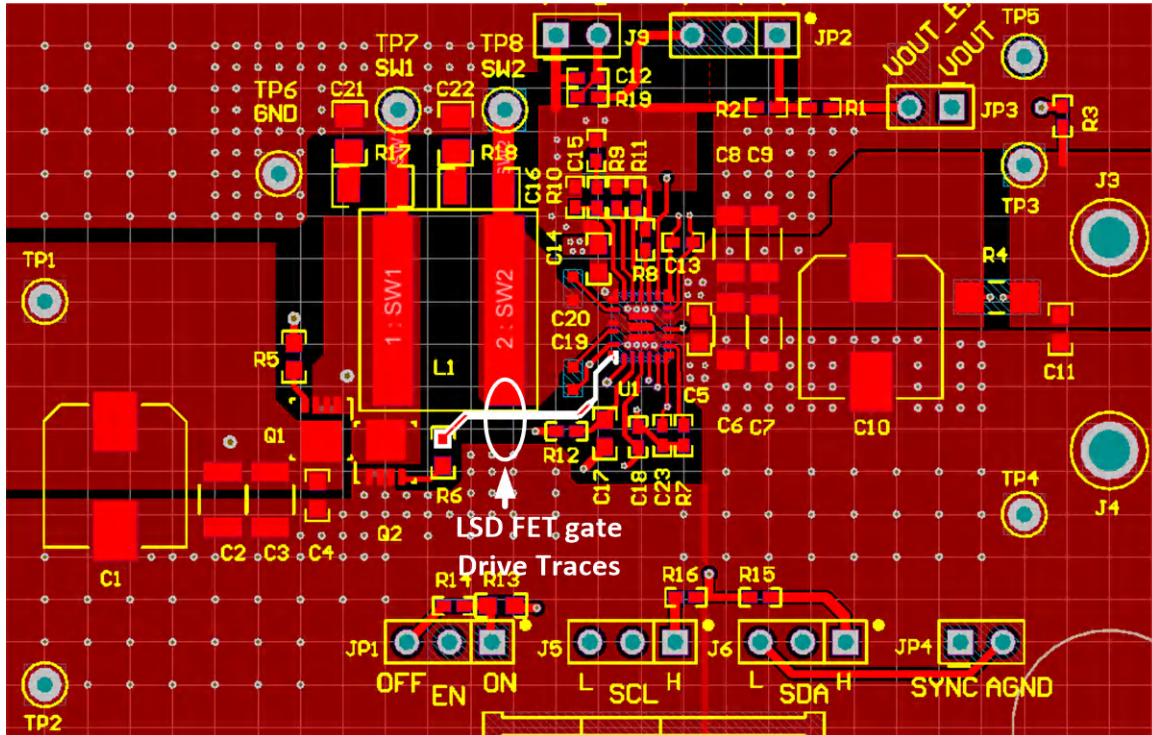


図 2-3. ローサイド FET 駆動パターン配線

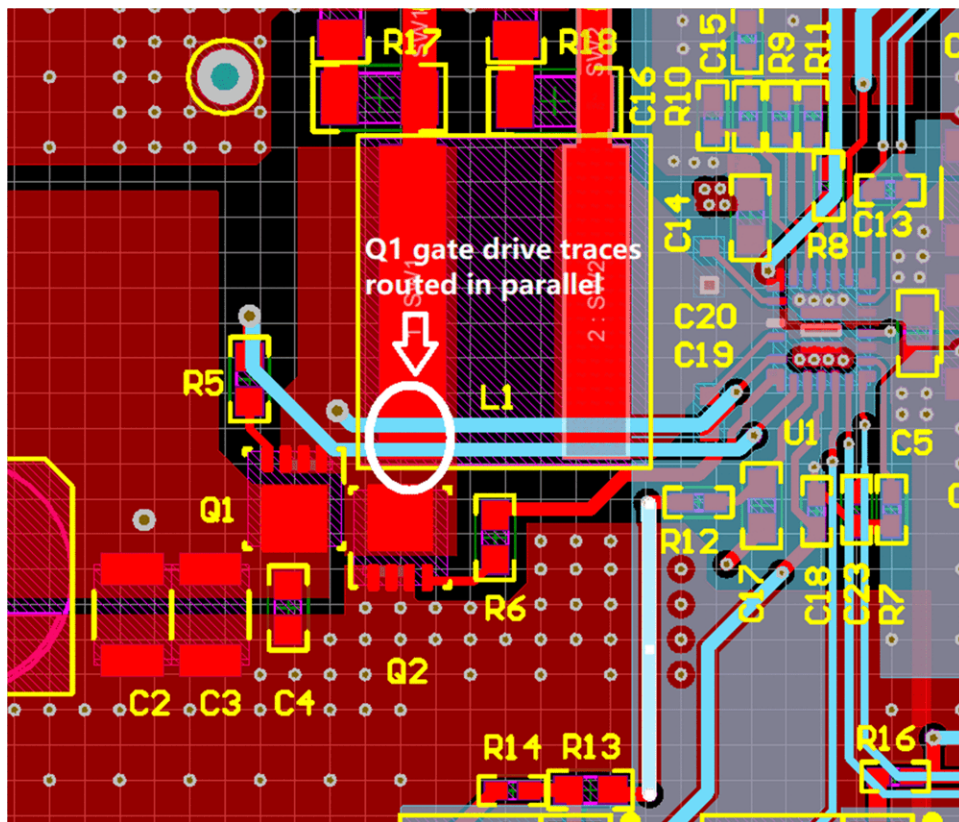


図 2-4. ハイサイド FET 駆動パターン配線

図 2-5 は出力電流センシングのパターンを示しています。これらのパターンは、シャット抵抗から IC へ密結合された差動ペアとして配線され、ノイズ耐性と精度を向上させることができます。電流センス フィルタ コンデンサは IC の近くに配置します。

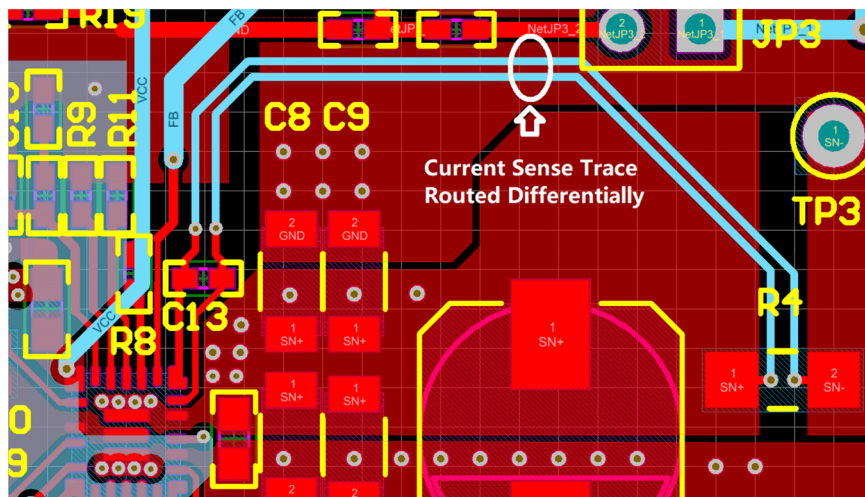


図 2-5. 出力電流センス パターン配線

図 2-6 は信号ピンの AGND 接続を示しています。帰還回路の GND ネット、補償回路、FSW 設定、ILIM 設定、その他の信号ピンは、すべて内部層でビアを介して AGND 銅プレーンに接続されます。図 2-7 は AGND と PGND の接続を示しています。TPS55288 の AGND ピン 9 と PGND ピン 10 は個別に接続され、AGND ネットと PGND ネットは、VCC コンデンサの GND に近い 1 点のネットタイを介して互いに接続されています。VCC コンデンサは IC のできるだけ近くに配置する必要があります。VCC の電源電流が低インピーダンスの IC の PGND に戻るようにするため、VCC コンデンサの GND ネットは、内部層でビアを介して GND プレーンに直接接続する必要があります。

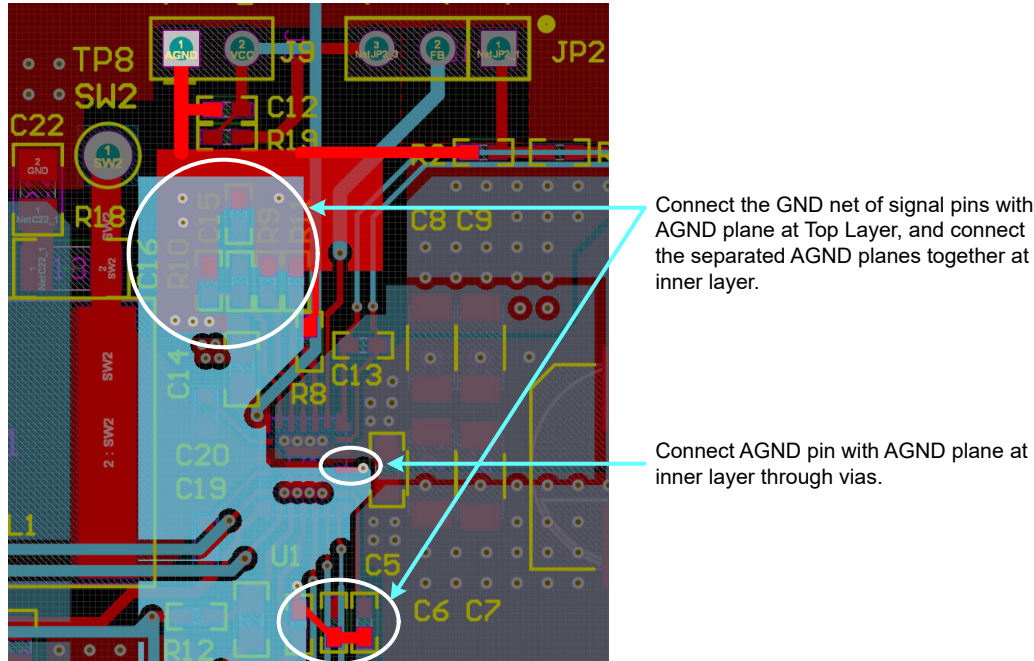


図 2-6. AGND 接続

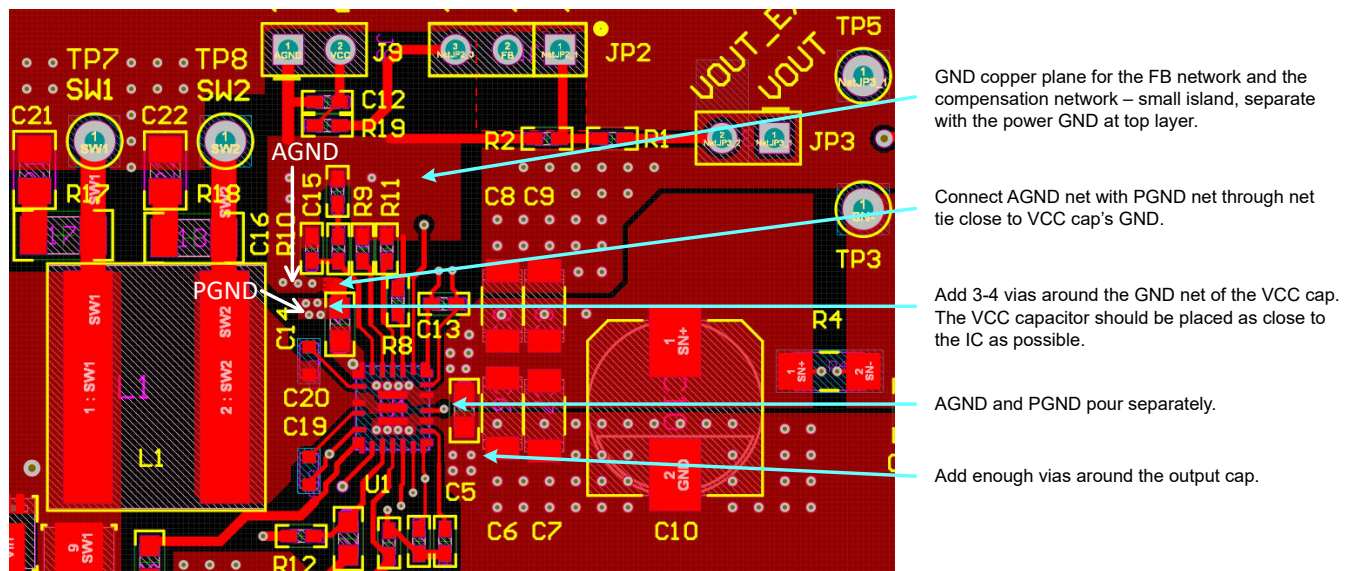


図 2-7. AGND-PGND 接続

2.4 電源および GND プレーン設計

部品の配置、重要なパターンおよびループ配線に特に注意を払うと同時に、内部層の GND 銅プレーンの配線も重要です。スイッチンググループの下に層全体の GND 銅プレーンを配置すると、回路のパッシブシールドが確立されます。レンツの法則により、シールド層の電流によって生成される磁界は、元のスイッチループの磁界を打ち消すように働きます。結果として磁束が減少して、EMI 性能が向上します。高周波スイッチンググループの直下に途切れのない GND 銅プレーン全体を配置すると、最高の性能が得られます。

大電力の統合型昇圧または昇降圧コンバータで回路設計を成功させるには、放熱特性が非常に重要です。放熱特性によってシステムの信頼性が決まります。TI では、TPS55288 の下にサーマルビアを使用して、PGND ピンと VOUT ピンを PGND プレーンに接続し、大きな VOUT 領域を個別に接続することを推奨しています。図 2-8、図 2-9 は、優れた放熱特性を持つ適切なレイアウトの例を示しています。2 層の GND 層全体は 2 層と 4 層に配置されています。大きな VOUT 領域は 3 層と 4 層に配置されています。

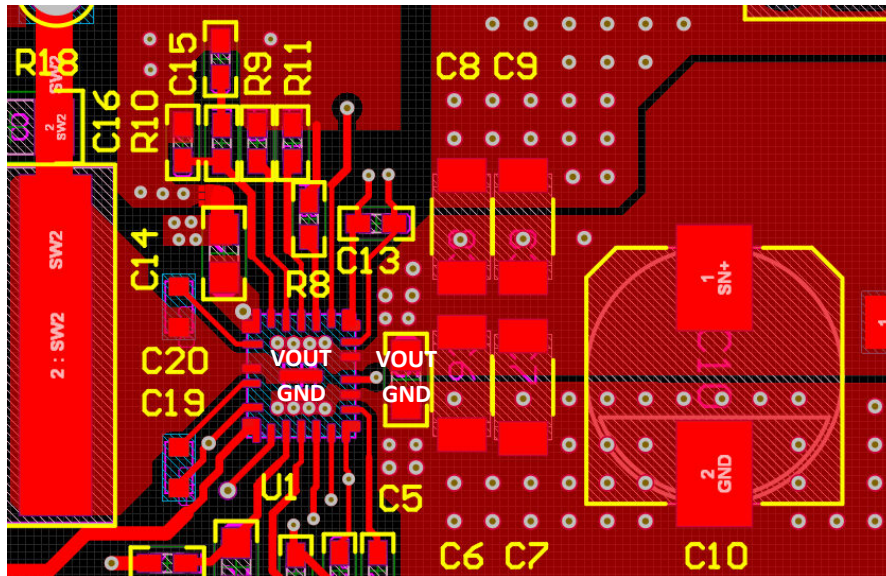


図 2-8. サーマルビアを PGND ピンに配置

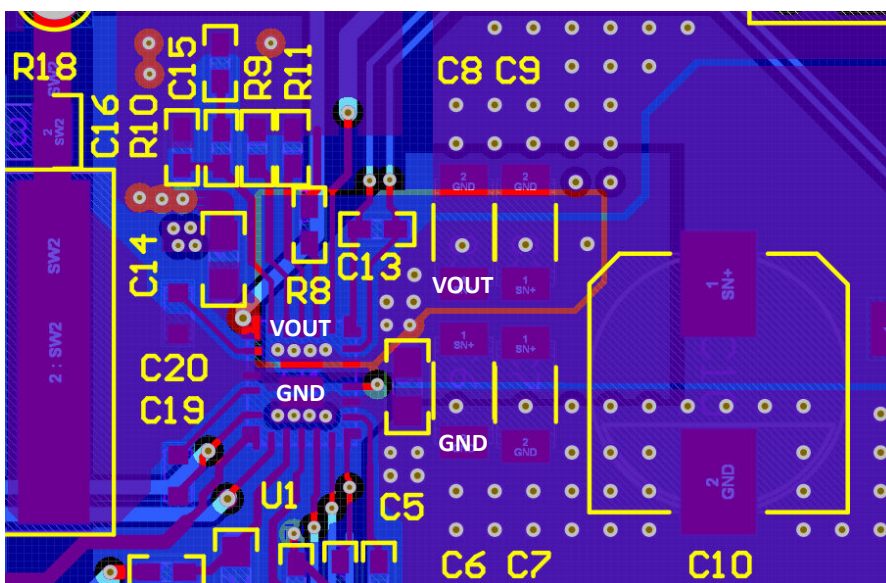


図 2-9. サーマルビアを VOUT ピンに配置

3 まとめ

このアプリケーションノートでは、TPS55288 降圧昇降圧コンバータを 4 層プリント基板を使用して配線する方法について説明します。これは、まずクリティカルなスイッチング ループを見つけることから始まります。電源部品を最適配置し、クリティカル ループを最小化し、スイッチング ループ直下に全面 GND プレーンを配置し、ノイズに弱い信号配線を適切にルーティングすることで、良好な降圧昇圧コンバータ設計を実現できます。

4 参考資料

- テキサス インスツルメンツ、『TPS55288 I²C インターフェイス搭載の 36V、16A 昇降圧コンバータ』データシート。
- テキサス インスツルメンツ、『TPS61088 昇圧コンバータでの放射 EMI の低減』、アプリケーション ノート。
- 『高周波数で窒化ガリウムをベースとするポイント オブ ロード コンバータにおける PCB レイアウトの回路性能への影響について』

5 改訂履歴

Changes from Revision B (December 2020) to Revision C (August 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• AGND 接続の画像を追加.....	4
• AGND-PGND 接続の画像を更新.....	4
• PGND ピンの画像のサーマル ビアの配置を更新.....	7
• VOUT ピンの画像のサーマル ビアの配置を更新.....	7

Changes from Revision A (August 2020) to Revision B (December 2020)	Page
• AGND-PGND 接続の画像を更新.....	4
• PGND ピンの画像のサーマル ビアの配置を更新.....	7
• VOUT ピンの画像のサーマル ビアの配置を更新.....	7

Changes from Revision * (June 2020) to Revision A (August 2020)	Page
• ハイサイド FET 駆動パターン配線の画像を更新.....	4
• 出力電流センス パターン配線の画像を更新.....	4
• AGND-PGND 接続の画像を更新.....	4
• VOUT ピンの画像のサーマル ビアの配置を更新.....	7

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月