

Application Note

Jacinto™ 7 および Sitara™ プロセッサ向け DDR インライン ECC エラー インジェクションおよび検証ガイド

Linjun Meng

Central FAE

概要

DDR インライン ECC は、Jacinto™ 7 および Sitara™ プロセッサに実装された、信頼性と安全性を確保するための重要な機構です。ECC 機能はハードウェアに実装されていますが、ECC を有効にするだけでは、メモリ障害を正しく検出、報告、処理できることを実証できません。エラー インジェクションテストは、ECC の検出、訂正、エラー ログ生成、診断報告機能を検証するための制御された手法です。

このアプリケーション ノートでは、推奨されるオフラインおよびオンラインの DDR インライン ECC エラー インジェクション方法について説明します。このドキュメントでは、シングル ビット、ダブル ビット、およびマルチフェーズの ECC イベントの検証手順について説明し、ECC エラー ログと ESM 通知を使用して、診断チェーン全体の正常な動作を検証する方法を示します。この情報は、Jacinto 7 と Sitara のプロセッサをベースとして車載用および産業用システムを開発するソフトウェア開発者、システム アーキテクト、機能安全分野のエンジニアを対象としています。

目次

商標.....	2
1 はじめに.....	3
2 詳細説明.....	4
2.1 ECC エラー インジェクション テストが必要な理由.....	4
2.2 DDR インライン ECC 保護メカニズム.....	4
2.3 オフライン エラー インジェクション.....	5
2.4 オンライン エラー インジェクション.....	6
2.5 シングル ビット エラー 検証.....	7
2.6 ダブル ビット エラー の検証.....	8
2.7 マルチフェーズ ECC 検証.....	9
2.8 ECC エラー ログを使用した検証.....	9
2.9 ESM を使用した検証.....	10
2.10 推奨される検証方法.....	10
3 まとめ.....	11
4 参考資料.....	12

図の一覧

図 2-1. 検証フロー.....	4
図 2-2. シングル ビット破損イベント.....	5
図 2-3. ダブル ビット破損イベント.....	5
図 2-4. オフライン エラー インジェクション フロー.....	6
図 2-5. 専用 ECC 検証領域のオンライン エラー インジェクション.....	7
図 2-6. シングル ビット インジェクション方法.....	7
図 2-7. シングル ビット インジェクションで予想される動作.....	8
図 2-8. ダブル ビット エラー の注入方法.....	8
図 2-9. ダブル ビット エラー 発生時に予想される動作.....	8
図 2-10. 車載用オフライン検証の代表的なシーケンス.....	10

表の一覧

商標

Jacinto™ と Sitara™ はテキサス インストルメンツの商標です。

すべての商標はそれぞれの所有者に帰属します。

1 はじめに

DDR インライン ECC は、DDR データに関連付けられた誤り訂正コード (ECC) を生成およびチェックすることで、メモリのデータ破損をハードウェア ベースで保護します。

ECC メカニズムは、以下の処理を実行するように設計されています。

- シングル ビット エラーの訂正
- ダブル ビット エラーの検出
- DDR 障害に対する堅牢性の向上
- 安全関連システムにおける診断範囲の拡大

ECC 機能はハードウェアに実装されていますが、システムを適切に検証するには、ECC を有効にするだけでは不十分です。

正しく動作することを実証するため、制御された ECC フォールト インジェクションを使用して、以下を検証するのが一般的です。

- ECC 検出
- ECC 訂正
- ECC イベント分類
- エラー ログの生成
- ESM 割り込み生成
- ソフトウェアによるフォールト処理

このアプリケーション ノートでは、起動時と実行時の両方の環境を対象に、実用的な ECC エラー インジェクション方法と検証手順について説明します。

2 詳細説明

2.1 ECC エラー インジェクション テストが必要な理由

診断の観点では、ECC を有効にすることは、保護メカニズムを構成するだけです。ECC を有効にしても、診断チェーンが正しく動作していることは証明されません。

完全な検証を行うには、以下を確認する必要があります。

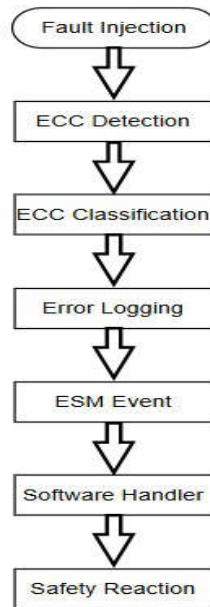


図 2-1. 検証フロー

エラー インジェクションは、診断経路全体を繰り返し検証できる仕組みです。

一般的な検証目的は次のとおりです。

- 修正可能なエラーの検出
- 修正不可能なエラーの検出
- ECC エラー ログの作成
- ESM イベントの生成
- ソフトウェアによるフォールト処理
- アドレスログのレポート作成

2.2 DDR インライン ECC 保護メカニズム

DDR インライン ECC は、ECC シンドロームと DDR データと一緒に保存し、メモリの読み取り中に自動チェックを実行します。

• SECDED 保護

ECC エンジンには次の機能を提供します。

- シングル ビットの誤り訂正 (SEC)
- ダブル ビットの誤り検出 (DED)

シングル ビットの破損イベントの場合:

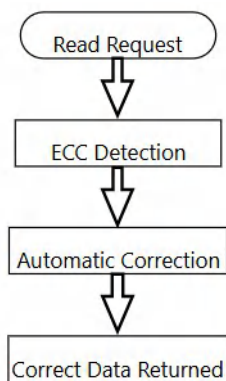


図 2-2. シングル ビット破損イベント

ダブル ビット破損イベントの場合:

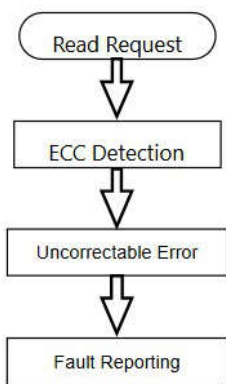


図 2-3. ダブル ビット破損イベント

2.2.1 マルチフェーズ ECC 保護

DDR アクセスは、複数フェーズで構成されるバーストトランザクションとして発生します。

従来の SECDED 実装は、個々のデータワードを保護します。DDR インライン ECC には、個々のフェーズを超えて保護範囲を拡張するマルチフェーズ ECC 保護が実装されています。

このメカニズムにより、以下の保護が強化されます。

- アドレス障害
- コマンドの失敗
- アドレス エイリアシング
- バースト データの破損
- 大規模なメモリ データ破損

その結果、DDR インライン ECC では、従来の SECDED のみの実装と比較して、診断範囲が拡大します。

2.3 オフライン エラー インジェクション

オフライン エラー インジェクションは通常、車載用検証フローで使用されます。

一般的なシーケンスは次のとおりです。

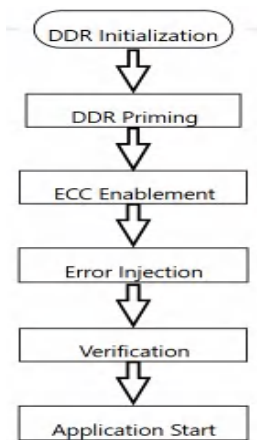


図 2-4. オフライン エラー インジェクション フロー

アプリケーションがまだ実行されていないため、ソフトウェアの実行に影響を与えることなく DDR の任意の場所を安全に変更できます。

一般的な手順

1. DDR の初期化を完了。
2. DDR のプライミングを完了。
3. ECC 生成を有効化。
4. ECC チェックを無効化。
5. ターゲットの場所からデータを読み取る。
6. 1 つまたは複数のビットを変更。
7. 変更されたデータを書き戻す。
8. ECC チェックを再度有効化。
9. 変更された場所を読み取る。

この時点で、ECC エンジンが注入されたデータ破損を検出します。

2.4 オンライン エラー インジェクション

多くの場合、産業用システムは継続的に動作するため、起動時のような検証のために簡単に停止することはできません。例を示します。

- PLC
- ロボットコントローラ
- 産業用ゲートウェイ
- エッジ AI システム

これらのシステムでは、オンライン診断を一般的に使用します。

2.4.1 方法 1: ESM/DCOMP フォールトインジェクション

ESM モジュールは、フォールト インジェクション機能を提供できます。

この方法により、以下を検証します。

- ESM インフラストラクチャ
- 割り込みルーティング
- ソフトウェアによるフォールト処理

ただし、ESM モジュールでは、DDR ECC 機能を検証できません。

2.4.2 方法 2: 予約済み DDR 検証領域

DDR 内に専用の ECC 検証領域を予約できます。

要件:

- 実行可能コードがないこと
- スタック割り当てがないこと
- ヒープ割り当てがないこと
- アプリケーション データがないこと

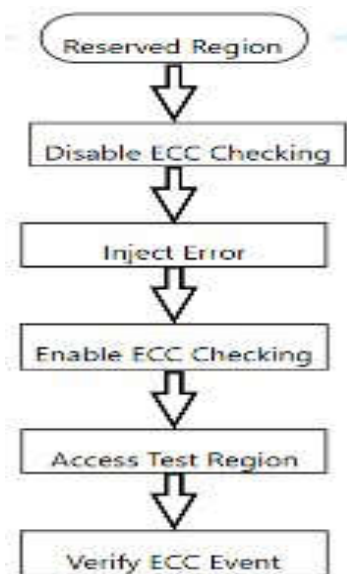


図 2-5. 専用 ECC 検証領域のオンライン エラー インジェクション

この方法では、通常のアプリケーション実行を継続しながら、ECC のデータ パス全体を検証できます。

2.5 シングル ビット エラー検証

射出方法

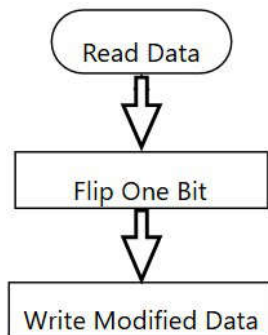


図 2-6. シングル ビット インジェクション方法

期待される動作

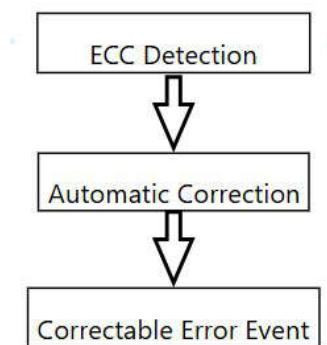


図 2-7. シングル ビット インジェクションで予想される動作

予想される結果:

- データが正しく返される
- 修正可能なエラー カウンタがインクリメントする
- ECC アドレスが記録される
- ESM 通知の生成

2.6 ダブル ビット エラーの検証

射出方法

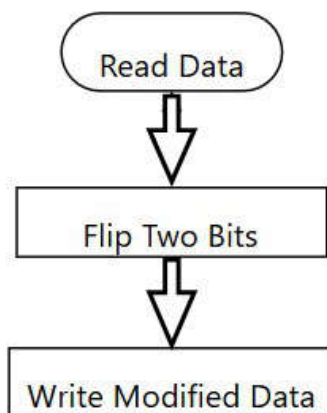


図 2-8. ダブル ビット エラーの注入方法

期待される動作

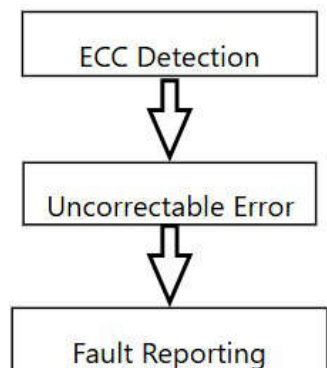


図 2-9. ダブル ビット エラー発生時に予想される動作

予想される結果:

- UECC イベントの生成
- エラー ログの生成
- ESM 通知の生成
- ソフトウェアによる例外処理の実行

2.7 マルチフェーズ ECC 検証

安全関連システムでは、検証にマルチフェーズ ECC の適用範囲も含める必要があります。

代表的な検証方法では、同じ DDR バーストの複数フェーズにフォールト インジェクションを行います。

例:

フェーズ 1 → シングル ビット エラー

フェーズ 5 → シングル ビット エラー

予想される動作:

マルチ フェーズ ECC 検出

↓

修正不可能なエラー

このテストでは、以下を検出します。

- アドレス障害
- コマンドの失敗
- バースト データの破損
- 大規模なメモリ データ破損

2.8 ECC エラー ログを使用した検証

ECC イベントが発生した後、ソフトウェアで以下を確認する必要があります。

ECC エラー カウンタ

例:

- ECC_1B_ERR_CNT
- ECC_2B_ERR_CNT

ECC エラー ログ

例:

ECC_1B_ERR_ADR_LOG

ECC_1B_ERR_MSK_LOG

ECC_2B_ERR_ADR_LOG

ECC_2B_ERR_MSK_LOG

ログに記録された情報が、注入したフォールト位置と一致している必要があります。

アドレス検証

注入されたアドレス == デコードされたエラー アドレス

一致が確認されれば、以下のことが実証されます。

- ECC の検出機能が正常に動作している

- エラー ログ機能が正常に動作している
- アドレス報告機能が正常に動作している

2.9 ESM を使用した検証

ECC ログに加えて、ESM の動作についてもシステムで検証する必要があります。

確認:

- 正しい ESM チャンネルがトリガされた
- 正しい割り込みが生成された
- 正しくイベントが分類された
- 予期されるソフトウェア応答が実行された

これにより、フォールトが診断チェーンを介して正しく伝播することを確認できます。

2.10 推奨される検証方法

2.10.1 車載用システム

推奨アプローチ:

オフライン検証

代表的なシーケンス:

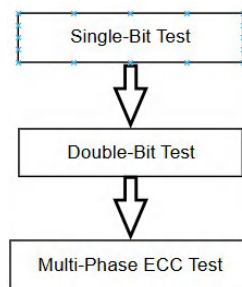


図 2-10. 車載用オフライン検証の代表的なシーケンス

利点:

- 最高レベルの網羅性
- 確定的な実行
- 実用的な安全性検証

2.10.2 産業用システム

推奨アプローチ:

- 定期的な ESM テスト
- 予約済み DDR 領域の ECC テスト

3 まとめ

DDR インライン ECC エラー インジェクションは、Jacinto™ 7 および Sitara™ プロセッサ上で DDR メモリの保護機構を検証できる実用的な方法です。

制御されたフォールト インジェクション機能と ECC エラー ログ検証および ESM 監視機能を組み合わせることで、システム開発者は、ECC の検出、訂正、マルチフェーズ ECC 保護、エラー ログ、割り込みルーティング、ソフトウェアのフォールト処理の正しい動作を検証できます。車載機器の起動検証では通常、オフライン検証が好まれますが、継続的に動作する産業用システムではオンライン検証手法のほうが実用的です。

4 参考資料

1. テキサス インスツルメンツ、『[TDA4VE TDA4AL TDA4VL 機能安全マニュアル バージョン 0.99](#)』、機能安全マニュアル。
2. テキサス インスツルメンツ、『[J721S2、TDA4AL、TDA4VL、TDA4VE、AM68A テクニカル リファレンス マニュアル \(TRM\)](#)』、テクニカル リファレンス マニュアル。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月