

Application Note

TDA4VE での DDR インライン ECC の導入



Linjun Meng, Zekun Bai, Tommy Song

Central FAE

概要

TDA4VE プロセッサは、DDR インライン ECC 機能を内蔵しています。ハードウェアベースのシングル ビット エラー訂正 (SEC) とダブル ビット エラー検出 (DED) を提供して、DDR メモリの信頼性を向上させます。このアプリケーション ノートでは、ECC 構成、DDR プライミング、ランタイム有効化などの推奨導入プロセスについて説明します。この資料は、車載、産業用、ロボットなど、信頼性が重視されるシステムを開発するソフトウェア開発者、システム アーキテクト、機能安全 エンジニアを対象としています。このドキュメントに記載されているガイドラインに従うことで、信頼性の高い ECC 動作を実現し、ソフトウェア統合を簡素化して、DDR の過渡エラーによるメモリ破損のリスクを低減できます。

目次

1 はじめに.....	2
2 詳細説明.....	3
2.1 DDR インライン ECC の概要.....	3
2.2 ECC 保護領域の計画.....	3
2.3 ECC 容量に関する考慮事項.....	4
2.4 ECC 構成のガイドライン.....	4
2.5 DDR プライミングが必要な理由.....	5
2.6 DRU を使用した DDR プライミング.....	5
2.7 DRU リソースの割り当て.....	6
2.8 SBL の統合.....	6
2.9 推奨される初期化フロー.....	7
2.10 性能評価.....	8
2.11 DDR インライン ECC 導入に関する一般的な問題のトラブルシューティング.....	9
2.12 検証とデバッグに関する検討事項.....	10
3 まとめ.....	11
4 参考資料.....	12

図の一覧

図 2-1. TDA4VE DDR インライン ECC のアーキテクチャ.....	3
図 2-2. DRU ベースの DDR プライミング.....	6
図 2-3. 推奨される TDA4VE DDR インライン ECC 導入フロー.....	7
図 2-4. ECC エラー レポートのフロー.....	9

表の一覧

表 2-1. ECC 構成のガイドライン.....	4
---------------------------	---

商標

Jacinto™ and Sitara™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

最新の車載システムおよび産業用システムでは、自動運転、マシンビジョン、センサフュージョン、エッジ AI 処理などの高度なアプリケーションをサポートするために、大規模な外部 DDR メモリデバイスへの依存度が高まっています。DDR の容量増加と共に、メモリの信頼性がシステム設計における重要な考慮事項になります。

放射線の影響、電圧外乱、シグナルインテグリティの問題、電磁干渉によってメモリの過渡障害が発生すると、データの破損につながる可能性があります。安全重視のアプリケーションでは、メモリの破損が検出されない場合、システムの誤動作や予期しない動作が発生する可能性があります。

DDR の信頼性向上のため、TDA4VE DDR サブシステムには、DDR インラインエラー訂正コード (ECC) 機能が内蔵されています。インライン ECC エンジンには、DDR コントローラ内で透過的に動作し、次の機能を提供します。

- シングルビットエラー訂正 (SEC)
- ダブルビットエラー検出 (DED)
- メモリ書き込み中の自動 ECC 生成
- メモリ読み取り中の自動 ECC チェック
- ESM によるランタイムエラーレポート

ECC 保護はハードウェアに実装されていますが、導入を成功させるには、特定の初期化シーケンスが必要です。ランタイム ECC チェックを有効化するには、ECC で保護されるすべてのメモリ領域に、有効な ECC 情報を事前に入力する必要があります。この初期化手順は一般に DDR プライミングと呼ばれます。この手順は、ECC を適切に動作させるための重要な要件です。

このアプリケーションノートでは、ECC 領域計画、DDR プライミング、DRU ベースの実装、SBL 統合など、TDA4VE デバイスで推奨される DDR インライン ECC 導入フローについて説明します。

このアプリケーションノートでは、導入方法の説明に加えて、TDA4VE デバイスにおける DDR インライン ECC 有効化のフロー全体を示す検証済みのソフトウェア実装を紹介します。実装には、ECC 構成、DRU リソース割り当て、DDR プライミング、SBL 統合が含まれており、お客様のソフトウェア開発用リファレンスとして使用できます。

2 詳細説明

2.1 DDR インライン ECC の概要

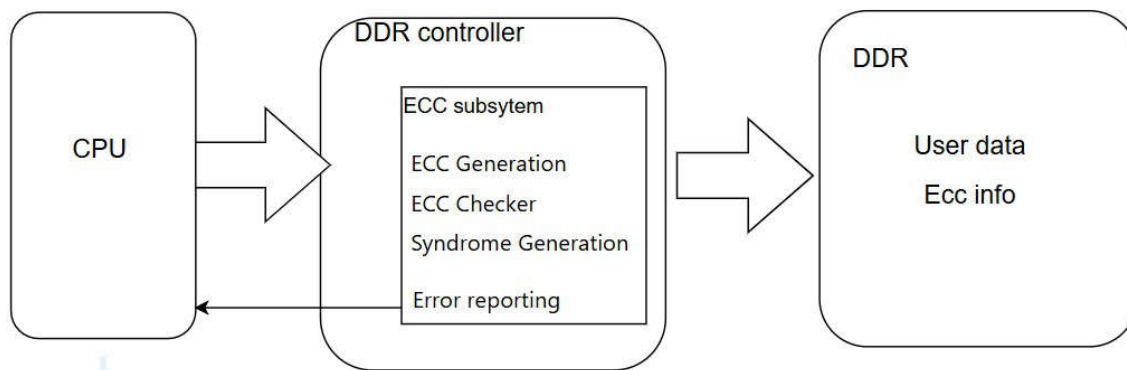


図 2-1. TDA4VE DDR インライン ECC のアーキテクチャ

このアーキテクチャにより、メモリ破損に対する継続的な保護が提供され、ソフトウェアのオーバーヘッドを最小限に抑えられます。

DDR インライン ECC は、DDR サブシステムの一部として透過的に動作します。

メモリの書き込み動作中は、次の作業が実行されます。

1. ユーザー データが DDR に書き込まれます。
2. ECC エンジンが ECC パリティ情報を計算します。
3. ECC 情報が、保護されたデータと合わせて自動的に保存されます。

メモリの読み取り動作中は、次の作業が実行されます。

1. データと ECC 情報が取得されます。
2. ECC エンジンがシンドローム チェックを実行します。
3. シングル ビット エラーが自動で訂正されます。
4. ダブル ビット エラーが検出され、報告されます。

このメカニズムは、通常動作中、ソフトウェアの関与を必要とせずに、連続的なランタイム保護を提供します。

2.1.1 DDR インライン ECC の利点

- システムの信頼性向上
- メモリの過渡エラーに対する復元力強化
- 機能安全要件への対応
- 無兆候なメモリ破損のリスク低減
- ハードウェアベースの保護機能、ランタイム オーバーヘッドを最小化

2.2 ECC 保護領域の計画

DDR インライン ECC は、ECC の動作用として明示的に設定されたメモリ領域のみを保護します。したがって、メモリレイアウトの計画は、ソフトウェア アーキテクチャの段階で早期に完了する必要があります。

一般的な導入戦略は次のとおりです。

- **DDR 完全保護:**すべての DDR メモリが ECC によって保護されます
 - 利点:
 - 故障対応範囲の最大化
 - ソフトウェア アーキテクチャの簡素化
 - 安全重視のシステムに推奨
 - 欠点:

- メモリのオーバーヘッドの増加
- DDR プライミング時間が長くなる
- DDR 部分的保護: 選択されたメモリ領域のみが保護されます
 - 例
 - 安全重視のアプリケーション データ
 - ニューラルネットワークのパラメータ
 - 制御アルゴリズム
 - 診断バッファ
 - 利点
 - メモリのオーバーヘッドの低減
 - 迅速な初期化
 - 欠点
 - 故障対応範囲の制限

2.3 ECC 容量に関する考慮事項

DDR インライン ECC では、ECC 情報ストレージ用に DDR アドレス空間の一部を確保しています。そのため、すべての物理 DDR 容量がアプリケーションで使用できるわけではありません。

メモリ使用量を計画する場合、システム設計者は次の点を考慮する必要があります。

- ECC メタデータ ストレージの要件
- アプリケーションのメモリ要件
- ブート時のプライミング期間

機能安全の認証を目的としたシステムでは、アプリケーション要件により異なるアプローチが要求される場合を除き、一般的にメモリ全体の ECC 保護が推奨されます。

2.4 ECC 構成のガイドライン

『DDR テクニカル リファレンス マニュアル (TRM)』には、DDR インライン ECC の詳細なレジスタ説明とプログラミング情報が記載されています。

このアプリケーション ノートでは、レジスタの定義を改めて説明するのではなく、配置の推奨事項と構成のシーケンスを中心に上げます。

以下のガイドラインに従うことを推奨します。

表 2-1. ECC 構成のガイドライン

構成項目	推奨事項	目的
ECC 領域の構成	ECC を有効化する前に構成	保護された DDR 領域を定義する
ECC 生成	プライミングの前に有効化	有効な ECC 情報を生成する
ECC チェック	プライミング完了後に有効化	ECC 故障の誤検出を回避する
読み取り / 変更 / 書き込み (RMW)	有効のままにする	部分的書き込み中に ECC の整合性を維持する

2.4.1 ECC 生成段階

最初は ECC 生成が有効で、ECC チェックが無効になっています。

この段階では次のようになります。

- データの書き込みにより ECC 情報が生成される
- メモリが初期化される
- DDR プライミングが実行される

ランタイム エラー チェックはまだアクティブになりません。

2.4.2 ECC 保護段階

DDR プライミング完了後:

- ECC チェックが有効
- ランタイム SECDED 保護が有効
- ECC イベントが ESM 経由で報告される

保護されるメモリ領域が初期化されると、ECC チェックを有効化できます。その後、システムは ECC 保護段階に移行します。この段階では、ECC 保護領域内のすべてのアクセスで、連続 SECDED 保護による利点が得られます。

信頼性の高いシステム起動を実現するには、この 2 つの段階を分離することが不可欠です。これは、初期化時に誤って ECC 故障が通知されることを防止するのに役立ちます。

2.5 DDR プライミングが必要な理由

DDR の初期化後、メモリの内容は未定義になります。

メモリ位置にはランダムなデータが含まれている場合がありますが、その場所に有効な ECC 情報はまだ存在していません。

DDR の初期化直後に ECC チェックが有効化されている場合、有効な ECC 情報がまだ生成されていないため、保護されたメモリ領域への読み取り動作によって、誤った ECC エラーがトリガされる可能性があります。

この動作が DDR ハードウェアの問題として誤って解釈されるケースが多く見られますが、実際には、単にメモリが有効な ECC データで初期化されていないということです。

この状態は、DDR プライミングにより、ECC 保護されたすべてのメモリ領域に既知のデータ パターンを書き込むことで解消されます。この書き込み中、DDR コントローラは有効な ECC 情報を自動的に生成します。

2.6 DRU を使用した DDR プライミング

大型の DDR デバイスでは、CPU ベースのメモリ初期化により、システムの起動時間が大幅に長くなります。

推奨される実装では、データルーティングユニット (DRU) を使用して、プライミング プロセスを高速化します。

DRU 支援プライミングには次のような利点があります。

- 最小限の CPU の関与
- メモリ帯域幅の高い使用率
- 起動時間の短縮
- DDR の容量に対応したスケーラブルな実装

リファレンス実装では、MSMC メモリ内にあるゼロの大量生成済みのソース バッファを使用します。DRU 転送では、保護された DDR アドレス範囲全体でこのデータが繰り返し書き込まれます。

それぞれの書き込み動作により、対応する ECC 情報を DDR コントローラが自動的に生成します。

その結果、以下のようになります。

- DDR コンテンツが初期化される
- ECC 情報が有効になる
- その後、ランタイム ECC チェックが安全に有効化される

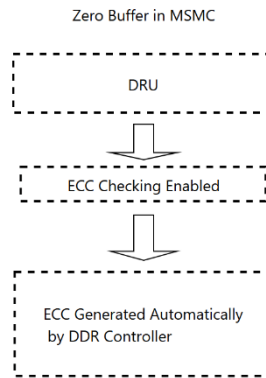


図 2-2. DRU ベースの DDR プライミング

データルーティングユニット (DRU) は、事前定義済みのデータパターンを、ソースバッファから ECC で保護された DDR アドレス空間に転送します。送信先アドレスが書き込まれるたびに、DDR コントローラは、対応する ECC 情報を自動的に生成します。

DRU ベースのプライミングは、CPU ベースのメモリ初期化方式と比較すると、プロセッサの関与を大幅に低減します。また、特に大型の DDR メモリが ECC で保護されている場合に起動パフォーマンスを向上させます。

このアプローチにより、ECC で保護された DDR 領域を初期化するための効率的でスケーラブルな方法が提供されます。

2.7 DRU リソースの割り当て

デフォルトのプロセッサ SDK 構成では、MCU1_0 は DDR プライミングに必要な DRU リソースを所有していません。

DRU ベースのプライミングを有効化するには、BoardCfg リソース管理構成を更新することで、DRU リソースが MCU1_0 に割り当てられるようにする必要があります。

このリファレンス実装には次の内容が含まれます。

- DRU チャンネルの割り当て
- BoardCfg の変更
- DRU 初期化コード
- DDR プライミングの実装

通常、必要な変更は次の中で行われます。

- sciclient_defaultBoardcfg_rm.c
- sciclient_defaultBoardcfg_tifs_rm.c

2.8 SBL の統合

推奨される導入戦略では、DDR インライン ECC 初期化をセカンダリ ブート ローダ (SBL) に統合します。システム ブート中に ECC 初期化を実行すると、アプリケーション ソフトウェアの実行を開始する前に、ECC で保護されたすべてのメモリ領域に有効な ECC 情報が含まれていることを検証できます。

初期化プロセスの SBL への統合には、以下のような利点があります。

- すべてのアプリケーションで一貫した ECC 構成。
- DDR 初期化と ECC 有効化の一元管理。
- アプリケーション独自の ECC 初期化コードを排除。
- システム統合と検証の簡素化。

SBL 内で、DDR プライミングは DDR 初期化および ECC 領域構成の直後に実行されます。プライミングが完了すると、制御がアプリケーション イメージに転送される前に ECC チェックが有効になります。このアプローチにより、アプリケーション ソフトウェアは、有効な ECC 情報がすでに含まれている DDR メモリにのみアクセスするようになります。

2.9 推奨される初期化フロー

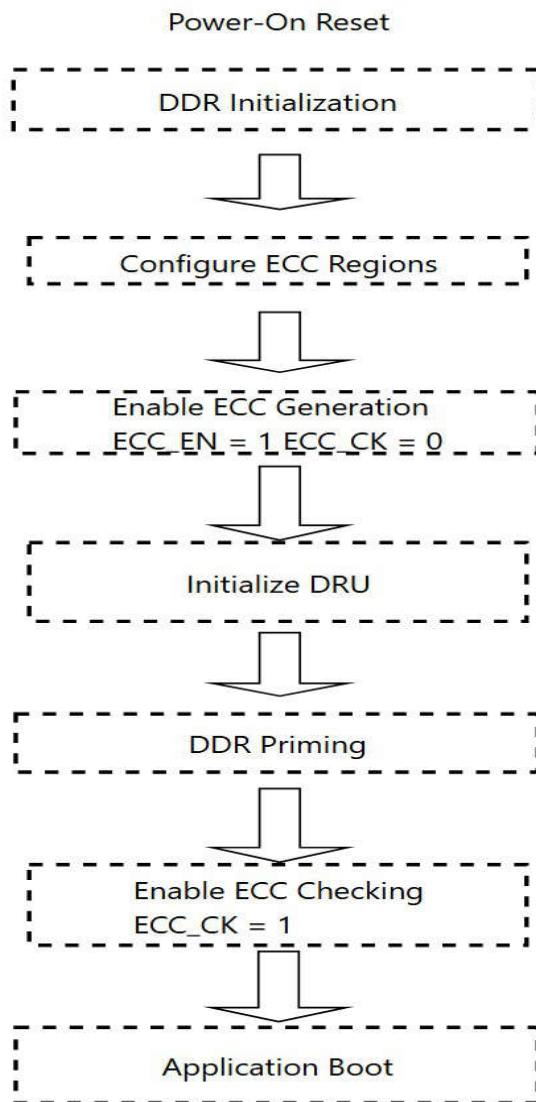


図 2-3. 推奨される TDA4VE DDR インライン ECC 導入フロー

図 2-3 に、TDA4VE デバイスに DDR インライン ECC を導入するための推奨初期化シーケンスを示します。

推奨される初期化フローは、次の手順で構成されます。

1. DDR サブシステムを初期化します。
2. ECC 保護メモリ領域を構成します。
3. ECC 生成を有効にします。
4. ECC チェックは無効のままにします。
5. DRU リソースを初期化します。
6. ECC で保護されるすべてのメモリ領域で DDR プライミングを実行します。
7. すべての DRU 転送操作が完了したことを検証します。
8. ECC チェックを有効にします。

9. 必要に応じて、ESM レポート機能とシステムレベルの故障処理機能を設定します。
10. アプリケーション ソフトウェアに制御を転送します。

このシーケンスでは、ECC 情報の生成をランタイム ECC 検証から分離します。ECC チェックが有効になる前に、すべての保護されたメモリ領域全体に有効な ECC 情報が存在していることを検証することで、システムは起動時の誤った ECC 故障レポートを回避し、完全な SECDED 保護が有効になった状態でランタイム動作に移行します。

2.10 性能評価

リファレンス実装は、4GB DDR 構成を使用して評価されました。

DDR 容量	プライミング時間
4GB	約 147ms

この結果から、DRU ベースの初期化で、保護された DDR アドレス空間全体に ECC 情報を効率的に生成できると同時に、許容可能なスタートアップ オーバーヘッドを維持できることがわかります。

実際のプライミング時間は、以下の要因で異なります。

- DDR 周波数
- DRU による構成
- 保護されたメモリ サイズ
- システム初期化シーケンス

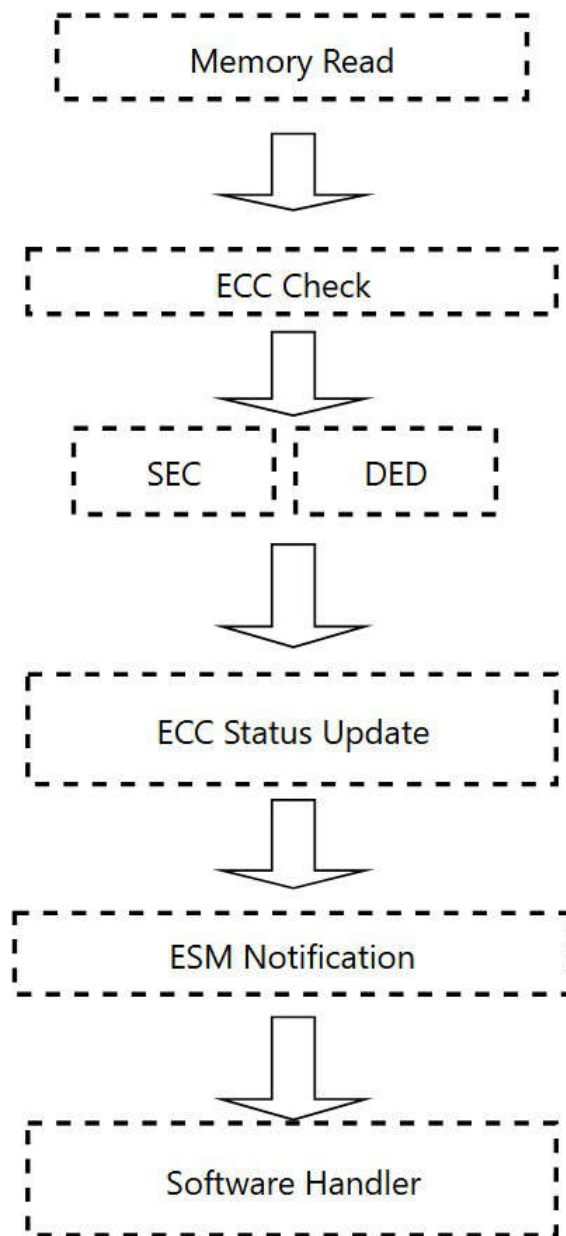


図 2-4. ECC エラー レポートのフロー

図 2-4 に、ECC エラー レポートのパスを示します。

訂正可能エラー (CE) は DDR サブシステムによって自動的に訂正され、訂正不能エラー (UE) はソフトウェア処理のために ESM 経由で報告されます。

2.11 DDR インライン ECC 導入に関する一般的な問題のトラブルシューティング

2.11.1 プライミングの前に ECC チェックを有効化

症状:

- ブート直後に ECC 故障が発生する
- 予期しない UECC レポートが生成される

根本原因:

- メモリ位置に無効な ECC 情報が含まれている

ソリューション:

- ECC チェックを有効化する前に DDR のプライミングを完了する

2.11.2 ECC 領域の構成が正しくない

症状:

- メモリが予想どおりに保護されない
- ECC イベント レポートがない

根本原因:

- ECC 領域の境界が正しく設定されていない

ソリューション:

- 領域構成とメモリ マップの整合性を確認する

2.11.3 読み取り/ 変更/ 書き込みの無効化

症状:

- 部分的な書き込み後の ECC の不一致
- 断続的な ECC 故障

根本原因:

- サブワード書き込み動作で ECC 情報が正しく再生成されない

ソリューション:

- DDR インライン ECC の有効時は、常に RMW 機能が有効になっていることを確認する

2.12 検証とデバッグに関する検討事項

導入後、ECC が適切に動作していることを確認するために、システム レベルの検証をお勧めします。

一般的な検証のアクティビティは次のとおりです。

- シングル ビット エラー訂正の検証
- ダブル ビット エラー検出の検証
- ECC 故障注入テスト
- ESM イベントの検証

ECC 検証手順の詳細については、『[Jacinto™ 7 および Sitara™ プロセッサの DDR インライン ECC エラー注入および検証ガイド](#)』アプリケーション ノートを参照してください。

ランタイム エラー解析とシンδροームの解釈については、『[Jacinto™ 7 および Sitara™ プロセッサでの DDR インライン ECC エラー アドレス デコード](#)』アプリケーション ノートを参照してください。

3 まとめ

DDR インライン ECC は、TDA4VE プラットフォームの信頼性に関する重要な機能であり、外部 DDR メモリを対象にしたハードウェアベースのシングル ビット エラー訂正およびダブル ビット エラー検出を実現します。導入を成功させるには、適切な ECC 保護計画、制御された ECC 対応、DDR プライミング、ソフトウェア統合が必要です。

このアプリケーション ノートでは、SBL と DRU に基づいた推奨導入方法を紹介します。この方法により、システムの起動中、ランタイム ECC チェックがアクティブになる前に、有効な ECC 情報を生成できるようになります。このドキュメントで説明する初期化シーケンスに従うことで、スタートアップのオーバーヘッドと統合労力を最小限に抑えながら、信頼性の高い ECC の動作を実現できます。このアプローチは、さまざまな DDR 容量、メモリ レイアウト、アプリケーション要件に適応でき、その後の ECC 検証およびデバッグ動作のための強固な基盤となります。

4 参考資料

1. テキサス インスツルメンツ、『[J721S2](#)、[TDA4AL](#)、[TDA4VL](#)、[TDA4VE](#)、[AM68A](#) テクニカル リファレンス マニュアル (TRM)』、テクニカル リファレンス マニュアル。
2. テキサス・インスツルメンツ、『[プロセッサ SDK RTOS](#) ドキュメントおよび [DDR インライン ECC](#) リファレンス パッチ』

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月