

Application Note

TDA4xx デバイス用の OSPI および QSPI フラッシュ統合ガイド

Karthikeyan S, Sudheer Kumar, Vinit Patel, Tarun Puvvada

概要

このアプリケーション ノートでは、TDA4x デバイス上の OSPI (オクタル シリアル ペリフェラル インターフェイス) サブシステムについて説明し、システムの起動時に発生するブート、フラッシュの移行、PHY チューニングの問題を解決するための技術的ガイダンスを示します。OSPI コントローラの構成要件、直接アクセス (DAC) モードと間接アクセス (INDAC) モードの動作、フラッシュ ベンダの互換性に関する考慮事項、プロセッサ SDK RTOS および PDK 環境で必要なドライバ更新の概要を説明します。

このドキュメントは、TDA4x デバイスを使用するソフトウェア開発者、ブートローダー (SBL) エンジニア、プラットフォーム統合チームを対象としています。

本書は検証された構成、既知の制限、構造化されたデバッグ手法を統合したもので、統合の労力の削減、基板の起動の迅速化、信頼性の高い OSPI ブートおよび高速フラッシュ動作の確保に役立ちます。

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

TDA4x デバイスのブートおよび初期化シーケンスには、ブート イメージとアプリケーション バイナリの保存用の外部 QSPI および OSPI NOR/NAND フラッシュ メモリが必要です。内蔵の OSPI コントローラは、シングル、デュアル、クワッド、オクタルのデータ プロトコルに加えて、SDR および DDR の転送モードをサポートしています。直接アクセス モード (DAC)、間接アクセス モード (INDAC)、STIG 動作など複数のアクセス メカニズムを備えており、それぞれのアクセス メカニズムに動作特性と制限事項が定義されています。

QSPI ブート モードでは、ROM コードによって直接アクセス モード (DAC) で OSPI ペリフェラルを初期化し、選択された QSPI フラッシュ デバイスからブート イメージを読み取ります。ブート イメージはオンチップ RAM にコピーされ、その後、ロードされたイメージに実行が転送されます。

アドレッシング モード、デバイス サイズ パラメータ、PHY チューニング、クロック設定、フラッシュ固有のコマンドシーケンスの設定が誤っていると、ブート障害、アドレスアクセスの制限、データの破損、不安定な高速動作が発生する可能性があります。

このアプリケーション ノートには、検証済みの評価基板のフラッシュ構成、OSPI アクセス モードの動作、クロック周波数の制約、PHY のチューニング要件、フラッシュの移行に関する考慮事項をまとめています。また、基板の起動時と SBL の統合時によく見られる障害シナリオと、推奨される構成の更新や構造化されたデバッグ手法についても記載しています。

2 TDA4x 評価基板で使用される OSPI/QSPI フラッシュ デバイス

表 1 に示すフラッシュ デバイスは、TI の評価基板 (EVM) で使用されるもので、プロセッサ SDK RTOS により内部的に検証されています。

表 2-1. TDA4x 評価基板でのサポート対象フラッシュ デバイス

SoC	フラッシュ タイプ	ベンダ	デバイス	密度	インターフェイス
J721E (TDA4VM)	OSPI NOR	Micron	MT35XU512ABA1G12	512Mb	OSPI0
J721E (TDA4VM)	QSPI	Micron	MT25QU512ABB	512Mb	OSPI1
J7200(DRA821)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J721S2 (TDA4VL)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J721S2 (TDA4VL)	OSPI NAND	Winbond	W35N01JWTBAG	1Gb	OSPI0
J784S4 (TDA4VH)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J784S4 (TDA4VH)	OSPI NAND	Winbond	W35N01JWTBAG	1Gb	OSPI0
J722S(TDA4AEN)	OSPI NOR	Cypress	S28HS512TGABHM01	512Mb	OSPI0
J722S(TDA4AEN)	OSPI NAND	Winbond	W35N01JWTBAG	512Mb	OSPI0

注

上記のデバイスは、TI の評価基板で使用されるフラッシュ コンポーネントを反映しています。他の OSPI フラッシュ デバイスの互換性を確保するには、OSPI ドライバのフレームワーク内のコマンド セット、タイミング パラメータ、アドレッシング モード、プロトコル サポートを検証する必要があります。

3 カスタム ボードの OSPI フラッシュ選択の考慮事項

OSPI フラッシュ デバイスを選択するには、デバイスのコマンド セット、サポートされるプロトコル (STR/DTR)、オペコードの定義、ダミー サイクルの要件、アドレッシング モード (3 バイトまたは 4 バイト)、およびタイミング仕様が、SoC OSPI コントローラおよび OSPI ドライバの実装の両方と完全に互換性があることを確認する必要があります。

各ベンダのフラッシュ デバイスは、JEDEC 識別値、読み取り / 書き込みコマンド セット、DTR の動作、PHY の互換性が異なる場合があります。これらの違いは、OSPI ドライバ構成に反映する必要があります。

Jacinto 7 ファミリーでサポートされている OSPI フラッシュ デバイスを選択するためのガイドラインについては、テキサス インスツルメンツの E2E サポート フォーラムの FAQ を参照してください。タイトルは次のとおりです。

1.TI E2E FAQ、「[TDA4VM: Jacinto 7 でサポートされている適切な OSPI フラッシュ部品を選択するためのガイドはありますか?](#)」

4 OSPI アクセス モード

OSPI コントローラは、外部フラッシュ デバイスとの通信用に複数のアクセス モードをサポートしています。

4.1 直接アクセス (DAC)

直接アクセス (DAC) モードでは、外部フラッシュにメモリ マップされたインターフェイスが利用できます。このモードでは、マップされたアドレス空間にプロセッサがアクセスすると、読み取りアクセスが自動的にトリガされます。

このモードは一般的に次の用途に使用されます。

- 高性能な読み取り動作
- XIP (Execute-In-Place)
- 外部フラッシュから直接コードを実行

DAC モードでは、フラッシュ メモリはシステム メモリ マップに表示されます。

4.2 間接アクセス (INDAC)

間接アクセス (INDAC) モードでは、内部 SRAM バッファを使用して OSPI コントローラとフラッシュとの間でデータを転送します。

このモードでは、次のことが行われます。

- コントローラ レジスタにより、フラッシュ アドレスが明示的にプログラムされます。
- OSPI 内部 SRAM を介して、データが転送されます。
- ソフトウェアにより、転送が開始されます。

INDAC モードは通常、フラッシュ ページ プログラム (書き込み) 動作やバルク データ転送に使用されます。消去コマンドは通常、STIG モードを使用して発行されます。

4.3 ソフトウェアトリガ命令 (STIG)

ソフトウェアトリガ命令 (STIG) モードは、メモリ マップ アクセスや大規模なデータ転送なしで、特定のコマンド シーケンスをフラッシュ デバイスに直接送信するために使用されます。

このモードは一般的に次の目的で使用されます。

- フラッシュ レジスタへのアクセス
- ステータス ポーリング
- デバイス構成コマンド
- 消去コマンドの発行

4.4 XIP (Execute-In-Place)

XIP (Execute-In-Place) を使用すると、コードを RAM にコピーすることなく、シリアル フラッシュ メモリからコードを直接実行できます。

プロセッサ SDK RTOS OSPI ドライバの実装では、次のようになります。

- XIP は、読み取りモードでのみサポートされます。
- XIP は、DAC モードと連携して動作します。
- FlsXipEnable パラメータは、XIP 機能の有効化または無効化を制御します。

4.5 推奨の OSPI アクセス モード

フラッシュ読み取り

PHY を有効にした DAC モードを使用し、最適な性能を実現するために必要に応じてパイプラインおよび DMA と組み合わせます。フラッシュからのコード実行が必要な場合は、XIP を有効にできます。

フラッシュ書き込み

PHY なしで INDAC モードを使用します (推奨)。書き込みスループットは主に、フラッシュ デバイスのプログラム時間によって制限されます。

フラッシュ消去

PHY なしで STIG モードを使用します。

フラッシュ レジスタへのアクセス

PHY なしで STIG モードを使用します。

5 OSPI クロック周波数のサポート

OSPI クロック周波数パラメータは、OSPI ペリフェラルの動作クロックを定義します。TDA4x プラットフォームでは、以下のクロック周波数がサポートされています。

133MHz (133333333U) - 直接アクセス (DAC) と間接アクセス (INDAC) を含むすべての OSPI 動作モードにおいて、読み取り / 書き込み両方の動作を包括的にサポートします。

166MHz (166666666U) - INDAC モードの場合、読み取り / 書き込み動作を包括的にサポートします。DAC モードの場合、この周波数では読み取り動作のみをサポートします。

200MHz (200000000U) - この周波数での動作は、TI による検証が実施されていません。

6 OSPI フラッシュおよびブートのサポート

アプリケーション ソフトウェア イメージは、TI の UniFlash を使用して、TDA4x プラットフォーム上の取り外し不可能な OSPI フラッシュ デバイスにプログラムすることができます。UniFlash は、開発時と起動時に OSPI フラッシュ デバイスのプログラミングをサポートします。OSPI 固有のフラッシュ ステップ、サポートされている構成、ブートの要件は、『[プロセッサ RTOS SDK ユーザー ガイド](#)』に記載されています。

TDA4x デバイスでサポートされているフラッシュ手法についての包括的な説明については、アプリケーション ノート『[TDA4 Flashing Techniques](#)』を参照してください。

注

TDA4x デバイスには、複数の OSPI コントローラ インスタンス (OSPI0 および OSPI1) があります。ただし、基板の構成に応じて、一度にフラッシュ アクセスにアクティブに使用できる OSPI インスタンスは 1 つだけです。

7 OSPI の移行と必要な更新

デフォルトの評価基板対応 OSPI NOR フラッシュ デバイスから代替のフラッシュ デバイス (Cypress から Micron など) に移行すると、ベンダ固有の相違点が適切に処理されていない場合、機能的な問題につながる可能性があります。各ベンダのフラッシュ デバイスは、JEDEC 識別値、コマンド オペコード、ダミー サイクルの要件、アドレッシング モード、DTR の動作が異なる場合があります。

OSPI ドライバの構成がこれらの違いを反映するように更新されていない場合、早期ブート中に読み取り / 書き込み障害、データの破損、または SBL ブート障害が発生する可能性があります。新しい OSPI NOR フラッシュ デバイスに移行するときは、以下のような正しいデバイス固有のパラメータで OSPI フラッシュドライバを更新する必要があります。

- メーカー ID とデバイス ID
- 読み取り / 書き込みおよび消去オペコード
- ダミー サイクル構成
- アドレッシング モード (3 バイトと 4 バイト)
- DTR の有効化 / 無効化設定

TI では、一般的なフラッシュ移行シナリオを文書化し、プロセッサ SDK RTOS に新しい OSPI フラッシュ デバイスのサポートを追加するための必要な手順を記述した専用の E2E FAQ を用意しています。

デフォルトの評価基板対応 OSPI NOR フラッシュ デバイスから代替のデバイス (Cypress から Micron など) に移行するには、ベンダ固有のパラメータを注意深く検証する必要があります。フラッシュ ベンダ間の相違点は次のとおりです。

- JEDEC メーカーとデバイス識別値
- 読み取り、書き込み、および消去コマンドのオペコード
- ダミー サイクル要件
- アドレッシング モード (3 バイトと 4 バイト)
- DTR (ダブル転送レート) のサポートおよびイネーブル シーケンス
- セクタ サイズと消去ブロック サイズ

これらのデバイス固有のパラメータを反映して OSPI ドライバの構成を更新していない場合、システムで次のような事象が発生する可能性があります。

- 読み取りまたは書き込み障害
- データの破損
- PHY チューニング障害
- 早期初期化中の SBL ブート障害

新しい OSPI NOR フラッシュ デバイスのサポートを追加する場合、PDK OSPI ドライバのフラッシュ構成表を正しいデバイス パラメータで更新する必要があります。ここでは通常、次の場所にあるフラッシュ デバイス構成構造の変更が必要となります。

PDK パス:

<pkg>packages/ti/board/src/flash/nor/ospi

コマンド オペコード、ダミー サイクル、アドレッシング モードの選択、DTR 構成はすべて、フラッシュ ベンダのデータシートと一致している必要があります。

その他のリソース:

以下の E2E FAQ には、TI の SDK に新しい OSPI フラッシュ デバイスのサポートを追加するためのステップ バイ ステップのガイダンスを用意しています。

1. TI E2E FAQ、[「TDA4VM: RTOS SDK で新しいフラッシュ デバイスのサポートを追加する方法」](#)

2. TI E2E FAQ、[「J722SXH01EVM: MCU+ SDK の SysConfig を使用するカスタム OSPI フラッシュ構成のガイドライン」](#)

8 SDK ドライバのサンプルを使用した OSPI 構成の検証

OSPI 構成を検証し、構成に関連する問題を分離するには、まずプロセッサ SDK RTOS に含まれている OSPI ドライバのサンプルを使用して、OSPI 機能を検証することを推奨します。

OSPI_Flash_Dma_TestApp_freertos のサンプルは、次の場所にあります。

PDK パス:

<pkg>/packages/ti/drv/spi/test/ospi_flash/src

このサンプルは、Code Composer Studio (CCS) を使用してビルドし、実行することができます。PDK をビルドし、開発用 CCS を構成する手順については、『プロセッサ SDK RTOS ユーザー ガイド』を参照してください。

CCS のサンプルを実行すると、以下が可能になります。

- シングル ステップ デバッグ
- OSPI 構成パラメータの検査
- OSPI ドライバ API 呼び出しのトレース

このアプローチは、誤った構成設定、不適切なクロック構成、サポートされていないフラッシュ パラメータ、または障害の発生につながる可能性のある誤ったドライバ API の使用の特定に効果的です。

CCS を使用してセカンダリ ブートローダー (SBL) をデバッグするためのガイダンスについては、テキサス インストルメンツ E2E サポート フォーラムの FAQ「[TDA4VM: Debugging SBL boot in RTOS SDK](#)」を参照してください。

OSPI ドライバのサンプルが、エラーなしで正常に実行された場合、次のプラットフォーム レベルの構成が正しいことを示しています。

- OSPI ハードウェア接続機能
- ピンのマルチプレクシングの構成
- クロックの構成
- ベースライン OSPI ドライバの初期化

ドライバのサンプルが正常に実行されると、OSPI 機能をカスタム アプリケーションやブートローダー構成に統合する前に、既知の適切な参照ポイントが提供されます。

9 TDA4x デバイスでの一般的な OSPI の問題

このセクションでは、TDA4x プラットフォームで基板の起動中、フラッシュの移行中、ブートローダーの統合中によく発生する OSPI 関連の問題の概要を示します。各問題には、観測された動作、根本原因、推奨される解決手順が含まれます。

9.1 DAC アドレッシングの制限

問題の説明

大規模な OSPI フラッシュ デバイス (128MB や 256MB など) を使用する場合、システムがブート時またはランタイム中に直接アクセス (DAC) モードで動作しているときに、64MB 境界を超えるメモリへのアクセスに失敗することがあります。

観察された症状

- ブートローダーは、アドレス 0x04000000 より上に格納されているイメージのロードに失敗する
- フラッシュ読み取りで、64MB オフセットを超える不正なデータが返される
- アプリケーション イメージがより高いフラッシュ領域に配置されると、ブート プロセスが失敗する

根本原因

いくつかの設定の問題によって、この動作が発生することがあります。

原因 1: 3 バイト アドレッシング モードが有効

OSPI NOR ドライバは 3 バイト アドレッシング モードで動作する可能性があるため、アクセス可能なアドレス空間は 64MB に制限されます。

原因 2: OSPI デバイス サイズの構成

OSPI コントローラのデバイス サイズ構成は、デフォルトの SDK 構成で 64MB に設定されることがあります。

原因 3: ブート構成レジスタの制限

ブート構成レジスタにより、デフォルトで OSPI ブート アクセスが 64MB に制限されることがあります。

原因 4: FSS メモリ領域マッピングの制限

デフォルトの FSS 構成では、Region1 (~ 64MB) のみが R5F アドレス空間にマップされます。フラッシュ サイズが大きいくまど、RAT (領域アドレス変換) モジュールを使用した追加のマッピングが必要となります。

分解能

次の構成を確認して更新してください。

4 バイト アドレッシング モードを有効化

4 バイトアドレッシング モードを使用するように NOR ドライバを更新します。

PDK パス:

```
<pd>/packages/ti/board/src/flash/nor/ospi/nor_xsbi.c
```

アドレス バイト構成を 3 バイトから 4 バイトに更新します。

OSPI デバイス サイズの構成を更新

SBL の初期化中に CS0 デバイス サイズを更新します。

PDK パス:

```
<pd>/packages/ti/csl/src/ip/ospi/V0/priv/csl_osbi.c
```

API:

```
CSL_osbiSetDevSize()
```

構成例:

/* 1h = 1Gb のサイズのアクセス用 */

```
regVal |= (0x1 << CSL_OSPI_FLASH_CFG_DEV_SIZE_CONFIG_REG_MEM_SIZE_ON_CS0_FLD_SHIFT);
CSL_REG32_WR(&pRegs->DEV_SIZE_CONFIG_REG, regVal);
```

/* 1h = 2Gb のサイズのアクセス用 */

```
regVal |= (0x2 << CSL_OSPI_FLASH_CFG_DEV_SIZE_CONFIG_REG_MEM_SIZE_ON_CS0_FLD_SHIFT);
CSL_REG32_WR(&pRegs->DEV_SIZE_CONFIG_REG, regVal);
```

ブート構成レジスタを更新

ブート構成レジスタで S0_BOOT_SIZE を構成します。

CTRLMMR_MCU_FSS_CTRL (0x40F040A0)

64MB を超えるアクセスを有効にするには、この値を 0x1 に設定します。

大規模なフラッシュの RAT マッピングを構成

大規模なフラッシュ デバイスにアクセスする場合は、拡張フラッシュ領域を R5F アドレス空間にマップするように RAT (領域アドレス変換) モジュールを構成します。

構成例:

```
*(volatile uint32_t*)(0x40F90024h + (reg_id * 0x10)) = 0xE0000000u;
*(volatile uint32_t*)(0x40F90028h + (reg_id * 0x10)) = 0x00000000u;
*(volatile uint32_t*)(0x40F9002Ch + (reg_id * 0x10)) = 0x00000005u;
*(volatile uint32_t*)(0x40F90020h + (reg_id * 0x10)) = (1 << 31) | (0x1C << 0);
```

早期ブート時 (たとえば main()) にこの構成を追加して、256MB の OSPI フラッシュ空間全体にアクセスできるようにします。

9.2 PHY チューニングの問題

問題の説明

OSPI クロック周波数が高い状態、特にオクタル DDR モード ($\geq 133\text{MHz}$) では、PHY チューニングがイネーブルでない場合、読み取り動作が不安定になる可能性があります。これにより、早期のシステム初期化中に、断続的な読み取り障害、データの破損、SBL ブート ハングが発生する可能性があります。

根本原因

高速 OSPI 動作では、コントローラと外部フラッシュ デバイスとの間で高精度のデータ サンプリング調整が必要です。PHY キャリブレーションなしで動作している場合、基板レベルの配線遅延、シグナル インテグリティの変動、タイミング スキューがサンプリング誤差の原因となる可能性があります。

OSPI PHY チューニング アルゴリズムでは、これらのタイミング変動を補償するために、フラッシュ メモリに保存されている定義済みのキャリブレーション パターンを使用して読み取りサンプリング遅延をキャリブレーションします。

必要な構成

PHY チューニングの有効化方法:

- OSPI フラッシュの最後の消去セクタの先頭に PHY キャリブレーション パターンをプログラムします。
- OSPI 構成で PHY モードを有効にします (DAC モードのみ)。
- キャリブレーション パターンのメモリ領域をキャッシュ不可として設定します。
- PHY が読み取り動作にのみ使用されることを確認します。

運用上の制約

- PHY モードは直接アクセス モード (DAC) でのみサポートされています。
- PHY は、読み取り動作に対してのみサポートされています。

- PHY が有効化されている場合、内部クロック デバイダがバイパスされ、RCLK がフラッシュ デバイスに直接駆動されます。

PHY なしのクロック デバイダの要件:

- SDR モードでは baudRateDiv ≥ 4 が必要
- DDR モードでは baudRateDiv ≥ 8 が必要

サポートされる最大周波数

OSPI インターフェイスの最大動作周波数は、PHY チューニングが有効になっているかどうかによって異なります。PHY チューニングは、OSPI コントローラと外部フラッシュ デバイス間の基板レベルの信号遅延とタイミング変動を補償することで、高いクロック周波数で信頼性の高い動作を実現できます。

PHY チューニングなしの動作

PHY チューニングが無効になっている場合、サポートされている動作周波数は、インターフェイスのタイミング制約によって制限されます。

- DDR モード: 最大 25MHz
- SDR モード: 最大 50MHz

PHY チューニングありの動作

PHY チューニングが有効になっている場合、コントローラは高いクロック周波数で動作できます。

- 最大 166MHz (フラッシュ デバイスとアクセス モードにより異なる)。

検証済みの周波数を超えて動作する、または適切な PHY チューニングなしで動作すると、不安定な読み取り、データの破損、またはブート障害が発生する可能性があります。

推奨される PHY チューニング パターンの位置

TI の評価基板 (EVM) と同じフラッシュ構成を使用するシステムの場合、PHY チューニング パターンは以下のアドレスにプログラムされます。

表 9.2-1. PHY チューニング パターンの位置

SOC	タイプ	アドレス
J721S2 / J784S4	Cypress OSPI NOR	0x3FC0000
J721E	Micron OSPI NOR	0x3FE0000
J721S2 / J784S4	Winbond OSPI NAND	0x7FC0000

チューニング パターンは、フラッシュ デバイスの最終的な消去ブロック (最後のセクタ) の先頭に配置する必要があります。PHY チューニング パターンを正しい位置に配置しないと、PHY キャリブレーションが失敗する可能性があります。

検証に関する推奨事項

プロセッサ SDK RTOS で提供されている OSPI DMA テスト アプリケーションを使用して、PHY 構成を検証することを推奨します。複数のパワー サイクルにわたる安定した高速読み取り動作により、正しい PHY 構成が確認できます。

10 QSPI ブート サポートに関する考慮事項

TDA4x デバイスでは一般的に 2 次側 OSPI インターフェイス (OSPI1) を使用して、TI の評価基板 (EVM) やカスタム ボードにクワッド SPI (QSPI) フラッシュ デバイスを接続します。OSPI1 は OSPI 対応コントローラですが、基板レベルの ピン配線と、接続されているフラッシュ デバイスの種類によっては、QSPI モードでの動作も可能です。

プロセッサ SDK RTOS では、QSPI フラッシュ デバイスからブートするためのデフォルトのセカンダリ ブートローダー (SBL) をサポートしていません。そのため、ブートストレージに QSPI フラッシュを使用するシステムでは、追加のドライバ 構成が必要になります。

QSPI フラッシュのサポートを可能にするには、選択したフラッシュ デバイスの特性に合わせて PDK OSPI ドライバを更新する必要があります。これには通常、デバイスのデータシートに合わせて、フラッシュ構成表、コマンド オペコード、初期化パラメータの更新が含まれます。

適切なドライバ構成により、QSPI デバイスを使用する際の正しいフラッシュの初期化と信頼性の高いブート動作が保証されます。

11 まとめ

このドキュメントでは、プロセッサ SDK RTOS を使用して TDA4x デバイス上で OSPI サブシステムの構成とデバッグを行うための統合ガイダンスを示します。検証済みのフラッシュ構成、サポートされているクロック供給方式、アクセス モードの制約、PHY 要件、大容量アドレス空間に関する考慮事項を掲載しています。

一般的な起動の問題を、根本原因の説明と是正処置と共に分析することで、サポートされているデバイスと SDK リリース間で確定的なブート動作と信頼性の高い高速 OSPI 動作を実現します。

12 参考資料

1. TI E2E FAQ、「[TDA4VM: OSPI PHY チューニング向けに Shmoo プロットを取得する](#)」
2. テキサス インスツルメンツ、『[OSPI のパフォーマンス数値](#)』(Jacinto 7 データシート)
3. テキサス インスツルメンツ、『[QSPI フラッシュをサポートする OSPI ドライバの構成](#)』

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月