

Application Note

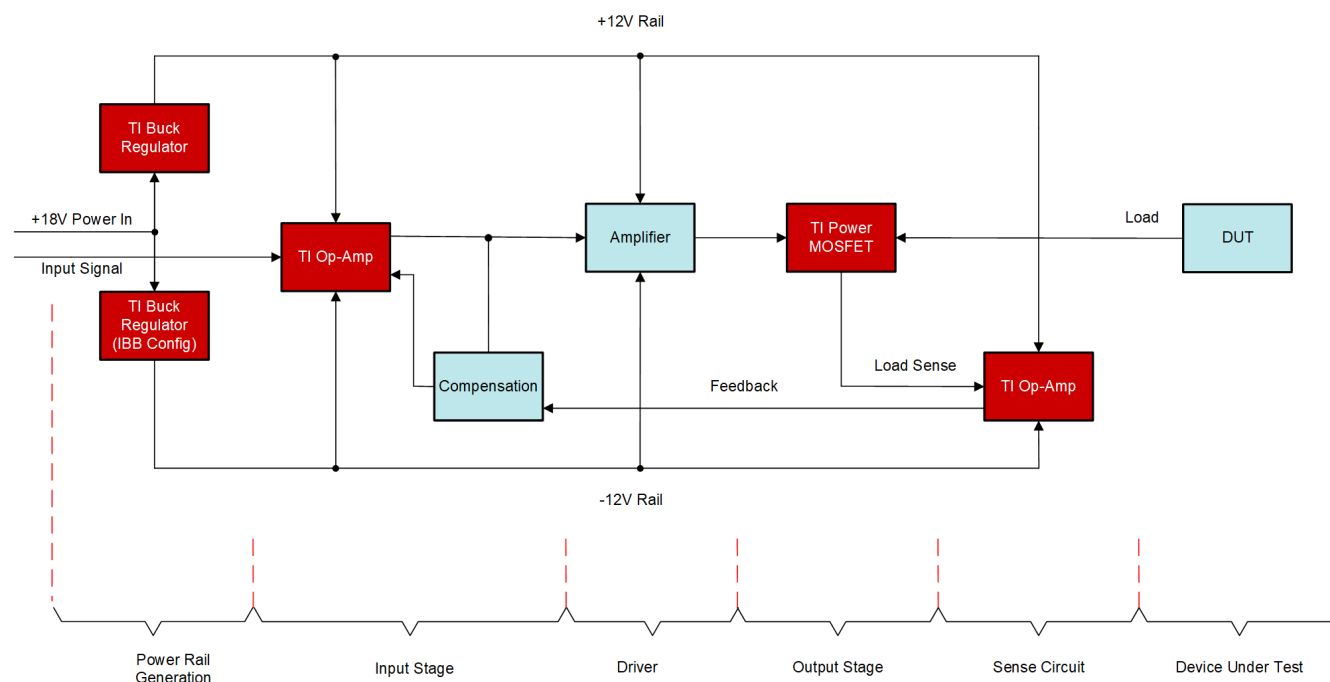
閉ループ負荷過渡基板の設計



Abdallah Obidat

概要

このアプリケーション ノートでは、閉ループ負荷過渡基板を設計するプロセスについて解説し、その性能を評価します。多くの電子システムでは、マイコン (MCU) がスリープ モードまたは低電力モードからアクティブ モードへ移行する際など、通常の動作時に負荷過渡イベントが発生します。これらのイベントでは、突然急増した負荷に対応するために多くの電流が必要になるため、電源レールに乱れが生じます。たとえば、降圧や昇圧などの電源レギュレータは、レギュレータの応答を介して最終的に増加した負荷に対応し、安定状態に収束させます。電源コンバータのループ応答の特性評価をする際に、過渡イベントの持続時間と大きさは重要となります。この文書では、このようなイベントをシミュレーションするための閉ループ負荷過渡基板の設計方法について説明し、パワー エレクトロニクスの特性評価に役立つ手段を提供します。



システム ブロック図

目次

1 はじめに.....	3
2 設計の概要.....	4
2.1 入力段.....	4
2.2 ドライバ段.....	4
2.3 出力ステージ.....	6
2.4 検出段.....	7
2.5 電源.....	8
3 システム設計.....	9
4 安定性.....	12
5 結果.....	17
6 まとめ.....	20
7 付録.....	21
8 参考資料.....	32

図の一覧

図 1-1. 単純な V2I 回路.....	3
図 2-1. 入力段の回路図.....	4
図 2-2. ドライバのバイアス.....	5
図 2-3. ドライバ回路図.....	6
図 2-4. 出力段の回路図.....	7
図 2-5. 検出段の回路図.....	7
図 2-6. 組み立て済み PCB.....	8
図 3-1. DUT 電圧に対する負荷ディレーティング.....	9
図 4-1. ボード線図の一般的な目安.....	12
図 4-2. 負帰還制御ループの図.....	13
図 4-3. 一般的な AC ループ解析.....	13
図 4-4. 閉ループ負荷過渡基板のループ解析.....	14
図 4-5. 閉ループ負荷過渡基板のボード線図 (I_{load} : 10A、DC).....	15
図 4-6. 過渡パルス性能 (I_{load} : 10A、0.5ms).....	16
図 5-1. 閉ループ負荷過渡基板のベンチマーク測定結果.....	18
図 5-2. 正弦波トラッキング.....	18
図 5-3. ランプトラッキング.....	19
図 7-1. 基板外観図 (上面).....	21
図 7-2. 基板外観図 (下面).....	22
図 7-3. レイアウト — 上面.....	23
図 7-4. レイアウト — 中間層 1.....	24
図 7-5. レイアウト — 中間層 2.....	25
図 7-6. レイアウト — 下面.....	26
図 7-7. メイン回路図.....	27
図 7-8. 電源サブ回路図.....	28

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

ここで説明する設計の全体的な概念は、[図 1-1](#) に示す基本的な電圧電流 (V2I) 変換回路を拡張したものです。負荷過渡回路は、オペアンプの非反転入力端子から入力を受け取ります。反転端子は抵抗 R 経由で GND に接続されているため、オペアンプは入力端子間の差に比例する出力を生成します。これにより、トランジスタがオンになり、 R の両端に電圧が発生するまで電流が R を流れます。 R の両端の電圧は、入力端子間の差が $0V$ になるまで上昇し続けます。オペアンプ端子間が同電位になることにより、 V_{in}/R に等しいリファレンス電流が生成されます。このような回路は、アナログ IC の設計で一般的です。

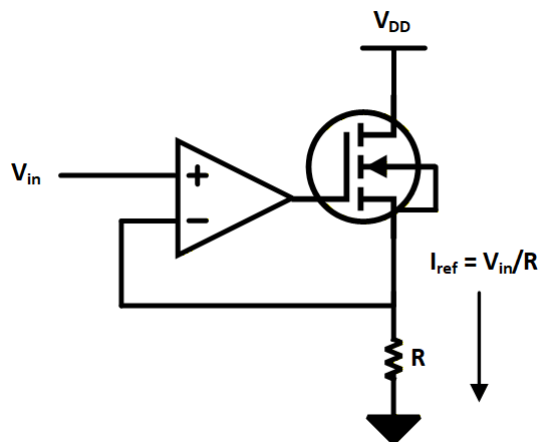


図 1-1. 単純な V2I 回路

ただし、この設計では、負荷トランジスタの前にドライバ/バッファを追加することで、回路でよりオン抵抗が低く、より大きなトランジスタのゲート容量を駆動でき、より大きな負荷電流を実現できます。センス抵抗 R の両端の電圧を検出するために差動アンプを追加すると、正確な電圧/電流比を検証し、差動アンプのゲインによりこの比率を設定できます。

2 設計の概要

この設計は、複数の段で構成されています。各段は、全体的な設計目標を達成する上で明確な役割を果たします。以降のセクションでは、各段の概要を簡単に説明します。

2.1 入力段

この設計の目的は、負荷電界効果トランジスタ (FET) の特性評価を行わずに、既知の入力電圧を印加する方法で、システム負荷過渡イベントをシミュレートできる基板を作成することです。オペアンプを中核とする入力段は、負帰還構成で接続されています。負帰還により、入力電圧と出力電流の間のゲインが固定されます。入力信号は、いずれかの入力コネクタを介してオペアンプの非反転端子に伝搬されます。これにตอบสนองして、オペアンプは入力端子の電位が等しくなるように出力を **high** に駆動します。利便性のため、複数の入力コネクタを並列で接続しています。SMB、BNC、またはワニ口クリップを使用して回路と接続することもできます。

入力段には、オペアンプの非反転端子と反転端子の間に直列高周波バイパス RC ネットワークが含まれています。この RC は、DC および低周波数ではハイインピーダンス (Hi-Z) 接続となるように設計されていますが、より高い周波数では低インピーダンス (Lo-Z) 接続となります。これにより、急峻なステップ入力を印加したときに発生する可能性のある入力端子での高周波リングをシャントします。最後に、入力段には、安定性を保証するため、出力端子と帰還端子の間に複数の受動部品が配置されています。図 2-1 に、入力段を示します。

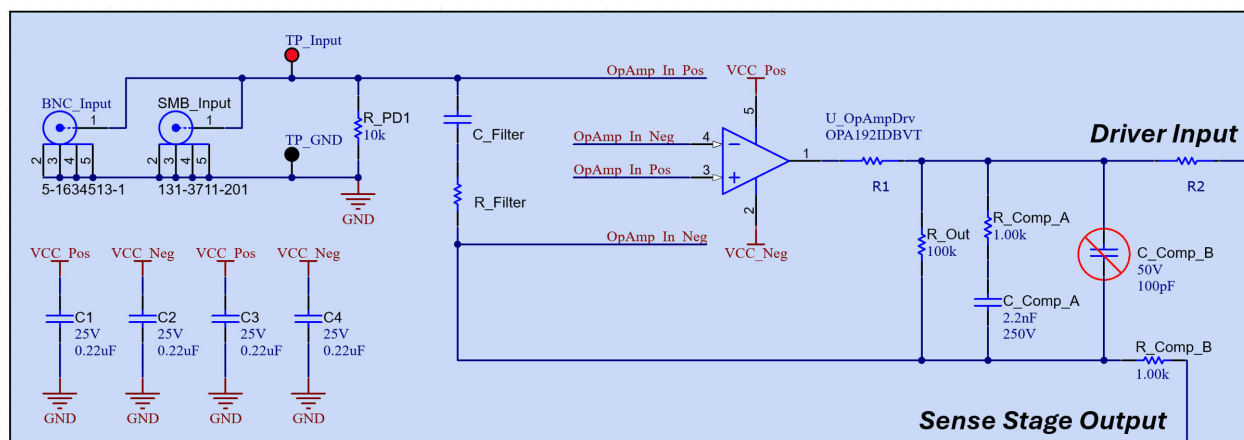


図 2-1. 入力段の回路図

2.2 ドライバ段

入力段は、ドライバ段に対する制御信号を生成します。負荷過渡イベントは、最終的には負荷として動作する 1 つ以上のパワー FET によって生成されます。MOSFET (金属酸化膜半導体電界効果トランジスタ) ゲートは容量性であるため、容量性負荷を駆動できるように信号を適切にバッファする必要があります[1]。入力段が容量性負荷を直接駆動することは理想的ではありません。これには、より大きな電流が必要となりますが、オペアンプは通常、大きな容量性負荷の直接駆動に適していないため、このような駆動を試みるとループ発振が発生する可能性があり、安定性が問題となります[2]。この設計では、絶縁抵抗の実装以外にも、複数の補償オプションをサポートしています。R2 (ドライバ回路の直前にある 0Ω 抵抗) は、10Ω の絶縁抵抗に置き換えることも、代替の補償またはドライバ構成用に調整された他の値に置き換えることもできます。前段の電流駆動能力によって、駆動可能な FET の大きさが決まります。複数の大型 FET ゲートなど、より大きな容量性負荷を駆動するには、通常、ドライバ段が必要になります。ドライバは入力段の出力をバッファし、より高い負荷を駆動します。

この基板で使用するドライバ段は、クラス AB プッシュプル アンプですが、バイアスはクラス B に近くなっています。クラス AB アンプは高効率で、クロスオーバー歪が最小限です。この設計のアンプは、単一バイポーラ接合トランジスタ (BJT) の代わりに 2 個のバイアス抵抗、2 個のバイアス ダイオード、2 個のダーリントン ペアで構成されています。クラス AB 構成では、バイアス抵抗とダイオードにより、入力が 0V のときに導通エッジのすぐ近くにあるように BJT ベースがバイアスされます[3]。ダイオードは、入力ノードと各トランジスタのベース間の順方向電圧の合計が、それぞれのトランジスタの V_{BE} とほぼ等しくなるようにスタックすることができ、真のクラス AB 動作を実現できます。回路の上半分または下半分の周りにキルヒホッフの電圧法則 (KVL) を適用すると、ダイオードの電圧降下がベースとエミッタ間の電圧全体と一致した場合、回路

の出力電圧は入力と一致します (電流駆動能力は向上します)。入力信号が正と負のどちらであるかに応じてダーリントンペアのいずれか 1 つが導通するため、回路の半分のみが考慮されます。この概念を 図 2-2 の右側の図に示します ($V_{in} > 0$)。

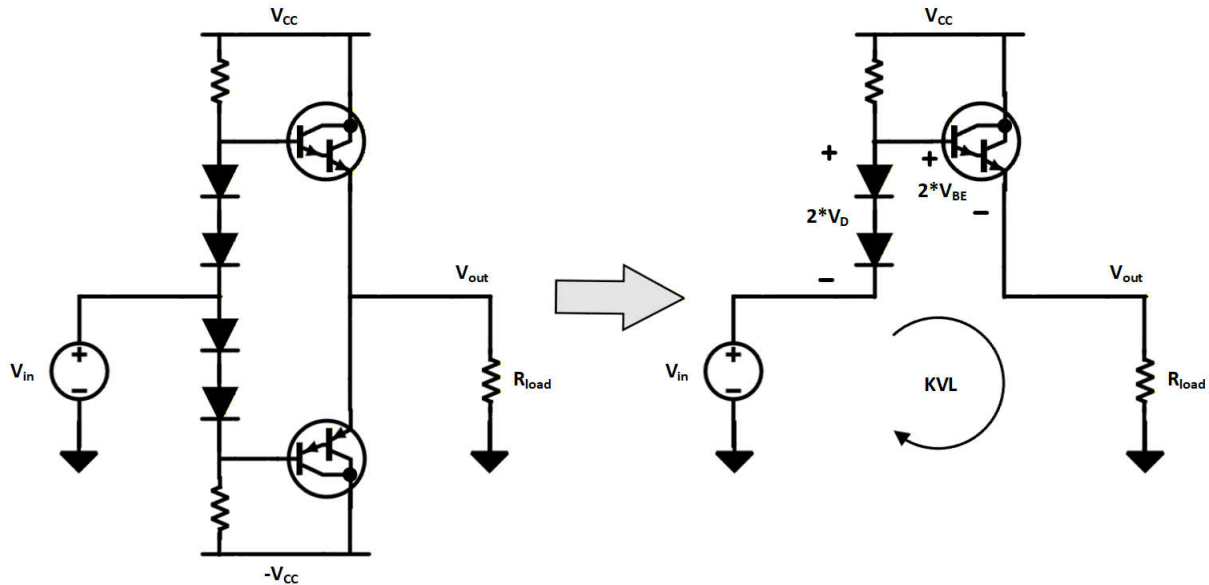


図 2-2. ドライバのバイアス

この設計では、「常時オン」であるクラス A アンプとして動作するリスクを回避し、基板に入力が印加されていないときにダーリントンペアを低温状態にするため、各ダーリントンペアのベースがその V_{BE} 未満の電圧でバイアスされるようにします。この設計では実際の過渡応答にある程度のレイテンシが生じますが、これは BJT のベース間、つまり、この場合はダーリントンペアのスタックダイオードの数を変更することで調整可能なトレードオフです。集積回路 (IC) では、温度変化に対してダイオードの順方向電圧をトランジスタの V_{BE} に一致させることができるため、熱安定性が高く、クロスオーバー歪を最小限に抑えることができますが、ディスクリート部品の場合は困難です。

ダーリントンペアは、2 つのスタックされた BJT で構成され、最初の BJT のエミッタが 2 目目の BJT のベースを駆動します。この結果、全体の最終的なエミッタ電流は、通常の BJT よりもはるかに大きくなります。通常の BJT のエミッタ電流は次のようになります。

$$I_e = (h_{fe} + 1) * I_b \quad (1)$$

ダーリントンペアの場合、エミッタ電流は次のようになります。

$$I_e = (h_{fe} + 1)^2 * I_b \quad (2)$$

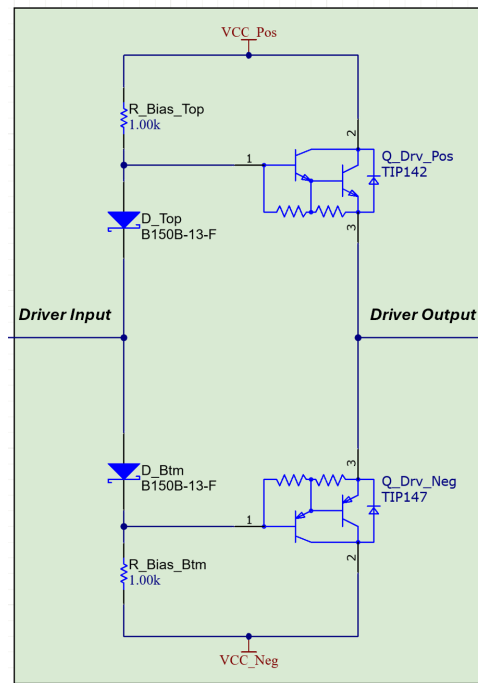


図 2-3. ドライバ回路図

ドライババッファ段は、負荷トランジスタのゲート容量が入力段のオペアンプの駆動能力より大きい場合にのみ必要であることに注意してください。この段を除去またはバイパスすることで、設計が簡素化され、負荷過渡を高速化できます。ドライバの帯域幅は有限であるため、システム全体の応答に影響します。

2.3 出力ステージ

出力段は、負荷過渡 FET、直列ゲート抵抗、 $1\text{m}\Omega$ バラスト抵抗で構成されます。図 2-4 に回路図を示します。入力段からドライバ段に渡された制御信号は、そこでバッファされ、負荷 FET を駆動するために使用されます。入力信号 V_{in} のプロファイルによって、負荷過渡イベントのプロファイルが決まります。FET のゲートの直列抵抗により、ゲート電圧のスループレートが制限され、回路の安定性が向上しています[4]。バラスト抵抗により、複数の FET を並列に使用する場合、電流共有がほぼ等しいことが保証されます。たとえば、一方の FET の V_{th} が他の FET より低い場合、その FET からより多くの電流が流れます。バラスト抵抗の両端の電圧によって、その FET のゲート オーバードライブ電圧が低下するため、電流が減少し、並列 FET 間での電流共有が改善されます。この基板は、ボードの右側にある直角コネクタ経由での並列出力段をサポートしています。各出力段には、それぞれのゲート抵抗、負荷トランジスタ、バラスト抵抗が含まれます。

インダクタンスを最小化するため、基板自体をパワー コンバータの出力コンデンサ バンクに半田付けできるように基板レイアウトが構成されています (PCB 上面に DUT 出力、下面に GND)。この短い接続により、インターフェイスのインピーダンスが低減され、より高速な過渡応答が可能になります。

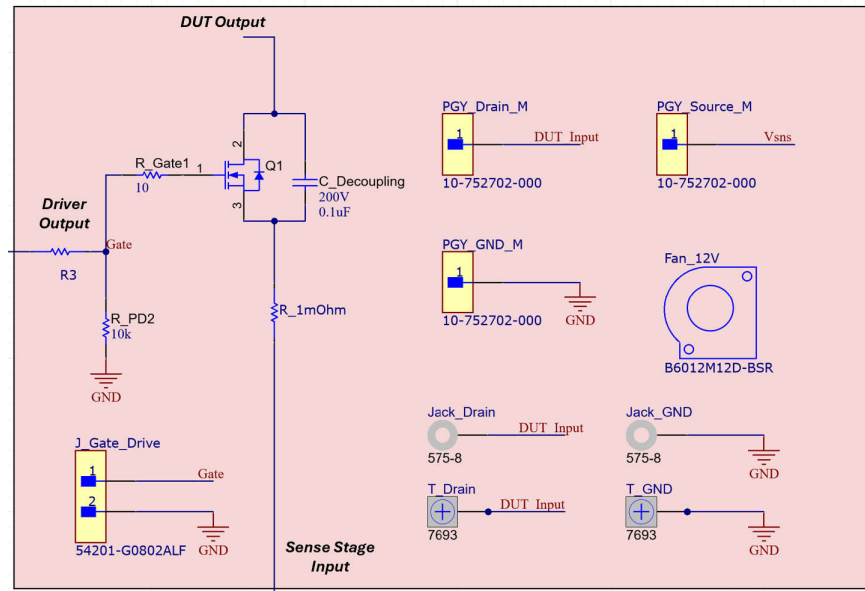


図 2-4. 出力段の回路図

2.4 検出段

負荷電流を制御するには、負荷電流を測定する必要があります。検出段は 4 端子の電流センス抵抗 (ケルビン検出用)、フィルタ、差動アンプとして機能するオペアンプで構成されます。これにより、非常に小さな電圧のアナログ検出が可能になります。これらの電圧を増幅し、入力段の負の入力ノードに帰還することで負の帰還ループを閉じることができます。この段では、電圧/電流ゲインを設定します。たとえば、500mV が入力に印加された場合、差動アンプのゲインが 1 に設定されていれば、帰還ループにより、50mΩ センス抵抗の両端に 500mV が印加されることが保証されます。これは、基板への 500mV の入力によって 10A の負荷が発生することを意味します。差動アンプのゲインが 1 より大きい場合、電圧/電流ゲインはその係数で除算されます。たとえば、このリファレンス デザインではゲインが 2 に設定されているため、500mV 入力で 5A 負荷 ($I_{load}/V_{in} = 1A/100mV$) となります。これは、入力端子が等しくなるようにオペアンプが出力を駆動するためです。したがって、センス抵抗の両端の電圧が、500mV を検出段のゲイン (2) で割った値と等しくなる場合にのみ、反転端子が 500mV に達します。フィルタを調整することで、センス信号を過度に低速にしないようにすると同時に、センス信号からノイズやオペアンプの帯域幅を超える高周波成分が除去された状態を維持できます。

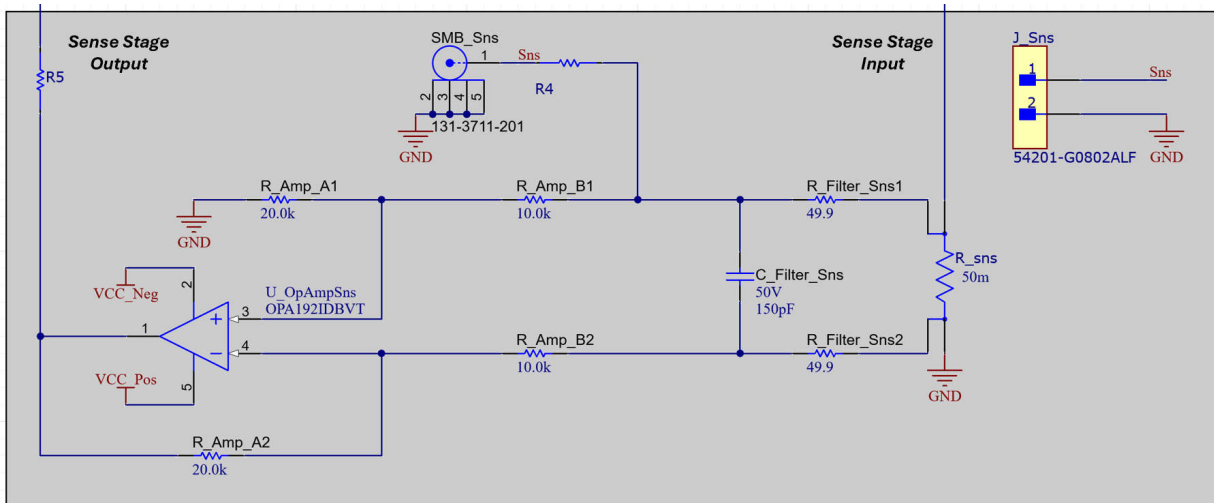


図 2-5. 検出段の回路図

2.5 電源

このデザインには、消費電力の多いさまざまなアクティブ デバイスが組み込まれています。オペアンプには通常、電流を供給する正のレールと、電流をシンクする負のレールが必要です。この設計は、2 つの同一オペアンプを使用しています。また、正と負のレールを必要とするドライバも含まれています。これらのデバイスには広範囲のレール オプションがあり、 $\pm 12\text{V}$ のレールが使用可能です。また、 $+12\text{V}$ レールを使用してファンに電力を供給し、ドライバと出力段を冷却することもできます。これらのレールを生成するため、LM67680 を標準および反転昇降圧 (IBB) 構成で使用しています。ほとんどの降圧コンバータは、出力をグランドに接続し、デバイスの GND を負のレールとして使用することで、IBB 構成に変換できます[5]。この構成では、内部ロジックが負のレールを基準とし、GND を基準とする EN などの信号には通常レベルシフタが使用されるため、多少の問題が生じます。この設計では、EN を V_{in} に接続するだけです。基板の推奨入力電圧は 18V で、EN 電圧は $18 - (-12) = 30\text{V}$ になります。これは LM67680 の EN ピンの電圧定格の範囲内であり、この設計では内蔵レベルシフタは不要です。LM67680 の電流制限は、ドライバ段の電流要件を満たすのに十分です。この降圧コンバータは、広い入力電圧定格を実現し、この設計に推奨される入力電圧範囲 ($18\text{V} \sim 24\text{V}$) の入力に容易に対応できます。この閉ループ過渡基板の推奨入力電流は 2A で、これにはヘッドルームが含まれます。

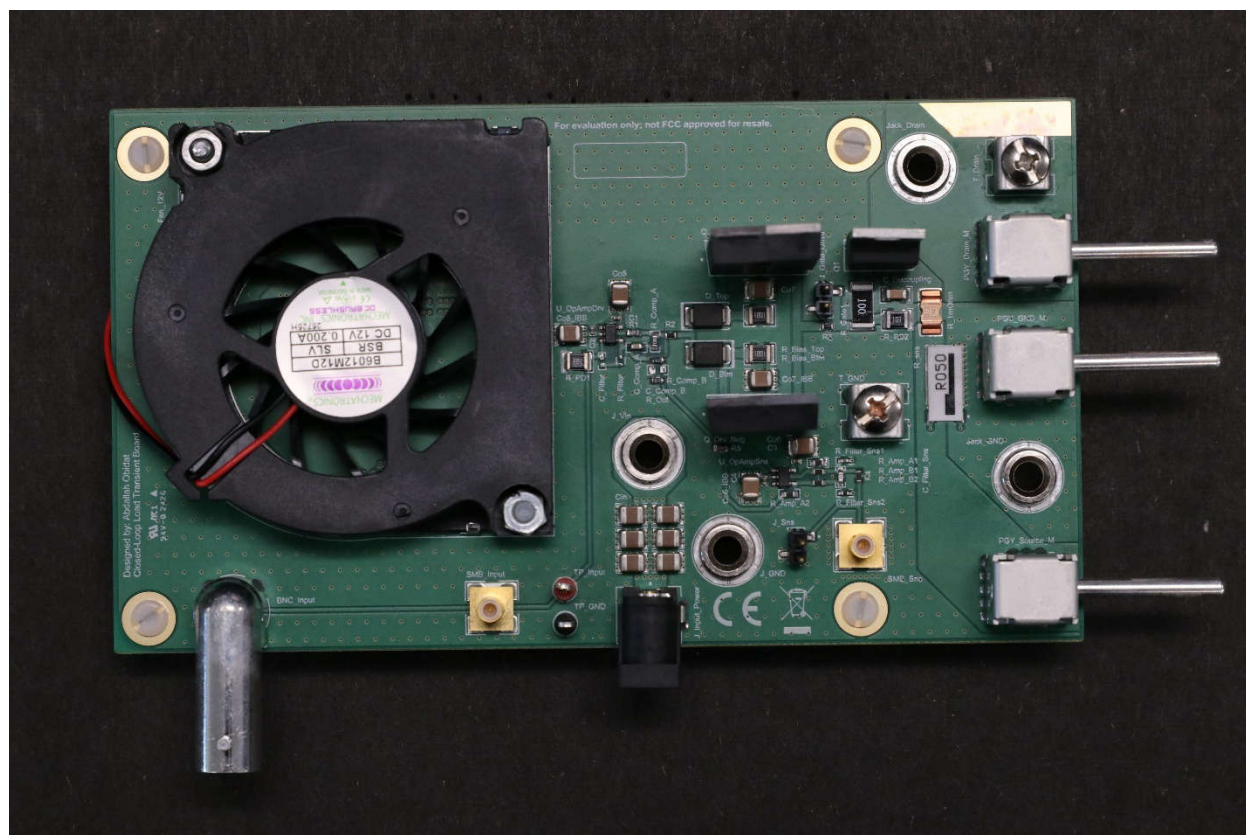


図 2-6. 組み立て済み PCB

3 システム設計

システム設計は通常、仕様の策定から始まります。これらの仕様により、制約が課せられ、残りの部分の指針となります。

表 3-1. 設計仕様

仕様名	仕様値
最大負荷	30A @ 5V
目標スルーレート	1A/μs @ 10A
サポートされる最大 DUT 電圧	80V
サポートされる最小電圧	負荷依存

最大負荷は、[図 3-1](#) に示すように、テスト対象デバイス (DUT) の出力電圧、つまり負荷 FET のドレインに印加される電圧に基づいてディレーティングされます。このディレーティングはオームの法則に起因しています。負荷電流は、トランジスタの $R_{ds(on)}$ (hot ~4mΩ)、バラスト抵抗 (1mΩ)、電流センス抵抗 (50mΩ) で IR 降下が生じます。最小 DUT 電圧と印加可能な最大負荷電流の関係を表す式は次のとおりです。

$$V_{DUT_Min} = Load * (R_{ds(on)} + R_{Ballast} + R_{Current_Sense}) \quad (3)$$

前の式では、基板と DUT の間の相互接続の抵抗や PCB パターンの抵抗は考慮されていません。適用する条件は、FET の安全動作領域 (SOA) に準拠している必要があることに注意してください。

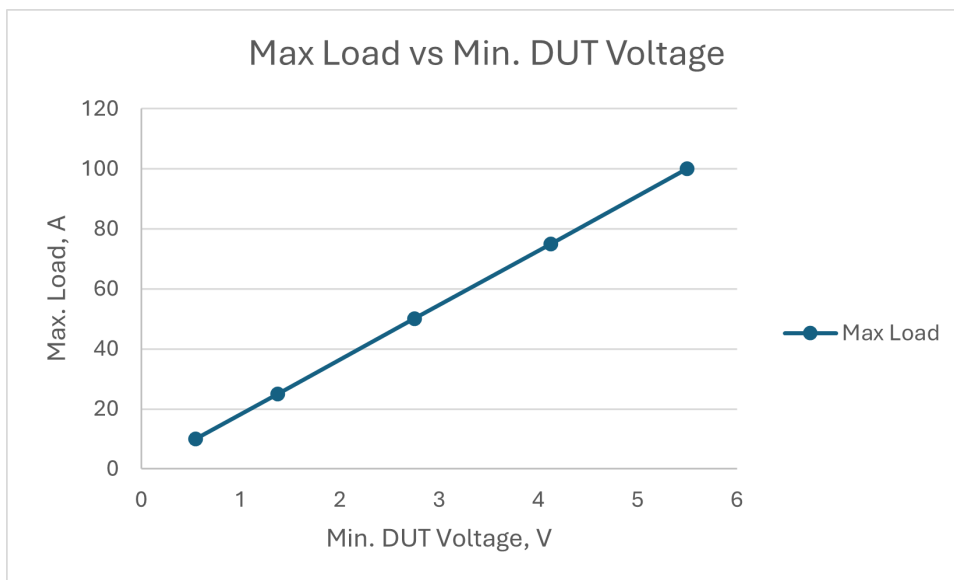


図 3-1. DUT 電圧に対する負荷ディレーティング

MOSFET は過渡負荷をシミュレートするもので、システム内で最も重要な部品です。CSD19536KCS は、適切な冷却で 150A の連続電流に耐えることができる 100V 定格の MOSFET です[6]。この MOSFET は低い Q_g を備えているため、駆動が容易です。また、パッケージが大きいので、ヒートシンクの取り付けが可能です。次に、1mΩ 抵抗をバラスト抵抗として使用し、より大きい負荷を実現するために複数の FET を並列に使用する場合、これらの FET は負荷共有能力を確実に改善します。この基板のコネクタを使用すると、嵌合接続を備えた 2 次 PCB 経由でこれを実現できます。最後に、50mΩ 抵抗を電流シャントとして使用することで、負荷電流に相当する電圧をケルビン測定できます。

MOSFET を選択することで、その合計ゲート電荷量と目標立ち上がり時間から、ドライバが供給すべき平均ゲート電流を決定できます。

$$I_{gate_avg} = \frac{Q_{gate}}{t_{rise}} \rightarrow \frac{118nC}{1\mu s} \rightarrow 0.118A \quad (4)$$

発振を制限するために、通常はゲート抵抗を配置します。駆動電圧が 10V の場合：

$$I_{peak} = \frac{V_{drive}}{(R_{gate} + R_{drive})} \rightarrow \sim \frac{V_{drive}}{R_{gate}} \rightarrow \frac{10V}{(10\Omega)} = 1A \quad (5)$$

ドライバの全体的なピーク電流要件は、ヘッドルームとマージンを含めて、負荷段あたり約 **1.2A** です。ゲートドライブ電圧が低いと、 I_{peak} は減少しますが、立ち上がり時間が長くなります。帰還ループは、負荷プロファイルが入力電圧プロファイルと一致していることを確認するための適切なドライブを生成します。実際の立ち上がり時間は、閉ループの帯域幅、DUT への接続のインダクタンス、 V_{BE} 未満のドライバ バイアスによるデッドバンドによって左右されます。

これらの値により、出力段の前のドライバ段の要件が決まります。このドライバは、**10V** の駆動を供給し、電力段ごとに **1.2A** 以上のピーク電流を供給する必要があります。ドライバ段のトランジスタと目標出力電流を組み合わせることで、必要な入力ベース電流を計算できます。ベース電流は、予測されるエミッタ電流から逆算できます。

$$I_b = \frac{I_e}{(h_{fe} + 1)} \rightarrow \frac{1.2A}{1001} \approx 1.2mA \quad (6)$$

ドライバ段は入力信号をバッファリングし、電流ドライブ能力を向上させます。後続の電力段のゲートを **10V** まで駆動するには、必要なヘッドルームをドライバに提供できるように、ドライバ段のレールをそれよりも高くする必要があります。この設計では $\pm 12V$ レールを使用して、常に **2V** 以上 (**20%** のマージン) のヘッドルームがあることを検証します。出力段には通常、 h_{fe} (電流ゲイン) が高い BJT が含まれます。単純な負荷パルスが与えられた場合、瞬間的な電力は BJT が消費するピーク電力と等しくなります。電力は、次の式で計算できます。

$$P_{peak} = (V_{CE} * I_C) + (V_{BE} * I_B) \rightarrow at I_B = 1.2mA \quad (7)$$

$$P_{peak} = (V_{rail} - V_{gate_target}) * I_{peak} + (V_{BE} * I_B) \quad (8)$$

$$P_{peak} = (12 - 10) * (1.2) + (3 * 0.0012) \approx 2.4W \quad (9)$$

ダーリントン ペアに対する最大 V_{BE} が大きいものの、ベース電流により消費される電力は非常に小さいことに注意してください。

目的の負荷が周期的な場合は、次の式で平均電力を計算できます。

$$P_{avg} = Q_g * V_{rail} * f_{max_rep_rate} \quad (10)$$

$$P_{avg} = 118nC * 12V * 10kHz = 14.2mW \quad (11)$$

この平均電力には、BJT での損失と、 R_{gate} で熱として消費されるエネルギーが含まれます。この値は R_{gate} の実際の値には依存しません。 R_{gate} が低い場合は、短期間での消費電力が大きくなります。同様に、 R_{gate} が高い場合、消費電力が長期間にわたって低くなります。 R_{gate} の値は、駆動速度と安定性に影響を及ぼします。

選択した NPN および PNP トランジスタは、レール電圧でピーク電流を駆動できる必要があります。多くのトランジスタのデータシートには、安全動作領域のグラフが記載されており、トランジスタが特定のレール電圧 (V_{CE}) で必要な電流を駆動できることを検証する際に役立ちます。TIP142、TIP147 デバイスは相補型 NPN および PNP ダーリントン ペアです。これらのデバイスは **1000** を超える高い h_{fe} を持ち、小さなベース電流で大きな駆動電流を実現できます。どちらのデバイスも、**25°C** の T_{case} 、最大 **10A** において **125W** の定格であり、ブレイクダウン電圧は **100V** であるため、出力段には堅牢な選択肢です。サイズが大きく、**1°C/W** の熱抵抗 (接合部とケース間) も小さいため、冷却と熱管理が容易です。

ドライバ段をバイアスするため、**2** 個の抵抗と **2** 個のダイオードを使用します。これらのダイオードのそれぞれの順方向電圧降下は約 **0.5V** です。バイアス電流は、トランジスタの駆動に必要な実際のベース電流よりも大きく設定することが理想的です。回路のバイアス分岐付近の KVL は、バイアス抵抗とバイアス電流の関係を示しています。

$$I_{bias} \approx 10 * I_{base} = 12mA \quad (12)$$

$$KVL \rightarrow -V_{CC} + (R_{bias} * I_{bias}) + V_D + V_D + (R_{bias} * I_{bias}) + V_{EE} = 0 \quad (13)$$

$$R_{bias} = \frac{(V_{CC} - V_{EE} - 2V_D)}{2I_{bias}} \quad (14)$$

$$R_{bias} = \frac{(12 - (-12) - (2 \times 0.5))}{2 \times 0.012} \approx 1k\Omega \quad (15)$$

入力段は、ドライブ段のバイアス電流とトランジスタのベース電流の両方を駆動できる必要があります。ドライブが最大電圧に達すると、各 R_{bias} 抵抗を流れるバイアス電流は大幅に低下し、オペアンプはその差を供給する必要があります。これにより、オペアンプの駆動電流と抵抗値に制限が課されます。次の条件では：

$$I_{bias} = \frac{(V_{rail} - V_{drive})}{R_{bias}} = 2mA \quad (16)$$

このような最大駆動条件では、オペアンプはフルバイアス電流とベース電流をトランジスタに供給する必要があります。**OPA192** は **65mA** という比較的高い駆動能力を備えているため、十分に供給可能です。また、必要な電圧レールと入出力要件にも対応する必要があります。**OPA192** は **36V** レール ツー レール オペアンプで、**±12V** のレールをサポートし、**10V** の入力に対応します。このアンプのオフセット電圧は **±5μV** です[7]。このオペアンプは、**10MHz** のゲイン帯域幅積と **20V/μs** のスルーレートを達成しています。どちらも、**1A/μs** の過渡仕様をサポートするのに十分な値です。

ループ全体の出力での高周波発振を除去するため、高周波のバイパス **RC** ネットワークを使用して、入力段におけるオペアンプの非反転入力端子と反転入力端子間のインピーダンスを低下させます。**DC** および低周波数では、コンデンサのインピーダンスは大きく、通常の動作に干渉しませんが、高周波振動が発生した場合、コンデンサのインピーダンスがはるかに低くなり、オペアンプ入力間に低インピーダンスのパスが形成され、発振が増幅されなくなります。この最小インピーダンス値は、**1kΩ** に設定された抵抗 **R** によって制御されます。**220pF** のコンデンサのリアクタンスは、たとえば **5MHz** のような高周波で **145Ω** に等しくなり、**1.01kΩ** のネットワーク インピーダンス全体になります。

$$Z_{filter} = \sqrt{\left(R^2 + \frac{1}{2 \times \pi \times f \times C}\right)^2} \quad (17)$$

$$Z_{filter} = \sqrt{\left(1000^2 + \frac{1}{2 \times \pi \times (5 \times 10^6) \times (220 \times 10^{-12})}\right)^2} = 1.01k\Omega \quad (18)$$

4 安定性

この設計では負帰還を使用しているため、安定性を検証するには補償が必要になります。安定性とは、十分なゲイン マージンと位相マージンがあることを意味します。位相マージンは、位相が -180° からどれだけ離れているかを示し、ゲインが 0dB のときの位相を測定することで決定されます。位相シフトが 180° 以上の場合、信号位相が反転し、正帰還によって不安定性が発生します。速度と安定性の間にはトレードオフがあり、ループが速いほど不安定になる傾向があります。ゲイン マージンは、 -180° の位相でゲインが 0dB からどれだけ離れているかを示し、位相を 180° ずらしてループ ゲインの大きさを測定することで決定されます。ゲインが 0dB より高い場合、ゲイン マージンは負であり、ループに正帰還が存在するため、ループは安定しません。ゲイン マージンが正で、位相シフト 180° でゲインが 0dB 未満である場合、理論的にはループは安定しています。

入力オペアンプの後にいくつかの抵抗とコンデンサを使用して、制御ループを補償し、システムの安定性を検証します。出力から負入力への大きめの抵抗が存在します。これにより、正入力に DC 電圧を印加した際に、DC で回路が電圧フォロウとして動作することが検証されます。高周波コンデンサは、反転入力端子に高周波成分をフィルタリングするため、ループは帯域幅を超える信号に応答しようとしません。最後に、直列 RC は、極とゼロを生成することで補償を行います。全体の伝達関数を決定するには、インピーダンスを計算してから標準形に変換します。選択した R および C 値は、目的の極とゼロに基づいて選択し、適切なクロスオーバー周波数と位相マージンを検証します。

極とゼロの配置を検討する際の一般的な目安を 図 4-1 および以下の箇条書きに示します[8]。

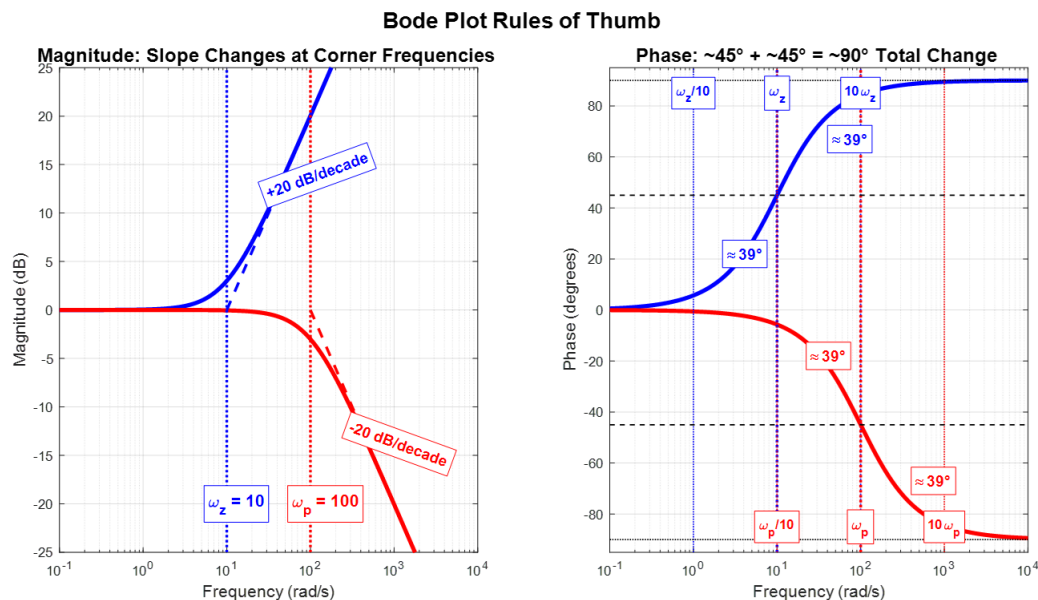


図 4-1. ボード線図の一般的な目安

- ゼロ周波数では、振幅は 20dB/decade で増加し始めます
- 位相は、ゼロ周波数の 10 分の 1 とゼロ周波数の間で約 45° 増加します
- 位相は、ゼロ周波数とゼロ周波数の 10 倍の間でさらに約 45° 増加します
- 極周波数では、振幅は 20dB/decade で減少し始めます
- この位相は、極周波数の 10 分の 1 と極周波数の間で約 45° 減少します
- この位相は、極の周波数と極の周波数の 10 倍との間でさらに約 45° 減少します

ループを補償することで、極とゼロが導入され、システムが十分な位相マージンおよびゲイン マージンを備えていることを確認します。システムの補償方法を決定するには、その伝達関数の式が必要です。図 4-2 に、単純な負帰還ループの図を示します。

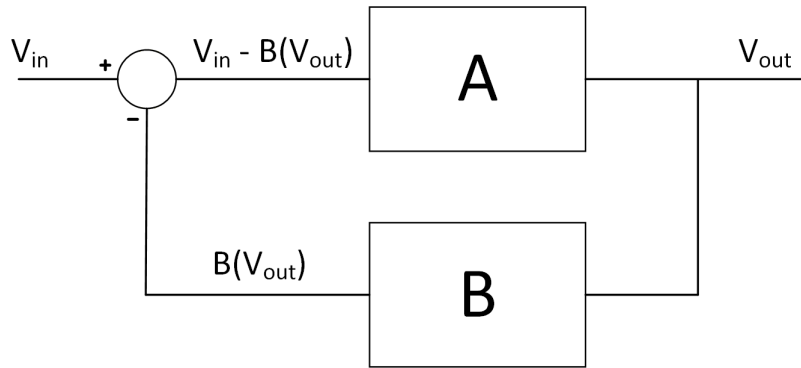


図 4-2. 負帰還制御ループの図

上の図では、開ループ ゲイン A とフィードバック係数 B を使って V_{out} のレギュレーションを行っています。

$$V_{out} = A * (V_{in} - B * V_{out}) \quad (19)$$

$$V_{out} = (A V_{in} - A B V_{out}) \quad (20)$$

$$A V_{in} = V_{out} + A B V_{out} \quad (21)$$

$$A V_{in} = V_{out} * (1 + A B) \quad (22)$$

$$\frac{V_{out}}{V_{in}} = \frac{A}{(1 + A B)} \rightarrow \text{Transfer Function} \quad (23)$$

V_{out} と V_{in} の関係を伝達関数と呼びます。ここで、 AB はループ ゲインです。この式から、負帰還を印加すると、システムゲインが大幅に低減することが分かります。一方向では低インピーダンス、もう一方ではハイインピーダンスになっている接合部のループを切断すると、ボード線図からループを解析できます。この接合部は通常、ボード線図を測定できる場所になります[9]。図 4-3 に、ループを切断し、小信号を注入してループ ゲインを直接決定する方法を示します。

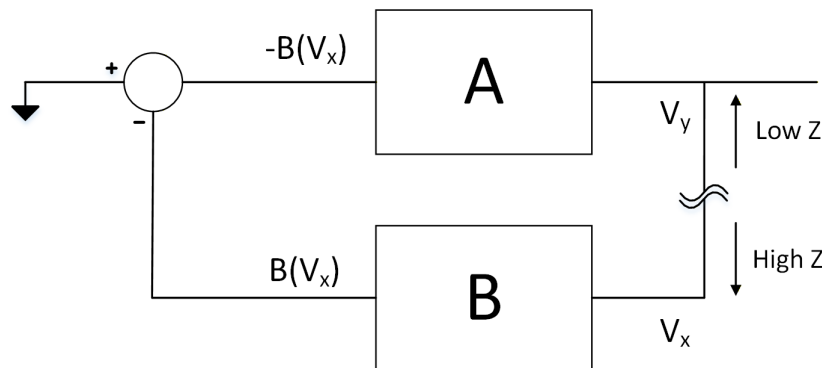


図 4-3. 一般的な AC ループ解析

V_x から始まり、 V_x のパスに従って V_y に達するまでのループ ゲインを決定できます。 V_y/V_x の比はループ ゲインと等しくなります。AC 解析では、 V_{in} などの理想的な電圧源は低インピーダンスで GND に短絡しています。

$$V_y = A * (0 - B * V_x) \quad (24)$$

$$AB = - \left(\frac{V_y}{V_x} \right) \quad (25)$$

上記の結果は、負帰還を持つ単純な閉ループの伝達関数の導出と一致しています。同様の方法で負荷過渡ボードの伝達関数を導出できます。

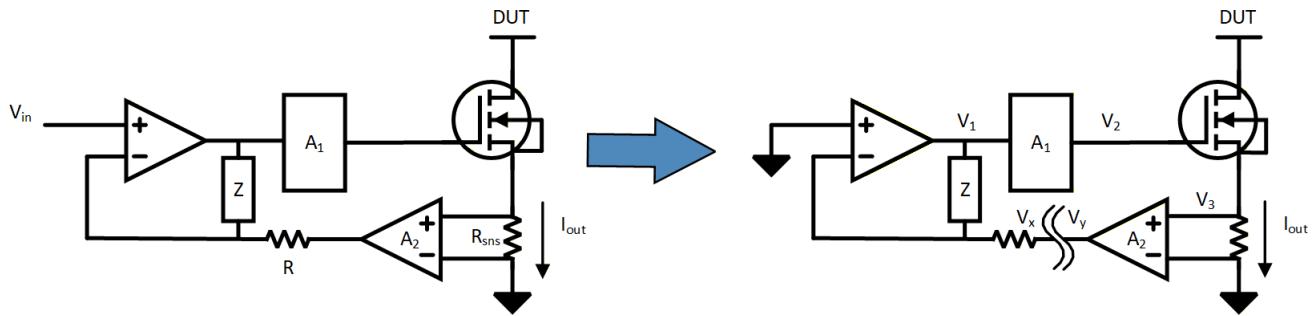


図 4-4. 閉ループ負荷過渡基板のループ解析

ループを切断して V_{in} を GND に短絡した後 (AC 解析)、 V_x (最初のオペアンプへの入力) は反転アンプへの入力となります。 A_1 はバッファで、ゲインは 1 です。したがって、 $V_1 = V_2$ となります。トランジスタはソース フォロワ構成でゲートからソースに接続されているため、 $g_m R_{sns} \gg 1$ で、ゲインは $g_m (R_{sns}) / (g_m R_{sns} + 1)$ になります。相互コンダクタンス g_m または g_{fs} は、データシートの I_{DS} と V_{gs} の曲線から決定され、式 $\Delta I_D / \Delta V_{gs}$ が適用されますが、CSD19536KCS FET の場合は、データシートの特性表 307 S に明示的に記載されています。 $g_m R_{sns} \gg 1$ のため、トランジスタの AC ゲインも約 1 かつ $V_3 = V_2 = V_1$ です。最後に、 A_2 のゲインは 2 に設定されています。ここで、ループ ゲインは次のようになります。

$$V_1 = -V_x \left(\frac{Z}{R} \right) \quad (26)$$

$$V_2 = V_1 A_1 \quad (27)$$

$$V_3 = V_2 \frac{(g_m R_{sns})}{(g_m R_{sns} + 1)} \quad (28)$$

$$V_y = V_3 A_2 \quad (29)$$

$$\frac{V_y}{V_x} = - \left(\frac{Z}{R} \right) A_1 \left(\frac{g_m R_{sns}}{g_m R_{sns} + 1} \right) A_2 \quad (30)$$

$$- \left(\frac{V_y}{V_x} \right) = 2 \left(\frac{Z}{R} \right) \quad (31)$$

$$\text{The Overall Transfer Function} \rightarrow \frac{\left(\frac{2Z}{R} \right)}{1 + \left(\frac{2Z}{R} \right)} \quad (32)$$

この伝達関数は、 Z と R の関数です。この設計では、 R は $1k\Omega$ に固定されています。このリファレンス デザインのインピーダンス ネットワーク Z では、抵抗とコンデンサが並列で接続され、コンデンサと直列 RC が並列で接続されています。全体的な補償ネットワークポロジ Z は次のとおりです。

$$Z = R_{out} \parallel C_{HF} \parallel (R_{comp} + C_{comp}) \quad (33)$$

関数は、すべての部品が存在する場合に最も複雑になります。 $R_{out} \gg R_{comp}$ (比率 100x) で、この設計では C_{HF} が使用されていないため、極の位置は表 4-1 に示すように概算できます (ゼロが正確で、近似されていないことに注意してください)。

表 4-1. 極とゼロの計算

ルート	タイプ	式	値
f_z	ゼロ	$1/(2\pi R_{comp} C_{comp})$	~72kHz
f_p	ポール	$1/(2\pi (R_{out} + R_{comp}) C_{comp})$	~720Hz

直感的には、 R_{out} は DC と低周波で有限インピーダンスを示します。これがない場合、回路は無限インピーダンスを示し、DUT が接続されていないときに入力段のオペアンプが飽和します。直列 RC は低周波の極を生成し、そのロールオフがより高い周波数でゼロによって停止されます。ゼロはループを安定させるのに役立ちます。グローバル R ($R_{Comp_B} = 1k\Omega$) は、閉ループ ゲインの振幅曲線全体に影響を及ぼすスケーリング係数で、クロスオーバー周波数の位置を調整できます。この構成での全体的な結果は、図 4-5 のボード線図に示すように、約 80° の位相マージンで非常に安定しています。ゲイン/位相プロットは、検出段の出力で $R5$ を 10Ω の注入抵抗に置き換え、図 4-4 でループが切断された位置で測定しました。接続された DUT は $5V$ に設定し、入力を $1V$ に設定して、負荷を一定の $10A$ に設定しました。ボード線図の測定中に一定の DC 負荷を持続させるには、アクティブ冷却が必要であり、完了するまでに数秒かかります。

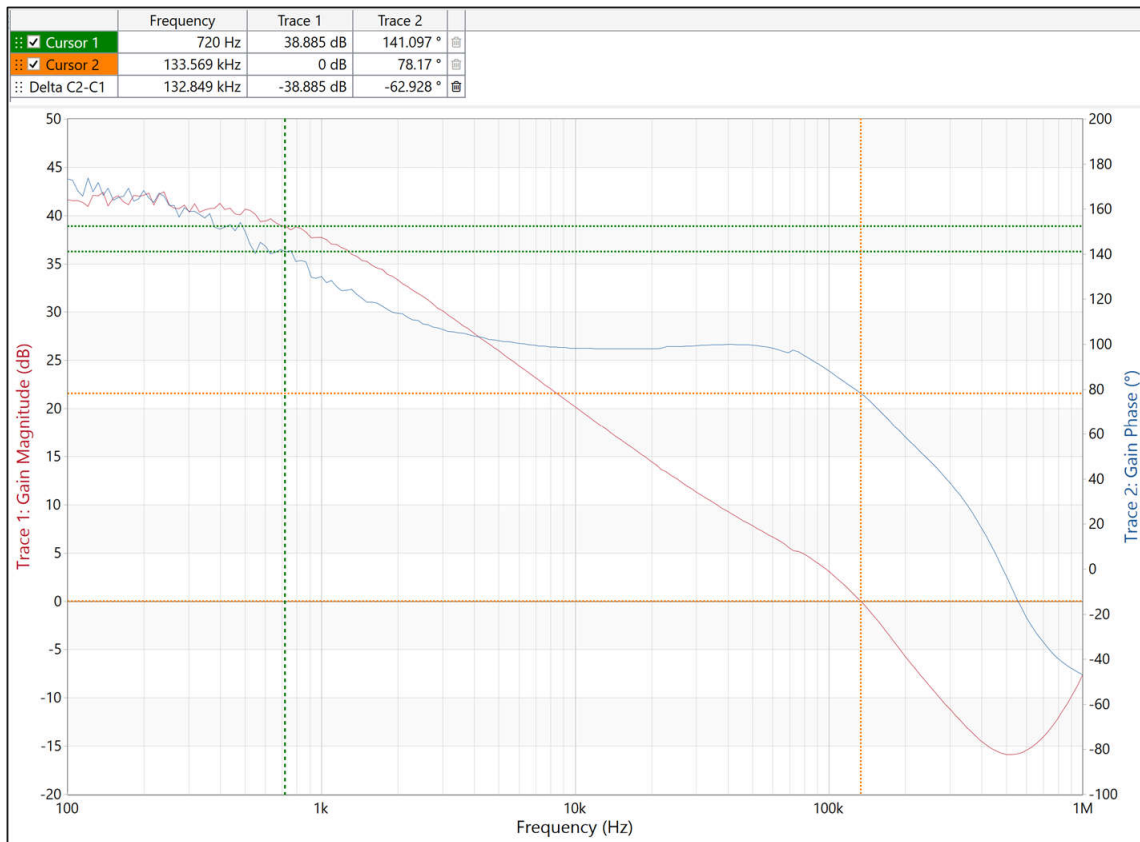


図 4-5. 閉ループ負荷過渡基板のボード線図 (I_{load} : 10A、DC)

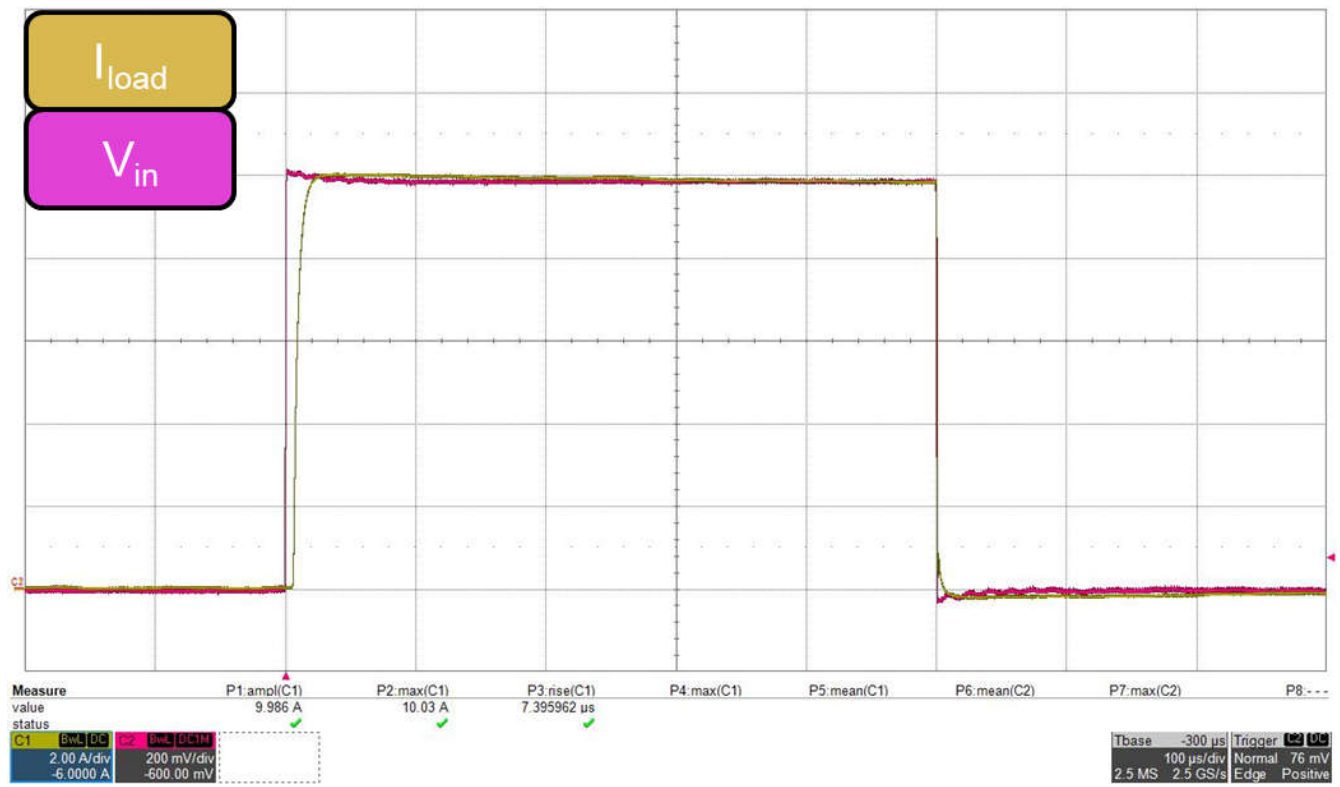


図 4-6. 過渡パルス性能 (I_{load} : 10A、0.5ms)

5 結果

DUT を使用したデバイスのベンチマーク測定では、トラッキング誤差は予想どおりより低い負荷でピークになりますが、負荷が大きい場合は大幅に低減されることが示されています。この主な原因は、 R_{out} 抵抗によって生じるオフセットです。一部の電流は、入力段のオペアンプ出力から抵抗に流れます。すべての電流が検出段のオペアンプから流れるわけではありません。負荷電流が大きくなると、検出段のオペアンプの駆動能力が大きくなるため、このオフセットは減少します。ドライバのクラス B バイアスにより、入力が増加されていないときの消費電力が低減されますが、ソフトスタート動作が非線形になり、立ち上がり時間が長くなります。この影響は、負荷電流が小さい場合にいつそう明確になり、デッドバンド時間は遷移全体でより大きな割合を占めます。これは標準的な電流プローブの一般的な定格であるため、結果は 30A に制限されましたが、基板はより高い電流を駆動できます。この結果は、短いケーブルとバナナ ジャック コネクタを使用した 5V DUT を使用してベンチマークを測定しました。基板を DUT 出力コンデンサ バンクに半田付けすることで、立ち上がり時間を短縮できます。基板の右上隅には、この目的で DUT 接続 (上面) と GND (下面) のポイントで銅箔が露出しています。以下の結果は、500 μ s パルスおよび 1 μ s の立ち上がり/立ち下がり時間入力、掃引された振幅 (V_{in}) の状態で達成されました。

表 5-1. 閉ループ負荷過渡基板ベンチマーク測定

V_{in} , V	I_{out} , A	想定された I_{out} , A	誤差, %	スルー, A/ μ s	t_{rise} , 10% ~ 90%
0.10	0.75	1	25.00	0.03	23.10
0.20	1.64	2	18.15	0.10	13.24
0.30	2.67	3	11.01	0.20	10.57
0.40	3.69	4	7.65	0.32	9.38
0.50	4.73	5	5.40	0.43	8.70
0.60	5.81	6	3.11	0.57	8.12
0.70	6.79	7	3.00	0.69	7.90
0.80	7.82	8	2.21	0.80	7.81
0.90	8.87	9	1.39	0.94	7.52
1.00	9.88	10	1.18	1.07	7.40
1.50	15.18	15	1.17	1.74	6.98
2.00	20.25	20	1.25	2.41	6.71
2.50	25.46	25	1.84	4.03	5.06
3.00	30.67	30	2.25	3.91	6.28

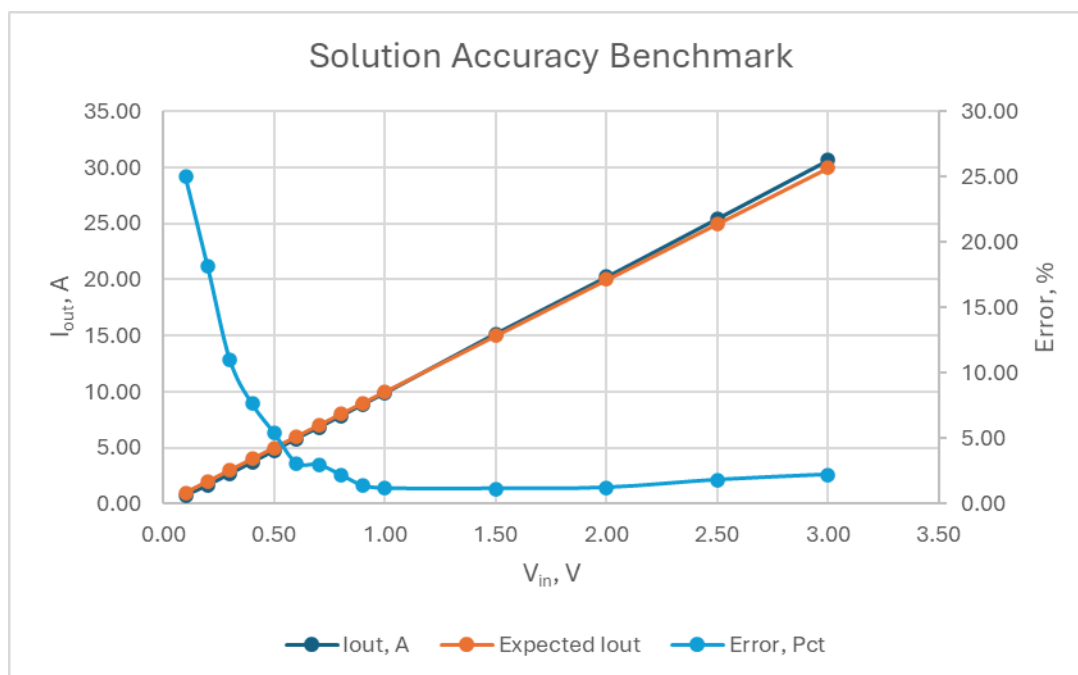


図 5-1. 閉ループ負荷過渡基板のベンチマーク測定結果

パルス過渡性能のベンチマーク測定に加えて、対応する負荷プロファイルを観測するために、さまざまな入力プロファイルを適用しました。注目すべき点は、前述のドライバへのバイアス供給方式を採用した結果、0A 付近で出力電流の歪みが生じたことです。

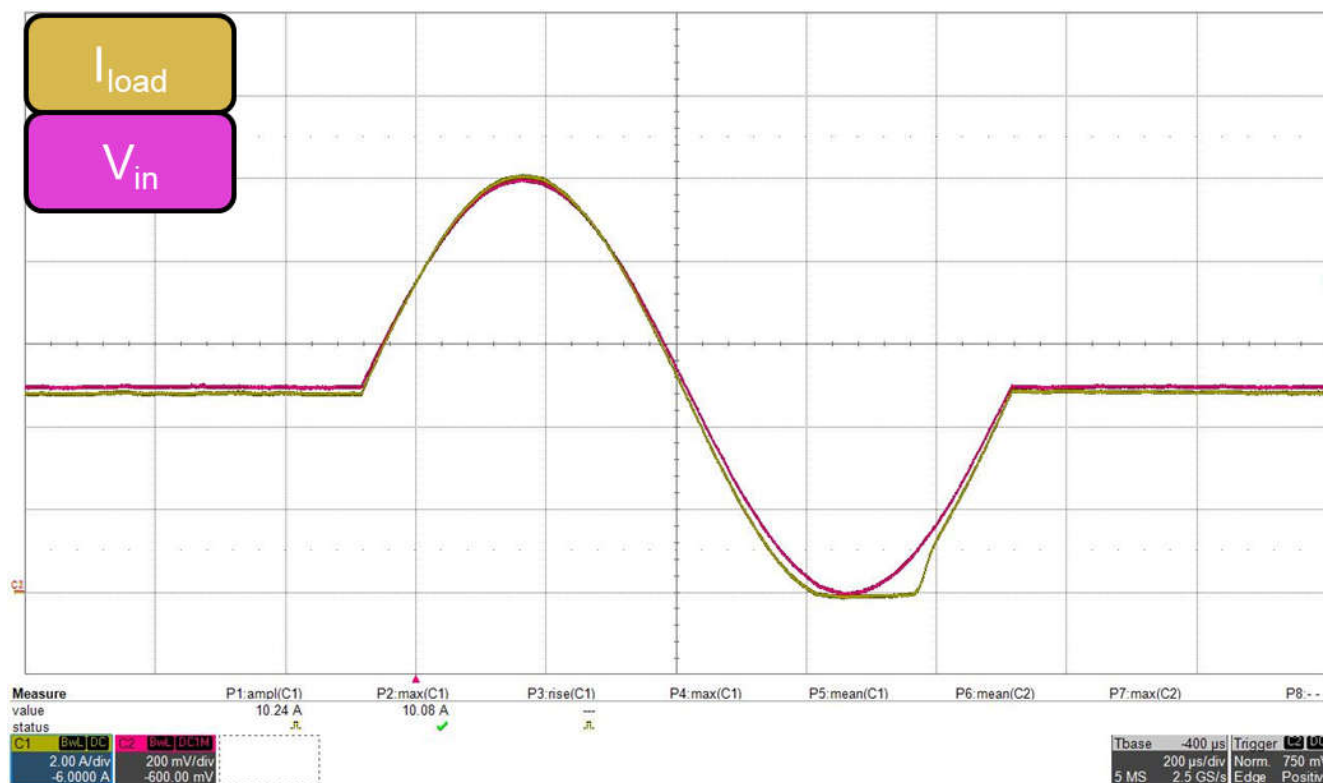


図 5-2. 正弦波トラッキング

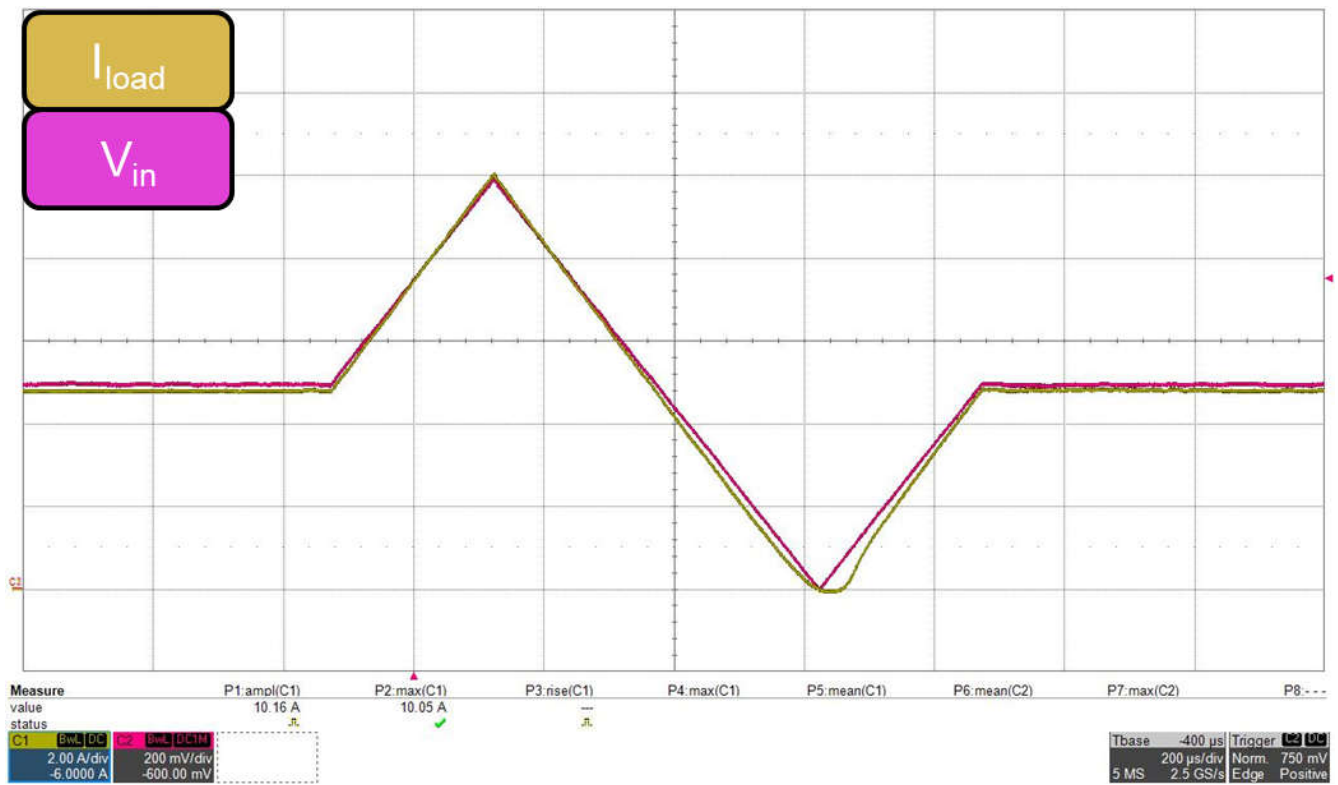


図 5-3. ランプトラッキング

6 まとめ

このアプリケーション ノートでは、実用的な閉ループ負荷過渡基板を設計するプロセスについて解説しました。このリファレンス デザインは、パワー コンバータの効果的な負荷過渡テストを可能にします。帰還ループを持たずにパワートランジスタによって過渡パルスを印加するなどの代替ソリューションでは、印加されたゲート電圧と目標出力電流との間である程度の補正が必要になりますが、このソリューションでは、このような補正を行うことなく、目標電流を直接印加できます。この設計は、さまざまな要件に合わせて簡単に変更できます。つまり、センス抵抗を小さい値に変更して入力電圧と負荷電流の比を大きくすることや、バイアスを変更してデッドバンドを低減または除去し、立ち上がり時間を短縮することも可能です。また、このソリューションを使用することで、エンジニアはカスタム アプリケーションに合わせて複雑な負荷プロファイルを簡単に適用できます。

7 付録

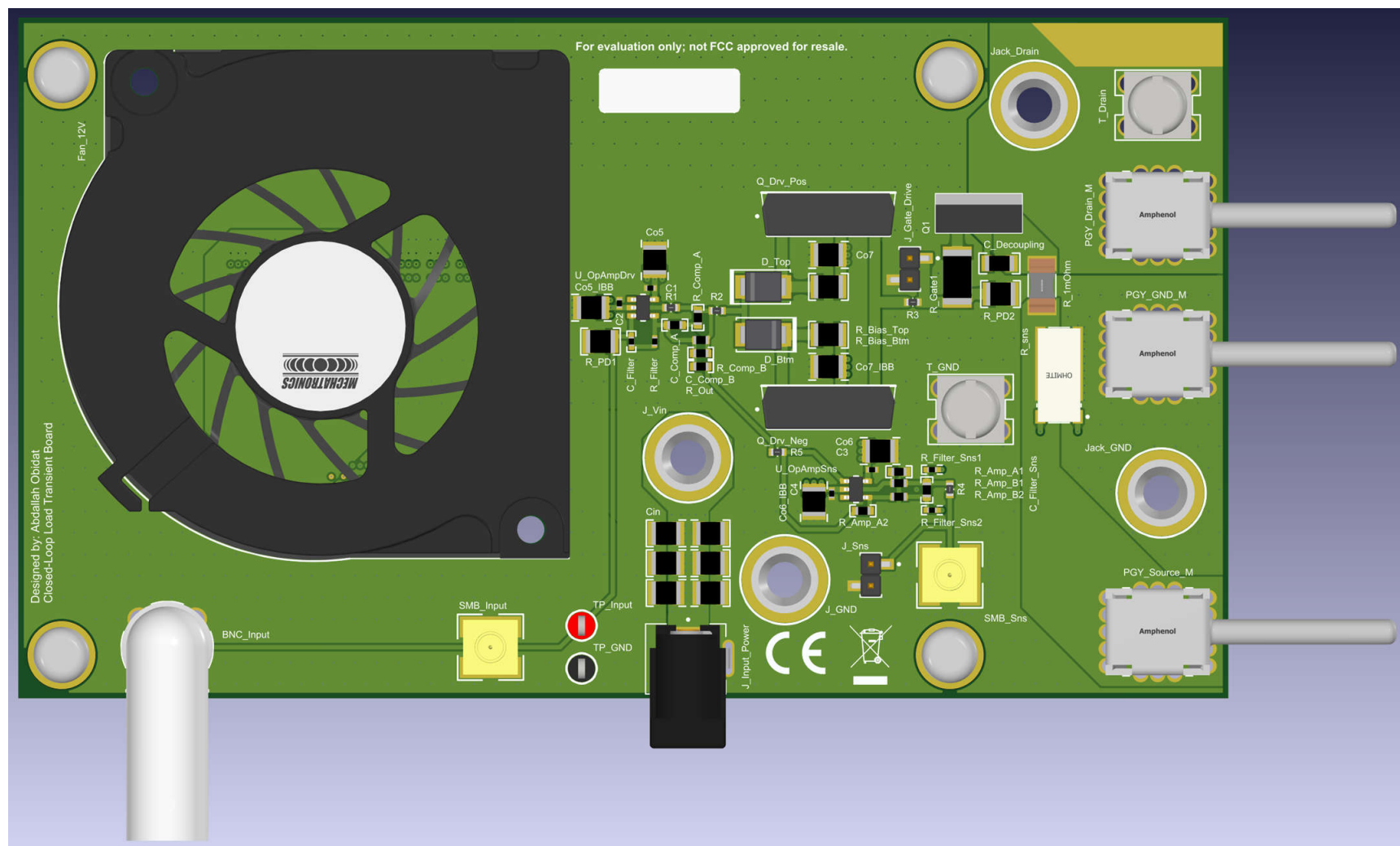


図 7-1. 基板外観図 (上面)

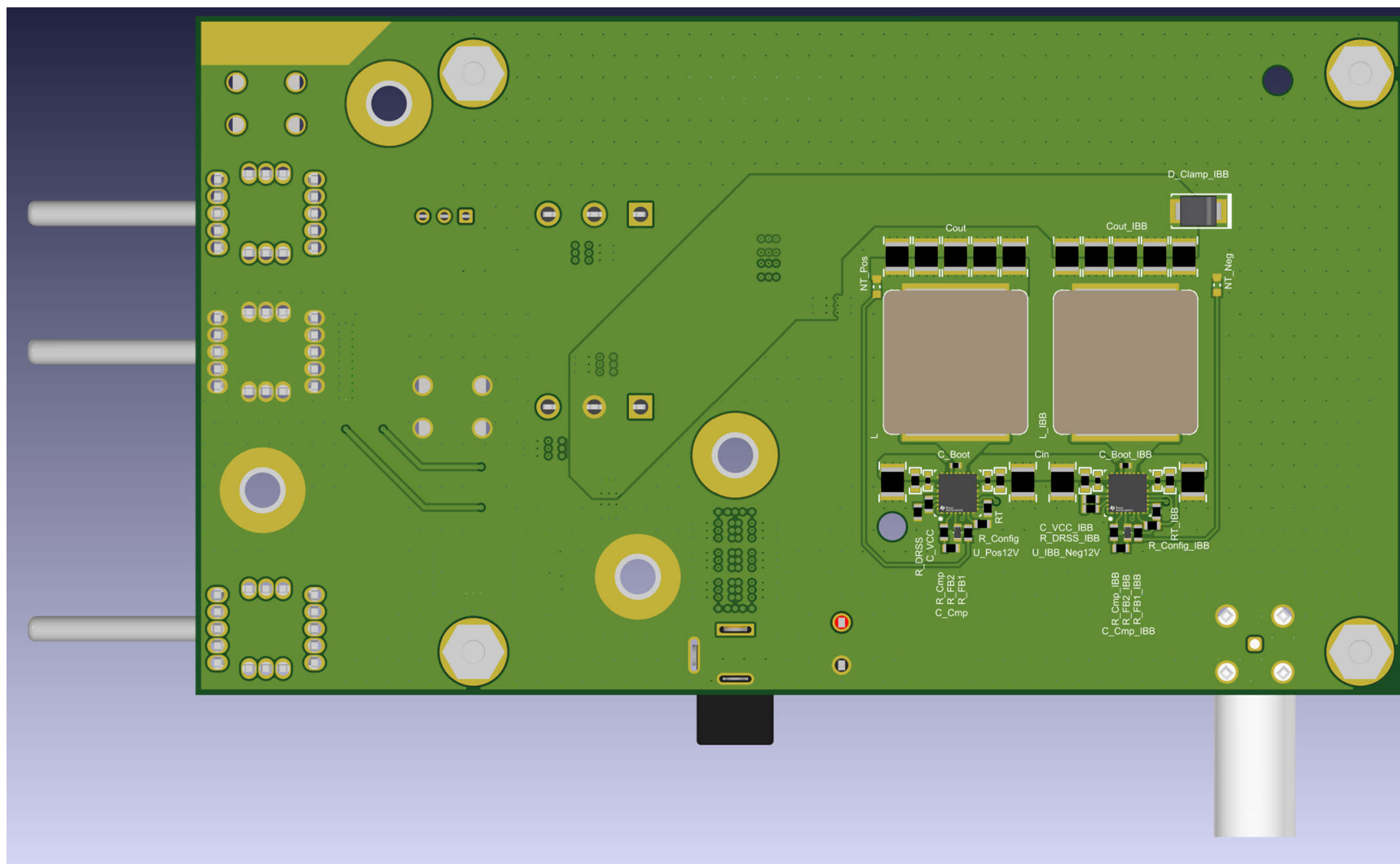


図 7-2. 基板外観図 (下面)

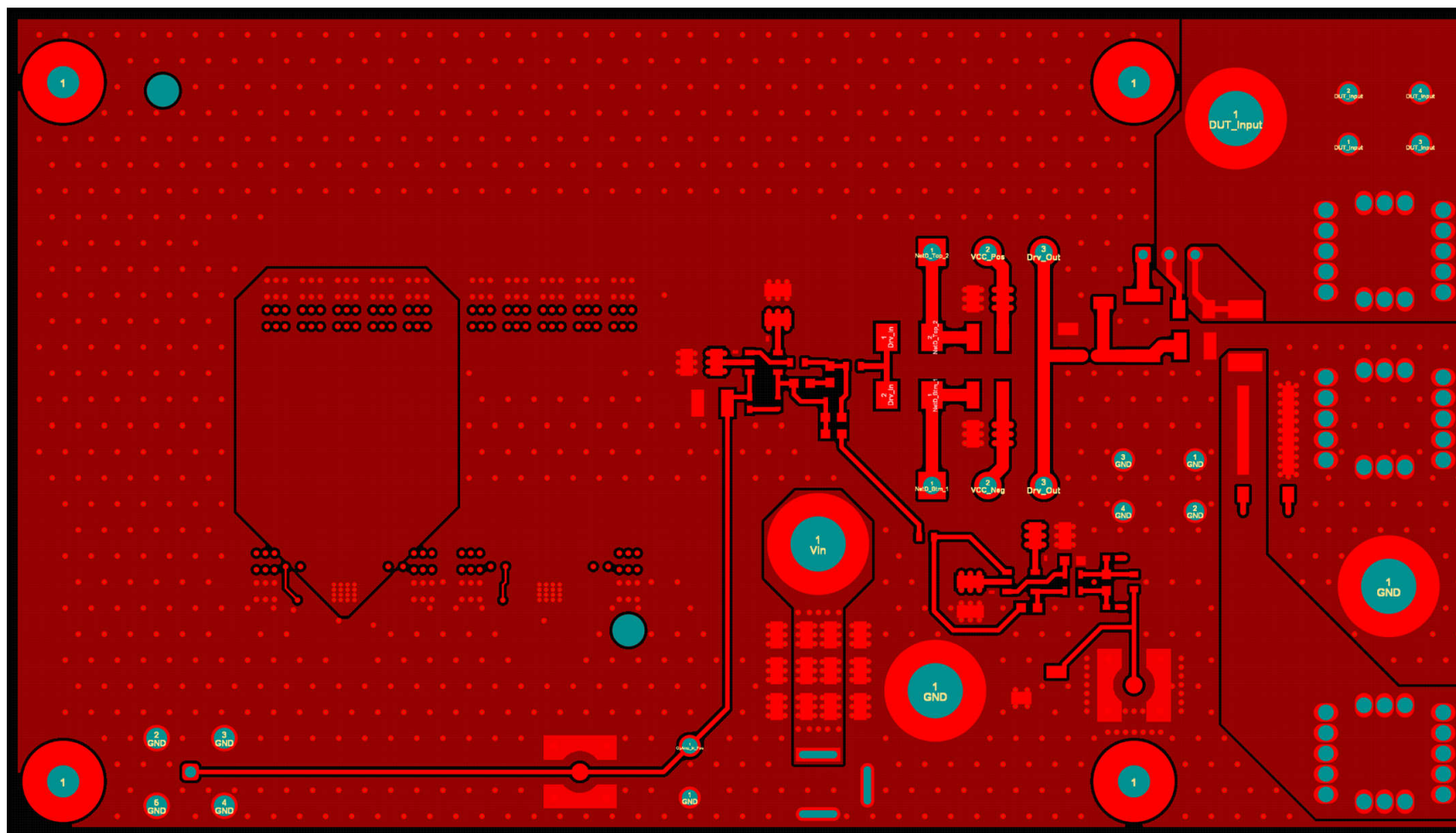


図 7-3. レイアウト — 上面

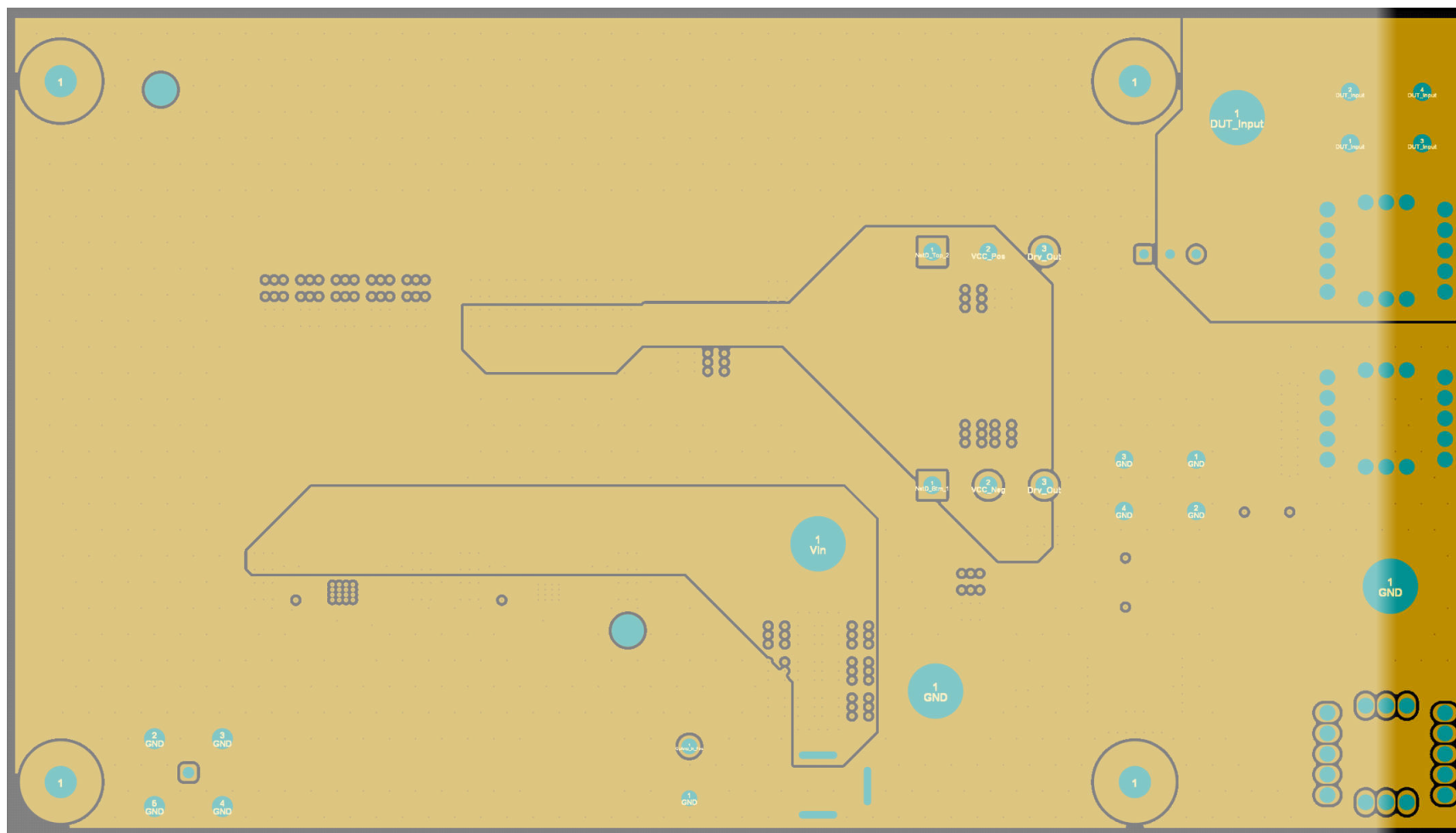


図 7-4. レイアウトー 中間層 1

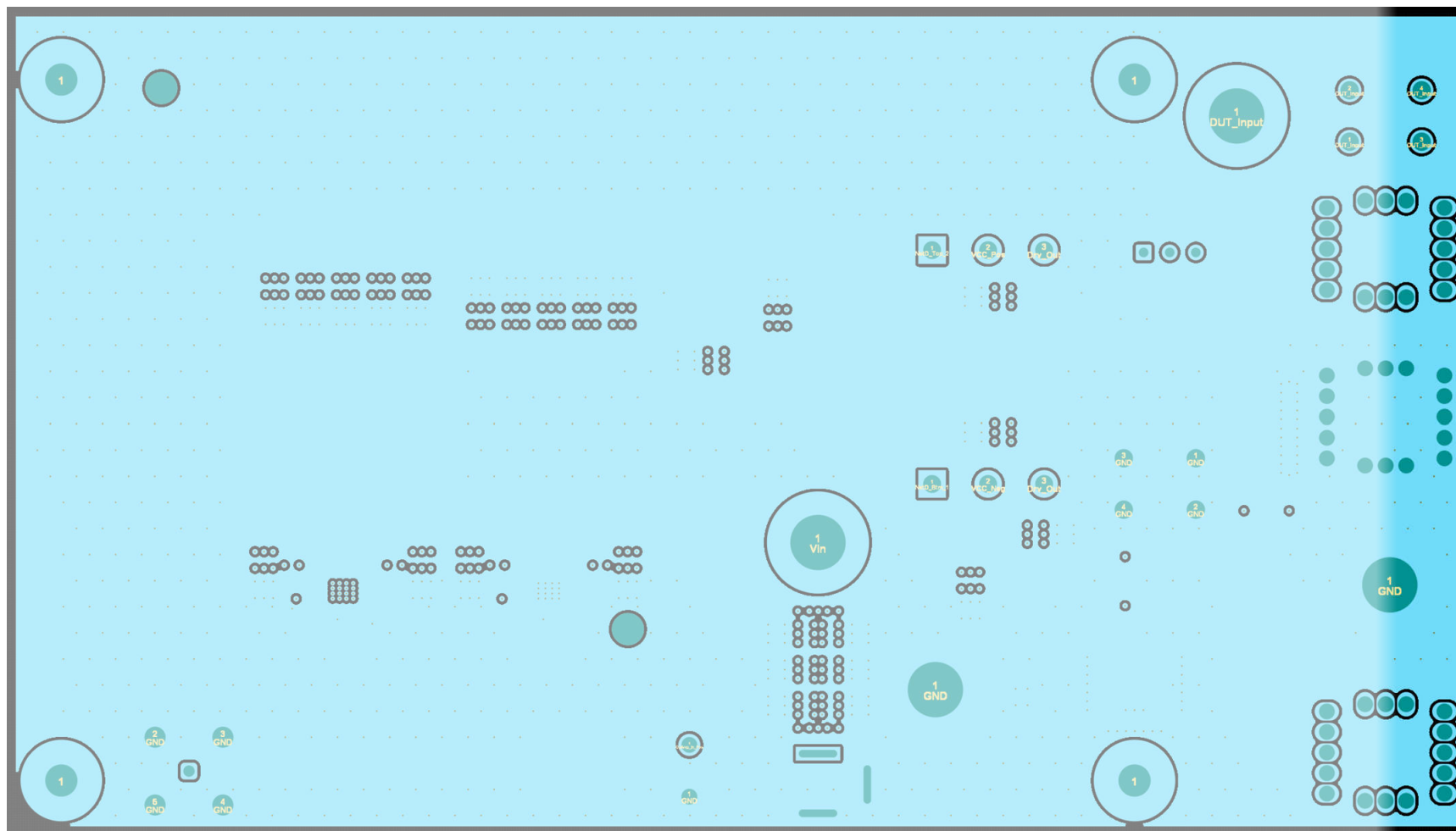


図 7-5. レイアウトー 中間層 2

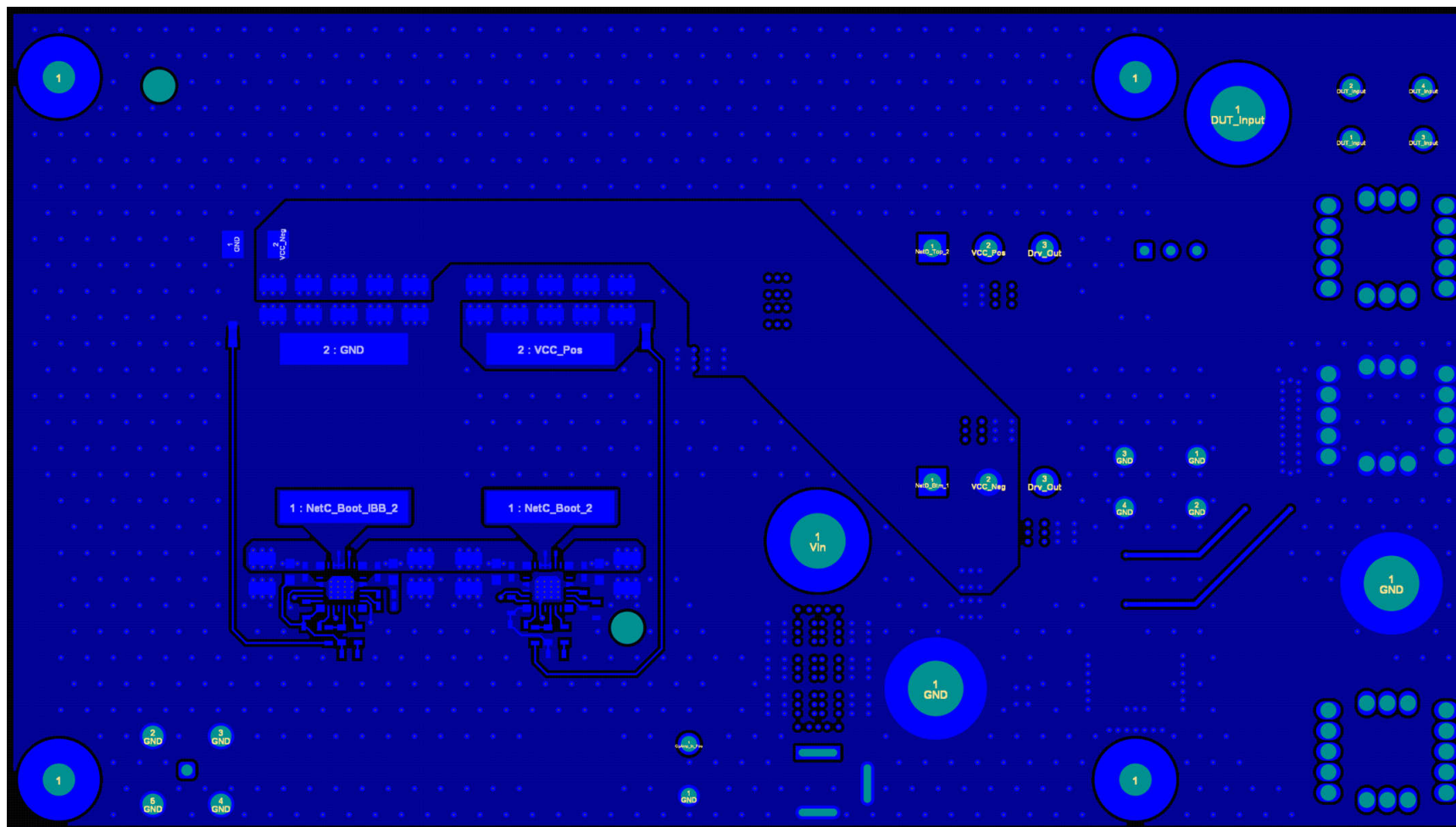


図 7-6. レイアウト—下面



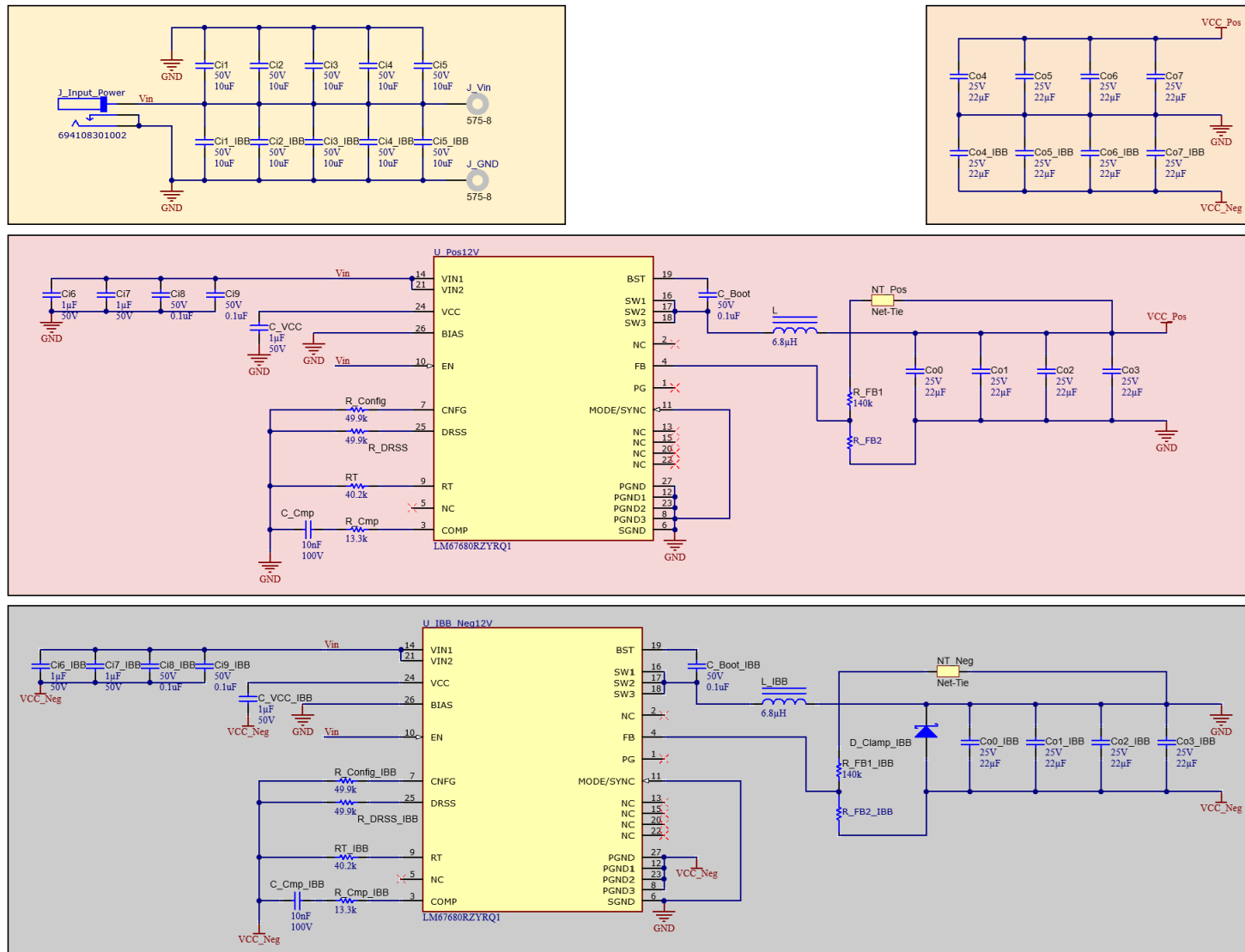


図 7-8. 電源サブ回路図

表 7-1. PCB 部品表 (BOM)

項目	記号	説明	メーカー	部品番号	数量
1	BNC_Input	BNC 薄型エルボ ジャック、金めっき、R/A、TH	TE の接続	5-1634513-1	1
2	C1、C2、C3、C4	コンデンサ、セラミック、0.22 μ F、25V、 $\pm$ 20%、X5R、0402	TDK	C1005X5R1E224M050BC	4
3	C_Boot、C_Boot_IBB、Ci8、Ci8_IBB、Ci9、Ci9_IBB	コンデンサ、セラミック、0.1 μ F、50V、 $\pm$ 10%、X7R、AEC-Q200 グレード 1、0402	MuRata	GCM155R71H104KE02D	6
4	C_Cmp、C_Cmp_IBB	CAP、CERM、0.01 μ F、100V、 $\pm$ 10%、X7R、AEC-Q200 グレード 1、0603	TDK	CGA3E2X7R2A103K080AA	2
5	C_Comp_A	コンデンサ、セラミック、2200pF、250V、 $\pm$ 10%、X7R、0603	MuRata	GRM188R72E222KW07D	1
6	C_Comp_B	コンデンサ、セラミック、100pF、50V、 $\pm$ 1%、C0G/NP0、0603	Kemet	C0603C101F5GACTU	1
7	C_Decoupling	コンデンサ、セラミック、0.1 μ F、200V、 $\pm$ 10%、X7R、1206	Kemet	C1206C104K2RACTU	1
8	C_Filter	コンデンサ、セラミック、0.01 μ F、50V、 $\pm$ 10%、X8R、AEC-Q200 グレード 0、0402	TDK	CGA2B3X8R1H103K050BB	1
9	C_Filter_Sns	コンデンサ、セラミック、150pF、50V、 $\pm$ 5%、C0G/NP0、0603	Kemet	C0603C151J5GACTU	1
10	C_VCC、C_VCC_IBB、Ci6、Ci6_IBB、Ci7、Ci7_IBB	コンデンサ、セラミック、1 μ F、50V、 $\pm$ 10%、X7R、0603	Taiyo Yuden	UMK107AB7105KA-T	6
11	Ci1、Ci1_IBB、Ci2、Ci2_IBB、Ci3、Ci3_IBB、Ci4、Ci4_IBB、Ci5、Ci5_IBB	CAP、CERM、10 μ F、50V、 $\pm$ 10%、X7R、AEC-Q200 グレード 1、1210	Taiyo Yuden	UMJ325KB7106KMHT	10
12	Co0、Co0_IBB、Co1、Co1_IBB、Co2、Co2_IBB、Co3、Co3_IBB、Co4、Co4_IBB、Co5、Co5_IBB、Co6、Co6_IBB、Co7、Co7_IBB	コンデンサ、セラミック、22 μ F、25V、 $\pm$ 10%、X7R、1210	Samsung Electro-Mechanics	CL32B226KAJNFNE	16
13	D_Btm、D_Clamp_IBB、D_Top	ダイオード、ショットキー、50V、1A、SMB	Diodes Inc.	B150B-13-F	3
14	Fan_12V	DC ブロワ ファン、60 X 60 X 12mm、12VDC、スリーブ ベアリング、5CFM、34dBA、0.3inH20、2 ワイヤ リード、...	Mechatronics	B6012M12D-BSR	1
15	H1、H2、H3、H4	小ねじ、丸、#4-40 x 1/4、ナイロン、十字穴付きなべ	B&F Fastener Supply	NY PMS 440 0025 PH	4
16	HA、HB、HC、HD	スタンドオフ、六角、0.5 インチ L #4-40 ナイロン	Keystone	1902C	4
17	J_Gate_Drive、J_Sns	コネクタ	Amphenol ICC	54201-G0802ALF	2
18	J_GND、J_Vin、Jack_Drain、Jack_GND	標準バナナ ジャック、非絶縁、8.9mm	Keystone	575-8	4
19	J_Input_Power	コネクタ	Würth	694108301002	1
20	L、L_IBB	インダクタ、シールド付き、圧粉磁芯、6.8 μ H、19A、0.0092 Ω 、AEC-Q200 グレード 0、SMD	Bourns	SRP1770TA-6R8M	2
21	LBL1	熱転写プリンタブル ラベル、幅 0.650 インチ x 高さ 0.200 インチ、ロールあたり 10,000	Brady	THT-14-423-10	1

表 7-1. PCB 部品表 (BOM) (続き)

項目	記号	説明	メーカー	部品番号	数量
22	PGY_Drain_M、 PGY_GND_M、 PGY_Source_M	3.0MM ピン付き PGY ホルダ	Amphenol	10-752702-000	3
23	Q1	MOSFET、N-CH、100V、150A、KCS0003B (TO-220-3)	テキサス インスツルメンツ	CSD19536KCS	1
24	Q_Drv_Neg	バイポーラ (BJT) トランジスタ PNP — ダーリントン 100V 10A 125W スルーホール (TO-247)	ST マイクロエレクトロニクス	TIP147	1
25	Q_Drv_Pos	バイポーラ (BJT) トランジスタ NPN — ダーリントン 100V 10A 125W スルーホール (TO-247)	ST マイクロエレクトロニクス	TIP142	1
26	R1、R2、R3、R4、R5	0Ω ジャンパ 0.125W (1/8W) チップ抵抗 0603 (1608 メートル法) 車載対応 AEC-Q200 厚膜タイプ	Panasonic	ERJ-H3G0R00V	5
27	R_1mOhm	1mΩ ±1%、5W チップ抵抗 2512 (6332 メトリック) 車載 AEC-Q200 対応、電流センス金属素子	Bourns	CSS2H-2512R-1L00FE	1
28	R_Amp_A1、R_Amp_A2	抵抗、20.0k、1%、0.1W、AEC-Q200 グレード 0、0603	Panasonic	ERJ-3EKF2002V	2
29	R_Amp_B1、R_Amp_B2	抵抗、10.0k、1%、0.1W、0603	Panasonic	ERJ-3EKF1002V	2
30	R_Bias_Btm、R_Bias_Top	抵抗、1.00k、1%、0.5W、1210	Yageo	RC1210FR-071KL	2
31	R_Cmp、R_Cmp_IBB	抵抗、13.3k、0.1%、0.1W、0603	Yageo America	RT0603BRD0713K3L	2
32	R_Comp_A、R_Comp_B	RES、1.00k、1%、0.1W、0603	Yageo	RC0603FR-071KL	1
33	R_Config、R_Config_IBB、 R_DRSS、R_DRSS_IBB、 R_Out	抵抗、49.9k、0.5%、0.1W、0603	Yageo America	RT0603DRE0749K9L	5
34	R_FB1、R_FB1_IBB	抵抗、140k、0.1%、0.1W、0603	Yageo America	RT0603BRD07140KL	2
35	R_FB2、R_FB2_IBB	Res 厚膜 0603 10KΩ 0.1% 0.2W (1/5W) ±50ppm/C パッド SMD 車載 T/R	Panasonic	ERJ-PB3B1002V	2
36	R_Filter	Res 厚膜 0402 10Ω 1% 0.1W (1/10W) ±100ppm/C モールド SMD 車載パンチド T/R	Panasonic	ERJ-2RKF10R0X	1
37	R_Filter_Sns1、 R_Filter_Sns2	抵抗、49.9、1%、0.1W、AEC-Q200 グレード 0、0402	Panasonic	ERJ-2RKF49R9X	2
38	R_Gate1	抵抗、10、5%、1W、2512	Panasonic	ERJ-1TYJ100U	1
39	R_PD1、R_PD2	抵抗、10k、5%、0.5W、1210	Yageo	RC1210JR-0710KL	2
40	R_sns	金属箔抵抗 2043 0.05Ω 1% 5W ±50ppm/C ワイド端子 SMD T/R	Ohmite	FC4L110R050FER	1
41	RT、RT_IBB	RES、40.2k、1%、0.1W、AEC-Q200 グレード 0、0603	Panasonic	ERJ-3EKF4022V	2
42	SMB_Input、SMB_Sns	コネクタ、SMT、SMB ジャック アセンブリ 50Ω	Cinch の接続	131-3711-201	2
43	T_Drain、T_GND	端子ネジ、垂直、スナッピン	Keystone	7693	2
44	TP_GND	テスト ポイント、多目的、黒色、TH	Keystone Electronics	5011	1
45	TP_Input	テスト ポイント、多目的、赤色、TH	Keystone	5010	1

表 7-1. PCB 部品表 (BOM) (続き)

項目	記号	説明	メーカー	部品番号	数量
46	U_IBB_Neg12V、U_Pos12V	65V、8A 降圧コンバータ (反転/非反転出力最適化)	テキサス インストルメンツ	LM67680RZYRQ1	2
47	U_OpAmpDrv、 U_OpAmpSns	高精度、レール ツー レール入力/出力、低オフセット電圧、E-trim 低入力パ イアス電流オペアンプ	テキサス インストルメンツ	OPA192IDBVT	2

8 参考資料

1. Heisener、[MOSFET Gate Drivers: Functions, Selection & Circuit Types](#)、Web ページ。
2. テキサス インスツルメンツ、『[絶縁抵抗の使用による容量性負荷駆動のソリューション](#)』、リファレンス デザイン。
3. Electronics Tutorials、[Class AB Amplifier Design and Class AB Biasing](#)、Web ページ。
4. テキサス インスツルメンツ、『[ゲートドライバ用の外部ゲート抵抗設計ガイド](#)』、技術ノート。
5. テキサス インスツルメンツ、『[反転昇降圧コンバータとの連動](#)』、アプリケーション ノート。
6. テキサス インスツルメンツ、『[CSD19536KCS 100V N チャンネル NexFET™ パワー MOSFET](#)』、データシート。
7. テキサス インスツルメンツ、『[OPAx192 36V、高精度、レール ツー レール入力/出力、低オフセット電圧、低入力バイアス電流オペアンプ、e-trim™ 搭載](#)』、データシート。
8. C. K. Alexander and M. N. O. Sadiku、『*Fundamentals of Electric Circuits*』、7th ed. New York, NY, USA: McGraw-Hill Education, 2021, ch. 14, sec. 14.4, p. 623, Table 14.3.
9. R. D. Middlebrook、「Measurement of loop gain in feedback systems」、International Journal of Electronics, vol. 38, no. 4, pp. 485-512, Apr. 1975.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月