

Application Note

USB3.1 Gen1 SuperSpeed ホスト送信電氣的コンプライアンスに関するガイド



Shreyas Rao

概要

このアプリケーションノートでは、Linux コマンドを使用して、Jacinto SoC (TDA4AH/VH、TDA4VP/AP) 上で USB 3.0 (SuperSpeed、5Gbps) をホスト TX の電氣的コンプライアンス テストを実行する方法を説明します。この手順では、xHCI PORTSC コンプライアンス レジスタの書き込み、CP0 および CP1 パターン生成用の USB PHY の構成、スペクトラム拡散クロック (SSC) の有効化、LeCroy オシロスコープによる結果のキャプチャについて説明します。

目次

1 はじめに.....	2
2 USB 3.1 コンプライアンス モード:動作原理.....	2
2.1 略称と定義.....	2
2.2 LTSSM および RX 検出.....	2
2.3 コンプライアンス モードのエントリ方式.....	3
2.4 レジスタ レファレンス.....	3
2.5 コンプライアンス パターン CP1 および SSC.....	6
3 コンプライアンス手順 — TDA4VH/AH/TDA4AP/VP.....	7
3.1 ハードウェア要件.....	7
3.2 ソフトウェア要件.....	7
3.3 評価基板設定.....	8
3.4 コンプライアンス パターン参照.....	9
3.5 LFPS:低周波数周期信号.....	9
3.6 コンプライアンス パターン 0 (CP0).....	10
3.7 コンプライアンス パターン 1 (CP1).....	11
3.8 LeCroy スコープの設定と結果.....	13
3.9 トラブルシューティング.....	15
3.10 コンプライアンス手順: DRA821 / TDA4AL/VL/VE / J721S2.....	15
4 まとめ.....	16
5 参考資料.....	16

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

USB 3.1 Gen1 (SuperSpeed, 5Gbps) の電氣的コンプライアンス テストでは、デバイス アンダー テスト (DUT) が、USB 3.1 仕様と USB-IF コンプライアンス テスト仕様 (CTS) で定義されているアイダイアグラム、ジッタ、電圧マージン、出力振幅の要件を満たしていることを検証します。

このアプリケーションノートでは、(a) devmem2 経由のダイレクト メモリ マップレ ジスタ書き込み、または (b) Linux xHCI sysfs デバッグ インターフェイスを使用して、Jacinto SoC USB 3.0 xHCI ホストコントローラを強制的にコンプライアンス モードにする方法について説明します。さらに、CP1 コンプライアンス パターンを有効にするために必要な RX 検出状態、ポートリンク状態 (PLS)、リンク書き込みストロープ (LWS)、USB PHY レジスタ書き込みなどの、関連する高精度のレジスタフィールドと、SSC (スペクトラム拡散クロック) を有効にする SERDES PHY レジスタについて詳細に説明します。
[TI 車載用プロセッサ SoC のホスト TX コンプライアンス手順](#)へスキップします。

2 USB 3.1 コンプライアンス モード:動作原理

2.1 略称と定義

表 2-1. 略称と定義

用語	定義
USB	ユニバーサル シリアル バス
CP0..CP1	コンプライアンスパターン 0..1 — 定義された USB 3.0 テスト信号シーケンス
CTS	コンプライアンス テスト仕様 (USB-IF)
DUT	テスト対象デバイス
LFPS	低周波数周期信号 — リンク検出および状態遷移に使用されます
xHCI	拡張ホスト コントローラ インターフェイス — USB 3.0/3.1 ホストコントローラ仕様
LWS	リンク書き込みストロープ — PLS 書き込みをゲートする xHCI PORTSC ビット 16
PLS	ポートリンク状態 — xHCI PORTSC レジスタ [8:5] の 4 ビットフィールド
PORTSC	ポート ステータスおよび制御レジスタ — xHCI §4.19.7
PP	ポート電源 — PORTSC ビット 9
RX 検出	TX が遠端の受信機を探査する場合の USB 3.0 LTSSM 状態、PLS = 5
SERDES	シリアライザ/デシリアライザ — 高速シリアル リンク用アナログ PHY
SSC	拡散スペクトラム クロック処理 — ピーク EMI を低減するために TX クロックを変調する (CP1 とは別)
SS	SuperSpeed — USB がサポートするデータレート (5Gbps)。USB3.0、USB3.1 Gen1、USB3.2 Gen1 は呼び方は異なりますが、いずれも同じ 5Gbps のリンクレートを指しています。

2.2 LTSSM および RX 検出

USB 3.0 の物理層およびリンク層には、リンクトレーニングおよびステータス ステートマシン (LTSSM) が実装されています。ポートに電力が供給されているが、デバイスが接続されていない場合、xHCI コントローラはリンクを Rx.Detect ステート (PLS=5) にします。Rx.Detect では、トランスミッタは差動ペアの小さな DC 電圧を定期的のアサートし、遠端レシーバが存在することを示す終端負荷を監視します。LFPS バーストもこのフェーズで発生し、ケーブルの接続または取り外し時にオシロスコープで確認できます。

パワーオンリセット ->

Rx.Detect -- レシーバなし (PLS = 5)。TX が遠端終端をプローブします。

--LFPS バースト生成済み

--レシーバ検出

ポーリング -> リンクトレーニング中

-- リンク パートナー応答 -----> U0 (Active, PLS = 0)

-- Ping なし LFPS/パートナーなし --> コンプライアンス入力 (PLS = 10 = 0xA)

2.3 コンプライアンス モードのエントリ方式

Jacinto SoC は、以下の 2 つのソフトウェア方法に対応しています:

- **devmem2 (ダイレクト MMIO 書き込み)** — PLS=10 (コンプライアンス)、PP=1、および LWS=1 で xHCI PORTSC レジスタを書き込みます。これにより、LTSSM タイムアウトがバイパスされ、リンクが直ちにコンプライアンスに強制されます。これが推奨される検証方法です。
- **sysfs echo compliance** — xHCI の debugfs の portsc ノードに文字列「compliance」を書き込んでください。xHCI ドライバは、これを同じ PLS = 10 のレジスタ書き込みに変換します。

2.4 レジスタ レファレンス

2.4.1 xHCI PORTSC : ポートステータスおよび制御レジスタ

表 2-2. PORTSC レジスタ アドレス

SoC	USB インスタンス	PORTSC アドレス (USB3 ポート 2)
TDA4VH/TDA4AH/TDA4AP/TDAVP	USB0	0x06010490

注

xHCI MMIO ベースからのオフセット 0x490 は、ポート 2 PORTSC レジスタです。ポート 1 PORTSC (USB2 HS) はオフセット 0x480 にあります。USB3 SuperSpeed ポートは、Jacinto xHCI 実装のポート 2 です。

2.4.2 PORTSC ビットフィールドの説明 (USB 3.0 — xHCI 仕様 §4.19.7)

表 2-3. PORTSC ビットフィールドの説明

ビット	フィールド	リセット	説明
31	WPR	0	ウォーム ポートリセット。
30	DR	—	デバイスはリムーバブル。
29:28	RsvdZ	0	予約済み。ゼロとして書き込みます。
27	WOE	0	ウェイクオン過電流有効。
26	WDE	0	ウェイク オン接続解除有効。
25	WCE	0	ウェイク オン接続有効。
24	CAS	0	コールド接続ステータス (USB 3.1)。
23	CEC	0	ポート設定エラーの変更 (スティッキ、1 を書き込むことでクリア)。
22	PLC	0	ポートリンク状態の変更 (スティッキ、1 を書き込むことでクリア)。
21	PRC	0	ポートリセット変更 (スティッキ、1 を書き込むことでクリア)。
20	OCC	0	過電流変化。
19	RsvdZ	0	予約済み。
18	PEC	0	ポート有効/無効の変更。
17	CSC	0	接続ステータスの変更 (スティッキ)。
16	LWS	0	リンク書き込みストローブ。PLS 書き込みを有効にするには、1 である必要があります。LWS = 0 の場合、PLS[3:0] への書き込みはハードウェアによって黙殺されます。
15:14	PIC	0	ポート インジケータ制御。
13:10	ポート速度	—	ネゴシエート済ポート速度 (xHCI テーブルに従ってエンコード)。
9	PP	—	ポート電源。USB3 動作時には 1 である必要があります。
8:5	PLS	—	ポートリンク状態。LTSSM の状態を制御して反映します。表 2-4 を参照してください。
4	PR	0	ポートのリセット。
3	OCA	0	過電流アクティブ。

表 2-3. PORTSC ビットフィールドの説明 (続き)

ビット	フィールド	リセット	説明
2	RsvdZ	0	予約済み。
1	PED	0	ポート有効／無効。
0	CCS	0	現在の接続ステータス。

2.4.3 PLS エンコード:USB 3.0 リンク状態

表 2-4. PLS エンコード:USB 3.0 リンク状態

PLS[3:0]	10 進	状態	説明
0000	0	U0	アクティブ — 通常動作
0001	1	U1	U1 省電力状態
0010	2	U2	U2 より深い省電力
0011	3	U3	一時停止 (最も深いリンク状態)
0100	4	無効	リンク無効
0101	5	Rx.Detect	遠端受信機のポーリング。デフォルトアイドル状態 — デバイスが接続されていません。接続/切断イベント時に生成される LFPS バースト。
0110	6	非アクティブ	リンクは非アクティブ状態
0111	7	ポーリング	アクティブ リンクトレーニング/ネゴシエーション
1000	8	復帰	リンク回復中
1001	9	ホットリセット	帯域内ウォームリセット
1010	10 (0xA)	コンプライアンス	コンプライアンス モード — デフォルトで CP0 を送信します。CP1 では追加の USB PHY 書き込みが必要です (セクション 6.2)。
1011	11	ループバック	ループバック テスト モード
1100 ~ 1111	12 ~ 15	予約済み	—

2.4.4 コンプライアンス エントリ前の RX 検出の確認

コンプライアンス書き込みを発行する前に、ポートが Rx.Detect (PLS=5) にある必要があります。PORTSC の読み取りと検査ビット [8:5]:

```
# TDA4xH/TDA4xP
```

```
$ devmem2 0x06010490 w
```

```
#bits[8:5] = 0101 => Rx.detect (コンプライアンス エントリ準備完了)
```

```
# Bits [8:5] = 0000 => U0 (デバイス接続済み、最初に切断)
```

2.4.5 コンプライアンス書き込み値デコード:0xA010340

コンプライアンス モードのエントリを強制的に実行するため、次の 32 ビット値が PORTSC に書き込まれます。

書き込み値:0xA010340

ビット 31-24 = 0x0A = 0000_1010 => WCE = 1 (ビット 25)、WOE = 1 (ビット 27) [ウェイク状態の維持有効化]

ビット 23-16 = 0x01 = 0000_0001 => LWS = 1 (ビット 16) [ENABLE PLS 書き込み]

ビット 15-08 = 0x03 = 0000_0011 => PP = 1 (ビット 9)、PLS[3] = 1 (ビット 8) [ポートパワー ON、PLS MSB]

ビット 07-00 = 0x40 = 0100_0000 => PLS[1] = 1 (ビット 6) [PLS セカンドビット]

PLS[3:0] = { bit8, bit7, bit6, bit5 } = { 1, 0, 1, 0 } = 0b1010 = 10 => コンプライアンス

PP = 1 => Port Power ON

LWS = 1 => PLS 書き込みは有効であり、直ちに適用されます

注

LWS = 1 (ビット 16) を使用しない場合、ハードウェアは PLS フィールドを黙殺します。よくある間違いは、LWS を使用せずに PLS = 0xA だけを書き込み、結果として状態が変更されないことです。

2.5 コンプライアンス パターン CP1 および SSC

コンプライアンス パターン 1 (CP1) は、USB 3.2 仕様で、反復交互ビットパターン (101010) として定義されています。全 5 Gbps ラインレートで送信されます。隣接ビットが交代するため、結果として得られる波形の基本周波数は次のようになります:

$$f_{CP1} = \text{BitRate}/2 = 5 \text{ Gbps}/2 = 2.5 \text{ GHz}$$

CP1 は、確定的ジッタ (DJ) 成分を絶縁することでランダム ジッタ抽出を支援し、拡散スペクトラム クロック (SSC) 分析を支援します。

Jacinto SoC では、SERDES PHY は、xHCI PORTSC コンプライアンス書き込みのみから CP1 を自動的に生成することはありません。1010 クロック パターンを出力するようにアナログ TX に指示するには、別個の USB PHY レジスタへの書き込みが必要です。検証済みのレジスタ書き込みをセクション 6.2 に示します。

SSC は、このドキュメントで説明されている CP1 USB レジスタへの書き込みによって有効になりません。SSC (スペクトラム拡散クロック処理) は独立した TX クロック変調機能で、ピークの電磁干渉 (EMI) 低減に役立ちます。USB 仕様では、USB superspeed デバイスが三角波変調プロファイル SSC 変調周波数は 30 ~ 33KHz、ダウン スプレッドは最大 5000ppm (0.5% の深度) をサポートすることが要求されています。SSC の詳細については、次の[アプリケーション ノート](#)を参照してください。

2.5.1 USB PHY レジスタ — CP1 (クロック パターン)

この USB PHY レジスタへの書き込みは、アナログ TX ブロックに対し、CP1 コンプライアンス パターンを出力するよう指示するものです。このレジスタは、PORTSC のコンプライアンス書き込みの後に書き込む必要があります。

2.5.2 レジスタ・アドレス

表 2-5. USB PHY CP1 レジスタ アドレス

SoC	USB PHY レジスタ	書き込み値	目的
TDA4xH/TDA4xP	0x0601812C	0x18230c10	USB PHY — CP1 パターン選択レジスタ

2.5.3 CP1 書き込み値のデコード:0x18230c10

USB PHY のレジスタ フィールドは、TI 社内用の TI SoC テクニカル リファレンス マニュアルで定義されています。CP1 パターン出力の検証済み値は次のとおりです:

書き込み値:0x18230c10

バイナリ: 0001_1000_0010_0011_0000_1100_0001_0000

効果:CP1 パターンを出力するように SERDES アナログ TX を構成します

(1010 ビットの交互動作 = 5Gbps で 2.5GHz 超基本周波数)

キーフィールド (TRM ごと):

ビット 24:21 = 1 => コンプライアンス パターン (CP1) の強制

= 0 => コンプライアンス パターン (CP0) の強制 — デフォルト

注:CP1 は SSC (スペクトラム拡散クロック処理) を有効にしません。SSC は、独立した TX リファレンス クロック変調機能です。このレジスタの書き込みは、アナログ TX 出力として CP1 を選択しますが、SSC は有効または無効にしません。

3 コンプライアンス手順 — TDA4VH/AH/TDA4AP/VP

3.1 ハードウェア要件

表 3-1. ハードウェア要件

項目	目的
TDA4VH/TDA4VP 評価基板	DUT — USB3 xHCI コントローラをホストする SoC
USB 3.0 ホスト テスト フィクスチャ-1 (Intel)	DUT との接続用 Type-A コネクタを備えた、Intel の USB3.0 ホスト フィクスチャ-1、
高速オシロスコープ (LeCroy)	アイ ダイアグラム、ジッタ、5Gbps/2.5GHz での TX 振幅をキャプチャ (CP0 と CP1)
SMA ケーブルとプローブ	テスト フィクスチャからスコープへの信号路

3.2 ソフトウェア要件

表 3-2. ソフトウェア要件

部品	詳細
Linux	TI SDK 11.02.00.04
devmem2	Raw 32 ビット MMIO 読み取り/書き込み。Yocto/buildroot SDK で使用可
debugfs	/sys/kernel/debug にマウントされています。sysfs エコー コンプライアンス メソッドに必要

TI プロセッサ SDK Linux 11.02.00.04 を SD カードに取り付けます。Linux ターミナルで `wget` コマンドを使用してインストーラをダウンロードし、`chmod + x` コマンドでダウンロードしたファイルを実行可能にします。`sudo ./` コマンドを使用して、指定したディレクトリにコンテンツを抽出するファイルを実行します。

https://dr-download.ti.com/software-development/software-development-kit-sdk/MD-IOshtRwR8P/11.02.00.04/ti-processor-sdk-linux-adas-j784s4-evm-11_02_00_04-Linux-x86-Install.bin

SDK を SD カードにインストールするには、次の場所にあるインストール手順に従います：

https://software-dl.ti.com/jacinto7/esd/processor-sdk-linux-j784s4/11_02_00_04/exports//docs/linux/Overview/Processor_SDK_Linux_create_SD_card.html#create-sd-card-with-custom-images

debugfs が存在しない場合は、マウントしてください：

```
mount -t debugfs none /sys/kernel/debug
```

3.3 評価基板設定

ホスト USB3.0 テスト フィクスチャ-1 は、Type-C から Type-A コネクタを経由して、Type-C コネクタ経由で評価基板に接続します。DIP スイッチ SW7/SW11 を SD カード ブート モードに設定します。DIP スイッチは DFP モードに設定する必要があります。CTS には、3m のケーブルとホスト テスト フィクスチャ-2 (5 インチ トレース) が必要ですが、ここでのセットアップの一部ではありません。しかし、LeCroy SigTest フレームワークは、チャンネル エミュレーションによって長いチャンネルを補償します。

SD Card Boot: The processor will attempt to boot from image on SD Card.

SW7[8:1] = 0000 0000 (Default)

SW11 [8:1] = 0100 0001 (Default)

図 3-1. 評価基板 SD カードのブート モード スイッチ設定

SW2.[4:3]	OFF:OFF	USB Type C Mode Selection	Set Mode for USB Type C interface (USB0): '00' (OFF/OFF) = DFP (Downstream Facing Port) '01' (OFF/ON) = DRP (Dual Role Port) '1X' (ON, Don't Care) = UFP (Upstream Facing Port)
-----------	---------	---------------------------	--

図 3-2. 評価基板 USB-C スイッチの設定

評価基板 のメイン UART 端子を PC に接続し、TeraTerm 端子の 4 つの COM ポートのうち最初のものを開きます。シリアル ポートを、デフォルトの 9600kbps ではなく 115200kbps の速度で設定します。評価基板 の電源がオンになり、SoC が SD カードから起動します。

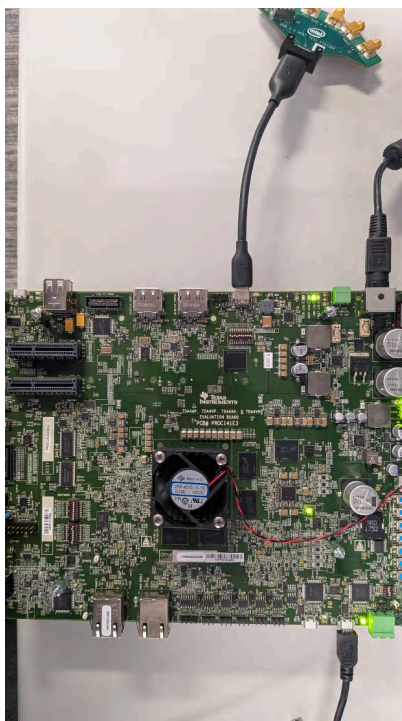


図 3-3. 評価基板設定

3.4 コンプライアンス パターン参照

表 3-3. コンプライアンス パターンの概要

パターン	信号の説明	測定の用途	入力方法	備考
LFPS	低周波数周期信号	立ち上がり／立ち下がり時間、バーストレート、周期性を満たす周期的な信号。	直接テストフィクスチャ接続、または Echo コンプライアンス コマンドを使用	
CP0	5Gbps でのスクランブル D0.0	アイ ダイアグラム、TX 振幅 (VTX — DIFF)、立ち上がり／立ち下がり時間、TX ジッタ (Tj)	PORTSC 書き込み専用 (PLS = 10)	該当なし
CP1	5Gbps、ナイキスト周波数 2.5GHz におけるクロック パターン	最大トグル周波数での TX 出力電圧、TX ジッタ、SSC 解析。	PORTSC 書き込み + USB PHY 書き込み (0x18230c10)	SERDES PLL による SSC を有効化

3.5 LFPS: 低周波数周期信号

SoC USB インスタンスを強制的にホスト TX コンプライアンス モードにするには、図 3-6 に示す dts の変更に従います。USB 3.0 ホスト TX 準拠テストに必要な LFPS 信号を生成するには、以下に示すように、コンプライアンス文字列を xHCI debugfs ノードに書き込みます。

```
root@j784s4-evm: echo compliance > /sys/kernel/debug/usb/xhci/<tab>/ports/port02/portsc.
```

<tab>: Tab キーを押して、ホストコントローラに Linux によって割り当てられた USB インスタンス番号を自動入力します。(例: xhci-hcd.11.auto と表示)。

cat コマンドは PORTSC レジスタを読み戻し、リンクが Rx.Detect にあることを確認します。USB テストフィクスチャを接続し、オシロスコープの LFPS 信号を観察します。

```
root@j784s4-evm: cat /sys/kernel/debug/usb/xhci/xhci-hcd.11.auto/ports/port02/portsc
```

0x0a0002a0 Powered Not-connected Disabled Link:RxDetect PortSpeed:0 Change: Wake: WCE WOE

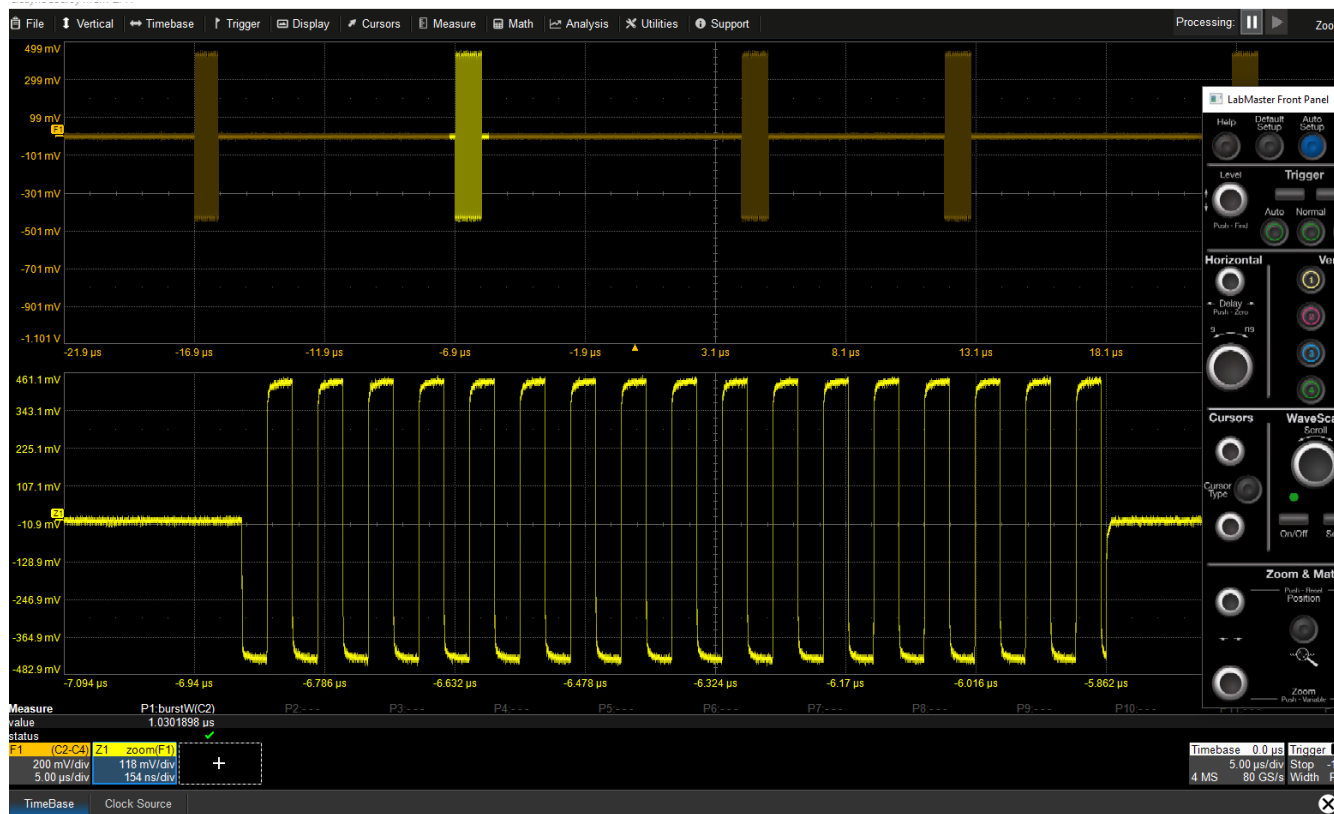


図 3-4. オシロスコープで観測された LFPS 信号

3.6 コンプライアンス パターン 0 (CP0)

コンプライアンス パターン 0 (CP0) は、SKP シーケンスなしで 5.0Gbps で送信される疑似ランダムなビット シーケンス パターンです。CP0 は、USB 3.0 仕様の制限に対して最大ジッタと最小アイハイトを測定するために使用されます。

事前条件: USB テストフィクスチャは、評価基板から取り外す必要があります。SD カードから 評価基板 を起動し、Linux を起動して、root としてログインします。

ステップ 1: ポートが Rx.Detect にあることを確認します:

```
$ devmem2 0x06010490 w
```

予想: PLS ビット [8:5] = 0101 (RX 検出)

PLS = 0000 (U0) の場合、デバイスを切断し再読み込み

ステップ 2: コンプライアンス モード (CP0) の強制:

```
$ devmem2 0x06010490 w 0x0a010340
```

PP=1, PLS= コンプライアンス (10), LWS=1

ステップ 3: USB PHY CP0 レジスタに書き込み:

```
$ devmem2 0x0601812c w 0x18030c10
```

ステップ 4: コンプライアンス エントリの確認:

```
$ devmem2 0x06010490 w
```

PLS ビット [8:5] 現在の読み取り値 1010 (コンプライアンス)

ステップ 5: コンプライアンス ロード ボードを接続します。

観測された信号: CP0 パターン (5Gbps でスクランブル D0.0)。

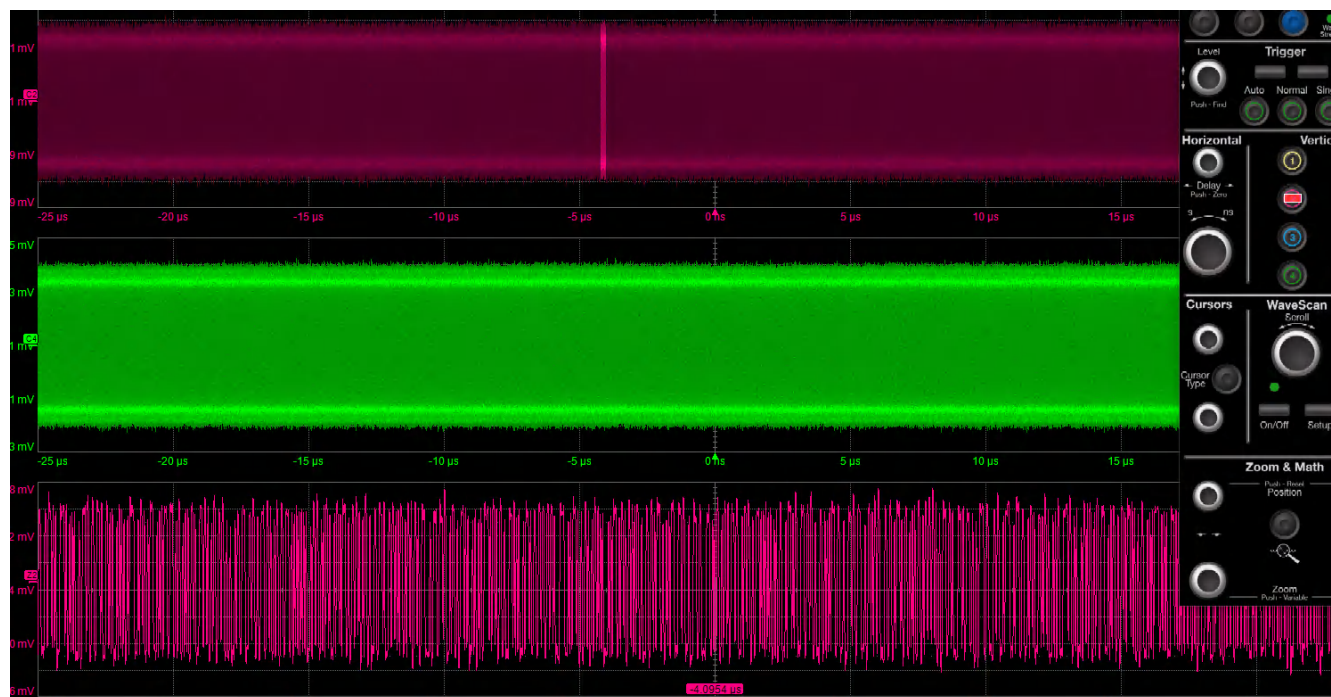


図 3-5. オシロスコープで観測された CP0 コンプライアンス パターン

3.7 コンプライアンス パターン 1 (CP1)

コンプライアンス パターン 1 (CP1) は、USB 3.0 リンクレートのナイキスト周波数 ($5\text{Gbps} \div 2 = 2.5\text{GHz}$) で送信されるクロック シーケンスです。

デフォルトの TI SDK (11.02) デバイス ツリー ソース (DTS) では、SERDES PLL でのスペクトラム拡散クロック (SSC) は有効になっていません。CP1 テストでは SSC が必要なため、k3-j784s4-j742s2-evm-common.dtsi ファイルに次の変更を加える必要があります：

<SDK_INSTALL_DIR>/board-support/ti-linux-kernel-<version>/arch/arm64/boot/dts/ti/ k3-j784s4-j742s2-evm-common.dtsi に移動します

図 5 に示すように &serdes_wiz0 ノードに次のコードを追加して SSC を有効にします：

```
ti,core-clk-sel = <1>; /*内部レファレンス クロックを選択 */
```

```
ti,ssc-enable; /* SSC 有効化 */
```

```
ti,ssc-type = <1>; /* 1:ダウンスプレッド */
```

```
ti,ssc-frequency-hz = <33000>;
```

```
ti,ssc-depth-per-mil = <5>; /* 深度 0.5% */
```

serdes0_usb_link: phy@0 ノードに次のプロパティを追加して、SSC を内部モードに設定します：

```
cdns,ssc-mode = <2>; /* 2:SSC 有効化 (内部) */
```

```
&serdes0 {
    status = "okay";

    serdes0_pcie1_link: phy@0 {
        reg = <0>;
        cdns,num-lanes = <2>;
        phy-cells = <0>;
        cdns,phy-type = <PHY_TYPE_PCIE>;
        resets = <&serdes_wiz0 1>, <&serdes_wiz0 2>;
        bootph-all;
    };

    serdes0_usb_link: phy@3 {
        bootph-all;
        reg = <3>;
        cdns,num-lanes = <1>;
        phy-cells = <0>;
        cdns,phy-type = <PHY_TYPE_USB3>;
        resets = <&serdes_wiz0 4>;
        cdns,ssc-mode = <2>; /* 2 for SSC enabled (internal) */
    };
};

&serdes_wiz0 {
    bootph-all;
    ti,core-clk-sel = <1>; /* Select internal ref clock */
    ti,ssc-enable; /* Enable SSC */
    ti,ssc-type = <1>; /* 1 for DOWNSPREAD */
    ti,ssc-frequency-hz = <33000>; /* 1 for DOWNSPREAD */
    ti,ssc-depth-per-mil = <5>; /* 0.5% depth */
    status="okay";
};

&usb_serdes_mux {
    idle-states = <0>; /* USB0 to SERDES lane 3 */
};

&usbss0 {
    status = "okay";
    pinctrl-0 = <&main_usbss0_pins_default>;
    pinctrl-names = "default";
    ti,vbus-divider;
};

&usb0 {
    dr_mode = "host";
    maximum-speed = "super-speed";
    phys = <&serdes0_usb_link>;
    phy-names = "cdns3,usb3-phy";
};

&serdes_wiz4 {
    status = "okay";
};
```

図 3-6. デバイス ツリー ソースを変更して SSC を有効化し、USB をホストモードに強制設定

dts ファイルをコンパイルして、次のように .dtb ファイルを生成します：

```
$cd /<sdk-install directory>/board-support/ti-linux-kernel-6.12.57+git-ti
```

```
$export CROSS_COMPILE=/< sdk-install directory >/linux-devkit/sysroots/x86_64-arago-linux/usr/bin/aarch64-oe-linux/aarch64-oe-linux-
```

```
$export ARCH=arm64
```

```
$make dtbs.
```

.dtb ファイルを sd カードにコピーします:

```
$cd /< sdk-install directory > /board-support/ti-linux-kernel-6.12.57+git-ti/arch/arm64/boot/dts/ti/
```

```
$sudo cp k3-j784s4-evm.dtb /media/<username>/root/boot/dtb/ti/k3-j784s4-evm.dtb
```

```
$sudo eject /media/<username>/root/
```

評価基板 Teraterm 上:

ステップ 1: ロードボードを取り外し、再起動します:

```
$ reboot
```

ステップ 2: 強制コンプライアンス モード:

```
$ devmem2 0x06010490 w 0x0a010340
```

ステップ 3: USB PHY CP1 レジスタに書き込み:

```
$ devmem2 0x0601812c w 0x18230c10
```

```
$ devmem2 0x05060340 w 0x86000002 /*PLL0_CLK_SEL_M0_PLL0_CTRL_M0 */
```

ステップ 4: コンプライアンス ロード ボードを再接続します。観測された信号: CP1 — 1010 パターンを繰り返して、SSC を使用して 2.5GHz 波形を生成します。USB レジスタ書き込みにより、CP1 を直接選択します。

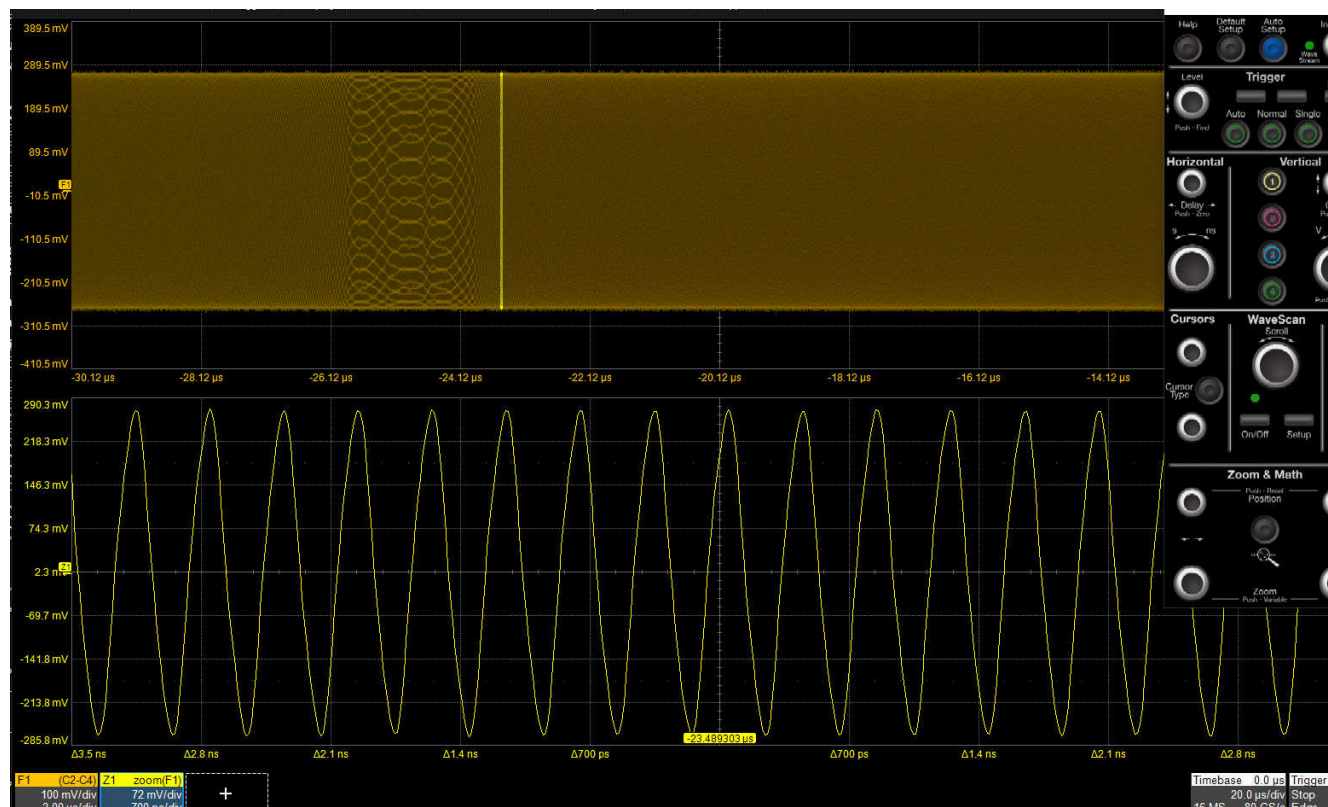


図 3-7. SSC を有効にした CP1 コンプライアンス パターン

3.8 LeCroy スコープの設定と結果

LeCroy スコープ (SDA MCM-Zi-A) には、USB などの高速シリアルバス規格の自動準拠テストを支援する QualiPHY フレームワークがあります。QualiPHY ドロップダウンメニュー (MAUI バージョン 11.5 に合わせてバージョン 11.5) から USB3.1/3.2 TX を選択し、以下のように Standard HostA、Gen1 を設定します。テスト セレクタ タブで LFPS テストと Gen1 テストを選択し、Gen2 テストの選択を解除します。設定が完了したら、テストを開始し、画面の指示に従って、要求された各パターンを有効にします。スコープから SMA ケーブルをデスキューするように指示された場合は、チャンネル校正を強くお勧めします。Sigtest がスコープにまだ存在しない場合は、USB-IF Web サイトからダウンロードできます。

Edit/View Configuration

The screenshot shows the 'Edit/View Configuration' window with the following settings:

- Setup Tab:**
 - DUT Type:** Host (selected), Device, Upstream Facing Port, Downstream Facing Port, Captive Cable.
 - Connector Type:** Standard (selected), Type-C, Micro-B.
 - Analysis Method / SigTests Versions:**
 - LeCroy (unchecked), SigTest (checked).
 - Gen1 ver: C:\Program Files (x86)\SigTest_3.2.11.4
 - Gen2 ver: C:\Program Files (x86)\SigTest 4.0.23.2
 - Selected Tests:** Gen1 (5G) (checked), Gen2 (10G) (unchecked), LFPS (unchecked).
 - Instrument (LFPS):**
 - PeRT3 Phoenix, PeRT3 Eagle (Gen1 only), Anritsu MP1900A (IP: localhost), T3 AFG, DUTC 150/250, User Controlled (selected).
 - Acquisition Settings:**
 - Acquire Live (selected), Use Saved Waveforms (unchecked).
 - Waveform Path: D:\Waveforms\USB3.1_3.2
- Bottom Bar:**
 - Current Configuration: Standard-A Host, Gen1 and Gen2 (Modified)
 - Buttons: Save, Save As..., Close

図 3-8. QualiPHY USB 3.1/3.2 TX テスト構成

すべてのパターンを分析して後処理すると、図 3-9.に示すように、コンプライアンス ソフトウェアは PDF レポートを生成します。

Summary Table

[Hide Table]

Pass	#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1	TD.1.1	N/A	LFPS Min Amplitude	Long	SigTest	884 mV	800 mV <= x <= 1.200 V
✓	1	TD.1.1	N/A	LFPS Min Amplitude	Long	SigTest	894 mV	800 mV <= x <= 1.200 V
✓	1	TD.1.1	N/A	LFPS Max CM AC	Long	SigTest	31.602 mV	x <= 100.000 mV
✓	1	TD.1.1	N/A	LFPS Min Period	Long	SigTest	60 ns	20 ns <= x <= 100 ns
✓	1	TD.1.1	N/A	LFPS Max Period	Long	SigTest	60 ns	20 ns <= x <= 100 ns
✓	1	TD.1.1	N/A	LFPS Min Burst Time	Long	SigTest	963 ns	600 ns <= x <= 1.400 us
✓	1	TD.1.1	N/A	LFPS Max Burst Time	Long	SigTest	1.084 us	600 ns <= x <= 1.400 us
✓	1	TD.1.1	N/A	LFPS Min Repeat Time	Long	SigTest	10.02 us	6.00 us <= x <= 14.00 us
✓	1	TD.1.1	N/A	LFPS Max Repeat Time	Long	SigTest	11.04 us	6.00 us <= x <= 14.00 us
✓	1	TD.1.1	N/A	LFPS Min Duty Cycle	Long	SigTest	49.9 %	40.0 % <= x <= 60.0 %
✓	1	TD.1.1	N/A	LFPS Max Duty Cycle	Long	SigTest	50.0 %	40.0 % <= x <= 60.0 %
✓	1	TD.1.1	N/A	LFPS Rise Time	Long	SigTest	244 ps	x <= 4.0 ns
✓	1	TD.1.1	N/A	LFPS Fall Time	Long	SigTest	234 ps	x <= 4.0 ns

図 3-9. コンプライアンス テストの結果: パターンの概要

Summary Table

[Hide Table]

Pass	#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1	TD.1.6	Gen1	SSC Deviation Max (max)	Long	LeCroy	124.7 PPM	-300.0 PPM <= x <= 300.0 PPM or -2.3000 kPPM <= x <= -1.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Deviation Max (min)	Long	LeCroy	74.4 PPM	-300.0 PPM <= x <= 300.0 PPM or -2.3000 kPPM <= x <= -1.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Frequency Modulation Rate	Long	LeCroy	32.499 kHz	30.000 kHz <= x <= 33.000 kHz
✓	1	TD.1.6	Gen1	SSC Deviation Min (max)	Long	LeCroy	-4.8717 kPPM	-5.3000 kPPM <= x <= -3.7000 kPPM
✓	1	TD.1.6	Gen1	SSC Deviation Min (min)	Long	LeCroy	-4.9394 kPPM	-5.3000 kPPM <= x <= -3.7000 kPPM
✓	1	Legacy	Gen1	Phase Jitter Slew Rate Max	Long	LeCroy	2.561 ms/s	x = 0 us/s +/- 10.000 ms/s
✓	1	Legacy	Gen1	Phase Jitter Slew Rate Min	Long	LeCroy	-2.629 ms/s	x = 0 us/s +/- 10.000 ms/s
✓	1	TD.1.3	Gen1	Tj CP1	Long	SigTest	16.8544 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP1	Long	SigTest	0.9039 ps	Informational Only
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0, Jitter)	Long	SigTest	pass	match "Pass"
✓	1	TD.1.3	Gen1	Tj CP0	Long	SigTest	49.6665 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP0	Long	SigTest	0.9039 ps	Informational Only
✓	1	TD.1.3	Gen1	Dj DD CP0	Long	SigTest	36.9581 ps	x <= 86.00 ps
?	1	TD.1.3	Gen1	Min Time Between Crossovers	Long	SigTest	184.337 ps	Informational Only
✓	1	TD.1.3	Gen1	Avg UI	Long	SigTest	200.4672 ps	199.9400 ps < x < 201.0656 ps
?	1	TD.1.3	Gen1	Max PP Jitter	Long	SigTest	52.662 ps	Informational Only
✓	1	TD.1.3	Gen1	Non Transition Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	Transition Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	Total Eye Violations	Long	SigTest	0 hits	x = 0 hits
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0, Eye)	Long	SigTest	pass	match "Pass"
?	1	TD.1.3	Gen1	Eye Height	Long	SigTest	223.1 mV	Informational Only
?	1	TD.1.3	Gen1	Max Non Trans Voltage	Long	SigTest	224.1 mV	Informational Only
?	1	TD.1.3	Gen1	Min Non Trans Voltage	Long	SigTest	-224.3 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Voltage	Long	SigTest	233.3 mV	Informational Only
?	1	TD.1.3	Gen1	Min Trans Voltage	Long	SigTest	-233.7 mV	Informational Only
?	1	TD.1.3	Gen1	Min Non Trans Upper Margin	Long	SigTest	62.2 mV	Informational Only
?	1	TD.1.3	Gen1	Max Non Trans Lower Margin	Long	SigTest	-60.9 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Upper Margin	Long	SigTest	79.9 mV	Informational Only
?	1	TD.1.3	Gen1	Max Trans Lower Margin	Long	SigTest	-78.3 mV	Informational Only
?	1	TD.1.3	Gen1	Min Eye Width	Long	SigTest	150.333 ps	Informational Only
✓	1	TD.1.3	Gen1	Tj CP1	Short	SigTest	16.9204 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP1	Short	SigTest	0.9132 ps	Informational Only
✓	1	TD.1.3	Gen1	SigTest Pass / Fail Result (CP0)	Short	SigTest	pass	match "Pass"
✓	1	TD.1.3	Gen1	Tj CP0	Short	SigTest	31.0602 ps	x <= 132.00 ps
?	1	TD.1.3	Gen1	Rj (rms) CP0	Short	SigTest	0.9132 ps	Informational Only
✓	1	TD.1.3	Gen1	Dj DD CP0	Short	SigTest	18.2200 ps	x <= 86.00 ps
?	1	TD.1.3	Gen1	Min Time Between Crossovers (after channel)	Short	SigTest	188.220 ps	Informational Only

図 3-10. コンプライアンス テストの結果: アイ ダイアグラム分析

Pass#	Test	Gen	Measurement	Chan	Analysis	Current Val	Test Criteria
✓	1 TD.1.3	Gen1	Avg UI	Short	SigTest	200.4672 ps	199.9400 ps < x < 201.0656 ps
?	1 TD.1.3	Gen1	Max PP Jitter	Short	SigTest	32.882 ps	Informational Only
✓	1 TD.1.3	Gen1	Non Transition Eye Violations	Short	SigTest	0 hits	x = 0 hits
✓	1 TD.1.3	Gen1	Transition Eye Violations	Short	SigTest	0 hits	x = 0 hits
✓	1 TD.1.3	Gen1	Total Eye Violations	Short	SigTest	0 hits	x = 0 hits
?	1 TD.1.3	Gen1	Eye Height SigTest	Short	SigTest	396.2 mV	Informational Only
?	1 TD.1.3	Gen1	Max Non Trans Voltage SigTest	Short	SigTest	327.6 mV	Informational Only
?	1 TD.1.3	Gen1	Min Non Trans Voltage SigTest	Short	SigTest	-326.5 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Voltage SigTest	Short	SigTest	348.2 mV	Informational Only
?	1 TD.1.3	Gen1	Min Trans Voltage SigTest	Short	SigTest	-346.4 mV	Informational Only
?	1 TD.1.3	Gen1	Min Non Trans Upper Margin	Short	SigTest	159.3 mV	Informational Only
?	1 TD.1.3	Gen1	Max Non Trans Lower Margin	Short	SigTest	-164.3 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Upper Margin	Short	SigTest	149.8 mV	Informational Only
?	1 TD.1.3	Gen1	Max Trans Lower Margin	Short	SigTest	-146.4 mV	Informational Only
?	1 TD.1.3	Gen1	Min Eye Width SigTest	Short	SigTest	168.940 ps	Informational Only

図 3-11. コンプライアンス テスト レポートの概要

3.9 トラブルシューティング

表 3-4. トラブルシューティング ガイド

症状	想定される原因	分解能
devmem2 書き込み後にパターンはありません	ポートが Rx.Detect にありません。デバイスはまだ接続されています	デバイスを切断します。書き込む前に、PORTSC を読み出し、PLS[8:5] = 0101 を確認します
接続したフィクスチャの後にパターンがありません	SoC はホスト モードではありません。USB-C ケーブルの方向を反転する必要があります	DIP スイッチがホスト DFP モードに設定されていることを確認します。USB-C ケーブルの両側で試します。
PORTSC は書き込み後に変更されません	LWS (ビット 16) が設定されていません。誤ったアドレスが使用されています	書き込み値が 0xa010340 (LWS = 1) であることを確認し、SoC MMIO ベース アドレスを確認します
CP0 のみが表示され、CP1 は表示されません	USB CP1 レジスタが書き込まれていません	PORTSC 書き込み後に USB PHY レジスタに 0x18230c10 を書き込みます。必要に応じて最初に再起動します
USB SSC に準拠していません	SSC モードは有効化されていません	デバイス ツリー ソース (.dts) ファイルを変更して、SERDES PLL SSC を有効にします
LFPS 仕様に不合格	ケーブルの不一致	ケーブル上でデスクュー操作を実行します。MAUI s/w バージョンと適合テストスイート QPHY バージョンを一致させます

3.10 コンプライアンス手順: DRA821 / TDA4AL/VL/VE / J721S2

DRA821/ TDA4AL/VL/VE / J721S2 SoC は、TDA4xH/TDA4xP SoC と同じ USB MMIO ベース アドレス (0x06010000) を使用します。すべてのレジスタ アドレスおよびコンプライアンス手順のステップは、[セクション 3](#) に記載されているものと同一です。

4 まとめ

Jacinto プロセッサ SoC 上で USB3.1 Gen1 Superspeed ホスト TX の電氣的コンプライアンステストを実現するための包括的なガイドが提供されています。入手可能な最新の SDK を使用すると、ここで説明している方法をカスタムボードまたは評価基板に適用できます。このアプローチでは、外部のビットエラーレートテスター (BERT) や専用のハードウェアパターンジェネレータが不要になるため、コスト効率の優れた TX 検証パスを実現できます。エンジニアはネイティブ Linux コマンドと、デバイス ツリー ソースの変更を使用して、SoC にコンプライアンスパターンを出力し、USB コンプライアンスの迅速なチェックアウトに必要な SSC (スペクトラム拡散クロック処理) をアクティブにすることができます。

5 参考資料

1. USB、usb.org、Web ページ。
2. USB-IF、[USB 3.1 向け USB-IF コンプライアンス テスト仕様書 \(CTS\)](#)、Web ページ。
3. Intel、[USB 向け xHCI インターフェイス仕様書、改訂 1.2](#)、Web ページ。
4. テキサス インスツルメンツ、[TDA4xH Jacinto™ SoC 技術レファレンス マニュアル](#)、技術レファレンス マニュアル。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月