

Application Note

TPS61383-Q1 を使用した車載用 E ラッチ システムの設計ガイドライン



Travis Wang, Mason Chen

概要

自動車業界における電子ラッチ (e ラッチ) システムへの移行は、従来の機械的リンク機構を電子制御のアクチュエータに置き換えるもので、衝突時のロック解除安全性、静粛な動作、シームレスなユーザー体験、そして設計の柔軟性向上をもたらします。ただし、e ラッチ システムには、限られたシステム コスト、大きなピーク電流、PCB サイズとのバランスを維持するという重要な課題があります。また、スーパー キャパシタの経年劣化特性や多段負荷プロファイルは、バックアップ エネルギーの設計において大きな困難をもたらすことがよくあります。TPS61383-Q1 は、e ラッチなどのバックアップ電源アプリケーション向けに設計された双方向昇圧コンバータおよび降圧チャージャです。この IC は、バックアップ スーパーキャパシタ システム向けの統合型電源設計を提供します。このホワイトペーパーは、車載 e ラッチ システムに TPS61383-Q1 を実装するための体系的な設計ガイドラインを提示し、設計上の主な検討事項、部品の選定、性能の最適化について取り上げています。

目次

1 はじめに.....	2
2 設計要件とシステム構造.....	2
2.1 設計要件.....	2
2.2 システム構成.....	3
3 パワー トレイン.....	6
3.1 TPS61383-Q1 搭載、統合型 E ラッチ パワー トレイン.....	7
3.2 ハードウェア設計手順.....	15
3.3 ソフトウェアの初期化プロセス.....	20
4 スーパー キャパシタのエネルギー モデル化のベースと選定.....	21
4.1 放電プロファイルとカットオフ電圧.....	21
4.2 スーパー キャパシタの放電エネルギーのモデル化.....	23
4.3 計算例.....	25
4.4 スーパー キャパシタ Excel 計算ツール.....	26
5 スーパー キャパシタの管理.....	28
5.1 BQ76907-Q1 による電圧監視.....	28
5.2 BQ76907-Q1 によるセル バランシング.....	31
5.3 スーパー キャパシタの健全性検出: TPS61383-Q1 と BQ76907-Q1 を組み合わせたソリューション.....	35
6 制御ユニットと通信.....	36
6.1 制御ユニットの設計上の検討事項.....	36
6.2 SBC の選択.....	36
7 実行ユニット.....	37
7.1 モーター ドライバの構造.....	37
7.2 モーター ドライバの設計上の検討事項.....	39
8 まとめ.....	39
9 参考資料.....	39

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

「電子ラッチ (E ラッチ)」は、次世代の車載ドアロック / 解除メカニズムであり、従来の機械式ラッチを、電気機械式アクチュエータ システムや緊急ケース用のスーパー キャパシタ エネルギー バックアップで置き換えます。中国の車載安全規格 GB+48001-2026 によると、中国で販売されるすべての車両は、メイン バッテリに依存せずに内外からロックを解除できる必要があります。この規制は広範な影響をもたらします。従来の機械式ドア ラッチを装備した車両であっても、車外からの速度感知式ドアロック解除に対応するため E ラッチ システムの搭載が必須となり、事実上、E ラッチの統合は中国の自動車市場のすべての乗用車セグメントで普遍的な要件となっています。TPS61383-Q1 は、e ラッチなどのバックアップ電源アプリケーション向けに設計された双方向昇圧コンバータ / 降圧チャージャです。このアプリケーション ノートでは、正しい機能、安定した動作、優れた熱特性と低 EMI 性能を実現するための TPS61383-Q1 を用いた車載 e ラッチ システムの設計方法に関するガイダンスを提供します。

2 設計要件とシステム構造

2.1 設計要件

車載用 e ラッチ システムは、従来の機械式ドア ラッチを代替またはバックアップする目的で設計されています。適切に設計された e ラッチ システムは、メイン バッテリの故障に対処するためのローカル バックアップ電源システム、緊急時用の安全ロジック、およびバックアップ バッテリの健全性検出機能を内蔵しています。一般的な e ラッチ システムの機能要件を以下に示します：

1. セキュアなラッチ: システムは、コールド クランクなどの重大なバッテリー電圧過渡時でも、インテリア ハンドル、エクステリア ハンドル、リモート コマンドのいずれからでも、要求されたときにドアを開くことができることを確認する必要があります。
2. 衝突安全規格への準拠: 衝突が発生した場合、e ラッチをかけたままにして乗員の車外放出を防止するか、規制によって必要な場合は、救助できるよう能動的にロックを解除する必要があります。そのためには、メイン電源バスとは独立して動作するバックアップ エネルギー ストレージ システムが必要です。
3. 電子解除: E ラッチ システムは、電子制御アクチュエータ (通常 BDC) を内蔵しており、これによって電子スイッチによりドアを開くことができます。
4. パワー マネージメント: E ラッチ システムは、メイン バッテリの故障時でも動作を確保するため、バックアップ電源システムとしてローカル スーパー キャパシタを内蔵しています。
5. 自己検出: E ラッチ システムは、バックアップ バッテリの状態を検出し、集中型 BCM またはゲートウェイに通知します。
6. 安全性ロジック: e ラッチ システムは、車両事故が発生したときに緊急信号を受信してロックを解除する安全性ロジックを内蔵しています。E ラッチ システムはギア位置や速度センサなど他の車両システムと通信し、自動車が走行しているときに偶発的にドアが開くことを防止します。
7. 機能安全 (ISO 26262 ASIL): ドア ラッチは安全関連の要素です。e ラッチの電源装置と制御ロジックは、意図しないロック解除やロック解除の失敗を防ぐように設計する必要があります。ASIL の標準的なターゲットは、車両のアーキテクチャに応じて、ASIL A から ASIL B までの範囲です。

2.2 システム構成

クラッシュ ロック解除モジュール (衝突時にラッチ解除を担うアクチュエータ) の物理的な位置によって、集中型と分散型の 2 つの主要なシステム アーキテクチャが定義されます。

2.2.1 集中型 E ラッチ システム

集中型アーキテクチャでは、セントラル ボディコントロール モジュール (BCM) または専用ドア ゾーン モジュールに、クラッシュ ロック解除アクチュエータが 1 つ取り付けられています。そこから、機械的なロッドまたはケーブルによって、クラッシュ ロック解除力を 4 つのドアすべてに同時に分配します。

エネルギー要件:

1. 4 つのドアに 6 ~ 10 個のドアロック、すべてのロック解除に約 200J
2. 3 ~ 4 セルのスーパー キャパシタ

利点:

1. 高信頼性のクラッシュ アクチュエータが 1 つだけで済み、システム コストを削減できます。
2. クラッシュ パスに関する機能安全の検証が容易です。

欠点

1. 中央アクチュエータから各ドアへの機械的なリンケージには、依然として損傷の危険性があります。
2. 中央アクチュエータが故障すると、すべてのドアがクラッシュ ロック解除機能を失います。
3. 機械的な伝送遅延が原因で、クラッシュ応答が遅くなります。

集中型 e ラッチ システムには 2 種類の構造があります。

- CPM (クラッシュ電源モジュール) – ラッチ解除動作を担うバックアップ電源システム。CPM はバックアップ電源のみを提供し、実行ユニットを e ラッチ モジュールに統合しません。自動車事故が発生すると、CPM はドア モジュールに電源を供給し、ドア モジュールによってロック解除が実行されます。

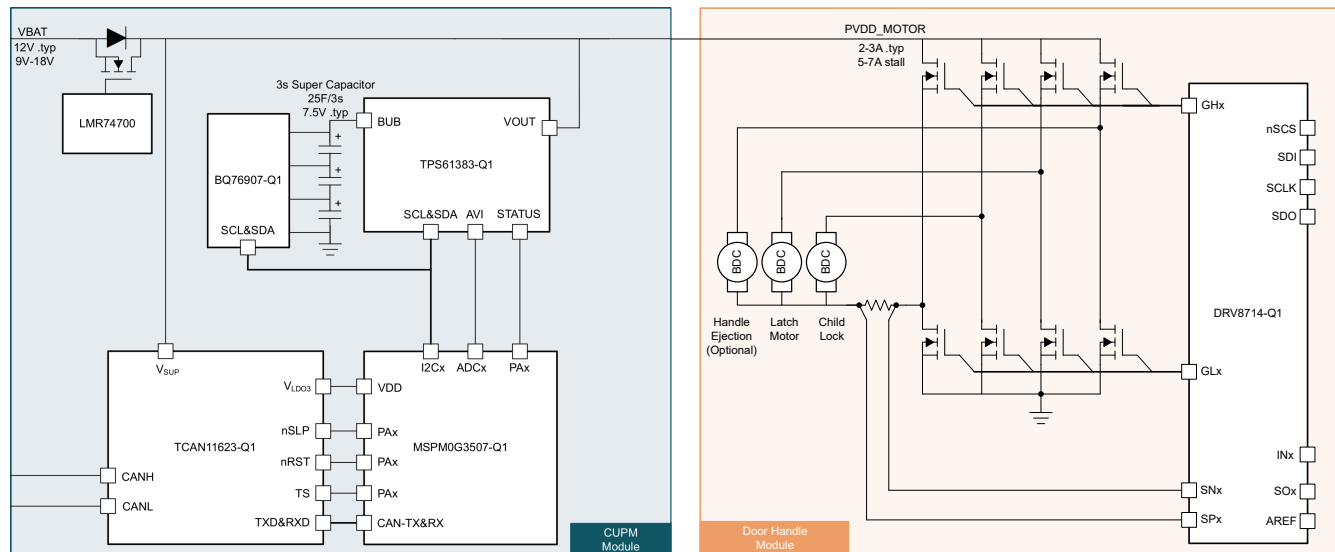


図 2-1. CPM 構造

- CUPM (クラッシュロック解除電源モジュール) – プライマリ システムに障害が発生したときに、バックアップのロック解除機能を提供するセカンダリ モジュール。「U」は「ロック解除 (Unlock)」を示します。CUPM はバックアップ電源だけでなく、二次実行ユニットも内蔵しています。自動車事故が発生した場合、ドア モジュール内のモーター ドライバが損傷しても、CUPM は単独で解錠することができます。CUPM には、次の 2 種類の構造があります:

車体内部にラッチ モーター ドライバを統合した自動車では、CUPM は通常、実行ユニットとして集中型モーター ドライバを使用します：

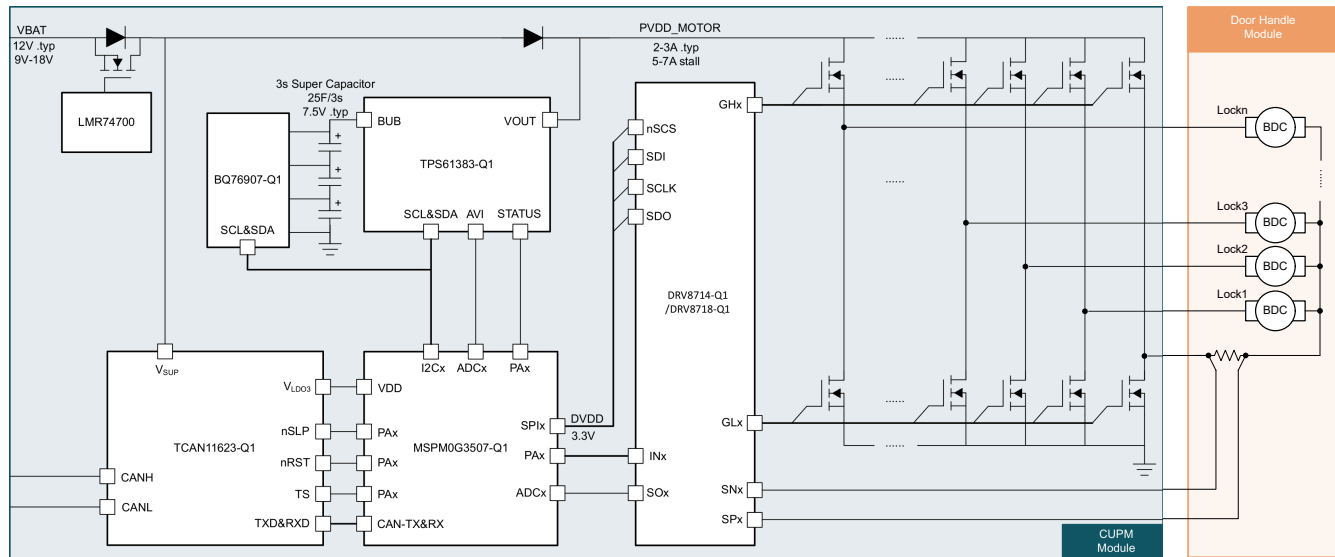


図 2-2. 集中型モーター ドライバを使用する CUPM 構造

他の自動車は、モーター ドライバをドア モジュール内に直接配置します。この場合、CUPM はバックアップ実行ユニットとしてハイサイド スイッチを追加する必要があります：

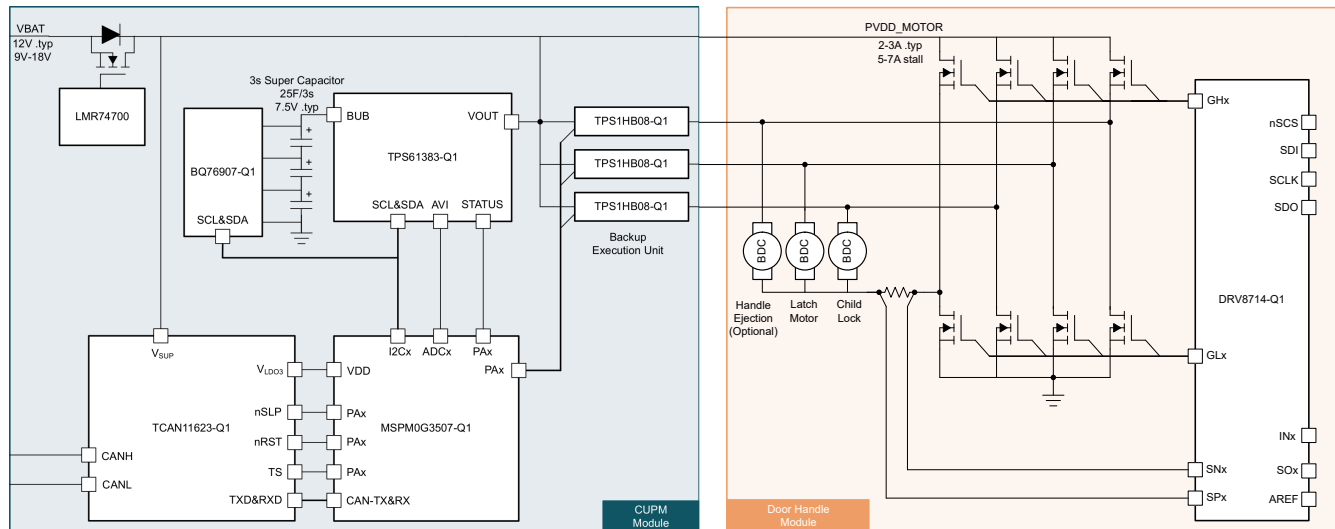


図 2-3. 集中型モーター ドライバを使用する CUPM 構造

2.2.2 分散型 E ラッチ システム

分散型アーキテクチャでは、各ドアに専用の衝突時ロック解除アクチュエータが搭載されており、通常の e ラッチ機構と同じ位置に配置されています。衝突時のコマンドは、車両ネットワーク (CAN/LIN) または専用のハードワイヤードトリガラインを通じて送信されます。各ドアの **TPS61383-Q1** は、ノーマルモードのモーターとローカルクラッシュアクチュエータの両方に電源を供給します (火薬式スクイブや大電流ソレノイドなどの電氣的にトリガされた場合)。

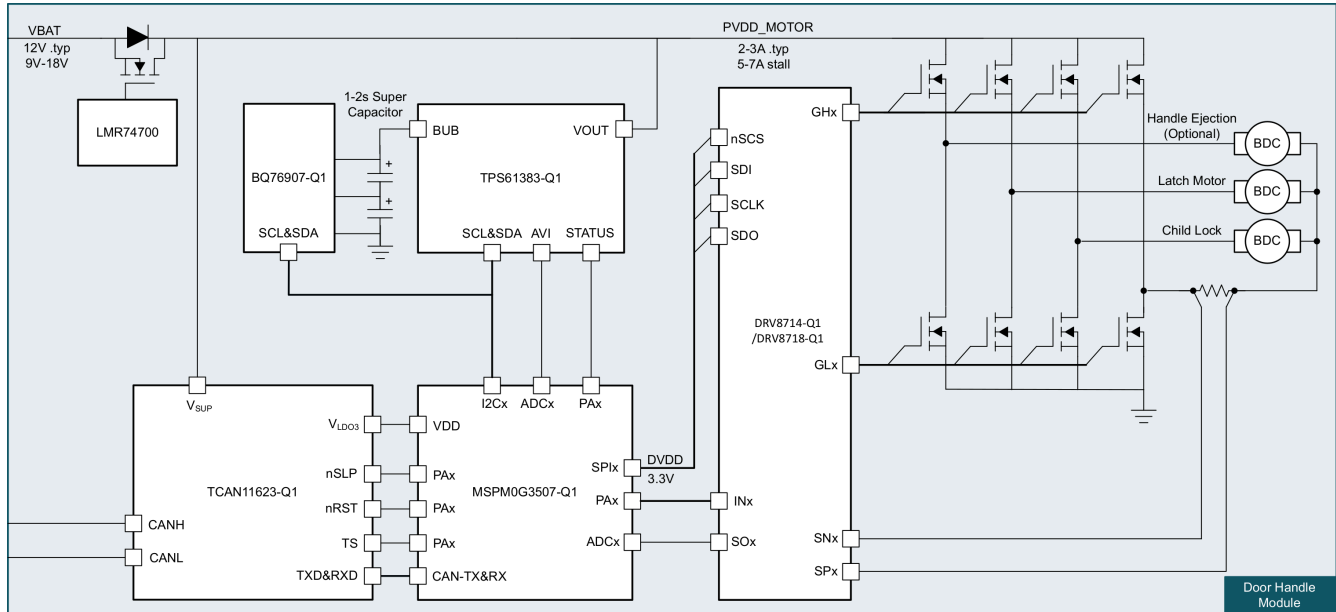


図 2-4. シングルセル E ラッチ システム

エネルギー要件:

1. 1 つのドアに 1 ~ 2 個のドアロック、ロック解除に約 60J
2. 1 ~ 2 セルのスーパー キャパシタ

利点

1. 機械的なリンケージが不要: 完全電子式であるため、ドアの重量と組み立て時間を削減できます。
2. 冗長性: 1 つのドアのクラッシュ モジュールが故障しても、他のドアには影響しません。
3. より高速で予測可能なクラッシュ応答 (マイクロ秒レベルの電気トリガ)。
4. クラッシュ後の「ソフトオープン」や選択的なロック解除などの高度な機能を有効にします。
5. 一部の車では、1 セルのスーパー キャパシタで十分です。セル 1 個の場合、セル バランシングは不要です。

欠点

1. より高い部品コスト (各ドアに複数のバックアップ スーパー キャパシタ パックと 4 つのローカル昇圧コンバータ)。
2. 限られたスペースでの制約: ドアモジュールのスペースに制約があるため、スーパー キャパシタの配置が難しくなります。
3. ドアごとのより複雑な安全検証。

3 パワートレイン

車載用 **e** ラッチ システムのパワートレインは、スーパー キャパシタを充電するためのバッテリー チャージャと、スーパー キャパシタのエネルギーをモーターに昇圧するための昇圧コンバータで構成されています。適切に設計した **e** ラッチ システムのパワートレインは、以下の要件を満たせる必要があります。

- スーパー キャパシタを **0V** からターゲット値まで高速充電すること

e ラッチ システムは、車両のイグニッションによってスーパー キャパシタの充電を開始します。ドライバーが車を始動した直後に交通事故が発生した場合、車両が危険な速度に達する前に、スーパー キャパシタのエネルギー準備が整っている必要があります。したがって、大半の **OEM** はスーパー キャパシタの充電を **1 分以内** に完了することを求めており、これには **3 ~ 4A** を超える充電電流が必要です。

- 低い静止電流

スーパー キャパシタのフル充電を終えた後、**e** ラッチ システムはその寿命の大半にわたってスタンバイ モードで動作します。その結果、システムの静止電流に関して厳格な要件が課されることになります。

- 昇圧における大電流制限

E ラッチ システムはモーター (通常 **BDC**) に電力を供給します。このモーターは、モーター ストール時に最大 **10A (120W)** を必要とします。これには、放電動作のために大電流制限付きの昇圧回路が必要です。ただし、ほとんどの **OEM** は、ストール動作が検出されるとモーターをオフにするストール監視を適用しています。そのため、実際の動作において、**120W** のストール電流は **20 ~ 100ms** 間のみ持続します。この場合、**120W** の連続放熱を処理できる定格の昇圧コンバータを選択することは、過剰な規定となります。大電流昇圧コンバータは、より適した、コスト効率の優れたソリューションです。

- スーパー キャパシタのブリーディング

スーパー キャパシタの寿命は、基本的に動作電圧によって決まります。電圧は、デバイスの寿命を決定する電気化学劣化メカニズムの背後にある主要な熱力学的駆動力だからです。スーパー キャパシタの劣化を回避し、スーパー キャパシタの健全性を向上させるために、駐車時 (イグニッション オフ時) にスーパー キャパシタを放電し、その寿命の大半を最大充電状態にしないように放電回路を設計する必要があります。

- チャージャ モードと昇圧放電モード間のシームレスな遷移

e ラッチ システムは **12V** バッテリーの電圧を検出し、チャージャ モードと昇圧放電モードとの間で遷移する必要があります。電圧低下とシステム シャットダウンを防止するため、シームレスな遷移が必要です。

TPS61383-Q1 は、チャージャ、昇圧回路、バッテリー状態検出機能を内蔵した双方向 **DC/DC** コンバータです。この **IC** は、**e** ラッチ システム向けの統合型パワートレイン設計を実現します。

3.1 TPS61383-Q1 搭載、統合型 E ラッチ パワー トレイン

図 3-1 に、TPS61383-Q1 を使用した代表的な E ラッチ システムを示します。このデバイスは、12V メイン バッテリーが通常のときにスーパー キャパシタを充電し、12V バッテリーが切り離されたときにバックアップ バッテリー エネルギーを V_{system} に昇圧するように設計されています。

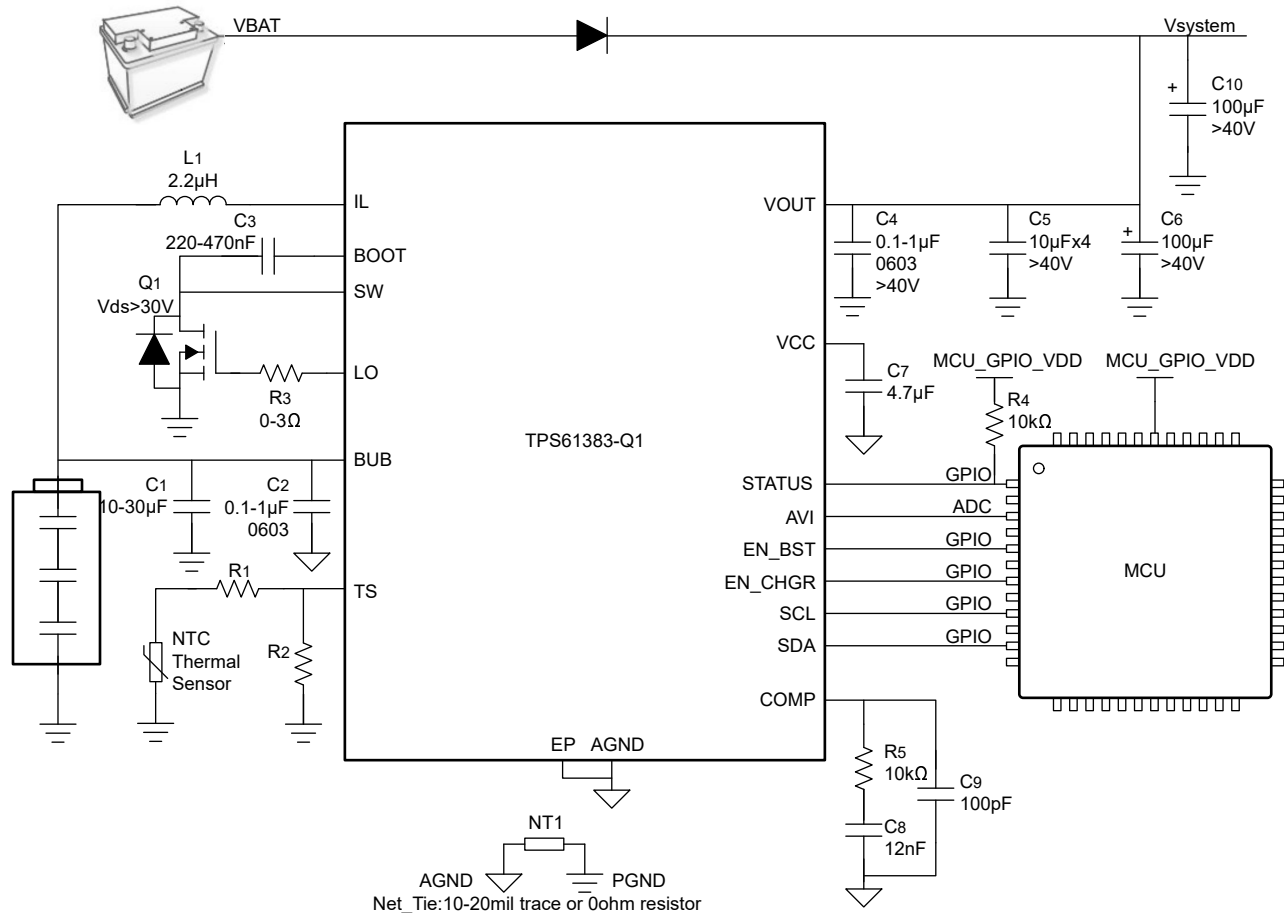


図 3-1. 代表的な E ラッチ アプリケーション

TPS61383-Q1 は、主要な機能の 4 つの機能モード (チャージャ モード、昇圧モード、健全性 (State-Of-Health: SOH) モード、スタンバイ モード) をサポートしています。以下の画像に、各モードの電力構造を示します。

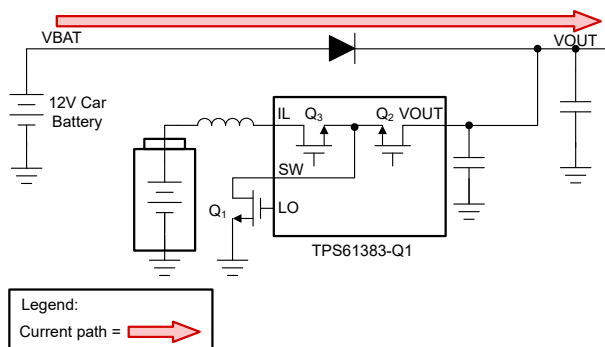


図 3-2. スタンバイ モード

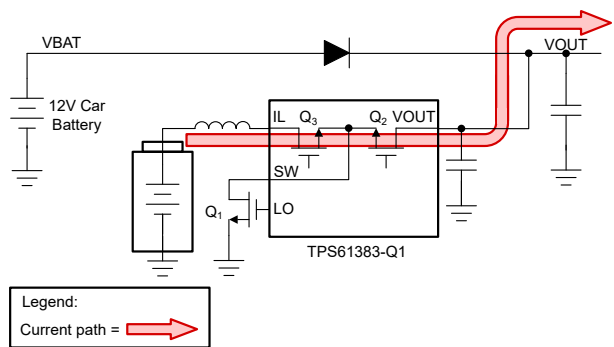


図 3-3. 昇圧モード

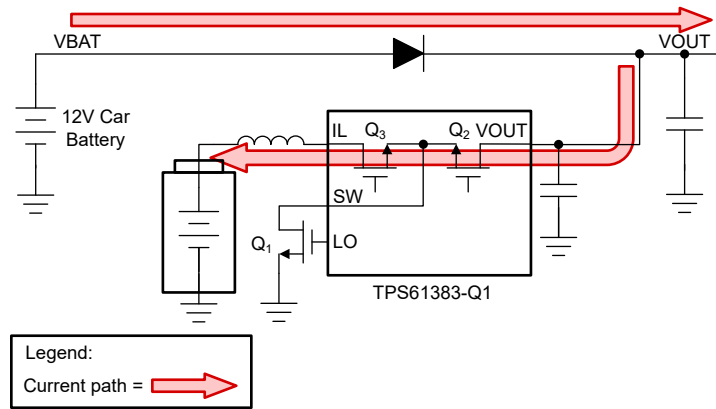


図 3-4. チャージャ モード

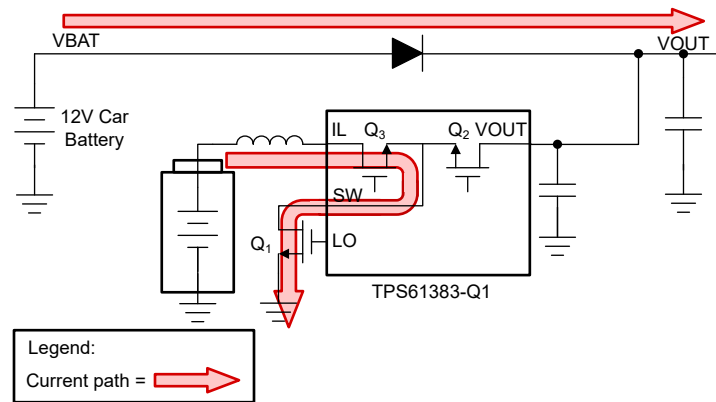


図 3-5. SOH モード

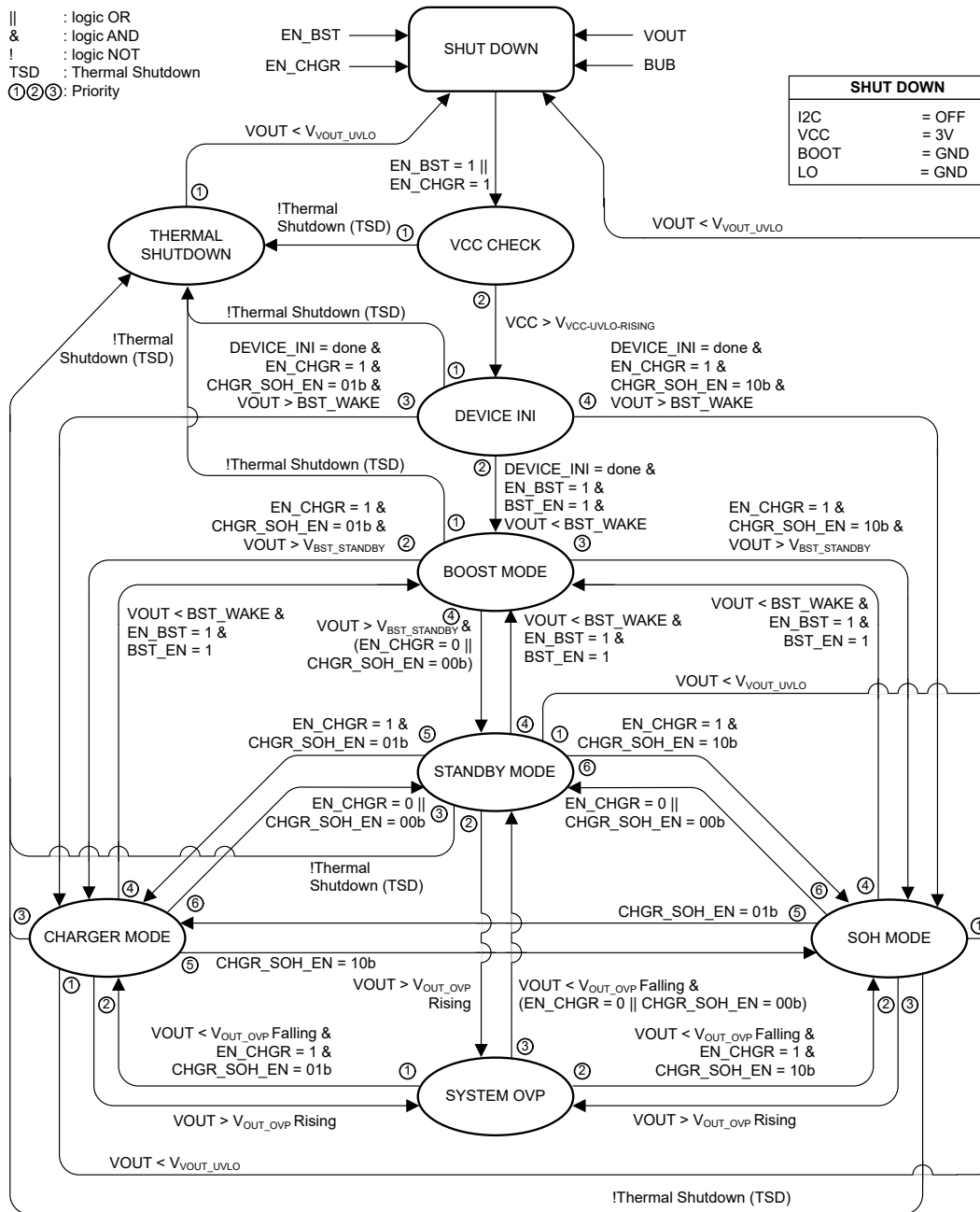
TPS61383-Q1 は、EN ピンと I2C EN ビットに AND ロジックを適用します。昇圧機能は、EN_BST ピンと BST_EN ビットの両方が High のときイネーブルされます。EN_CHGR ピンが High で、CHGR_SOH_EN ビットが 01b のとき、チャージャはイネーブルになります。EN_CHGR ピンが High かつ CHGR_SOH_EN ビットが 10b のとき、SOH はイネーブルになります。

表 3-1. 動作モードはロジックを制御

昇圧イネーブル: EN_BST ピンおよび BST_EN ビット	チャージャ / SOH イネーブル: EN_CHGR および CHGR_SOH_EN ビット	デバイスの状態	デバイス動作
EN_BST = 0 または BST_EN = 0	EN_CHGR = 1 かつ CHGR_SOH_EN = 01b	純粋なチャージャ	チャージャがアクティブ。
EN_BST = 0 または BST_EN = 0	EN_CHGR = 1 かつ CHGR_SOH_EN = 10b	純粋な SOH	SOH アクティブ。
EN_BST = 1 かつ BST_EN = 1	EN_CHGR = 0 または CHGR_SOH_EN = 00b	自動的な昇圧とスタンバイ	- 昇圧アクティブ: $V_{OUT} < BST_WAKE$ - スタンバイ アクティブ $V_{OUT} > V_{OUT_STANDBY}(106\%V_{OUT_TARGET})$
EN_BST = 1 かつ BST_EN = 1	EN_CHGR = 1 かつ CHGR_SOH_EN = 01b	自動昇圧およびチャージャ モード	- 昇圧アクティブ: $V_{OUT} < BST_WAKE$ - チャージャ アクティブ: $V_{OUT} > V_{OUT_STANDBY}(106\%V_{OUT_TARGET})$
EN_BST = 1 かつ BST_EN = 1	EN_CHGR = 1 かつ CHGR_SOH_EN = 10b	自動昇圧および SOH モード	- 昇圧アクティブ: $V_{OUT} < BST_WAKE$ - SOH アクティブ: $V_{OUT} > V_{OUT_STANDBY}(106\%V_{OUT_TARGET})$

複数の機能がイネーブルのとき、TPS61383-Q1 は VOUT ピンを使用してシステム電圧を監視し、どの機能モードに移行するかを決定します。システム電圧が十分である場合、IC はスタンバイ / チャージャまたは SOH モード (どの機能がイネーブルになっているかによって異なります) にとどまり、自動車のバッテリーの誤動作が発生してシステム電圧の電圧降下が検出されると、自動的に昇圧モードに移行します。それぞれの動作モードを、図 3-6 に示します。

|| : logic OR
& : logic AND
! : logic NOT
TSD : Thermal Shutdown
①②③: Priority



SHUT DOWN	
I2C	= OFF
VCC	= 3V
BOOT	= GND
LO	= GND

VCC CHECK	
I2C	= OFF
VCC	= ON
BOOT	= GND
LO	= GND

DEVICE INI	
I2C	= ON
VCC	= ON
BOOT	= GND
LO	= GND

BOOST MODE	
I2C	= ON
VCC	= ON
BOOT	= HIGH
LO	= Switching

CHARGER MODE	
I2C	= ON
VCC	= ON
BOOT	= HIGH
LO	= GND

SOH MODE	
I2C	= ON
VCC	= ON
BOOT	= HIGH
LO	= Regulate

STANDBY MODE	
I2C	= ON
VCC	= ON
BOOT	= GND
LO	= HIGH

THERMAL SHUTDOWN	
I2C	= ON
VCC	= ON
BOOT	= GND
LO	= GND

SYSTEM OVP	
I2C	= ON
VCC	= ON
BOOT	= GND
LO	= GND

図 3-6. 機能状態図

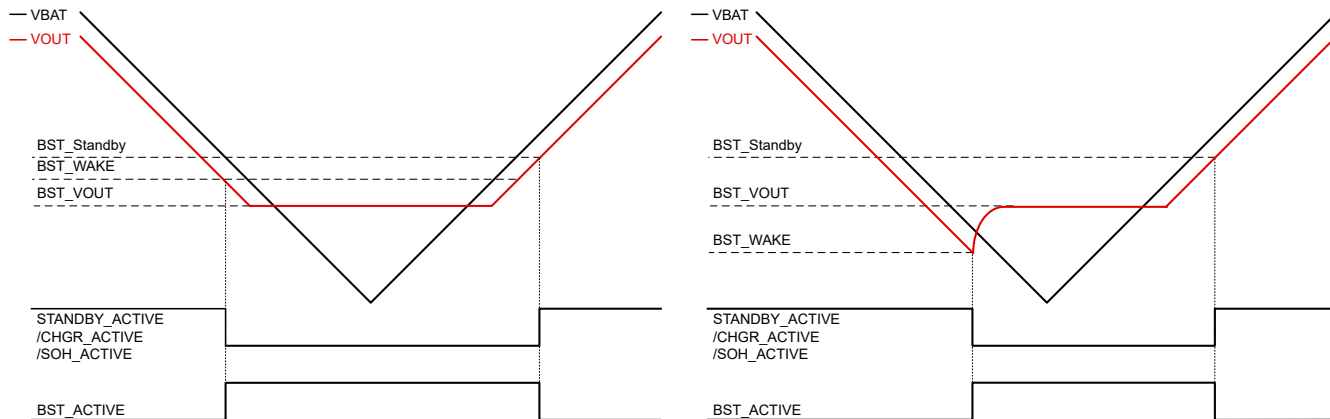


図 3-7. 自動昇圧およびスタンバイ / チャージャ / SOH 遷移ロジック

3.1.1 スーパー キャパシタ充電器の機能の紹介

TPS61383-Q1 には降圧充電器機能が内蔵されており、最大 7A までの充電電流を I2C で選択できます。スーパー キャパシタ電圧が 0V で、電圧時間積のバランスが崩れる場合、降圧チャージャは周波数をフォールドバックします。このようにして、IC は 0V のスーパー キャパシタでも大電流の充電を実現します。降圧チャージャ モードでは、Q2 と Q1 は降圧レグとしてスイッチングし、Q3 は完全にオンになります。

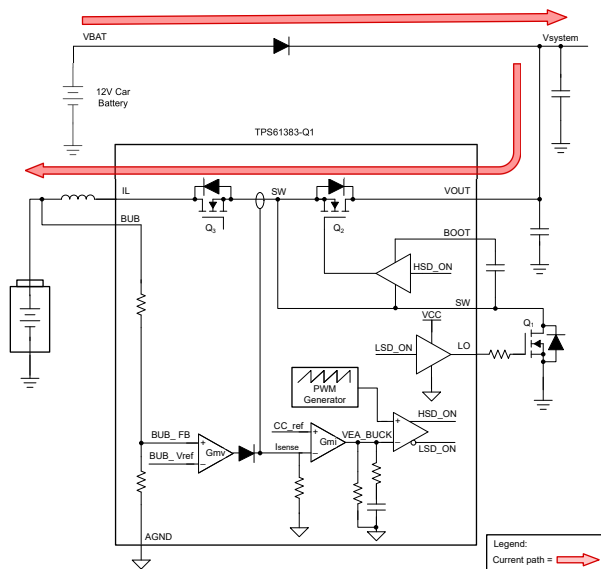


図 3-8. 降圧チャージャ構造

TPS61383-Q1 は、スーパー キャパシタに対応する内蔵充電プロファイルを使用して、バックアップ バッテリーを充電します。バックアップ スーパー キャパシタ電圧がターゲット電圧 (I2C ビットの BUB_CV および BUB_CELL で設定) を下回ると、デバイスは CC 充電フェーズに入ります。このフェーズでは、デバイスは BUB_CC ビットで構成される CC 電流によってスーパー キャパシタを充電します。

スーパー キャパシタがターゲット電圧まで充電された後、TPS61383-Q1 は CV 充電フェーズに入ります。電流が事前設定されたスレッシュホールドを下回るまで、デバイスは充電電流を減少させてスーパー コンデンサ電圧を調整します。その後、デバイスは充電を終了します。

再充電が無効に構成されている場合 (I2C ビット BUB_TER で設定)、EN_CHGR ピンまたは CHGR_EN ビットがトグルされない限り、終了後のデバイスは再充電されません。

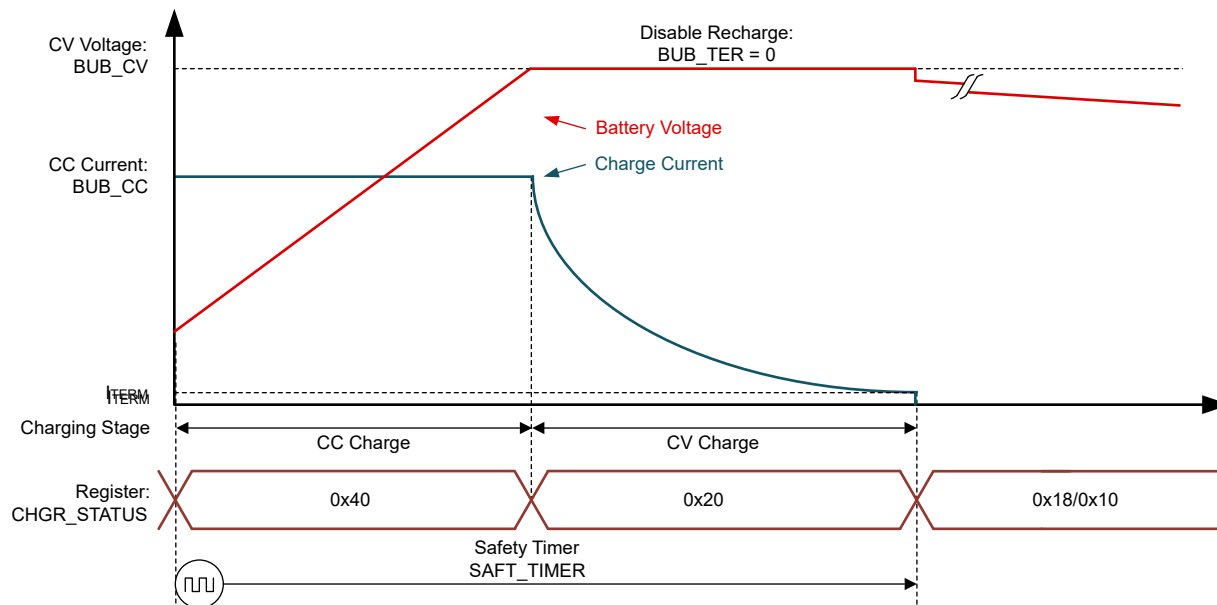
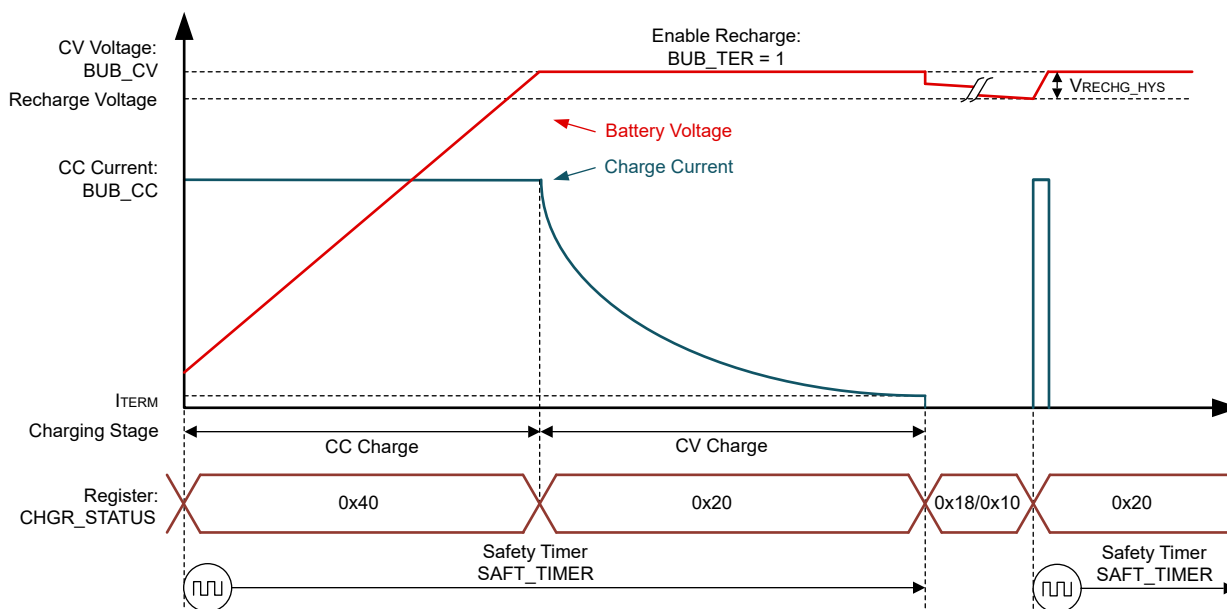


図 3-9. スーパー キャパシタの充電プロファイル、再充電ディスエーブル

再充電が有効な場合、デバイスは充電を一時的に停止し、BUB 電圧が V_{RECHG} スレッシュホールドを下回ると、自動的に再充電します。

図 3-10. スーパー キャパシタの充電プロファイル、再充電イネーブル



降圧チャージャの場合、デバイスの利用可能なデューティ範囲は Q1 と Q2 の最小オン時間によって制限されるため、400kHz の降圧動作は BUB 電圧が 1V から V_{OUT} の 92.6% の場合にのみ可能です。BUB 電圧が 1V 未満の場合、または 92.6% V_{OUT} を上回ると、TPS61383-Q1 はデューティ不良ロジックをトリガします。

デューティ不良ロジックがトリガされると、TPS61383-Q1 は周波数をフォールドバックします。BUB 電圧が 1V より低い場合、TPS61383-Q1 は周波数を 100kHz にフォールドバックします。これにより、デバイスはヒカップ動作なしで 0V のスーパー キャパシタを充電できます。

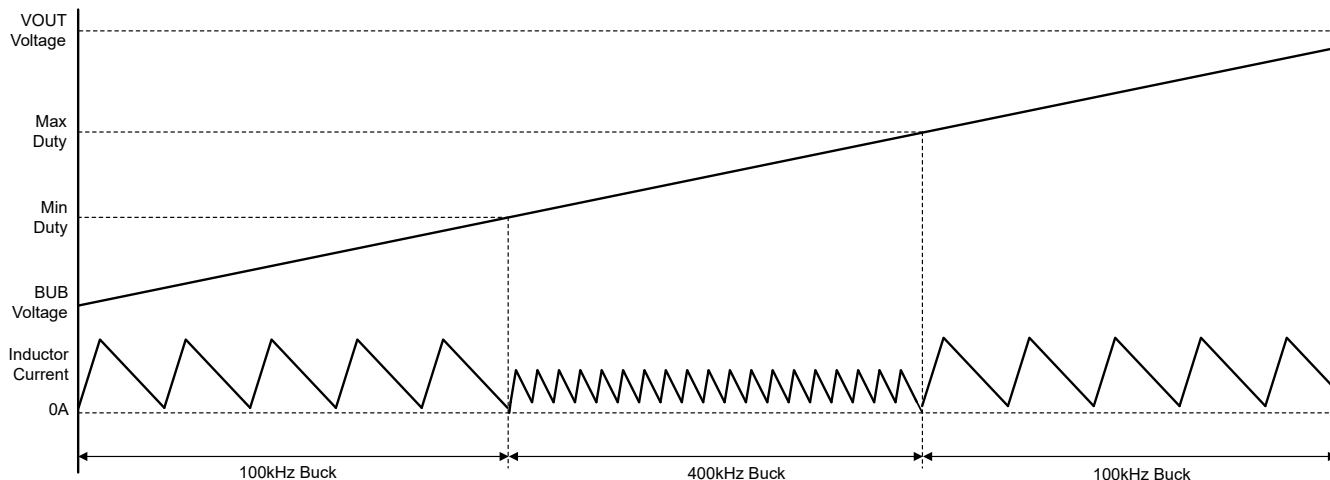


図 3-11. 400kHz 降圧充電動作

3.1.2 昇圧機能の概要

TPS61383-Q1 は、負荷接続解除機能を搭載した同期整流昇圧コンバータを内蔵しています。この昇圧機能は、0.5V ~ 12V の入力電圧と、最大 12V の出力電圧に対応し、5 ~ 30A のプログラム可能な平均入力電流制限を備えています。

バックアップ電源アプリケーションの場合、昇圧動作が有効化されると、TPS61383-Q1 は VOUT ピン (システム電源レールに接続) を使用してシステム電圧を検出し、システムの電源切断が検出されると、自動的に昇圧モードに移行します。自動昇圧モードとスタンバイ モードを例にとると、デバイスは Vout が通常の場合はスタンバイ モードで動作します。電源障害が発生し、Vout が $\min\{V_{BST_WAKEUP} \text{ (I2C ビット BST_WAKE により設定)}, V_{BST_STANDBY} \text{ (BST_VOUT} \times 106\%)\}$ を下回ると、デバイスは出力電圧を維持するために昇圧モードに移行します。

12V メイン バッテリーが回復し、Vout が $V_{BST_STANDBY}$ を上回ると、デバイスはスタンバイ モードに移行します。

V_{BST_WAKEUP} は、デフォルトで $BST_VOUT \times 103\%$ ($BST_WAKE = 111b$) に設定されており、昇圧モードへの遷移時の電圧降下を小さくします。しかし、TPS61383-Q1 では、 V_{BST_WAKEUP} を昇圧出力電圧よりも低く構成することで、コールド クランク条件のような一時的な電圧降下で昇圧モードに移行するのを避けることもできます。より高い V_{BST_WAKEUP} による電圧降下を選択するか、より低い V_{BST_WAKEUP} を選択してコールド クランク条件での昇圧モードへの移行を避け、バックアップ バッテリー動作時間を延長します。

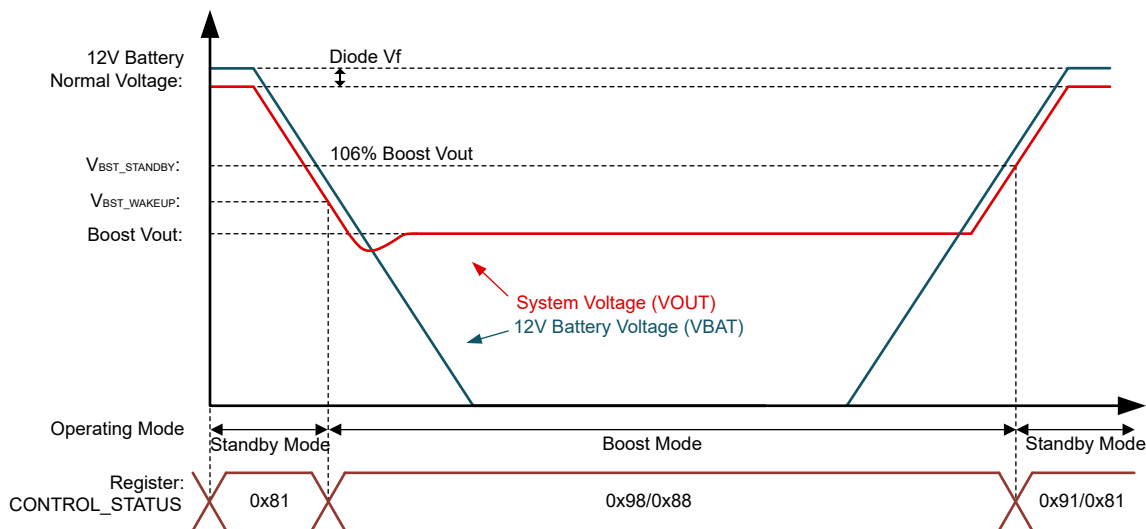


図 3-12. Case1: $V_{BST_WAKEUP} > BST_VOUT$

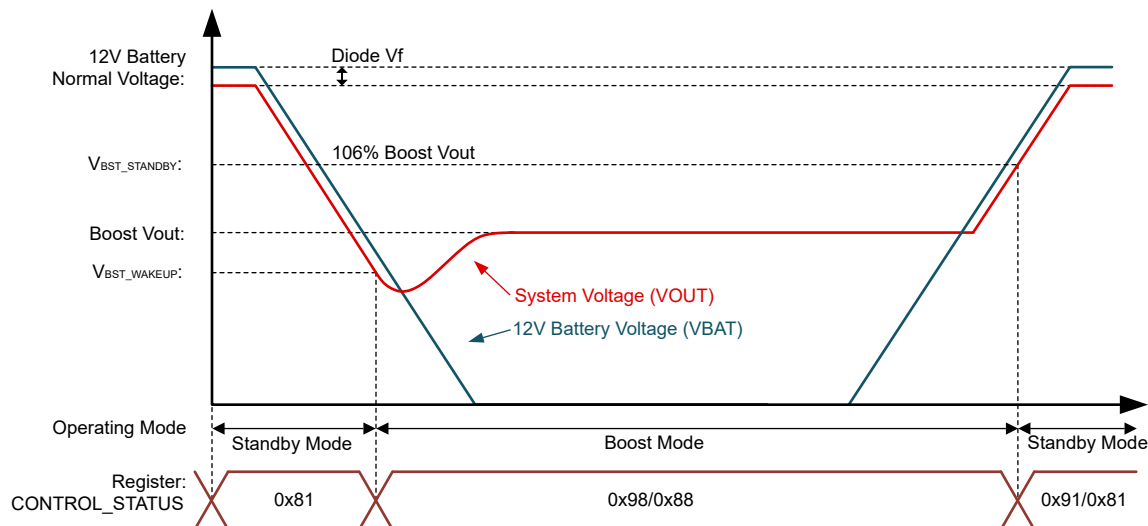


図 3-13. Case2: $V_{BST_WAKEUP} < BST_VOUT$

TPS61383-Q1 は外部 EN ピンの制御による昇圧モードへの手動遷移もサポートしています。EN ピンによる手動遷移により、12V バッテリ電圧が通常のときに IC をシャットダウンでき、静止電流を節約できます。しかし、EN ピンを制御するには外部電圧検出回路とマイコンが必要です。

デバイスは、内部回路をシャットダウン モードから初期化するには $50\mu s$ (t_{EN_delay1}) の遅延時間を必要とします。初期化後、デバイスはスタンバイ モードから昇圧モードまでに約 $20\mu s$ (t_{EN_delay2}) の遅延時間を必要とします。

バックアップ電源アプリケーションの場合、TI はデバイスを有効にするために 2 つのスレッシュホルドを設定することを推奨します。 $V_{Pre-ENABLE}$ スレッシュホルドを使用して EN_CHGR ピンを制御し、事前にデバイスを初期化します。 V_{BST_EN} スレッシュホルドを使用して、EN_BST ピンを制御します。この EN シーケンスにより、昇圧モードに移行する遅延時間が短縮されます (t_{EN_delay2} のみ)。

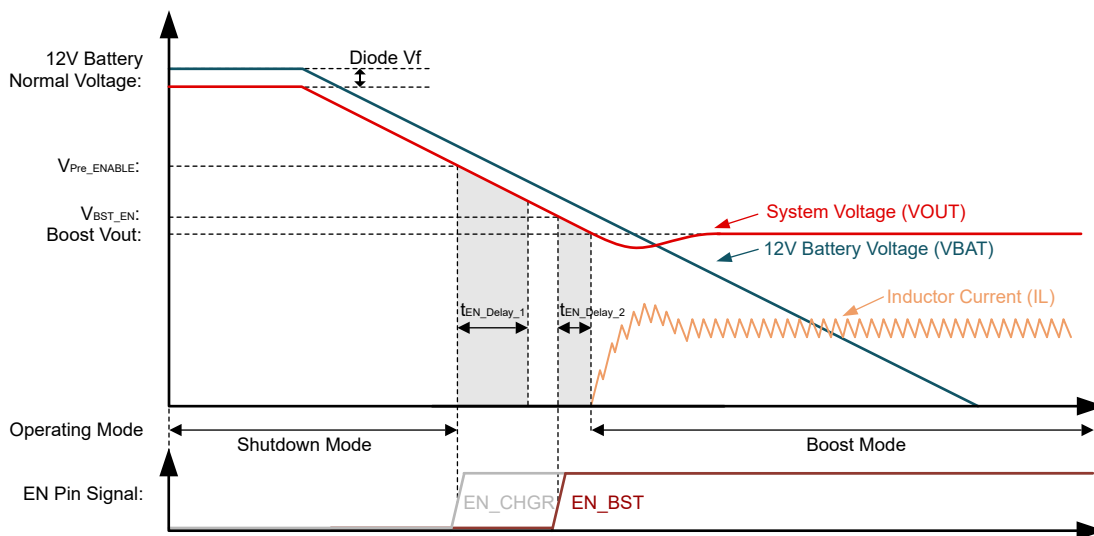


図 3-14. 昇圧モードへの手動遷移

3.1.3 スーパー キャパシタのブリーディング

スーパー キャパシタの劣化を回避し、スーパー キャパシタの健全性を向上させるために、駐車時 (イグニッション オフ時) にスーパー キャパシタを放電し、その寿命の大半を最大充電状態にしないように放電回路を設計する必要があります。TPS61383-Q1 には定電流放電機能が内蔵されており、スーパー キャパシタの健全性状態の検出とブリーディングに使用できます。以下の手順は、システム マイコンを使用してスーパー キャパシタをブリードする方法の例を示しています：

- SOH モードを有効にします (レジスタ 0x0B: CONTROL_STATUS、CHGR_SOH_EN ビット)
- SOH 放電電流 を 100mA に設定 (レジスタ 0x09: SOH_SET1、SOH_I ビット)

3.2 ハードウェア設計手順

以下の表に、詳細設計手順のパラメータ例を示します。

表 3-2. 設計要件

パラメータ	値
車用バッテリー入力電圧:	標準: 6 ~ 18V、負荷減衰: 最大 40V
バックアップ バッテリ	3s スーパー キャパシタ
バックアップ バッテリ電圧:	1 ~ 7.5V
充電電流:	3A
充電時間	25s
バッテリー健全性状態検出電流:	1A
昇圧出力電圧:	12V
昇圧出力電流:	4A
モード選択	自動チャージャおよび昇圧モード
モード過渡時の電圧降下	< = 500mV

3.2.1 外部 MOSFET の選択

TPS61383-Q1 は、昇圧ローサイドスイッチおよび SOH 放電スイッチとして、外部 MOSFET (Q1) を必要とします。外部 MOSFET は、その熱性能、 V_{DS} 電圧、 I_d 電流に応じて選択されます。

- TPS61383-Q1 は N チャネル MOSFET のみを Q1 としてサポートしています。
- 推奨 $Q_{gd} < 5nC$ 。 Q_{gd} は最大でも 10nC を超えません。
- $V_{plateau}$ は 2 ~ 3V です。最大でも 3.5V を超えないようにしてください。
- R_{dson} はできるだけ低い値。 R_{dson} は最大でも 15mΩ 未満にすることを推奨します
- ドレイン ソース間ブレイクダウン電圧、 $V(BR)_{DSS} \geq 30V$
- 連続ドレイン電流は、昇圧モードでの最大ピーク電流よりも大きくなります。

$$I_{peak} = \frac{I_{OUT}}{(1-D) \cdot eff} + \frac{V_{BUB} \cdot D}{2L \cdot f_{sw}} \quad (1)$$

ここで、

- I_{OUT} は昇圧モードの最大負荷電流。
- D は昇圧動作のデューティサイクルで
- eff は昇圧モードの効率
- L は昇圧インダクタンス
- f_{sw} は昇圧モードのスイッチング周波数(kHz)
- V_{BUB} は BUB ピンの入力電圧で

3.2.2 インダクタの選択

TPS61383-Q1 には 2.2μH を TI は推奨します。

インダクタを流れる電流は、インダクタリップル電流 + 平均入力電流です。パワーアップ時、負荷フォルト発生時、または負荷過渡状態中は、インダクタ電流が計算したピーク インダクタ電流を超えて増加します。

インダクタの値は、電流バイアスなしで $\pm 20\%$ 、場合によっては $\pm 30\%$ の許容誤差があります。インダクタ電流が飽和レベルに近づくと、インダクタのベンダによる飽和の定義方法に応じて、インダクタンスは 0A バイアス電流時の値から 20% ~ 35% 減少します。インダクタを選択するときは、定格電流、特に飽和電流が動作中のピーク電流よりも大きいことを確認してください。

インダクタのピーク電流は、負荷、スイッチング周波数、入力電圧および出力電圧の関数として変化します。ピーク電流は次の式で計算されます。

$$I_{peak} = \frac{I_{OUT}}{(1-D) \cdot eff} + \frac{V_{BUB} \cdot D}{2L \cdot f_{sw}} \quad (2)$$

飽和電流定格が最大インダクタ電流よりも高いインダクタを選択します。

ここで、

- I_{PEAK} はインダクタのピーク電流
- I_{OUT} は出力電流
- D はデューティ サイクル
- η は効率
- V_{BUB} は入力電圧
- L はインダクタンス
- f_{SW} はスイッチング周波数

熱定格電流 (RMS) は次の式で計算されます。

$$I_{LRMS} = \sqrt{(I_{BUB}^2 + \Delta I_L^2) / 12} \quad (3)$$

ここで、

- I_{LRMS} はインダクタの RMS 電流です
- I_{BUB} はインダクタの入力電流
- ΔI_L はインダクタを流れるリップル電流

ピーク電流がインダクタの飽和電流を超えないように、RMS 電流がインダクタの温度に関連する定格電流を超えないことが重要です。

特定のインダクタでは、電流リップルが大きい (インダクタが小さい) と、DC が大きくなり、周波数に依存する損失も生じます。効率を高めるために、基本的に DCR の小さいインダクタを推奨します。ただし、通常は損失とフットプリントのトレードオフです。表 3-3 に推奨インダクタの一覧を示します。このアプリケーション例では、サイズが小さく、飽和電流が大きく、DCR が小さいという理由で、Coilcraft インダクタ XGL1060-222 を選択しています。

表 3-3. TPS61383-Q1 の推奨インダクタ

部品番号	L (μH)	DCR (標準値) (mΩ)	飽和電流 (A)	熱定格電流 (A)	サイズ (L × W × H)	VENDOR (1)
XGL1313-222MED	2.2	1.4	33.5 (20% の降下)	28.5 (ΔT 40K)	13.4 × 15.0 × 13.0	Coilcraft
XGL1060-222MED	2.2	3.8	21.5 (20% の降下)	25.3 (ΔT 40K)	10.0 × 11.3 × 6.0	Coilcraft
IHLP-4040DZ-ER2R2	2.2	8.2	25.6 (20% の降下)	12.0 (ΔT 40K)	10.16 × 10.195 × 4.0	Vishay
IHLP-6767DZ-ER2R2	2.2	4.57	17.5 (20% の降下)	26 (ΔT 40K)	17.15 × 11.94 × 4.0	Vishay
SPM10065VC-2R2M-D	2.2	4.2	39.2 (30% の降下)	17.4 (ΔT 40K)	10.5 × 10.0 × 6.5	TDK
7843340220	2.2	10	14.7 (30% の降下)	8.4 (ΔT 50K)	8.1 × 8.1 × 9.0	Würth Elektronik
784373680022	2.2	7.8	25.7 (30% の降下)	13.6 (ΔT 50K)	10 × 10.85 × 3.8	Würth Elektronik

3.2.3 スーパー キャパシタ側のコンデンサ

バックアップ バッテリ側の容量は、BUB ループの安定性に影響を及ぼします。有効静電容量の合計が約 20μF ~ 30μF になるよう、複数の MLCC を配置することを TI は推奨します。

バックアップ バッテリを長いケーブル経由で IC に接続する場合、TI は BUB 側に 100 ~ 200μF の電解コンデンサを追加することを推奨します。このコンデンサは、バックアップ バッテリ ケーブルの寄生インダクタンスに起因する LC リンギングを抑制するのに役立ちます。電解コンデンサはセラミック コンデンサの代わりにはならないため、セラミック コンデンサは依然として IC の近くに配置する必要があることに注意してください。

セラミック コンデンサの実効容量を評価する際は注意が必要です。セラミック コンデンサの場合、DC バイアス電圧、経年劣化、AC 信号によるディレーティングを考慮する必要があります。Murata GCM21BR71C475KA73K を例に挙げると、8V DC 電圧を印加すると、実効容量は 56% 減少します。

3.2.4 昇圧出力コンデンサ

出力コンデンサの設計に関する主な考慮事項は、メイン バッテリが故障し、デバイスが昇圧モードに移行したときに発生する出力電圧降下の要件です。最小 C_{out} は次の式で計算されます。

$$C_{out} > \frac{I_{outmax} \times 20\mu s}{\Delta V_{outmax}} \quad (4)$$

ここで

- C_{OUT} は出力キャパシタンス
- I_{OUTMAX} は: 最大出力電流
- ΔV_{OUTMAX} は、昇圧モードへの遷移時に許容される最大出力電圧降下

20 μ s は、デバイスが昇圧モードに移行してスイッチングを開始するまでの最大遷移時間

C_{out} の選択に影響を与えるもう 1 つの要因は、出力リップル電圧です。ESR がゼロのコンデンサを使用する場合、リップルに対して必要な最小容量は次の式を使用して計算されます

$$C_{out} > \frac{I_{outmax} \times (V_{out} - V_{BUB})}{f_{sw} \times \Delta V \times V_{out}} \quad (5)$$

ここで

- I_{OUT} は出力電流
- V_{OUT} は出力 DC 電圧
- V_{BUB} はバックアップバッテリー電圧
- ΔV は、必要な出力電圧リップル
- f_{sw} はスイッチング周波数

通常、低 ESR、高リップル電流、小出力電圧リップルを実現するには、セラミック コンデンサとバルク電解コンデンサを組み合わせる必要があります。

セラミック コンデンサには DC バイアスのディレーティングがあるため、DC 電圧が印加されたときの実効容量が大幅に低減されます。そのため、静電容量を計算するときに、昇圧 V_{out} のターゲット電圧での DC バイアス曲線を確認してください。

電解コンデンサは ESR が大きく、電解コンデンサの ESR は低温度条件では 10 倍以上増加し、ループの安定性に大きく影響します。そのため、ループ安定性を計算するときは、低温 ESR を考慮してください。ポリハイブリッド コンデンサは通常、低温では ESR が小さいため、より推奨されます。

このアプリケーションでは、アプリケーションの要件に基づいて、4 個の 10 μ F セラミック コンデンサを並列接続した 100 μ F 電解コンデンサを選択します。

3.2.5 ループ補償設計

TPS61383-Q1 には、ti.com の Excel 設計計算ツールが用意されており、ループ補償の計算に使用できます。このセクションでは、Excel ツールを使用してループ補償を計算する例を示します。

1. システム パラメータの入力

電圧、負荷電流の状態、および外付け部品の違いによって、必要な補償は異なります。ループ補償を計算する前に、 V_{in} 、 V_{out} 、 I_{load} 、インダクタンス、 C_{out} パラメータなどのシステム パラメータを、BOM の選定に従って入力する

必要があります。ESR パラメータについては注意が必要です。アルミ電解コンデンサの ESR は、-40C 下で最大 10 倍に増加し、ループの安定性に大きな影響を及ぼします。たとえば、室温での電解コンデンサの標準的な ESR が 300mΩ である場合、低温および経年劣化によって ESR は 3Ω に達することがあります。標準的な ESR と最大 ESR の両方を計算し、あらゆる条件下でループ安定性が達成されるようにしてください。

2. クロスオーバー周波数 f_c を設定します。

すべてのシステム パラメータの準備ができた後、ループ補償に関する計算を開始できます。最初のステップは、ループのクロスオーバー周波数 f_c を設定することです。クロスオーバー周波数が高いほど、ループ応答が高速になります。一般的にループ ゲインは、スイッチング周波数 f_{sw} の 1/10 または RHPZ 周波数 f_{RHPZ} の 1/5 のいずれか低い方を超えないことが許容されます。

3. 補償抵抗 R_{COMP} を設定します。

適切に補償された昇圧システムの場合、 f_c は R_{COMP} によって決定されます。目的の f_c を設定すると、計算ツールが R_{COMP} の推奨値を出力できます。

70	Boost Compensation Calculation			
71	Boost loop Calculation			
72	Vin	2.50	V	
73	Vout	5.50	V	
74	Iout	1.50	A	
75	fp_PS	368	Hz	
76	fz_RHP	43122	Hz	
77	fz_ESR	39789	Hz	
78	f(BW) desired	2	kHz	
79	R3 recommended	10.11	kΩ	
80	R3 actual	12	kΩ	

1. Enter Desired Crossover Frequency → f(BW) desired

2. Output Recommended RCOMP → R3 actual

3. Select and Input Real RCOMP → R3 actual

図 3-15. 補償抵抗を設定する

以下の前提により、計算ツールが R_{out} を推奨します。昇圧システムの適正設計では、位相マージン確保のため、 f_{zCOMP} を f_c より低い位置に設定する必要があります。また、一般的な R_{COMP} の範囲では、 $R_{COMP} \parallel R_{EA} \sim R_{COMP}$ となります。したがって、式 6 に示すように、初期ゲイン $R_{COMP} \times G_{COMP} \times K_{FB}$ は R_{COMP} によって決定されます。したがって、 f_c は、閉ループの合計ゲイン $T(s) = K_{PS}(s) + H_{COMP}(s)$ が f_c でゼロであるという式で計算できます。

$$H_{COMP} = 20 \lg \left(G_{COMP} \times R_{COMP} \times \frac{R_{down}}{R_{up} + R_{down}} \right) = -K_{PS}(f_c) \quad (6)$$

ここで、

- K_{PS} は電力段のゲインです
- G_{EA} はアンプの相互コンダクタンスで、標準値 $G_{EA} = 24\mu S$ です

4. 補償ゼロ コンデンサ C_{COMP} を設定します。

補償ゼロは、 f_{pPS} 付近の位相低下を補償するため、電力段の極 f_{pPS} に配置します。 $f_z = f_p$ に設定すると、 C_{COMP} を計算できます。実際の R_{COMP} の値を 80 行目に入力すると、計算ツールが C_{COMP} を出力します。

$$C_{COMP} = \frac{R_{out} \times C_{out}}{2R_{COMP}} \quad (7)$$

78	f(BW) desired	2 kHz
79	1. Enter Selected R _{COMP} Recommended	10.11 kΩ
80	R3 actual	12 kΩ
81	C7 recommended	42.78 nF
82	2. Output C7 actual	12.0 nF
Recommended C _{COMP} → 3. Select and Input Real C _{COMP}		

図 3-16. 補償容量を設定する

5. 補償極コンデンサ C_{HF} を設定します。

R_{ESR} と C_{OUT} で生成される ESR ゼロを排除するように、補償用の極を配置します。f_{pCOMP2} = f_{zESR} に設定し、次の式を得ます。

$$C_{HF} = \frac{R_{ESR} \times C_{out}}{R_{COMP}} \quad (8)$$

ESR と C_{out} を 15 ~ 16 行目に正しく入力すると、計算ツールの 84 行目に C_{HF} の推奨値が表示されます。

82	1. Enter Selected C _{COMP}	C7 actual	12.0 nF
83		fz_COMP	947 Hz
84		C6 recommended	462.70 pF
85	2. Output C6 actual	C6 actual	33 pF
Recommended C _{HF} → 3. Select and Input Real C _{HF}			

図 3-17. 補償容量を設定する

6. 位相マージンとゲイン マージンを確認します

計算された補償パラメータが、必ずしも安定性を意味するとは限りません。特に C_{out} の ESR が大きい場合、f_{zESR} を帯域幅にさすことになります。TI は、すべての補償パラメータを選択した後にボード線図を生成する Excel 計算ツールを提供しています。手順 1 ~ 4 の後、安定性を確保するためにボード線図を確認します。TI では、位相マージン > 60deg およびゲイン マージン > 10dB を推奨します。マージンが要件を満たしていない場合は、目的の f_c を減らし、手順 1 ~ 4 で補償を再計算します。

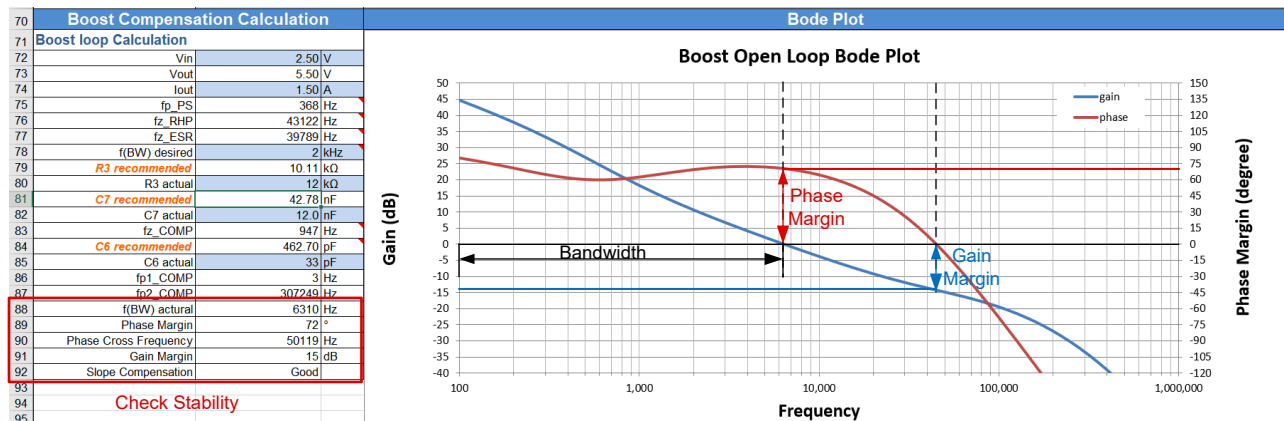


図 3-18. ループ安定性を評価します

3.2.6 主な検討事項

回路図とレイアウトのガイドラインは、ti.com で入手できます。回路図設計、適切な外付け部品の選択、基板レイアウトに関する設計ガイドラインに従ってください。

3.3 ソフトウェアの初期化プロセス

TPS61383-Q1 は I2C 構成デバイスであり、適切な動作を確認するために構成する必要があります。TI は、I2C の初期コンテンツを生成するのに役立つ GUI を提供しています。グラフィカル ユーザー インターフェイス (GUI) は、以下で利用できます: [TPS61382A-Q1_TPS61383-Q1 GUI のダウンロード](#)

図 3-19 に、すべてのパラメータをレジスタ単位で表示します。各レジスタ ビットの詳細な説明を、この画面で確認できます。この画面に入り、レジスタ ビットの説明を読み、レジスタの内容を確認してください。右側のシートで初期構成を選択すると、最初の内容がレジスタ マップで生成されます。

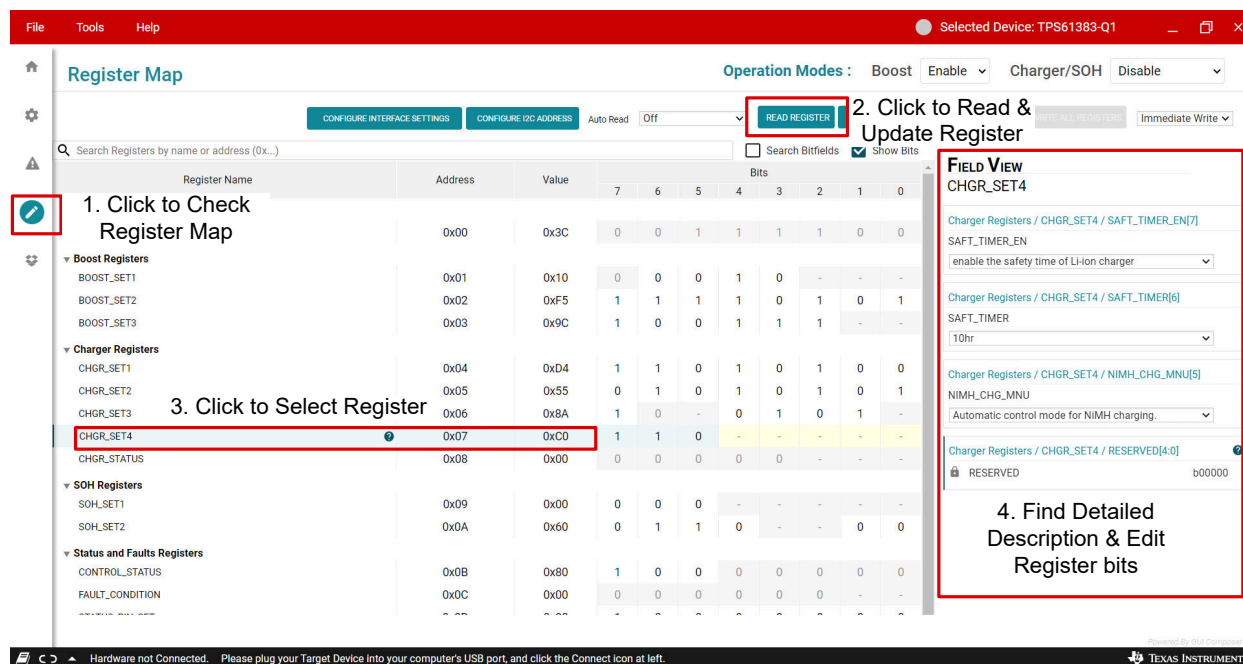


図 3-19. レジスタ マップ画面

4 スーパー キャパシタのエネルギー モデル化のベースと選定

従来型の電気化学バックアップとは異なり、スーパー キャパシタの特性は電解コンデンサに似ています。ただし、純粋なコンデンサ モデル $E = CV^2/2$ でエネルギーを計算しても、放電の進行状況が正しく反映されません。スーパー キャパシタの内部抵抗は、放電カットオフ電圧とシステム効率に大きな影響を及ぼします。特に、モーターで大きなストール電流が発生し、内部抵抗によって大きな IR 電圧降下が発生する場合、内部抵抗は大きな誤差を発生させ、スーパー キャパシタを正しく計算および選択するのが非常に困難になります。TI は、[TPS61383Q-SCAP-CALC 計算ツール](#)でスーパー キャパシタの計算ツールを提供しています。

このセクションでは、スーパー キャパシタのエネルギーを正しく計算する基本的な手法と計算ツールの使用方法について説明します。

4.1 放電プロファイルとカットオフ電圧

昇圧放電モードでは、昇圧コンバータ (TPS61383-Q1) はこのコンデンサからエネルギーを引き出し、レギュレートされた出力電圧を負荷に供給します。スーパー キャパシタの放電中に、端子の電圧はシステムのカットオフ電圧に達するまで低下します。放電されるエネルギーは、放電前と放電後の電圧差に依存しますが、実際の放電カットオフ電圧は、単純にコンバータの最小入力定格ではありません。これは、次の 3 つの相互依存因子によって制限されます：

- 昇圧コンバータの電流制限

放電中にスーパー キャパシタの電圧が降下すると、スーパー キャパシタの電流が増加します。TPS61383-Q1 は、入力の平均電流制限を適用します。スーパー キャパシタの電流が電流制限 I_{LIM} を上回ると、電流が増加せず、VOUT は持続できなくなります。昇圧電流制限で許容される最小電圧 V_{IN_MIN} は、次のように計算できます：

$$V_{IN_MIN} = \frac{V_{OUT} I_{OUT}}{\eta_{BST} I_{LIM}} \quad (9)$$

ここで、 η_{BST} は昇圧コンバータの効率です。

スーパー キャパシタの ESR での IR 電圧降下を考慮すると、昇圧電流制限で許容される最小 V_{SCAP} (スーパー キャパシタの内部電圧) は次のように計算できます：

$$V_{SCAP_MIN} = \frac{P_{OUT}}{\eta_{BST} I_{LIM}} + I_{LIM} R_{SCAP} \quad (10)$$

- スーパー キャパシタの等価直列抵抗 (ESR)

スーパー キャパシタの電圧が降下してコンデンサの電流が増加すると、内部抵抗による IR 降下が増大するため、スーパー キャパシタの電圧はさらに低下します。このような正のフィードバックはカットオフ電圧に大きな影響を与え、多くの場合、放電エネルギーが予想を大きく下回る原因になります。ESR で許容される最小電圧 V_{IN_MIN} を計算するため、等価モデルを確立する必要があります：

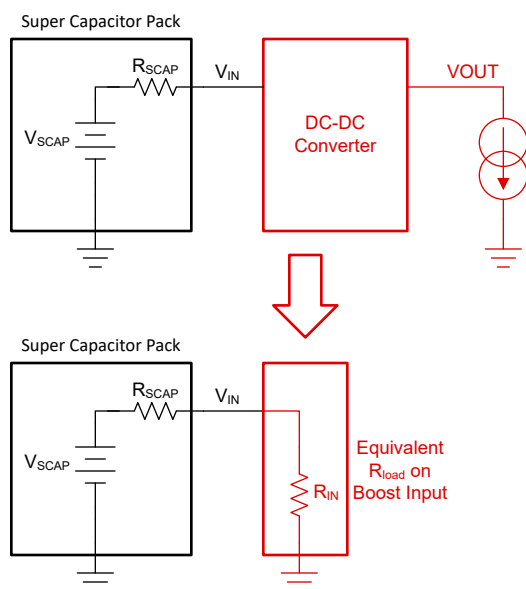


図 4-1. 等価モデル

V_{out} が適切にレギュレートされ、 I_{out} が一定である場合、DC/DC コンバータ全体は定電力負荷と等価とみなせます。等価抵抗 R_{IN} は、式 11 で求められます:

$$\left(\frac{V_{SCAP}}{R_{SCAP} + R_{IN}} \right)^2 R_{IN} = P_{OUT} \quad (11)$$

したがって、 R_{IN} は式 12 で求められます

$$R_{IN} = \frac{V_{SCAP}^2 - 2R_{SCAP}P_{OUT} + \sqrt{V_{SCAP}^2(V_{SCAP}^2 - 4R_{SCAP}P_{OUT})}}{2P_{OUT}} \quad (12)$$

放電中に V_{SCAP} が降下すると、 R_{IN} も急速に減少します。等価回路から、 $R_{IN} = R_{SCAP}$ のとき、スーパー キャパシタは最大出力電力に達します。そのため、スーパー キャパシタが放電して R_{IN} が $R_{IN} < R_{SCAP}$ まで減少すると、DC/DC コンバータは、(理想的な DC/DC がある場合でも) 電流を増やすことでは十分な電力を出力できず、 V_{out} が低下します。

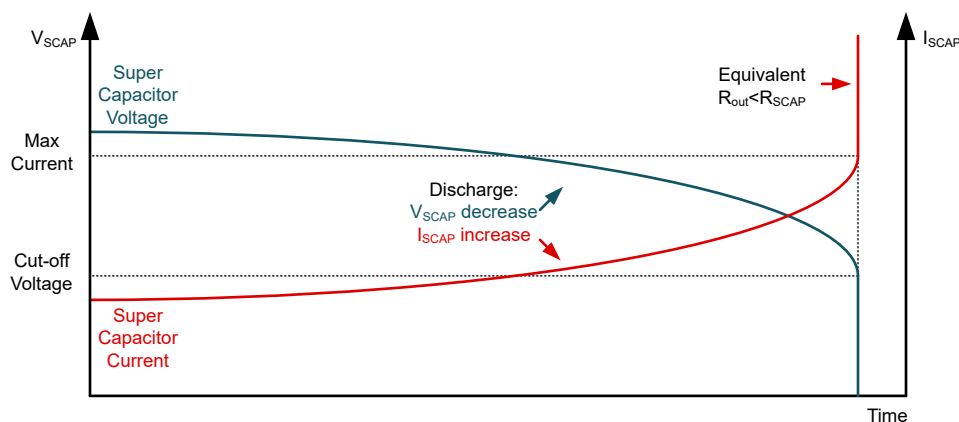


図 4-2. スーパー キャパシタの放電

スーパー キャパシタの ESR によって制限される最小許容電圧は、次の式で求められます:

$$V_{SCAP_MIN} = \sqrt{2P_{OUT}R_{SCAP}} \quad (13)$$

- 昇圧コンバータの低電圧誤動作防止 (UVLO)

もちろん、昇圧コンバータには低電圧誤動作防止機能があり、入力低電圧からデバイスを保護します。TPS61383-Q1 は、スーパー キャパシタの完全な放電をサポートするため、最小 **0.5V** の **UVLO** スレッショルドをサポートしています。したがって、ほとんどの場合、**UVLO** スレッショルドはカットオフ電圧を制限しません。

実際の動作では、**3** つの相互依存要因がすべて昇圧シャットダウンを引き起こします。したがって、カットオフ電圧は式 14 で求められます：

$$V_{CUT_OFF} = MAX\left(\frac{P_{OUT}}{\eta_{BST}I_{LIM}} + I_{LIM}R_{SCAP}, \sqrt{2P_{OUT}R_{SCAP}}\right) \quad (14)$$

4.2 スーパー キャパシタの放電エネルギーのモデル化

カットオフ電圧を計算した後でも、スーパー キャパシタの放電エネルギーを正しく計算することは困難です。スーパー キャパシタの内部抵抗は通常、IC MOSFET の R_{ds-on} の **5 ~ 10** 倍になります。このため、合計放電効率昇圧コンバータのみの場合よりもはるかに低くなり、 $E = CV^2/2$ に基づく計算はまったく不正確になります。このセクションでは、スーパー キャパシタのエネルギーを正しく計算する基本的な方法について説明します。

スーパー キャパシタ全体の放電の間、内部抵抗での損失は式 15 で求められます。

$$loss_{RSCAP} = \int_0^T I_{scap}^2 R_{SCAP} dt \quad (15)$$

ここで：

- R_{SCAP} はスーパー キャパシタの内部抵抗
- T は負荷の持続時間
- I_{SCAP} はスーパー キャパシタの放電電流

I_{SCAP} の場合、式 16 を使用します：

$$I_{scap} = -\frac{V_{out}I_{out}}{V_{IN}\eta_{BST}} = \frac{V_{out}I_{out}}{(V_{SCAP} - I_{SCAP}R_{SCAP})\eta_{BST}} \quad (16)$$

I_{SCAP} を次のように取得します：

$$I_{SCAP} = \frac{V_{SCAP} - \sqrt{\frac{4V_{out}I_{out}R_{SCAP} - V_{SCAP}^2\eta_{BST}}{\eta_{BST}}}}{2R_{SCAP}} \quad (17)$$

前の式で、 V_{out} 、 I_{out} 、 R_{SCAP} 、 η_{BST} は定数パラメータであるのに対し、 V_{SCAP} は解くべき t の未知の関数です。等価回路に基づいて、次の微分方程式を構築します：

$$C_{SCAP} \frac{dV_{SCAP}}{dt} = -I_{SCAP} = -\frac{V_{SCAP} - \sqrt{\frac{4V_{out}I_{out}R_{SCAP} - V_{SCAP}^2\eta_{BST}}{\eta_{BST}}}}{2R_{SCAP}} \quad (18)$$

微分方程式は変数分離形であるため、ユーザーは陰関数の形式で一般解を得ることができます。

$$\frac{V_{SCAP}^2}{2b} + \frac{V_{SCAP}\sqrt{V_{SCAP}^2 - b}}{2b} - \frac{1}{2}\ln(V_{SCAP} + \sqrt{V_{SCAP}^2 - b}) = -\frac{t}{2R_{SCAP}C_{SCAP}} + C_1 \quad (19)$$

ここで

$$b = \frac{4V_{out}I_{out}R_{SCAP}}{\eta_{BST}} \quad (20)$$

これで V_{scap} がわかりました。 I_{scap} は数値的なアプローチで求められます。しかし、数値的手法では損失の計算について十分に明確にならないため、 I_{SCAP} と損失の計算に陰関数の形式を使用しないでください。前の式 15 を参照して、式 17 と式 18 を式 15 に代入します：

$$\begin{aligned}
 loss_{RSCAP} &= \int_0^T I_{SCAP}^2 R_{SCAP} dt \\
 &= \int_0^T \left(-C_{SCAP} \frac{dV_{SCAP}}{dt} \right) \frac{V_{SCAP} - \sqrt{-\frac{4V_{out}I_{out}R_{SCAP} - V_{SCAP}^2 \eta_{BST}}{2R_{SCAP}}}}{2R_{SCAP}} R_{SCAP} dt \\
 &= -\frac{C_{SCAP}}{2} \int_0^T V'_{SCAP} \left(V_{SCAP} - \sqrt{V_{SCAP}^2 - \frac{4V_{out}I_{out}R_{SCAP}}{\eta_{BST}}} \right) dt \\
 &= -\frac{C_{SCAP}}{2} \int_0^T V'_{SCAP} V_{SCAP} - V'_{SCAP} \sqrt{V_{SCAP}^2 - b} dt
 \end{aligned} \tag{21}$$

積分は、微分を乗じた標準積分です。この型の積分は、置換によって容易に解くことができます。 $u = V_{SCAP}$ とします:

$$\begin{aligned}
 loss_{RSCAP} &= -\frac{C_{SCAP}}{2} \int_0^T u - \sqrt{u^2 - b} du \\
 &= \frac{C_{SCAP}}{4} \left(-V_{SCAP}^2 + V_{SCAP} \sqrt{V_{SCAP}^2 - b} - b \cdot \ln \left(V_{SCAP} + \sqrt{V_{SCAP}^2 - b} \right) \right) \Big|_0^T
 \end{aligned} \tag{22}$$

$t = 0$ および $t = T$ での V_{SCAP} 電圧は、 V_{CH} と V_{CL} で与えられます。したがって、定積分は次の式で計算できます:

$$loss_{RSCAP} = \frac{C_{SCAP}}{4} \left[V_{CH}^2 - V_{CL}^2 + V_{CL} \sqrt{V_{CL}^2 - b} - V_{CH} \sqrt{V_{CH}^2 - b} + b \left(\ln \left(V_{CH} + \sqrt{V_{CH}^2 - b} \right) - \ln \left(V_{CL} + \sqrt{V_{CL}^2 - b} \right) \right) \right] \tag{23}$$

V_{CH} 、 V_{CL} 、 b は既知のパラメータであり、残っている未知のパラメータは C_{scap} だけです。したがって、損失は次の式で計算できます:

$$loss_{RSCAP} = k C_{SCAP} \tag{24}$$

ここで、 k は:

$$k = \left[V_{CH}^2 - V_{CL}^2 + V_{CL} \sqrt{V_{CL}^2 - b} - V_{CH} \sqrt{V_{CH}^2 - b} + b \left(\ln \left(V_{CH} + \sqrt{V_{CH}^2 - b} \right) - \ln \left(V_{CL} + \sqrt{V_{CL}^2 - b} \right) \right) \right] / 4 \tag{25}$$

したがって、最小 C_{SCAP} は次のように計算できます:

$$\begin{aligned}
 C_{min} &= \frac{2V_{out}I_{out}T}{\eta_{BST} \left(V_{CH}^2 - V_{CL}^2 \right) \left(1 - \frac{loss_{Rin}}{V_{out}I_{out}T + loss_{Rin}} \right)} \\
 &= \frac{2V_{out}I_{out}T}{\eta_{BST} \left(V_{CH}^2 - V_{CL}^2 \right) \left(1 - \frac{kC_{min}}{V_{out}I_{out}T + kC_{min}} \right)}
 \end{aligned} \tag{26}$$

したがって、最終的な最小 C_{scap} は次のように解くことができます:

$$C_{min} = \frac{2V_{out}I_{out}T}{\eta_{BST} \left(V_{CH}^2 - V_{CL}^2 \right) - 2k} \tag{27}$$

ここで:

$$k = \left[V_{CH}^2 - V_{CL}^2 + V_{CL} \sqrt{V_{CL}^2 - b} - V_{CH} \sqrt{V_{CH}^2 - b} + b \left(\ln \left(V_{CH} + \sqrt{V_{CH}^2 - b} \right) - \ln \left(V_{CL} + \sqrt{V_{CL}^2 - b} \right) \right) \right] / 4 \tag{28}$$

$$b = \frac{4V_{out}I_{out}R_{in}}{\eta} \tag{29}$$

4.3 計算例

前述のスーパー キャパシタ分析で、スーパー キャパシタの要件を計算します。このセクションでは、**Cscap** の最小値の計算例を示します。次の設計ターゲットを持つ **e** ラッチ システムを想定します：

表 4-1. 設計要件例

項目	パラメータ
セル数	3s
スーパー キャパシタの電圧	セルあたり 2.5V、合計 7.5V
スーパー キャパシタの内部抵抗	セルあたり 30mΩ、合計 90mΩ
負荷電力	72W (12V、6A)
負荷持続時間	10 ロック、それぞれ 100ms、合計 1 秒
昇圧効率	90%
昇圧電流制限	25A

1. VCL を計算

$$\begin{aligned}
 V_{CUT_OFF} &= \text{MAX} \left(\frac{P_{OUT}}{\eta_{BST} I_{LIM}} + I_{LIM} R_{SCAP}, \sqrt{2 P_{OUT} R_{SCAP}} \right) \\
 &= \text{MAX} \left(\frac{72W}{0.9 \times 25A} + 25A \times 90m\Omega, \sqrt{2 \times 72W \times 90m\Omega} \right) \\
 &= \text{MAX}(5.45V, 3.6V) \\
 &= 5.45V
 \end{aligned} \tag{30}$$

2. パラメータ **b** および **k** を計算

$$b = \frac{4V_{out} I_{out} R_{SCAP}}{\eta_{BST}} = 28.8W \cdot \Omega \tag{31}$$

$$\begin{aligned}
 k &= \left[V_{CH}^2 - V_{CL}^2 + V_{CL} \sqrt{V_{CL}^2 - b} - V_{CH} \sqrt{V_{CH}^2 - b} + b \left(\ln(V_{CH} + \sqrt{V_{CH}^2 - b}) - \ln(V_{CL} + \sqrt{V_{CL}^2 - b}) \right) \right] / 4 \\
 &= 3.064V^2
 \end{aligned} \tag{32}$$

3. Cmin を計算

$$\begin{aligned}
 C_{min} &= \frac{2V_{out} I_{out} T}{\eta_{BST} (V_{CH}^2 - V_{CL}^2) - 2k} \\
 &= \frac{2 \times 72W \times 1s}{0.9(7.5^2 - 5.45^2) - 2 \times 3.064V^2} \\
 &= 8.1F
 \end{aligned} \tag{33}$$

4. 結果を確認

前述の計算結果では、セルあたり **25F** (合計 **3** セルの場合 **8.333F**) のスーパー キャパシタが選択されています。放電可能な最大エネルギーは次のようになります。

$$E_{SCAP} = \frac{1}{2} C_{SCAP} V_{CH}^2 - \frac{1}{2} C_{SCAP} V_{CL}^2 = 110.61J \tag{34}$$

負荷時のエネルギー消費量は次のとおりです。

$$E_{load} = V_{out} I_{out} T = 72J \tag{35}$$

TPS61383 での損失は次のとおりです。

$$loss_{BST} = E_{load} \left(\frac{1}{\eta_{BST}} - 1 \right) = 8J \tag{36}$$

スーパー キャパシタの内部抵抗での損失は次のようになります:

$$loss_{RSCAP} = k C_{SCAP} = 2.553J \quad (37)$$

エネルギー消費の合計は次のとおりです。

$$E_{total} = E_{load} + loss_{BST} + loss_{RSCAP} = 82.533J \quad (38)$$

エネルギー マージンは次のとおりです。

$$E_{margin} = E_{SCAP} - E_{total} = 27.4J \quad (39)$$

4.4 スーパー キャパシタ Excel 計算ツール

e ラッチ アクチュエータは通常、ギアトレーンを駆動してラッチ機構を解除する小型ブラシ付き DC モーター (定格 6V ~ 12V) です。一般的なモーターのロック解除負荷プロファイルは、次の 3 つの段階で構成されます: 起動、定常状態、ストール。この負荷プロファイル サイクルは 12 ~ 20 回繰り返されるため、スーパー キャパシタのエネルギーの計算が複雑になります。TI では、迅速で正確な計算を可能にし、システム設計に役立つ Excel 計算ツールを提供しています。計算ツールは、[こちら](#)で入手できます:

以下の負荷プロファイルを持つ e ラッチ システムを仮定すると、次のようになります:

表 4-2. 設計要件例

項目	パラメータ
セル数	3s
スーパー キャパシタの電圧	セルあたり 2.7V、合計 8.1V
スーパー キャパシタの静電容量	セルあたり 25F、合計 8.33F
スーパー キャパシタの内部抵抗	セルあたり 25mΩ、合計 90mΩ
負荷プロファイル	起動状態: 5A、20ms
	定常状態: 3A、150ms
	ストール: 8A、50ms
ロック解除のラウンド	ロック 6 つ、ラウンド各 2 回、合計 12 回

これらのパラメータを入力し、ボタンをクリックして放電プロファイルを計算します。計算には時間がかかる場合があります。計算が完了すると、「計算完了」と最新の放電曲線がツールに表示されます。

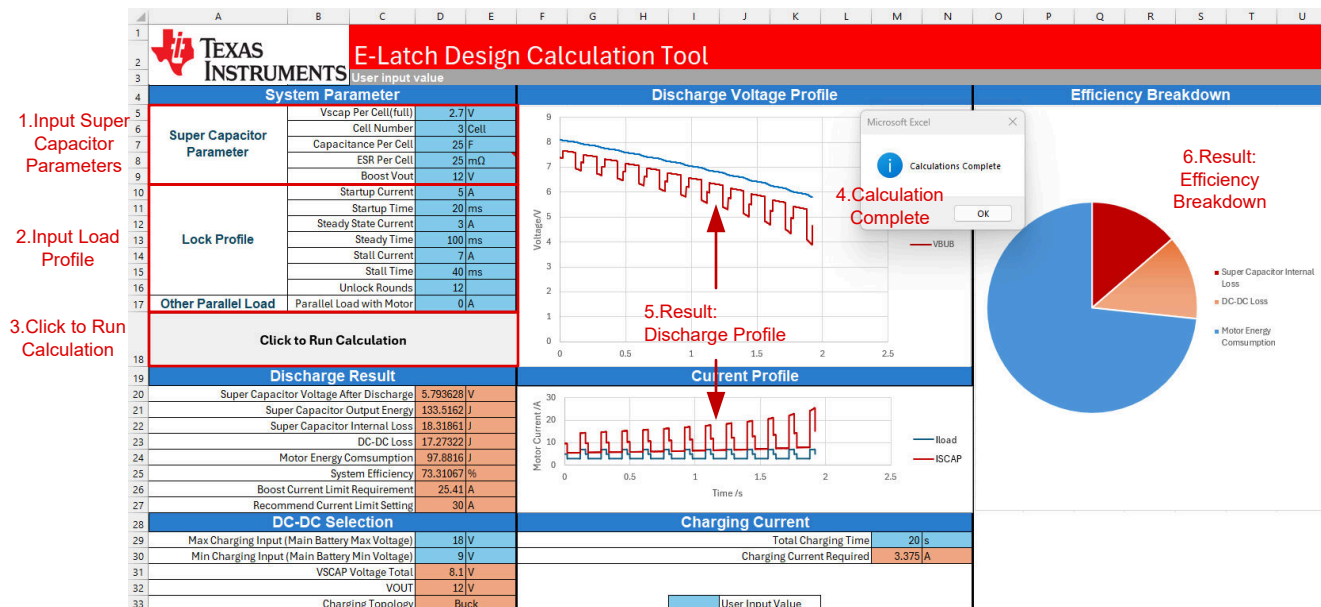


図 4-3. スーパー キャパシタ計算ツール

図 4-2 ですすでに説明したとおりです。大電流が印加され、等価 R_{OUT} が内部抵抗 R_{IN} より小さい場合、 V_{out} は低下し、持続できません。この場合、ESR が低いスーパー キャパシタを選択するか、セル数を増やすことを TI は推奨します。

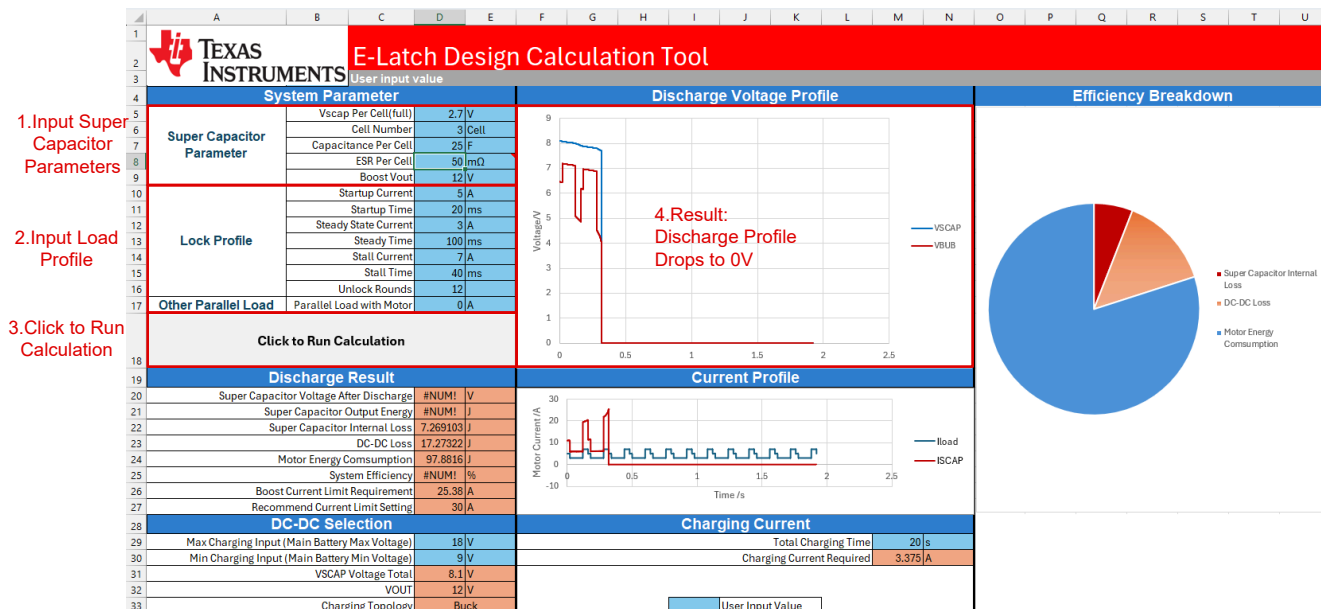


図 4-4. 電圧が維持できない場合

5 スーパー キャパシタの管理

e ラッチ システムでは、スーパー キャパシタ セルの監視と管理を行うために、アナログ フロント エンド (AFE) モニタとプロテクタが必要です。AFE は、以下の 3 つの重要な機能を果たしています：

1. セル バランシング:セル バランシングは、マルチ セル スーパー キャパシタ システムにとって重要な機能です。直列接続された一連のセルには、静電容量とリーク電流にわずかなバラツキがあるため、充放電サイクルを繰り返すうちに各電圧がドリフトしていきます。バランシングを行わないと、最も弱いセルでは (充電中の) 過電圧や (放電中の) 早期の低電圧が発生し、使用可能な容量が減少して寿命が短くなる可能性があります。
2. 各セルの電圧検出:過電圧または低電圧状態を防止するために、直列スタック内にある各スーパー キャパシタ セルを個別に監視する必要があります。
3. 健全性診断 (健全度、SOH):スーパー キャパシタ セルは、経年劣化、温度サイクル、充放電ストレスにより劣化します。システムの安全性を検証するには、各セルの健全性検出が必須です。

このセクションでは、TI のモニタとプロテクタである BQ76907-Q1 を使用して、スーパー キャパシタ セルの監視と管理を行う方法を紹介します。

5.1 BQ76907-Q1 による電圧監視

BQ76907-Q1 バッテリ モニタは、個々のセル電圧を差動形式で測定するマルチプレクス電圧 ADC を内蔵しており、その結果をオンチップ キャリブレーションで処理したうえで、I²C のダイレクト コマンドを使用して各結果を符号付き 16 ビット整数として出力します。ADC は、NORMAL モードで連続 ADSCAN ループを実行します。各ループ スロット幅は個別にプログラム可能であり (366μs、732μs、1.46ms、2.93ms)、変換速度と有効分解能 (13 ~ 16 ビット) のトレードオフを調整できます。デフォルトのセル スロット幅は 2.93ms で、16 ビットの有効分解能を提供します。SLEEP モードでは、ADC はプログラム可能なタイム間隔でフルバーストを実行し、その後アイドル状態になって消費電力を節約します。このセクションでは、通常モードを例として取り上げ、信頼性の高いセル電圧の読み出しをファームウェアに実装するための基本的な手順について説明します。

表 5-1. NORMAL モードの ADSCAN スロット割り当て (7 セル構成)

スロット	測定時
0	セル 1 電圧 (VC1 – VC0)
1	セル 2 電圧 (VC2 – VC1)
2	セル 3 電圧 (VC3 – VC2)
3	セル 4 電圧 (VC4 – VC3)
4	セル 5 電圧 (VC5 – VC4)
5	セル 6 電圧 (VC6 – VC5)
6	セル 7 電圧 (VC7 – VC6)
7	共有スロット (切り替え: TS、内部温度、スタック、REG18、VSS)

- ステップ 1: I²C 書き込みダイレクト コマンド

すべてのセル電圧は、I²C ダイレクト コマンドとして出力されます。各コマンドは、リトル エンディアン符号付き 16 ビットの結果を mV 単位で含む、2 つの連続したレジスタ アドレスを占有します。下位バイトは偶数 (ベース) アドレスに、上位バイトは奇数 (ベース + 1) アドレスに配置されます。

表 5-2. セル電圧ダイレクト コマンド

アドレス	名称	タイプ	単位	アクセス権
0x14–0x15	セル 1 電圧	I2	mV	R
0x16–0x17	セル 2 電圧	I2	mV	R
0x18–0x19	セル 3 電圧	I2	mV	R
0x1A–0x1B	セル 4 電圧	I2	mV	R
0x1C–0x1D	セル 5 電圧	I2	mV	R
0x1E–0x1F	セル 6 電圧	I2	mV	R
0x20–0x21	セル 7 電圧	I2	mV	R

表 5-2. セル電圧ダイレクト コマンド (続き)

アドレス	名称	タイプ	単位	アクセス権
0x26–0x27	スタック電圧	U2	mV	R

- ステップ 2: I2C による ADC データの読み出し

BQ76907-Q1 は、16 ビットの ADC データをリトル エンディアン順序で返します。セル 1 電圧を例に考えます。レジスタ 0x14 はビット [7:0] (LSB) を保持し、レジスタ 0x15 はビット [15:8] (MSB) を保持します。値は mV 単位であるため、スケールリングは必要ありません。負の値 (セル入力が基準電圧よりわずかに低く駆動された場合に発生しうる、最小 $-0.2V$ の範囲内) は、2 の補数でエンコードされます。

表 5-3. セル 1 電圧: レジスタ バイトのレイアウト

登録	バイトのロール	ビット範囲	例 (2700mV)	16 進数の値
0x14	LSB (バイト 0)	ビット [7:0]	2700 = 0x0A8C	0x8C
0x15	MSB (バイト 1)	ビット [15:8]	2700 = 0x0A8C	0x0A

したがって、再構成式は次のとおりです: $\text{voltage_mV} = \text{int16_t}((\text{バイト 1} \ll 8) \mid \text{バイト 0})$

I²C ブロック読み出しの自動インクリメント動作により、アドレス 0x14 から 2 バイト読み出しを行うと、再度アドレス指定をすることなく、自動的に最初にバイト 0 が返され、続いてバイト 1 が返されます。2 の補数の符号を正しく処理するため、連結した結果を使用前に int16_t 型にキャストしてください。したがって、セル 1 を読み取る時のバイト形式は次のようになります:

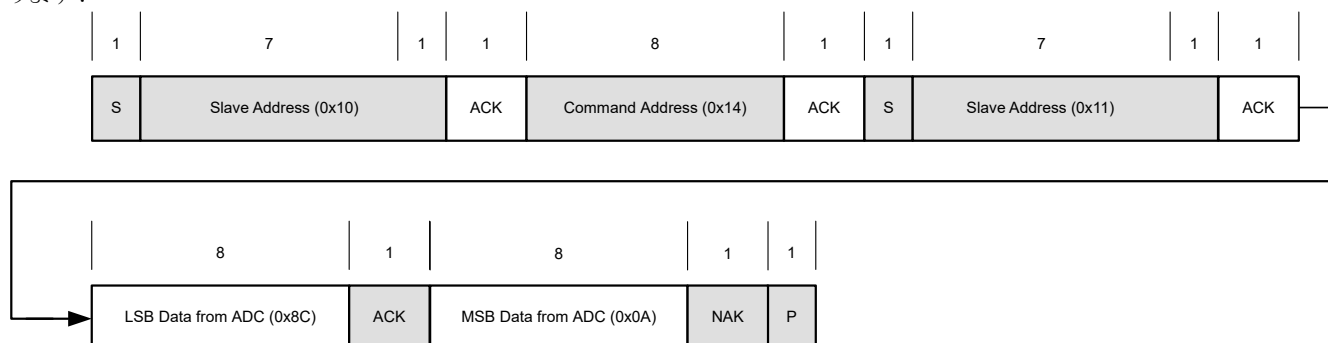


図 5-1. セル 1 の電圧リードバック

- マルチ読み取り: すべてのセルの読み戻し:

BQ76907-Q1 の場合、7 つのセル電圧はすべて、アドレス 0x14 ~ 0x21 において連続 14 バイトを占有します。これにより、0x14 から始まるマルチバイトの読み取りを 1 回のトランザクションで実行するだけで、すべてのセル電圧が自動的に返されます:

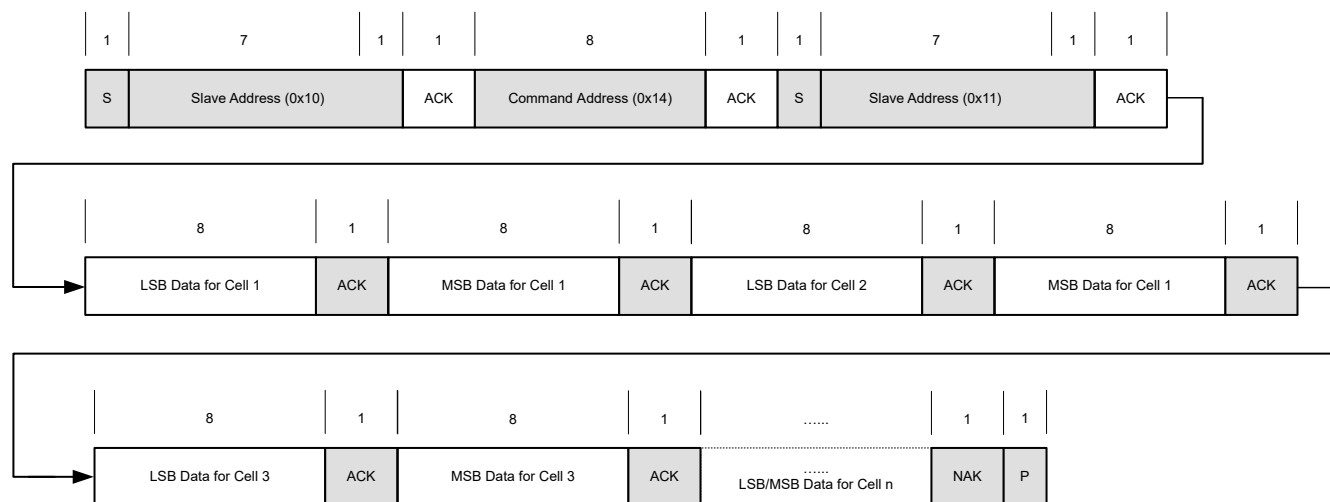


図 5-2. セル電圧のマルチ読み取り

5.2 BQ76907-Q1 によるセル バランシング

スーパー キャパシタのセル バランシングは、マルチ セル スーパー キャパシタ システムに不可欠な機能です。直列接続された一連のセルには、静電容量とリーク電流にわずかなバラツキがあるため、充放電サイクルを繰り返すうちに各電圧がドリフトしていきます。バランシングを行わないと、最も弱いセルでは (充電中の) 過電圧や (放電中の) 早期の低電圧が発生し、使用可能な容量が減少して寿命が短くなる可能性があります。BQ76907-Q1 は、セル入力ペアごとにパッシブバランシング スイッチ (内部 NMOS FET、 $R_{\text{sw}}(\text{ON})$ は約 80Ω) を内蔵しています。ホストがあるセルを有効にすると、内部 FET は VC_n から VC_{n-1} を短絡し、バランシング電流は 2 つのセル入力フィルタ抵抗 R_n と FET を通して流れます。

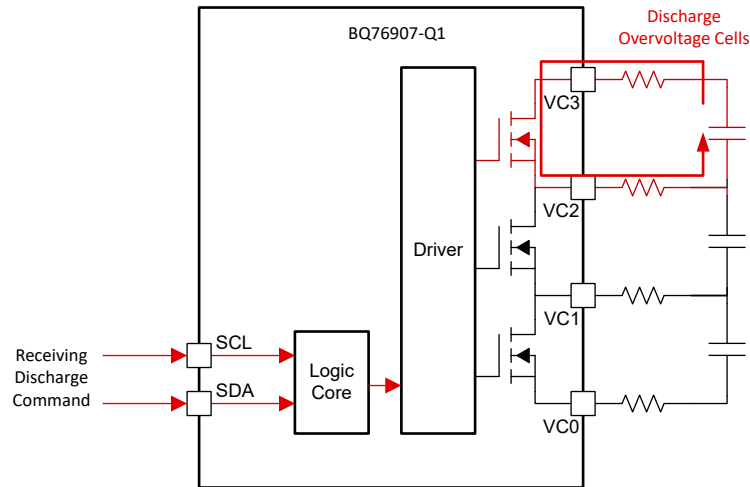


図 5-3. パッシブ セル バランシングのハードウェア原理

5.2.1 バランシング戦略

BQ76907-Q1 は、バランシング スイッチを制御するためにホストを必要とします。外付けの電流制限抵抗があるため、VC ピンの電圧は、バランシング スイッチがオフのときにのみセル電圧を正しく反映します。したがって、マルチ セル バランシング プロセスでは、ワークフローを電圧検出フェーズと放電フェーズの 2 つの交互のフェーズに分割する必要があります。これらは反復的に順次実行されます。

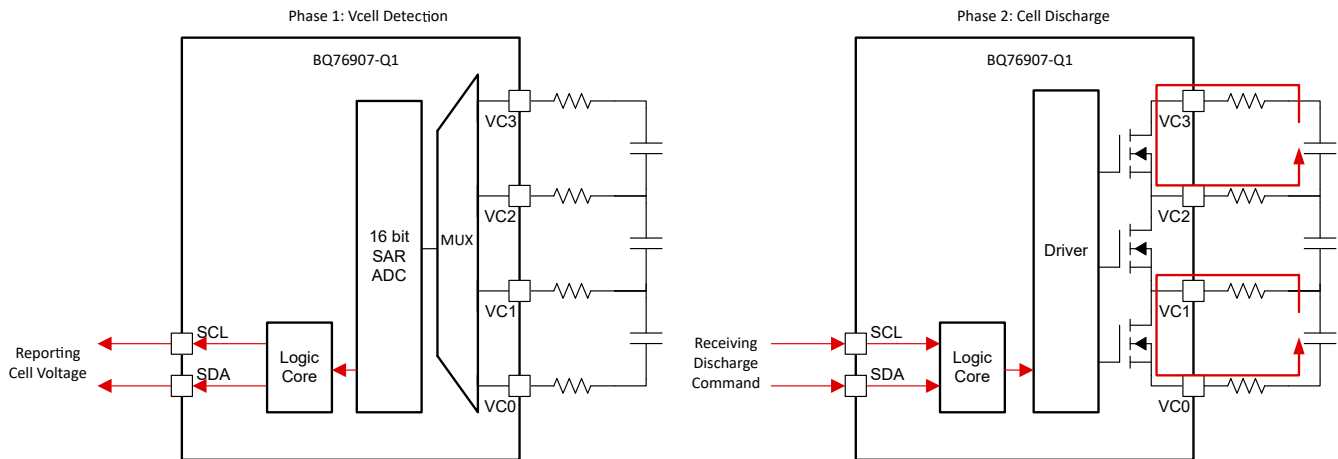


図 5-4. パッシブ セル バランシングのフェーズ

BQ76907-Q1 は、過電圧セルを放電してセル バランシングを行うパッシブ セル バランシングを適用します。したがって、重要な方法は、最小電圧 (V_{MIN}) でセルを検出し、電圧が V_{MIN} を大きく超えるセルを放電することです。たとえば、セル 1 が 2.75V、セル 2 が 2.65V、セル 3 が 2.73V の場合、 V_{MIN} はセル 2 にあります。そのため、ホストは BQ76907-Q1

にセル 1 とセル 3 を一定期間放電するよう指示し、その後、電圧検出フェーズに戻る必要があります。スーパー キャパシタセル バランシングのフローチャートを以下に示します:

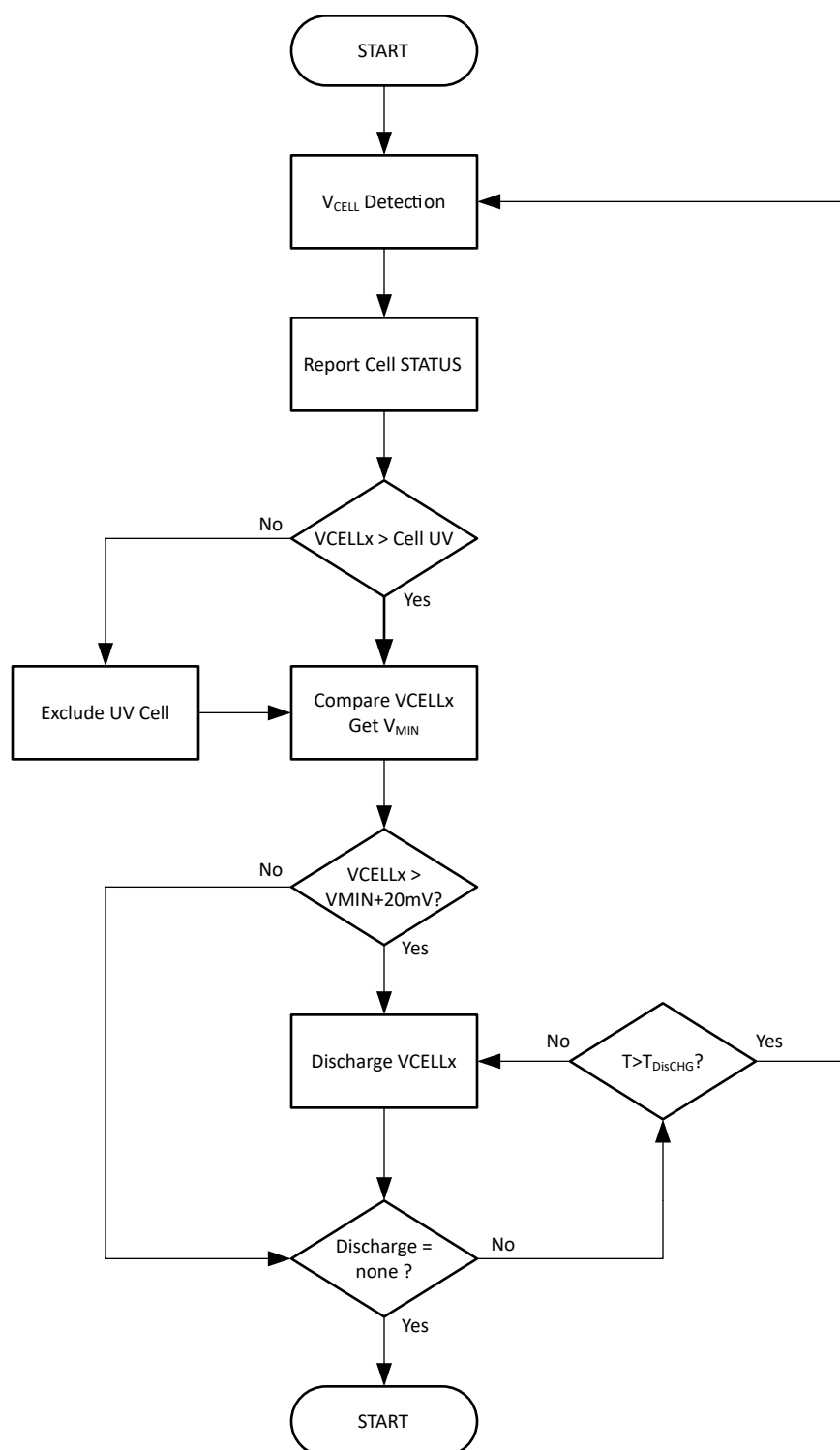


図 5-5. スーパー キャパシタのセル バランシング フロー

5.2.2 I2C の実装

セル バランシングは、0x0083 CB_ACTIVE_CELLS サブコマンドによって制御されます。ダイレクト コマンド セルの電圧レジスタとは異なり、サブコマンドは間接アドレッシング機構を使用します:

1. スレーブ アドレス (0x10) の送信
2. サブコマンド アドレス (0x3E) の送信
3. 2 バイト サブコマンド アドレス (0x0083) の書き込み
4. マスク データの書き込み。セル 1 とセル 3 を放電する場合を例にとると、8 ビットのマスク データでは、セル 1 とセル 3 は 1 になります。したがって、マスク データは 0b00001010 (0x0A) である必要があります。
5. 停止と開始
6. トランザクションを確定するため、チェックサムが 0x60 に書き込まれます。チェックサムは、次の式を使用したサブコマンド ペイロードのみを対象としています (I²C アドレス バイトは対象ではありません): $\text{Checksum} = \sim(\text{SubCmd_Lo} + \text{SubCmd_Hi} + \text{DataByte}) \& 0xFF$
7. トランザクションを確定するため、チェックレングスが 0x61 に書き込まれます。0x61 は、バッファ データの長さに 4 を加えた値 (つまり、バッファ データの長さ、サブコマンド アドレスの 0x3E および 0x3F の長さ、0x60 と 0x61 の長さを加算した値) を示します。

そのため、セル 1 とセル 3 を放電する場合を例にとると、全体のバイト形式は次のようになります:



図 5-6. セル 1 とセル 3 の放電

5.2.3 セル バランシング電流

セル バランシング機能の最適化には、バッテリー バランシング電流を適切に設定することが重要です。バランシング電流の大きさは、オンチップ NMOS FET と入力フィルタ抵抗の抵抗値によって共同で決定されます。内部バランシングを使用する場合の入力フィルタ抵抗の推奨最小値は 20Ω です。これにより、約 35mA のバランシング電流が得られます。

$$I_{B_alance} = \frac{V_{CELL}}{2 \times R_n + R_{CB}} = \frac{4.2}{2 \times 20 + 80} = 35mA \quad (40)$$

OEM が 35mA より高速なバランシング速度を必要とする場合、外部バランシング バイパス回路を実装できます。実現可能なソリューションの 1 つは、外部 FET または BJT を導入することです。設計の詳細については、『[BQ7690x バッテリー モニタを用いたセル バランシング](#)』を参照してください。

5.2.4 ローサイド保護回路の設計上の検討事項

BQ76907-Q1 は、スーパー キャパシタ パックのローサイドに双方向接続の NMOS を配置し、故障発生時に充電 / 放電経路を遮断してスーパー キャパシタを保護します。充電管 CFET と放電管 DFET はどちらも、B- と PACK- の間に配置され、バッテリー パックのローサイドにあります。

E ラッチ アプリケーションの場合、スーパー キャパシタ スタックの初期合計直列電圧が 3V を下回ると、BQ76907-Q1 の最小電源電圧要件を満たすことはできません。CFET と DFET のローサイド スイッチが無効化され、バッテリー パックのグランドがシステム グランドから切り離されるため、スーパー キャパシタ の充電が行えなくなります。したがって、保護機能が起動され、充電 / 放電 FET がシャットダウンされると、バッテリー ドメインとシステム ドメインとの間の直接通信が失われます。ローサイド保護スイッチによって生じるこれらの制限に対処する必要があります。最も簡単な回避方法は、BQ76907-Q1 のローサイド保護機能を無効にすることですが、これにより、過電流、過電圧、過熱保護を含むチップのコア保護メカニズムが無効になります。

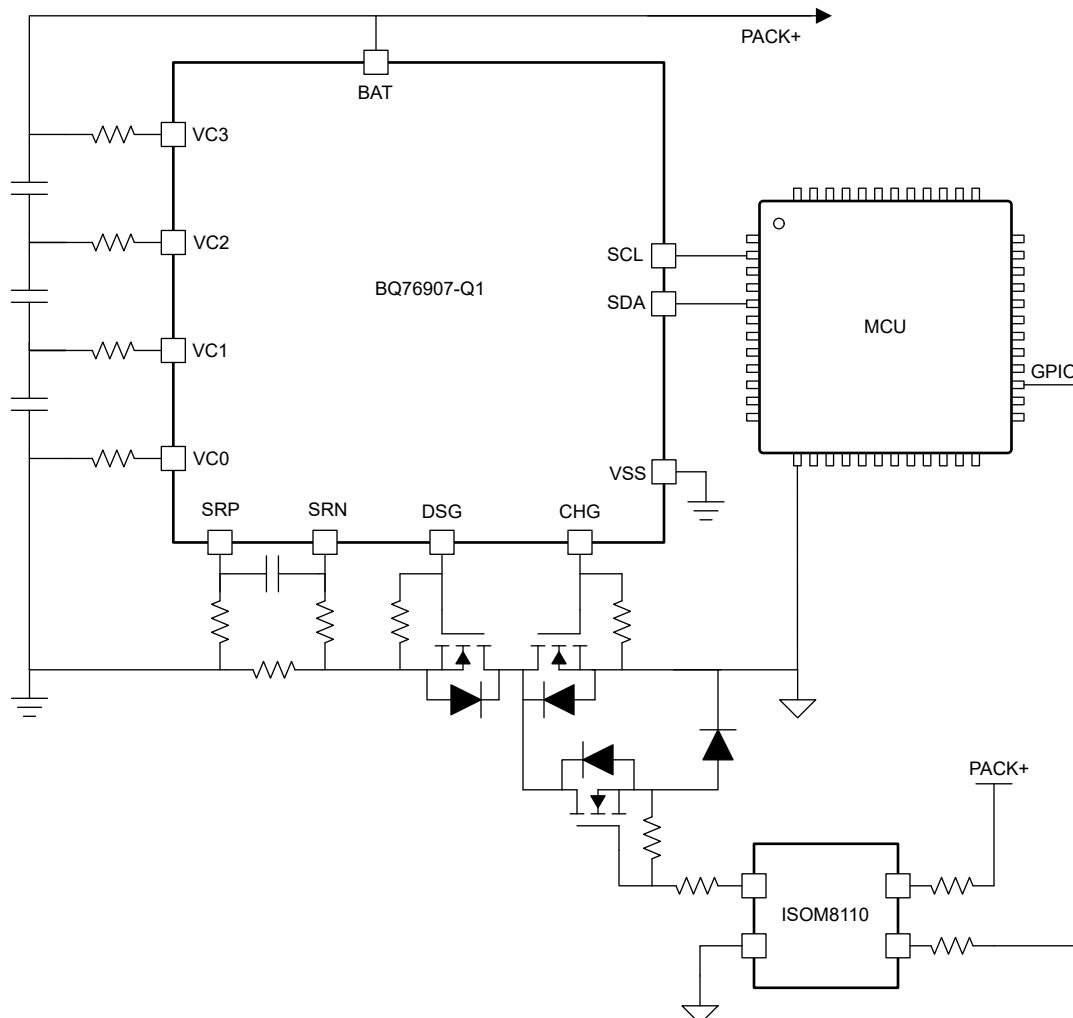


図 5-7. BQ76907-Q1 のローサイド保護ソリューション

E ラッチ システムでは、モーター制御ロジックをサポートするためにマイコンは必須です。スーパー キャパシタの電圧が 3V を下回った場合、マイコンは CHG FET を独立して制御し、スーパー キャパシタ スタックを充電して昇圧できます。BQ76907-Q1 の電源電圧が 3V を上回ると、マイコンは CHG FET の制御権限を BQ76907-Q1 にハンドバックし、すべてのオンチップ保護機能を再度有効にします。この設計は、外部 MOSFET を使用して CHG FET をバイパスし、マイコンによるスーパー キャパシタの充電制御を可能にしています。

5.3 スーパー キャパシタの健全性検出:TPS61383-Q1 と BQ76907-Q1 を組み合わせたソリューション

スーパー キャパシタの劣化は、静電容量 (C) の低減と等価直列抵抗 (ESR) の増加という 2 つの測定可能なパラメータによって根本的に明らかになります。これら 2 つのうち ESR は、スーパー キャパシタの健全性を示す、より感度が高く実際に理解しやすい指標として文献で確立されています。ESR 抽出の標準的なテスト方法論は、課された定電流放電に対する瞬間的な電圧応答に基づいています。既知の定電流がスーパー キャパシタに印加されるか、スーパー キャパシタから流出すると、端子の電圧は瞬間的に降下 ΔV を生じさせ、これは ESR に直接起因します。この関係は、正式には $ESR = \Delta V / I$ として表されます。

BQ76907 は、16 ビット分解能のデルタ シグマ ADC を内蔵しており、標準的な測定精度は $\pm 2\text{mV}$ であるため、個別のセルまたはスーパー キャパシタ モジュール間でのわずかな電圧変動を高い精度で分解できます。ただし、セル バランシング抵抗があるため、BQ76907 は電流放電中に電圧を測定できません。BQ76907 だけを使用した ESR 検出には、独立して制御される外部放電パスが必要です。

TPS61383-Q1 には健全性状態 (SOH) 動作モードが内蔵されており、接続されたスーパー キャパシタからのプログラマブルで安定した放電電流をシンクします。この機能と、端子電圧を高精度で測定できる BQ76907 の能力により、統合型 SOH 検出アーキテクチャでこれらを組み合わせて使用することが動機付けられます。提案されたシステムの概念図は次のとおりです：

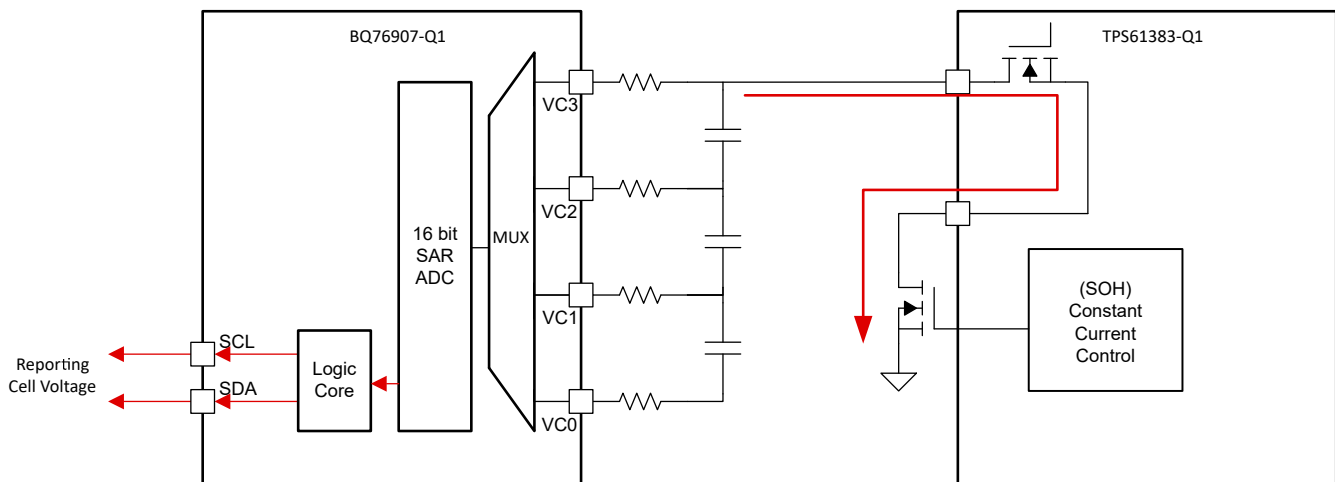


図 5-8. 個々のセルの ESR 検出用の複合ソリューション

測定手順を以下のステップで示します：

1. 事前テスト電圧収集:マイコンは BQ76907 に対して、スーパー キャパシタ モジュールの初期開路端子電圧 V_0 を取得および記録するようコマンドを送信します。
2. SOH モードの有効化:マイコンが TPS61383 SOH ピンをアサートすることで、デバイスは既知の電流振幅 I でのプログラマブルな定電流放電を開始します。放電電流値は、システム設計時に外付け抵抗によって事前較正されます。
3. IR 降下電圧収集:放電電流の開始直後に、容量性効果を除外できるほど十分に短い測定ウィンドウ内で、BQ76907 は新しい端子電圧である V_1 をサンプリングします。デルタ シグマ ADC の高分解能 (16 ビット、 $\pm 2\text{mV}$ の精度) により、ESR による微小な電圧変動を確実に検出できます。
4. ESR 計算:ホスト マイコンは、測定された IR 電圧降下から ESR を計算します: $ESR = (V_0 - V_1) / I = \Delta V / I$
5. SOH モード非有効化:マイコンは TPS61383 SOH ピンをデアサートし、デバイスを通常の昇圧動作モードに戻し、バックアップ電源機能を復元します。
6. 健全性評価:計算した ESR 値を、スーパー キャパシタのメーカーが規定する寿命終了 (End-of-life, EOL) スレッショルド (通常は IEC 62576 に準拠して初期 ESR の 2 倍という値を定義) と比較します。測定された ESR がスレッショルドを超えた場合、システムはメンテナンスまたは交換アラートのフラグを立てます。

6 制御ユニットと通信

e ラッチ システムは、他のモジュールのシステム ベーシス チップ (SBC) から衝突検知信号を受信します。SBC は、車載用電子制御ユニット (ECU) を構成する複数の基本要素を 1 つのパッケージに統合した、高集積のミックスドシグナル デバイスです。図 3 に示すように、SBC は主に 1 つ以上のバスターンシーバ (CAN、CAN-FD、CAN-SIC、または LIN) を電源部品と統合しているため、これらの機能の個別実装が不要になります。

6.1 制御ユニットの設計上の検討事項

e ラッチ システムは、組込み型の電子制御ユニット (ECU) を e ラッチ モジュールに内蔵しています。制御ユニットの主な機能には、ユーザー コマンド (ドア ハンドル センサや他のシステムからの衝突検知信号など) を受信し、これらのコマンドを処理し、それに応じてラッチ アクチュエータを駆動することが含まれます。制御ユニットは、ある程度のローカル自律性を維持しながら、CAN または LIN を介してセントラル ボディコントロール モジュール (BCM) と通信します。

車載用 e ラッチアプリケーションには、テキサス・インスツルメンツの MSPM0G シリーズのミックスドシグナル マイコンを強く推奨します。MSPM0G デバイスは、最高 80MHz で動作する拡張型 Arm® 32 ビット Cortex®-M0+ CPU を基礎としており、車載アプリケーション向けに AEC-Q100 認定済みです。

MSPM0G シリーズの設計上の検討事項は、『[MSPM0G シリーズ マイコン ハードウェア開発ガイド](#)』に示されています。

6.2 SBC の選択

テキサス・インスツルメンツは、e ラッチ アプリケーションに推奨される車載認定 SBC の包括的なポートフォリオを提供しています。適切な SBC ファミリの選択は、使用する通信プロトコルと、システム マイコンの互換性によって異なります。

- 通信プロトコル:

SBC の最初の目的は、ボディコントロール モジュールと通信するトランシーバです。TCAN116x-Q1 シリーズは、e ラッチのほとんどのケースに対応するため、基本的な CAN または LIN トランシーバを内蔵しています。部分的ネットワークキングや CAN SIC などの追加機能が必要な場合、TCAN21x9-Q1 シリーズが要件を満たしています。

- マイコンの電源互換性:

SBC は、マイコンまたは他のデジタル部品に電力を供給する降圧コンバータを内蔵しています。最大出力電流は、マイコンの消費電流と一致している必要があります。TCAN116x-Q1 のような LDO 内蔵の SBC であれば、ほとんどの e ラッチシステムにおいて十分であるはずです。ただし、システムのマイコンとデジタル部品の消費電流が 200mA を上回る場合、TI は降圧コンバータを内蔵した SBC (TCAN241x-Q1、TCAN245x-Q1 など) を選択することを推奨します。SBC 用のマイコン電源互換性チャートは、[こちら](#)で入手できます。

7 実行ユニット

e ラッチ実行ユニットは、電子制御ラッチ システムの物理的な作動を構成します。**E** ラッチ実行ユニットは、アクチュエータ (通常は **BDC**)、モータードライバ (通常は **H ブリッジ**)、ポジション センサの 3 つの主要部品で構成されています。これらの部品を組み合わせることで、電気機械的な力と、信頼性の高い **e** ラッチ操作に必要な位置認識を実現します。

7.1 モータードライバの構造

モータードライバ アーキテクチャは、システム統合の複雑さ、ワイヤ ハーネストポロジ、障害分離機能、全体的なコスト構造に直接影響するため、車載用電子ラッチ (**e** ラッチ) システムにおける基本的な設計要素となります。ボディ コントロール ユニット内への集中化、または各ドア モジュールへの分散化など、モータードライバ モジュールの物理的な配置に応じて、1 つのモーター ドライバで 2 ~ 7 個のモーターを駆動する必要があります。したがって、ドア モーターに **DRV8714/DRV8718** を選択します。ほとんどの場合、複数のモーターが同時に動作することはないため、複数のチャンネルが 1 つのセンス抵抗を共有し、[図 7-1](#) に示すようにモータードライバが接続されます。

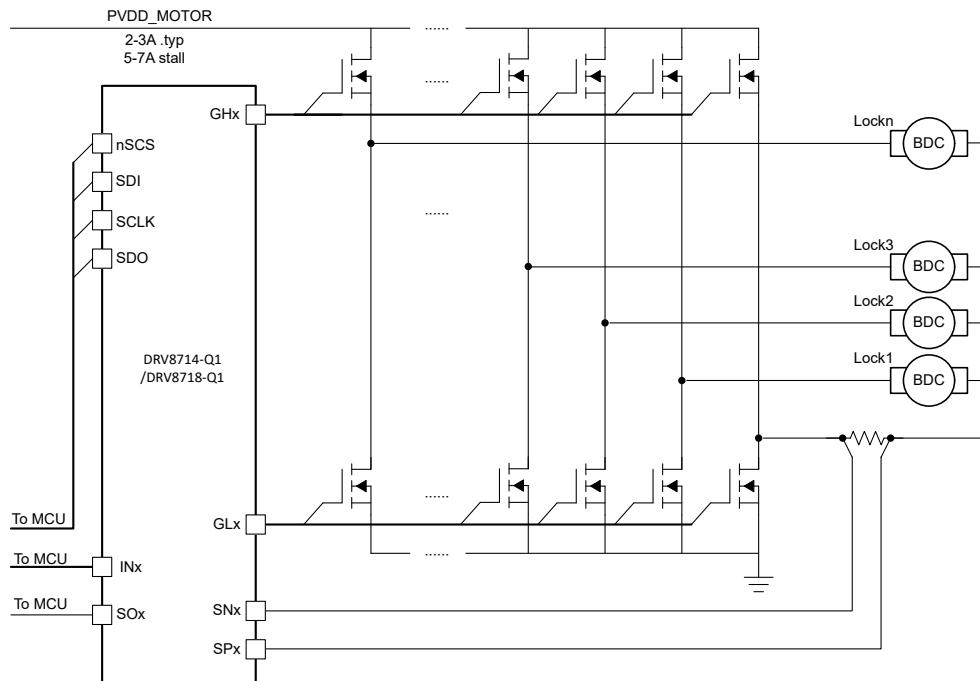


図 7-1. モータードライバの接続

いずれかのモーターが動作を開始すると、共有されたリターン レッグがオンになり、モーターに対応するレッグがモーター速度を制御するためにスイッチングを開始します。次の図では、**Lock3** を例として使用しています：

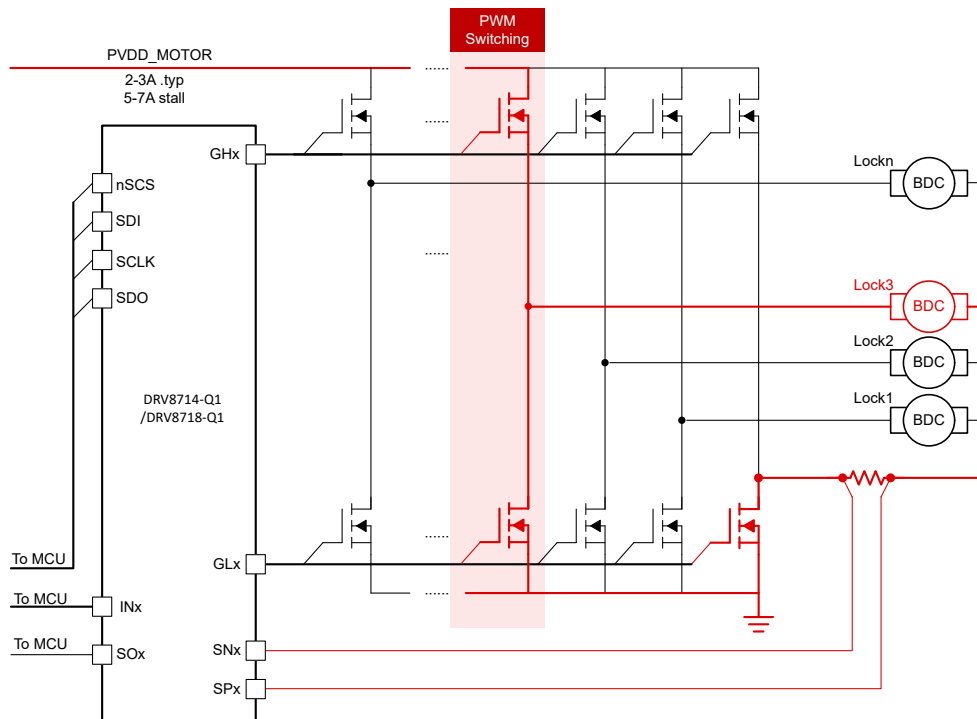


図 7-2. モータードライバ制御 (ロック解除)

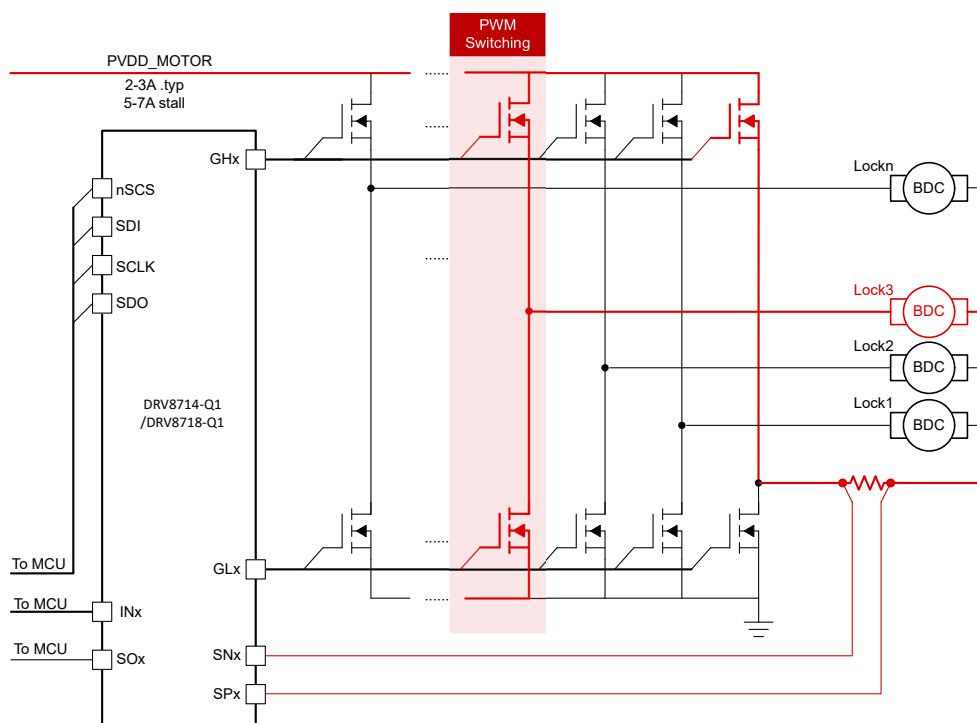


図 7-3. モータードライバ制御 (ロック)

BDC ドライバの設計リソースの詳細については、『[ブラシ付きモーター制御ユーザー ガイド](#)』を参照してください。

7.2 モータードライバの設計上の検討事項

e ラッチ システムでは、モーターのストール電流は 10A に達する可能性があります。そのため、モータードライブ システムの PCB 設計は簡単ではありません。最良の性能を実現するには、特別の配慮と技術が必要です。モータードライバ設計に関する検討事項は、『[モータードライバの基板レイアウトのベスト プラクティス](#)』に記載されています。

8 まとめ

このアプリケーション ノートは、車載 e ラッチシステムを設計する方法について説明しており、設計上の主な検討事項、部品の選定、性能の最適化について取り上げています。

9 参考資料

1. テキサス・インスツルメンツ、『[TPS61383-Q1 車載対応、400kHz、40V、30A 昇圧コンバータ、降圧 / LDO チャージャおよびバッテリー状態検出機能付き](#)』、データシート。
2. テキサス・インスツルメンツ、『[BQ76907-Q1、2 から 7 直列のリチウムイオン、リチウムポリマ、LiFePO4 \(LFP\)、および LTO バッテリー パック、ならびにスーパー キャパシタ用高精度車載バッテリー モニタおよびプロテクタ](#)』、データシート。
3. テキサス・インスツルメンツ、『[TCAN1162x-Q1 車載用、スリープ モードおよび LDO 出力機能搭載、CAN FD システム ベース チップ](#)』、データシート。
4. テキサス・インスツルメンツ、『[MSPM0 G シリーズ マイコン ハードウェア開発ガイド](#)』、アプリケーション ノート。
5. テキサス・インスツルメンツ、『[モータードライバの基板レイアウトのベスト プラクティス](#)』、アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月