

# Application Note

## THVD4431A を使用した RS-485 半二重システムにおけるレシーバの出力過渡の管理



Rannie Zhou, Kai Lai, Shishir Goyal, Ethan White

### 概要

高速なエッジレートと短いドライバ ディスエーブル時間を持つ RS-485 トランシーバは高速通信を可能にしますが、方向スイッチング時の過渡動作を抑制するために慎重なシステム設計が必要です。このアプリケーション ノートでは、バスライン上にフェライト ビーズを備えた半二重モードで THVD4431(A) などの高性能 RS-485 トランシーバを使用する際の、システム レベルでの考慮事項について説明します。堅牢な UART 通信を検証・実現するための実践的な設計の推奨事項が提供されています。

### 目次

|                               |    |
|-------------------------------|----|
| 1 概要.....                     | 2  |
| 2 THVD4431A RS-485 半二重動作..... | 3  |
| 2.1 モード構成.....                | 3  |
| 2.2 ドライバ ディスエーブル タイミング.....   | 3  |
| 3 システム レベルの過渡動作.....          | 4  |
| 3.1 観察される現象.....              | 4  |
| 3.2 出現原因.....                 | 5  |
| 4 設計の推奨事項.....                | 8  |
| 4.1 差動バス容量の増加.....            | 8  |
| 4.2 バスのバイアス抵抗を追加.....         | 10 |
| 4.3 フェライト ビーズの選択.....         | 10 |
| 4.4 ソフトウェアに関する考慮事項.....       | 10 |
| 5 まとめ.....                    | 10 |
| 6 参考資料.....                   | 10 |

### 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

RS-485 は、長距離、マルチポイント通信用に、産業自動化、ビル自動化、および電気通信で広く使用されている堅牢な差動物理層規格です。多くのアプリケーションでは、半二重 RS-485 トランシーバは送信と受信の両方で一對の差動バスラインを共有します。データフローの方向は方向 (DIR) ピンによって制御され、送信中はドライバを有効にしてレシーバを無効にし、受信中はその逆を行います。

THVD4431 は、RS-232、RS-422、RS-485 の各物理層をサポートする、高集積なマルチプロトコルトランシーバです。RS-485 半二重モードでは、DIR ピンがバスの方向を制御します。DIR が High のとき、ドライバが有効になり、レシーバは無効になります。DIR が Low の場合、ドライバは無効になり、レシーバが有効になります。

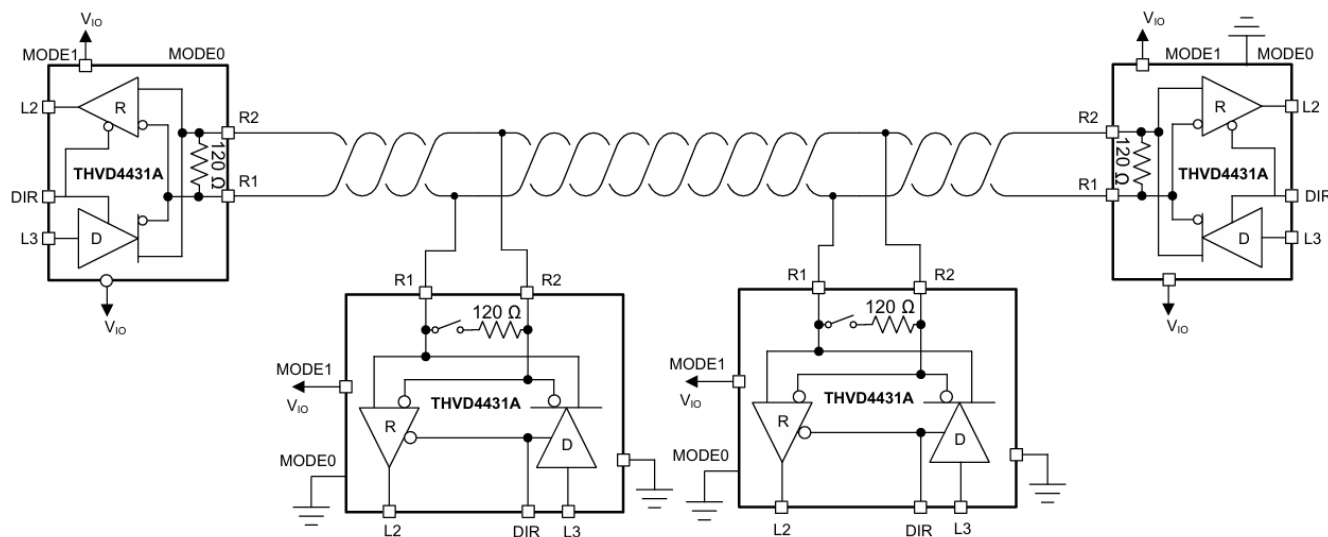


図 1-1. 半二重トランシーバを使用した標準的な RS-485 ネットワーク

特定のシステム実装では、DIR の High から Low への遷移時にレシーバ出力ピン (L2) にグリッチが発生することがあります。このグリッチは UART によってスタートビットと誤認され、余分な 0x00 バイトが受信されてシステムレベルのフレームエラーを引き起こす可能性があります。このアプリケーションノートでは、このグリッチの根本原因を分析し、実践的な設計手法を提供します。

## 2 THVD4431A RS-485 半二重動作

### 2.1 モード構成

THVD4431A は MODE ピンを介して RS-485 半二重モードに設定されます。本デバイスはピンで選択可能なモード制御により、RS-232、RS-422、RS-485 を含む複数のプロトコルをサポートします。RS-485 半二重モードの場合：

- DIR = High → ドライバ イネーブル、レシーバ ディスエーブル (送信モード)
- DIR = Low → ドライバ ディスエーブル、レシーバ イネーブル (受信モード)

### 2.2 ドライバ ディスエーブル タイミング

グリッチを理解するための重要なパラメータは、ドライバのディスエーブル時間です。理想的には、送信モードから受信モードへの切り替えにはスイッチング時間はありませんが、実際のアナログ デバイスではこれは不可能です。THVD4431A の場合、標準的なドライバ ディスエーブル時間は約 65ns です。このスイッチング時間により RS-485 ドライバがターンオフし、バス上に誘導性要素が存在する場合に大きな  $di/dt$  が発生する可能性があります。

### 3 システム レベルの過渡動作

#### 3.1 観察される現象

RS-485 バスライン (R2 および R1) にフェライト ビーズが配置されているシステムでは、トランシーバが送信モードから受信モードに切り替わる際 (DIR の High から Low への遷移時)、レシーバ出力 (R) に短い電圧外乱が発生することがあります。

この過渡現象は非常に短時間であり、通常はほとんどの UART のサンプリング ウィンドウを下回ります。しかし、一部のシステム構成では、この過渡現象がスタートビットとして解釈され、予期しない 0x00 バイトの発生や、それに続くチェックサム エラーまたはフレーミング エラーを引き起こす可能性があります。図 3-1 はスパイクとグリッチが理論上どのように見えるかを表しており、図 3-2 はボード上でキャプチャされた実際の波形を示しています。

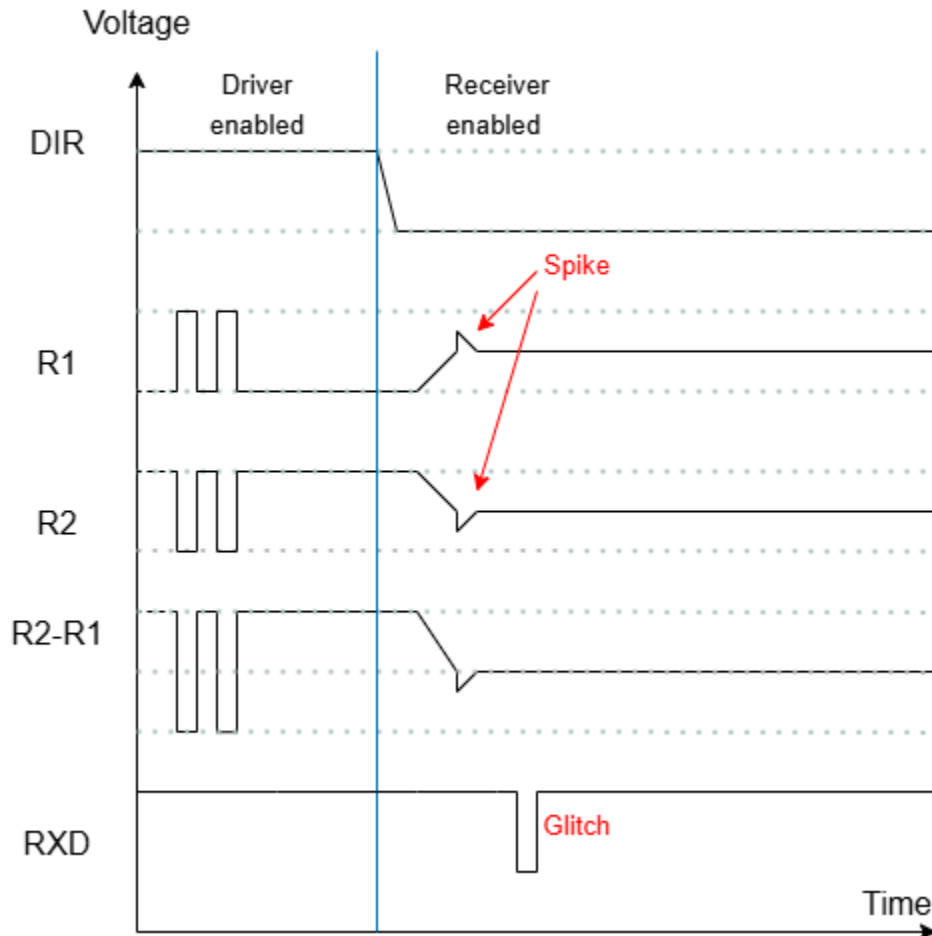


図 3-1. 理論上の RXD グリッチ状態



図 3-2. 実際の RXD グリッチ (約 100ns)

### 3.2 出現原因

フェライト ビーズにおける誘導エネルギーの蓄積が、RXD 上のこのグリッチの根本原因です。フェライト ビーズは、EMI 抑制のために RS-485 インターフェイスで一般的に使用されます。効果的である一方、フェライト ビーズは電流が流れるとエネルギーを蓄積する誘導性部品です。直列バスの寄生インダクタンスが十分に大きい場合も、同じ効果が発生する可能性があります。

送信中 (DIR = High)、電流は両方のバスラインのフェライト ビーズを通して流れ、これらを磁化します。遷移中 (DIR が High から Low) に、ドライバはオフになり、電流は流れなくなります。インダクタンスに蓄積されたエネルギーは、システムの負荷および寄生要素を通じて放出されます。このエネルギー放出により、R2 および R1 のバス上に短いリングング波形が発生します。短時間ですが、これによりバス間にレシーバ入力スレッショルドに達する可能性のある差動電圧が生成され、RXD 上のグリッチに繋がります。

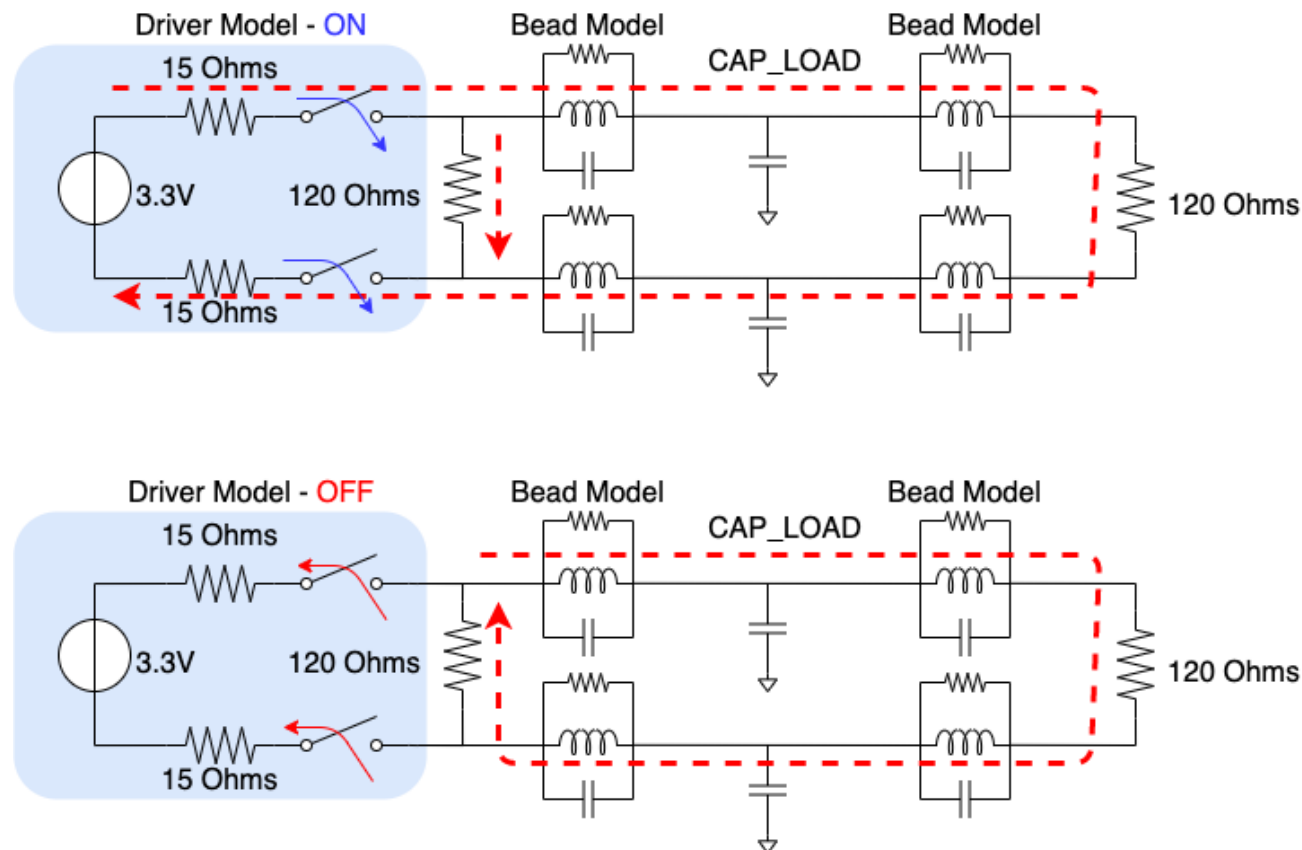


図 3-3. ビーズ (直列バス インダクタンス) の影響

図 3-4 は、実ビーズ モデル、コンデンサ、およびファー エンド終端抵抗を含むシミュレーション回路を示しています。図 3-5 は L2 にグリッチが生じたシミュレーション結果を示しており、理論的分析と一致しています。

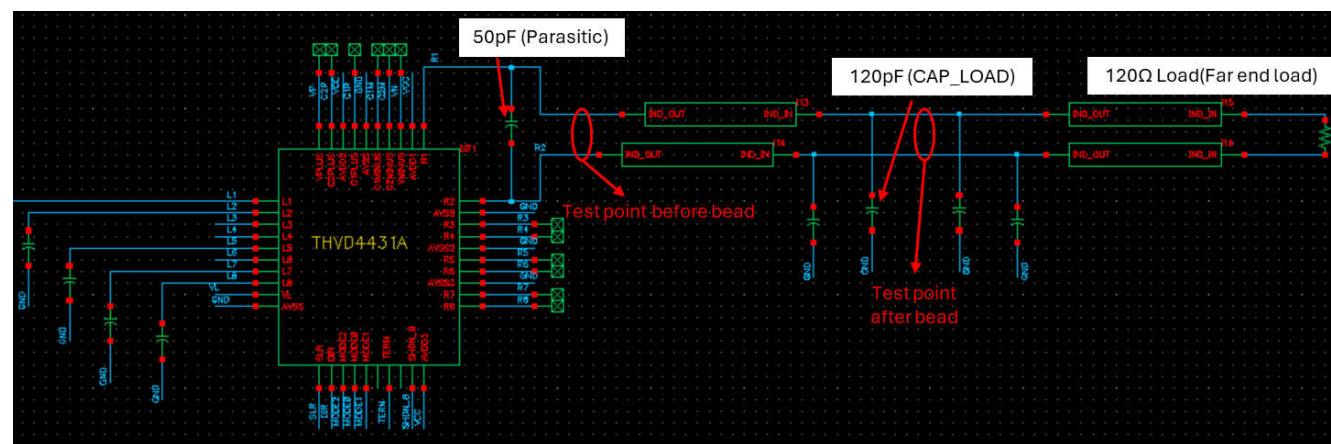


図 3-4. 実ビーズ モデルによるシミュレーション回路

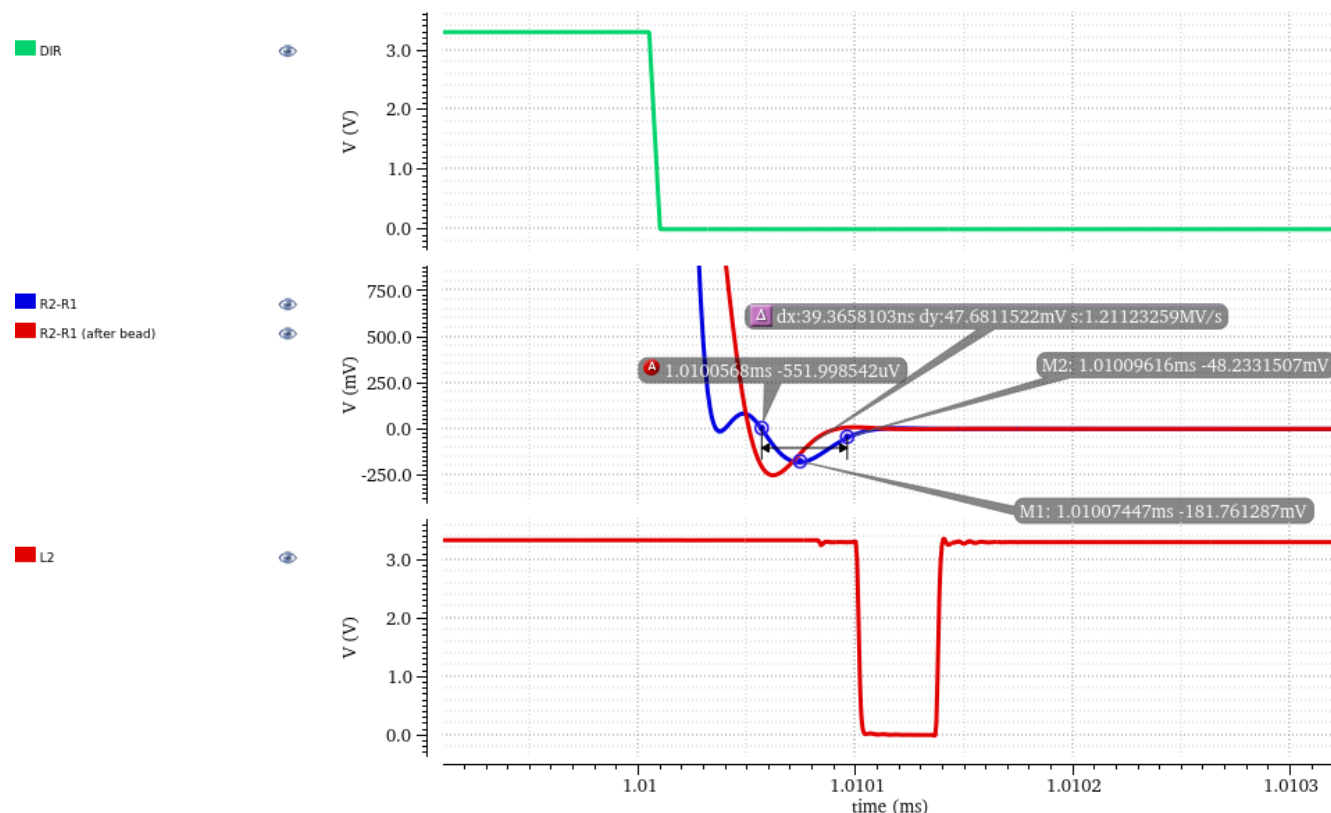


図 3-5. RXD (L2) 上のシミュレーションされたグリッチ

THVD4431A のドライバ ディスエーブル時間は標準 65ns です。この高速ターンオフは、データ スループットの向上、バス競合時間の削減、およびシステム全体の効率向上を可能にする機能です。しかし、高速ターンオフはより高い  $di/dt$  も引き起こします。フェライトビーズが存在する場合、低速な従来型デバイスと比較して、より振幅の大きい過渡現象が発生します。これは誘導性バス部品が存在する環境で動作するあらゆる高速トランシーバーの自然な特性であるため、同様の条件化であればどの高速 RS-485 トランシーバでも同じ過渡現象が観察されます。

## 4 設計の推奨事項

以下の設計手法により、THVD4431A または任意の高速 RS-485 トランシーバを使用する際の堅牢な通信を検証・確実化できます。

### 4.1 差動バス容量の増加

バスライン間にキャパシタンスを追加すると、高周波エネルギーに対して低インピーダンスの経路が形成され、過渡現象が減衰します。EMI 性能を向上させるためにビーズを追加する場合は、以下の推奨事項に従ってください。

- 220pF より大きい値の差動コンデンサ (R2 ~ R1) を追加し、トランシーバ ピンの可能な限り近くに配置します。図 4-1 は、バスコンデンサ (CAP\_LOAD) を 20pF から 620pF まで変更した場合のシミュレーション結果を示しています。
- 各バスラインのグラウンドにコンデンサを追加します。図 4-2 は、それぞれ GND に対して 390pF のバスコンデンサを追加した後の実際の波形を示しています。

この回避策はシグナル インテグリティにわずかな影響を与える可能性があるため、TI では基板上でテストして信号整合性を確認することを推奨しています。図 4-3 は、合計 620pF で立ち上がりおよび立ち下がり時間が約 18ns から約 40ns に増加することを示していますが、10Mbps の通信は完全にサポートされたままです。

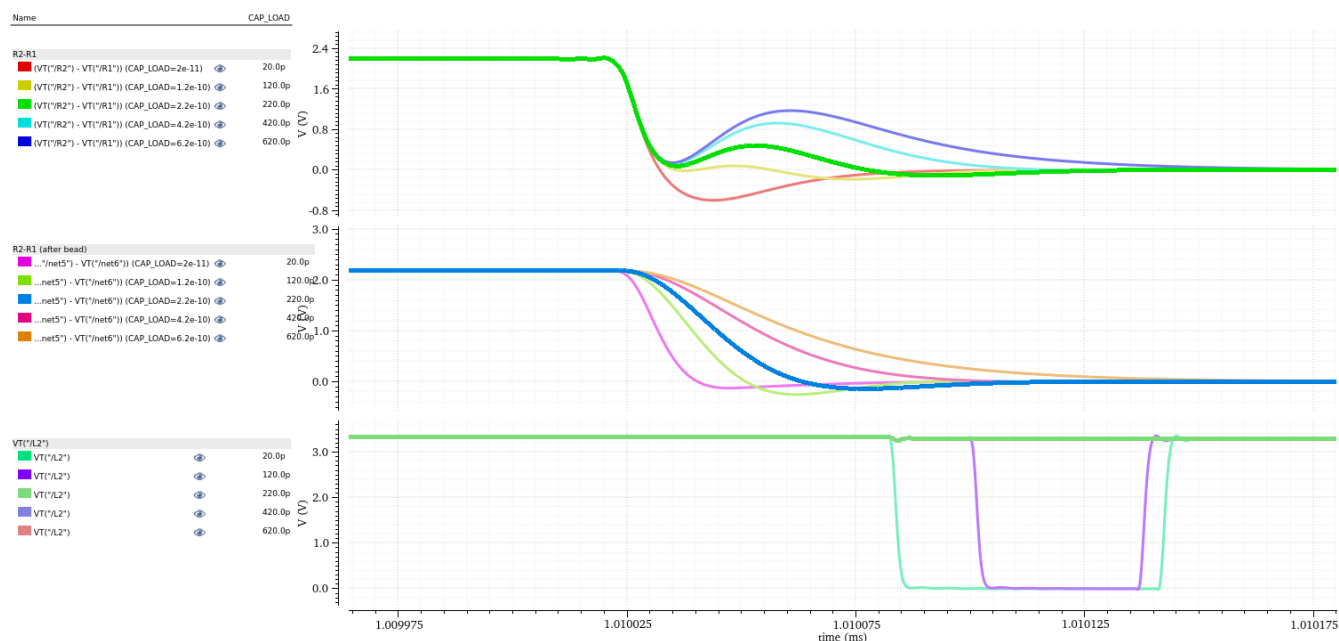


図 4-1. シミュレーション結果:20pF から 620pF までの CAP\_LOAD の影響



図 4-2. テスト結果: バスコンデンサ増加後はグリッチなし

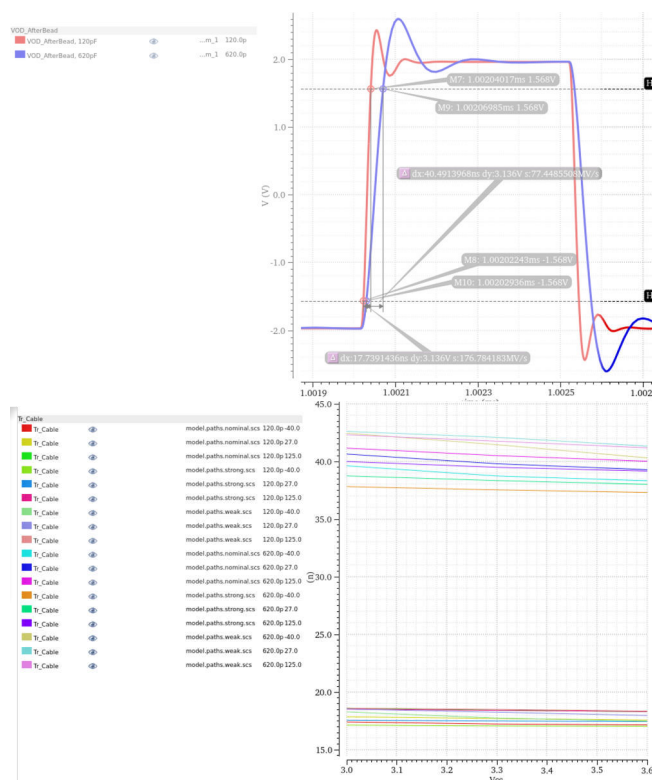


図 4-3. シミュレーション結果: CAP\_LOAD 増加 (120pF および 620pF) の影響

## 4.2 バスのバイアス抵抗を追加

外部フェイルセーフ バイアス抵抗は、アイドル期間中に規定のバス状態を提供し、過渡現象の減衰に役立ちます。R2 をプルアップ (VIO へ)、R1 をプルダウン (GND へ) し、抵抗値の範囲は  $750\Omega \sim 10k\Omega$  とします。抵抗値が低いほど強力なバイアスが得られますが静止電流が増加するため、ほとんどのアプリケーションでは  $1k\Omega \sim 10k\Omega$  が推奨されます。

## 4.3 フェライト ビーズの選択

EMI フィルタリングが必要な場合:

- ダンピング特性を向上させるため、インダクタンスが低く DC 抵抗が高いフェライト ビーズを選択します。
- トランシーバのすぐ近くではなく、コネクタに近い位置にフェライト ビーズを配置することを検討してください。
- システム検証時に過渡動作を評価してください。

## 4.4 ソフトウェアに関する考慮事項

過渡現象はレシーバが有効化される DIR 過渡期間中にのみ発生するため、マイコンの UART は通常アクティブにサンプリングを行っていません。過渡現象が UART によってキャプチャされる場合、一時的な回避策として、方向切り替えウィンドウ期間中の RX 信号を無視するようにファームウェアを設定できます。

## 5 まとめ

THVD4431A のような高速トランシーバは優れた性能上のメリットを提供しますが、システムレベルの設計において適切な配慮が必要です。RS-485 バスライン上のフェライト ビーズがドライバの高速ディスエーブル遷移と相互作用すると、短い過渡現象が発生します。次の 3 つの実践的な解決策があります。

1. バス間に  $\geq 220pF$  の差動キャパシタンスを追加する
2. 外部フェイルセーフ バイアス抵抗 ( $750\Omega \sim 10k\Omega$ ) を追加する
3. 適切なダンピング特性を持つフェライト ビーズを選択する

これらの推奨事項は、あらゆる高速 RS-485 トランシーバに広く適用でき、堅牢な産業用通信システムのための優れたエンジニアリング手法となります。

## 6 参考資料

1. テキサス・インスツルメンツ、『[120 \$\Omega\$  切り替え可能終端、ピン選択可能診断ループバック、および IEC-ESD 搭載 THVD4431A マルチプロトコル \(RS-232、RS-422、RS-485\) トランシーバ](#)』、データシート。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月