

Application Note

TI の Sitara PRU-ICSS をベースとする、マルチプロトコル産業用通信のリファレンス デザイン



Wayne Li, Zekun Bai

概要

産業用オートメーション システムは、確定的かつマルチプロトコル対応のリアルタイム通信を実現するうえで、ますます厳しい要件を課されています。従来型ゲートウェイの設計は、専用のプロトコル ASIC または FPGA に依存するため、コストが上昇し、プロトコルの柔軟性が制限されています。TI の Sitara™ プロセッサは、プログラマブルリアルタイム ユニットと産業用通信サブシステム (PRU-ICSS) を統合しており、確定的な 32 ビット RISC コアと Arm® アプリケーションプロセッサを 1 つの SoC に組み込み、シングル サイクルの非パイプライン実行と、プロトコルごとに独立したファームウェア ロードを実行できます。このドキュメントでは、PRU-ICSS アーキテクチャ、EtherCAT、PROFINET、EtherNet/IP の技術メカニズム、およびマルチプロトコル設計サンプルについて説明し、産業用機器のメーカー各社に、PRU-ICSS をベースとする実用的なマルチプロトコル通信設計リファレンス デザインを提供します。

目次

1 概要.....	2
2 PRU 機能の比較.....	2
2.1 PRUSS: プログラマブルリアルタイムユニットサブシステム.....	3
2.2 PRU-ICSS: プログラマブル リアルタイム ユニットおよび産業用通信サブシステム.....	3
2.3 PRU_ICSSG: プログラマブル リアルタイム ユニットおよび産業用通信サブシステム - ギガビット.....	4
2.4 PRU サブシステム機能比較.....	4
3 産業用プロトコルのメインストリーム.....	6
3.1 EtherCat: Ethernet for Control Automation Technology の略.....	6
3.2 PROFINET: リアルタイム イーサネット規格.....	8
3.3 EtherNet/IP: 一般的な産業用プロトコル.....	10
4 PRU-ICSS をベースとする、マルチプロトコル産業用通信アーキテクチャのリファレンス デザイン.....	12
4.1 ハードウェアアーキテクチャ.....	12
4.2 ソフトウェア アーキテクチャ.....	13
4.3 アプリケーションの例.....	15
5 産業用プロトコル サポート マトリクス.....	16
6 まとめ.....	17
7 参考資料.....	18

商標

Sitara™ is a trademark of Texas Instruments.

Arm® is a registered trademark of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

1 概要

Industry 4.0 と知的生産システムの急速な発展に伴い、産業用イーサネット プロトコルは、産業用オートメーション向けの主流の通信インフラへと徐々に定着してきました。マルチプロトコルの共存は、産業用環境で一般的な現象です。北米市場では EtherNet/IP が好まれる一方、欧州市場では PROFINET と EtherCAT が広く採用されており、モーションコントロール用途では EtherCAT または PROFINET IRT が好まれる傾向にあります。一方、グローバル サプライチェーンにサービスを提供する OEM メーカーは多くの場合、複数のプロトコルを同時にサポートする必要があります。これは機器メーカーにとって、ある種の実践的な課題を突きつけています。すなわち、単一のハードウェア プラットフォームを用いて、地域や業界ごとに異なるプロトコル要件にどのように対応するか、という点です。TI では、PRU-ICSS サブシステムを Sitara プロセッサに統合し、柔軟で効率的なマルチプロトコル通信エンジンを実装するとともに、産業用機器メーカーに統合型の設計を提供することで、この課題に対処してきました。

2 PRU 機能の比較

プログラマブル リアルタイム ユニット (PRU) は、32 ビットの確定的 RISC コアです。PRU は、CPU の持つプログラマビリティと低複雑性を維持しつつ、FPGA のようなリアルタイム動作を実現します。PRU は、I/O ピンの超低レイテンシ制御用に特化して設計されています (図 2-1)：

- シングル サイクル実行 (5ns、非パイプライン CPU)
- ブロードサイド インターフェイス (1024 ビット データ バス)
- マルチコアのリアルタイム処理 (5ns の並列同期)
- 2 サイクルの割り込みレイテンシ (10ns のタスク切り替え)
- 2 サイクルの仲裁処理 (10ns のスピンロック)

PRU は、一部の TI プロセッサおよびマイコンに内蔵されています。PRU はデバイスのピン (I/O)、イベント、および関連するすべての SoC リソースにアクセスできるため、次のことが可能です。

- 高速のリアルタイム応答を実行：オンザフライ データ処理
- カスタム多項式の CRC 計算、FFT、FIR、Sin などの特殊なデータ処理操作を実行
- パラレル ADC/DAC データ アクイジション インターフェイス、マルチチャネル ADC SPI タイミング シーケンス、1 線式プロトコル、QEP、PWM、LVDS など、ビットバンギングを使用してカスタム ペリフェラル インターフェイスを実装
- SoC CPU からタスクをオフローディング。たとえば、高速 UART の処理、大容量バッファの維持、メイン Arm コアへのデータの転送により、データ損失を維持

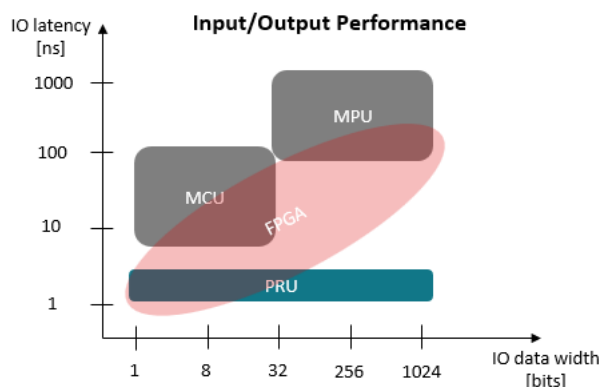


図 2-1. PRU 入力 / 入出力モード

PRU サブシステム (図 2-2) は 2 つのリアルタイム コアで構成され、それぞれの命令実行時間は 5ns (固定) で、命令パイプラインなしで、厳密に確定的なリアルタイム性能を検証します。各 PRU コアには専用の命令メモリとデータ メモリがあり、共有メモリを介して Arm コアと連携することで、柔軟なタスク負荷分散を実現します。

このサブシステムは、32 ビットのインターコネクト バス経由でシステム リソースに接続し、MII、MDIO、UART、割り込みコントローラなどの専用ペリフェラルを搭載しています。IEP、MPY/MAC ユニットはすべてリアルタイム コアに直接アクセスしてレイテンシを最小限に抑えます。

各 PRU は最大 30 個の入力と 32 個の出力をサポートしており、予測可能な時間枠の中で外部イベントに対する高精度な監視と応答を実行できるため、産業用イーサネットやカスタム I/O インターフェイスなどのリアルタイム アプリケーションに適しています。

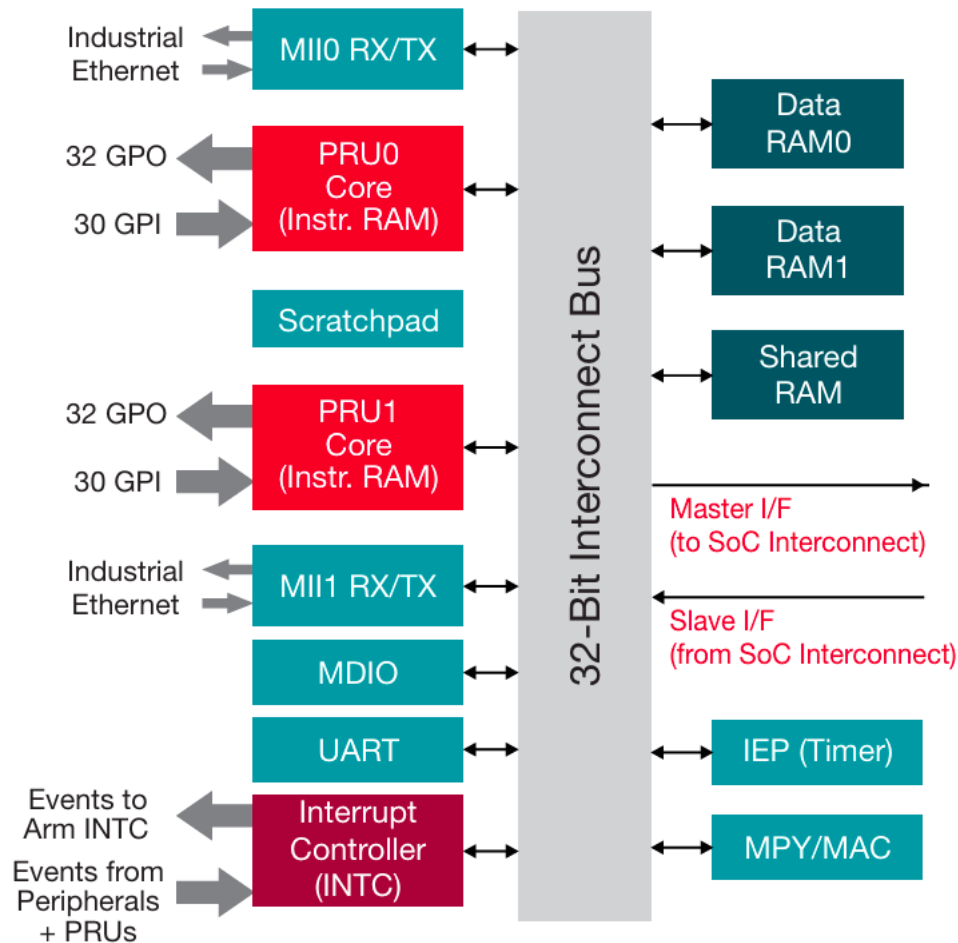


図 2-2. TI の PRU サブシステム

2.1 PRUSS: プログラマブルリアルタイムユニットサブシステム

プログラマブルリアルタイムユニットサブシステム (PRUSS) は、PRU サブシステムファミリの基本的なメンバーです。PRUSS は、2 つの 32 ビット RISC PRU コア、共有メモリ、割り込みコントローラ (INTC)、および I/O ピンと SoC リソースへの直接アクセスで構成されています。PRU コアはプログラマブルな性質により、PRUSS はリアルタイム処理を効率的に処理し、カスタム ペリフェラル インターフェイスを実装し、タイムクリティカルなタスクを他のプロセッサ コアからオフロードすることができます。

PRUSS は産業用通信サブシステム機能をサポートしていません。イーサネット関連信号 (MII/MDIO) は外部出力されていません。

サポート対象のデバイスには、AM62x が含まれています。

2.2 PRU-ICSS: プログラマブルリアルタイムユニットおよび産業用通信サブシステム

プログラマブルリアルタイムユニットおよび産業用通信サブシステム (PRU-ICSS) は、PRUSS 機能をすべて搭載し、産業用ネットワーク アプリケーション向けの統合型産業用通信サブシステムを追加したものです。

PRU-ICSS は、EtherCAT、PROFINET、EtherNet/IP、PROFIBUS、EnDat 2.2、100Mbit の産業用イーサネット通信をサポートしています。

サポート対象デバイスは、AM261x、AM263x、AM263Px、さらに旧世代のデバイスである AM335x、AM437x、AM57x です。

2.3 PRU_ICSSG: プログラマブル リアルタイム ユニットおよび産業用通信サブシステム - ギガビット

プログラマブル リアルタイム ユニットおよび産業用通信サブシステムであるギガビット (PRU_ICSSG) は、PRU サブシステム ファミリのハイエンド バージョンです。PRU_ICSSG は PRU-ICSS のすべての機能を搭載しており、2 つの補助プログラマブル リアルタイム ユニット (RTU) コア、2 つの送信 PRU (TX_PRU) コア、ブロードサイド メモリ、タスクマネージャによるイベント管理の改善、データ処理とデータ移動アクセラレータ、PWM などの新しいペリフェラルを追加したものです。

PRU_ICSSG は、ギガビット産業用通信、高度なリアルタイム処理、多軸モーター制御などの高性能シナリオに対応でき、あらゆる世代のサブシステムにわたり、最も機能を備えたリファレンス デザインです。

サポートされているデバイスは、AM64x と AM243x です。

2.4 PRU サブシステム機能比較

図 2-3 に、3 つの PRU サブシステムの違いをまとめて比較します。

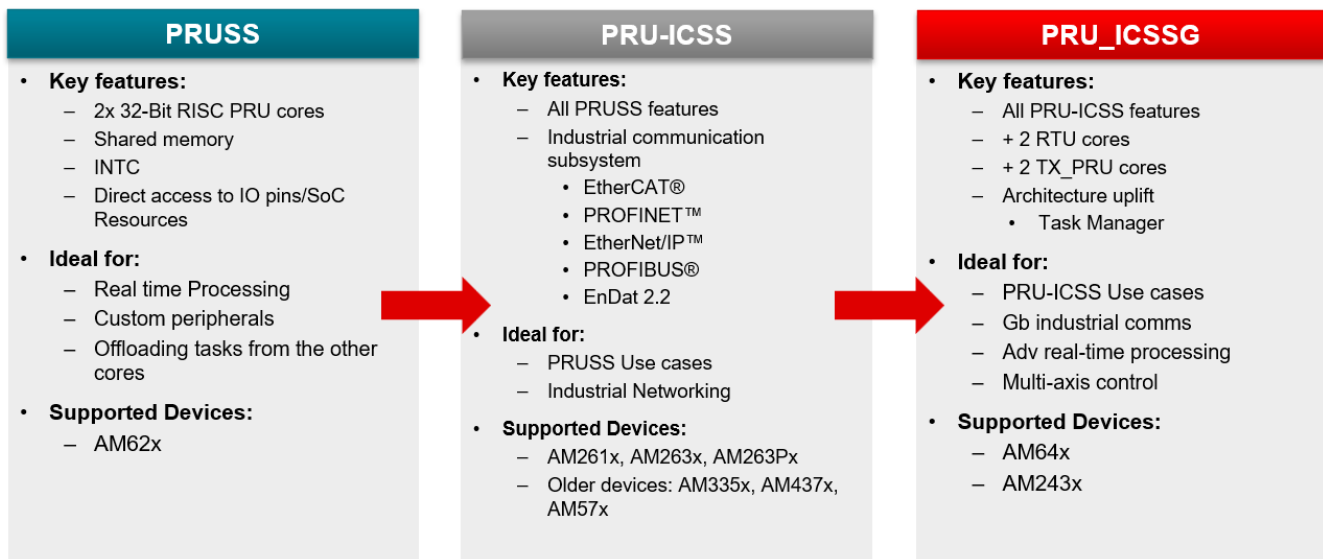


図 2-3. PRU サブシステム比較

表 2-1 に、PRU サブシステムの主な機能の概要を示します。

表 2-1. PRU サブシステム機能比較

カテゴリ	特長	PRUSS	PRU-ICSS	PRU_ICSSG
一般的な PRU 仕様	PRU コア	あり	あり	あり
	RTU_PRU コア	なし	なし	あり
	TX_PRU コア	なし	なし	あり
	IRAM (コアごと)	あり	あり	あり
	DRAM (PRU-ICSS/PRU_ICSSG ごとに 2 個の DRAM)	あり	あり	あり
	共有 DRAM	あり	あり	あり
	INTC	あり	あり	あり
汎用入力	直接入力	あり	あり	あり
	16 ビット パラレル キャプチャ	あり	あり	あり
	28 ビット シフト	あり	あり	あり
	3 チャンネルのペリフェラル インターフェイス (EnDAT)	なし	デバイスによって異なる	あり
汎用出力	直接出力	あり	あり	あり
	シフト アウト	あり	あり	あり
アクセラレータ: データ処理	MPY/MAC	あり	あり	あり
	CRC 16/32	あり	デバイスによって異なる	あり
	スクラッチ パッド	あり	あり	あり
	ブロードサイド RAM	なし	なし	あり
	タスク マネージャ	なし	なし	あり
	スピンロック	なし	なし	あり
アクセラレータ: データ移動	XFR2VBUS	あり	なし	あり
	XFR2TR	なし	なし	あり
ペリフェラル	UART	あり	あり	あり
	IEP	あり	あり	あり
	MII_RT または MII_G_RT	なし	あり	あり
	MDIO	なし	あり	あり
	PWM	なし	なし	あり
アプリケーション	リアルタイム処理	あり	あり	あり
	カスタム ペリフェラル	あり	あり	あり
	産業用通信	なし	あり	あり
	多軸制御	なし	なし	あり
対応	代表的なデバイス	AM62x	AM261x、 AM263x、 AM335x、 AM437x、AM57x	AM64x、AM243x

3 産業用プロトコルのメインストリーム

3.1 EtherCat: Ethernet for Control Automation Technology の略

図 3-1 は代表的な EtherCAT ネットワークボロジを示しています。ここでは、EtherCAT マスタがドライブ、センサ、アナログ I/O、デジタル I/O など複数のデバイスノードと通信します。デジチェーン方式で使用することができます。

EtherCAT の重要な特長は「プロセッシング オン ザ フライ」メカニズムです。データフレームが各デバイスノードを通過する際、デバイスはデータ ストリームからアドレス指定されたコマンド データを直接抽出し、同時に応答データを同じフレームに送り返します。これにより、ネットワーク全体で超低レイテンシのリアルタイム通信を実現できます。

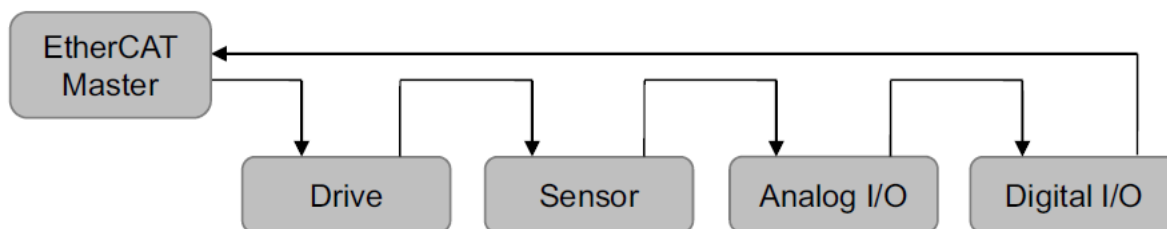


図 3-1. EtherCAT ネットワークの例

EtherCAT テレグラム (図 3-2) は、イーサネットフレームのペイロードに組み込まれており、EtherCAT デバイス向けの 1 つまたは複数の EtherCAT データグラムを含むことができます。各データグラムは、ヘッダ、データ、およびワーキング カウンタで構成されます。ヘッダとデータはデバイスが実行する必要がある動作を指定し、ワーキング カウンタは、コマンドを正常に処理した各デバイスによって増加します。これにより、マスタは、すべての意図されたデバイスがデータグラムを正しく処理したことを確認できます。

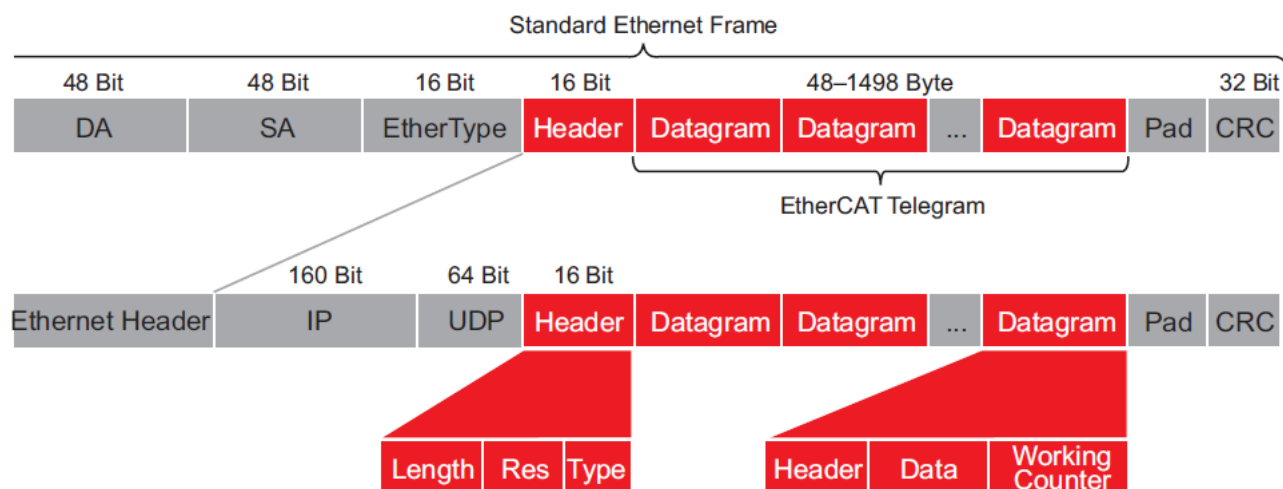


図 3-2. EtherCAT テレグラム

EtherCAT ファームウェア アーキテクチャ (図 3-3) は、次の 2 つの PRU コアに分割されています。PRU0 はポート RX1/TX0、ホスト インターフェイス、同期マネージャ、FMMU (フィールドバス メモリ管理ユニット) を処理し、PRU1 はポート RX0/TX1、分散クロック、およびエラー処理を行います。2 つのコアは、EtherCAT レジスタ、共有メモリ、デジタル I/O リソースへのアクセスを共有し、協調したリアルタイム処理を実現します。ファームウェア スタック全体は、PRU サブシステムドライバおよびホスト API 層によって管理され、EtherCAT デバイス スタックが動作し、MII、MDIO、およびデジタル I/O 物理インターフェイスを介してハードウェアとのインターフェイスが確立されます。

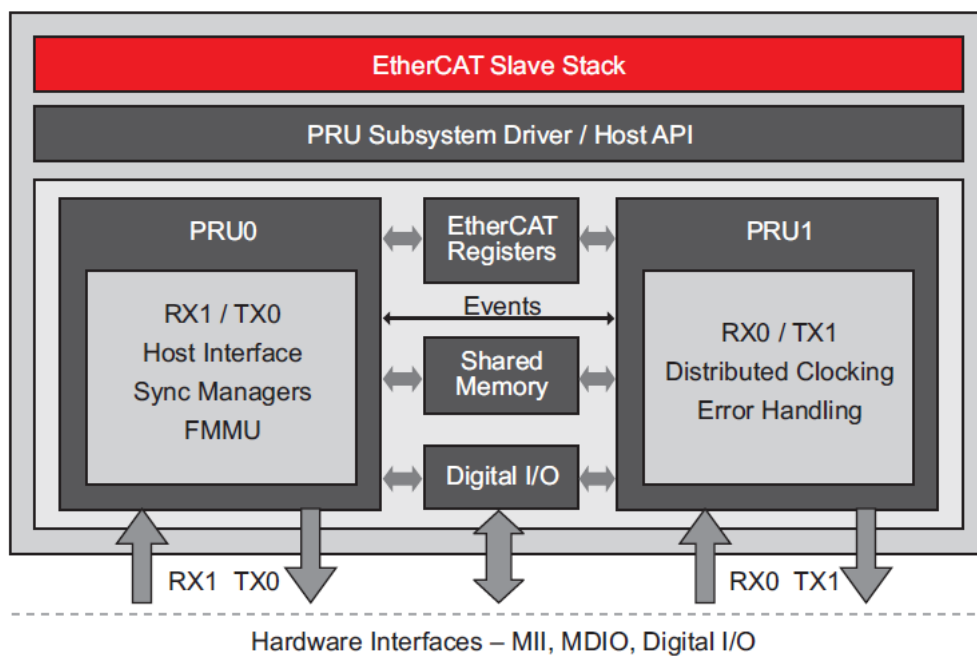


図 3-3. PRU-ICSS 上の EtherCAT ファームウェア アーキテクチャ

3.2 PROFINET:リアルタイム イーサネット規格

PROFINET は、工場のオートメーション、プロセス オートメーション、ビルディング オートメーションなど、幅広い産業用途で求められる高速かつ決定論的な通信を実現するためのリアルタイム イーサネット規格です。

PROFINET 規格では、相互に積み重なる 4 つの適合クラスが定義されており、それぞれ異なる用途やユースケースに対応するよう設計されています：

- 適合クラス A (CC-A): 標準的なイーサネット ハードウェアで実装可能であり、1ms ～ 512ms の更新周期を持つ周期的リアルタイム (RT) 通信といった、基本的な PROFINET 機能をサポートします。
- 適合クラス B (CC-B) : SNMP によるネットワーク診断、システム冗長性、およびメディア冗長性プロトコル (MRP) によるネットワーク冗長性を備えた CC-A を拡張します。
- 適合クラス C (CC-C): 周期的アイソクロナスリアルタイム (IRT) 通信をサポートする CC-B を拡張し、更新時間は 250μs 未満です。
- 適合クラス D (CC-D): 最も先進的な PROFINET クラスです。タイムアウェア シェーパ (TAS) やフレーム プリエンプションなどの時間感応型ネットワーキング (TSN) 機能を活用することで、非常に高い決定性と低遅延を実現します。

PROFINET 規格は、次の 3 種類のデバイスを定義しています: IO コントローラ、IO デバイス、IO スーパーバイザ。☒

3-4 に、工場内の簡略化されたネットワークアーキテクチャの例を示します。

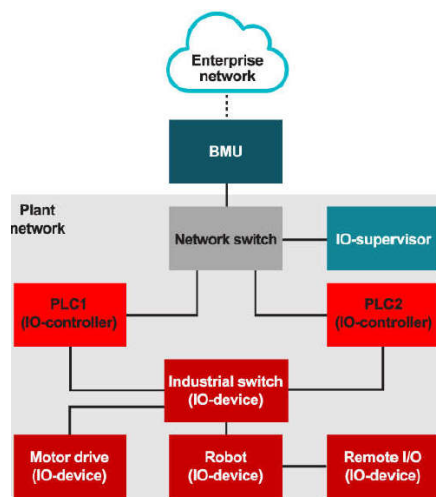


図 3-4. PROFINET ネットワークの例

Sitara プロセッサ (図 3-5) に統合された PROFINET デバイス実装は、3 つの主要なソフトウェア コンポーネントで構成されています。一つ目は、デバイスの PRU-ICSS 上でレイヤ 2 の機能を実装するマイクロコード、二つ目は Arm コア上で動作する PROFINET デバイス スタック、そして三つ目は産業用アプリケーションです。TI は、Sitara プロセッサをサポートするソフトウェア開発キットにおいて、プロトコル適応レイヤやデバイスドライバなどの追加コンポーネントも提供しています。

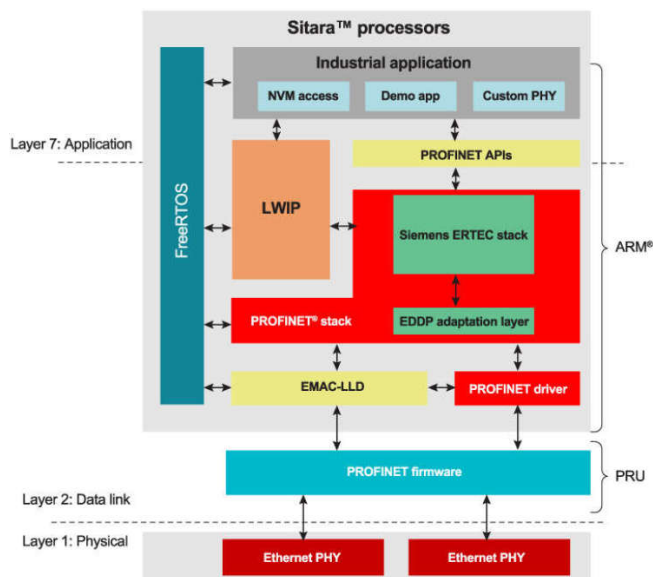


図 3-5. Sitara プロセッサ上での PROFINET ソフトウェア アーキテクチャ

図 3-6 に示すように、PRU-ICSS は PROFINET レイヤ 2 の包括的な機能を統合しており、これに該当するのは、CPM/PPM 処理、DHT、DCP フィルタリング、ARP フィルタリング、カットスルー スイッチング、およびエラー検出です。その内部共有メモリにより、PROFINET レジスタ空間を確保し、PRU の確定的なリアルタイム処理機能との組み合わせにより、一貫性のある予測可能な PROFINET フレーム処理レイテンシを検証できます。

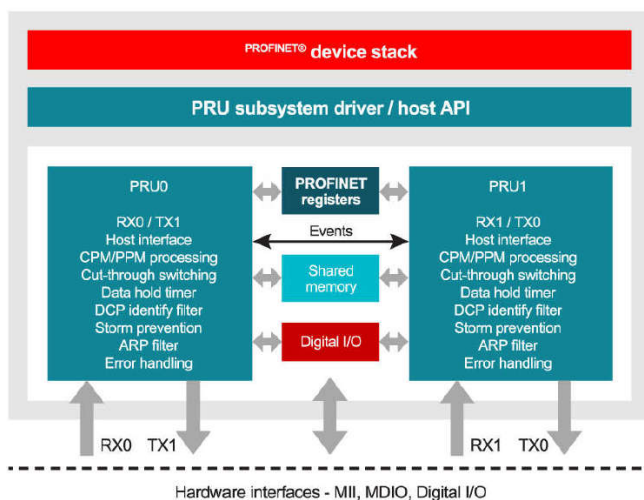


図 3-6. PRU-ICSS 上の PROFINET ファームウェア アーキテクチャ

3.3 EtherNet/IP:一般的な産業用プロトコル

EtherNet/IP は、上位層に共通産業用プロトコル (CIP) を実装するネットワーク プロトコル ファミリのメンバーです。EtherNet/IP は、IEEE 802.3 で定義されている標準イーサネット上に実装される場合に CIP に与えられる名前です。[図 3-7](#) に、TI の Sitara デバイスへの EtherNet/IP デバイスの実装に必要な 3 つのソフトウェア コンポーネントを示します。PRU ベースのレイヤ 2 ファームウェア、Arm ホスト型の EtherNet/IP デバイス スタック、産業用アプリケーション。

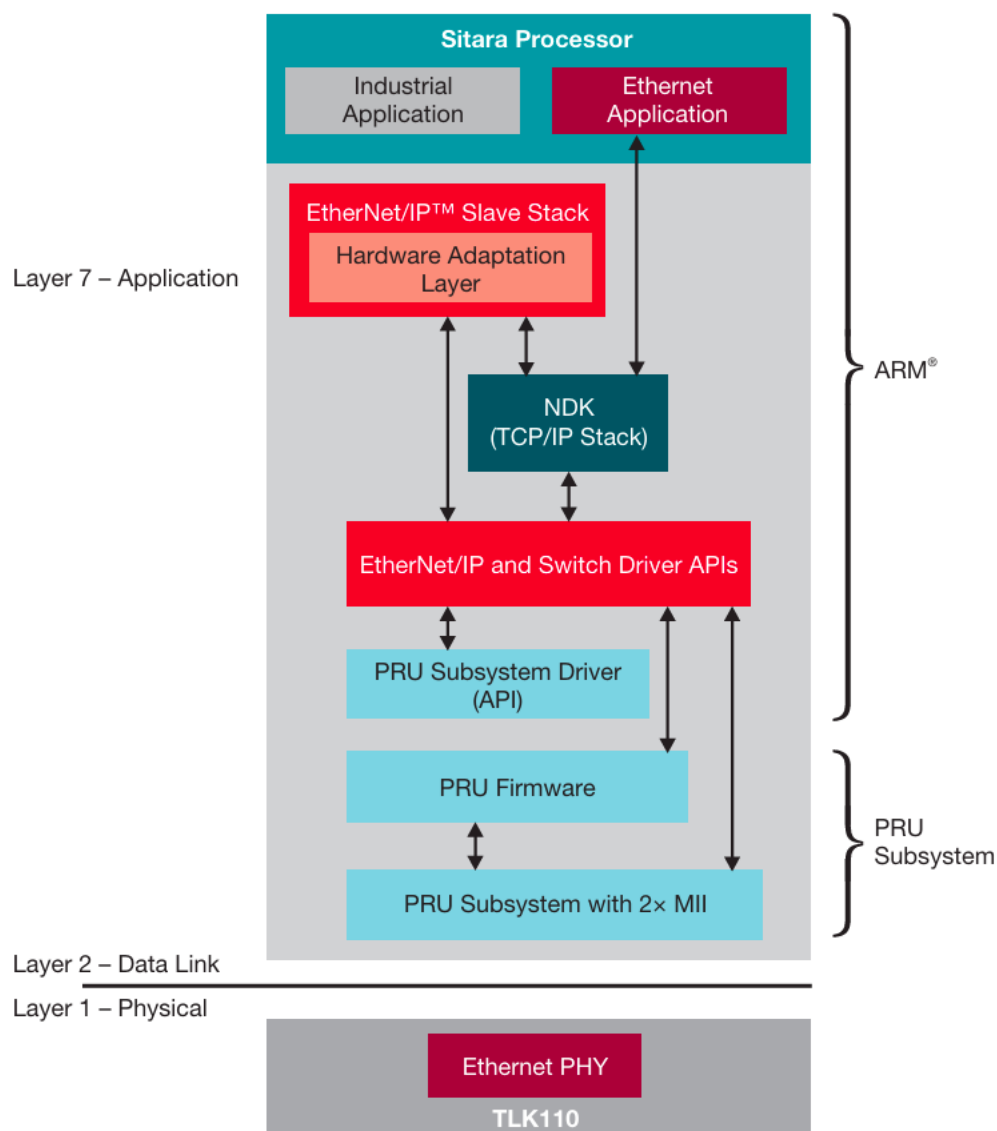


図 3-7. Sitara プロセッサ上の EtherNet/IP ソフトウェア アーキテクチャ

TI Sitara デバイスでの EtherNet/IP 統合のための PRU-ICSS ファームウェア アーキテクチャを、[図 3-8](#) に示します。PRU-ICSS は、MAC 学習、ストーム防止、パケット統計など、コア イーサネットスイッチ機能を処理します。2 つの PRU コアはそれぞれが独立して 1 つの物理ポートを管理し、専用の RX/TX ペアを処理します。コア間の調整は、特殊な命令と共有メモリによって行われます。このアーキテクチャは、構成可能なパラメータにより、低レイテンシのストアアンドフォワードスイッチングをサポートしており、PRU は Arm コアにリアルタイムで割り込みを発生させて確定的な処理を実行できます。

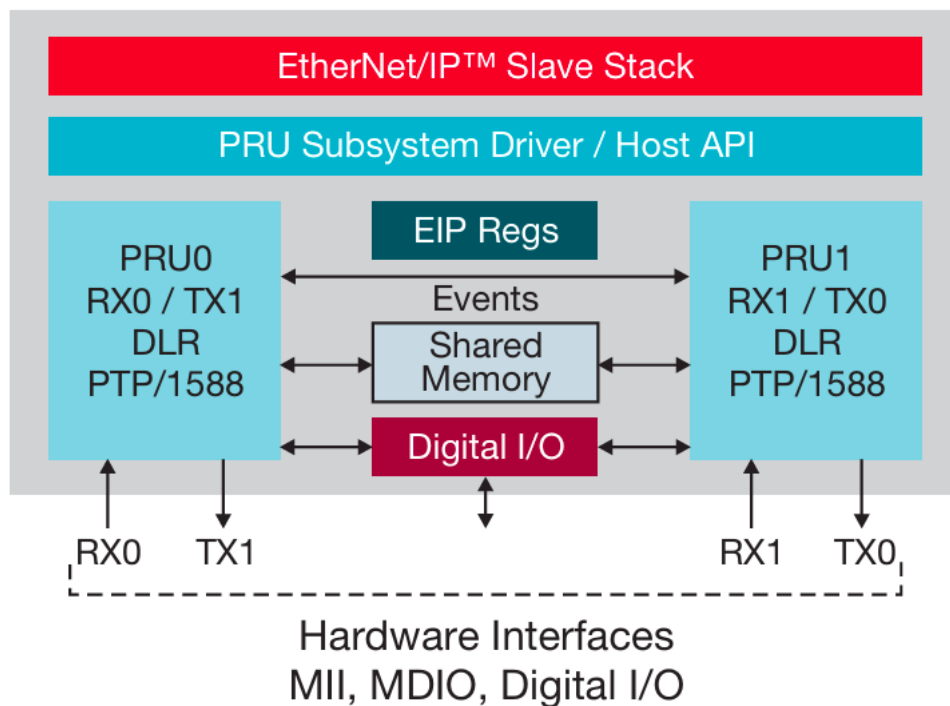


図 3-8. PRU-ICSS 上の EtherNet/IP ファームウェア アーキテクチャ

4 PRU-ICSS をベースとする、マルチプロトコル産業用通信アーキテクチャのリファレンス デザイン

4.1 ハードウェアアーキテクチャ

TI の PRU は、プロセッサ上のリアルタイム サブシステムの基礎となっています。図 4-1 に示すように、各 PRU はシングルサイクルの非パイプライン実行で 200MHz で動作し、SoC から外部 I/O に直接アクセスします。各 PRU には専用の命令 RAM とデータ RAM が搭載されているため、メモリの競合や予測不可能な遅延が発生せず、リアルタイムなファームウェアの動作が可能です。共有 RAM 領域により、PRU コアと Arm コアとの間で効率的なデータ交換が可能です。受信割り込みは、内蔵 INTC を介して PRU に直接配信され、マルチレイヤ相互接続バスをバイパスして、応答レイテンシが制限され、予測可能な状態に維持されます。

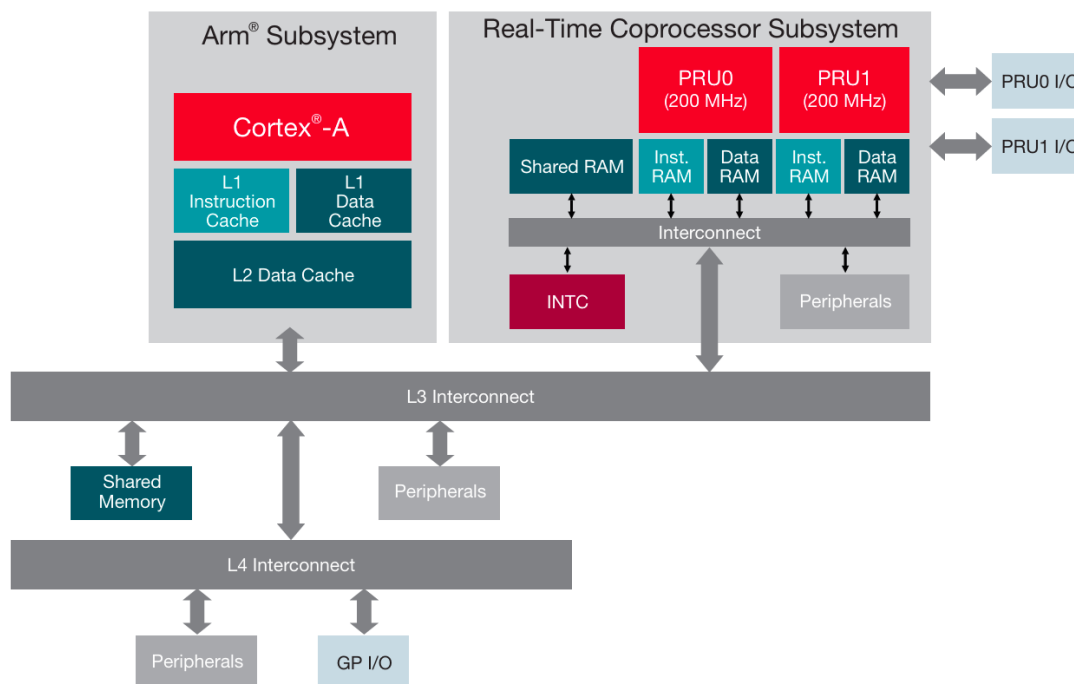


図 4-1. PRU-ICSS マルチプロトコル通信ハードウェア アーキテクチャ

4.2 ソフトウェア アーキテクチャ

このソフトウェア アーキテクチャ (図 4-2) は、Arm コアと PRU サブシステムを階層化された Linux ドライバ スタックを通して緊密に結合させています。Arm コア上で動作する Linux カーネルは、PRU 通信用に 2 つのドライバ メカニズムを提供します。RemoteProc および rpmsg。RemoteProc は、基本的な制御メカニズムとして機能します。U-Boot から渡されたデバイス ツリー ブロブ (DTB) を読み取り、PRU ファームウェアを命令メモリにロードし、PRU の実行を開始します。PRU が実行されると、rpmsg は、/dev/rpmsg-pru インターフェイス経由で公開される PRU データ メモリの共有 vring バッファを経由して、PRU ファームウェアとユーザー空間アプリケーションとの間の双方向メッセージ パッシングを処理します。これらの Linux のコアドライバの上に配置するのは 2 つの PRU 固有クライアントドライバ、RemoteProc-PRU と rpmsg-PRU です。汎用フレームワークを、上記のプロトコル スタック向けに統合型 API に抽象化します。

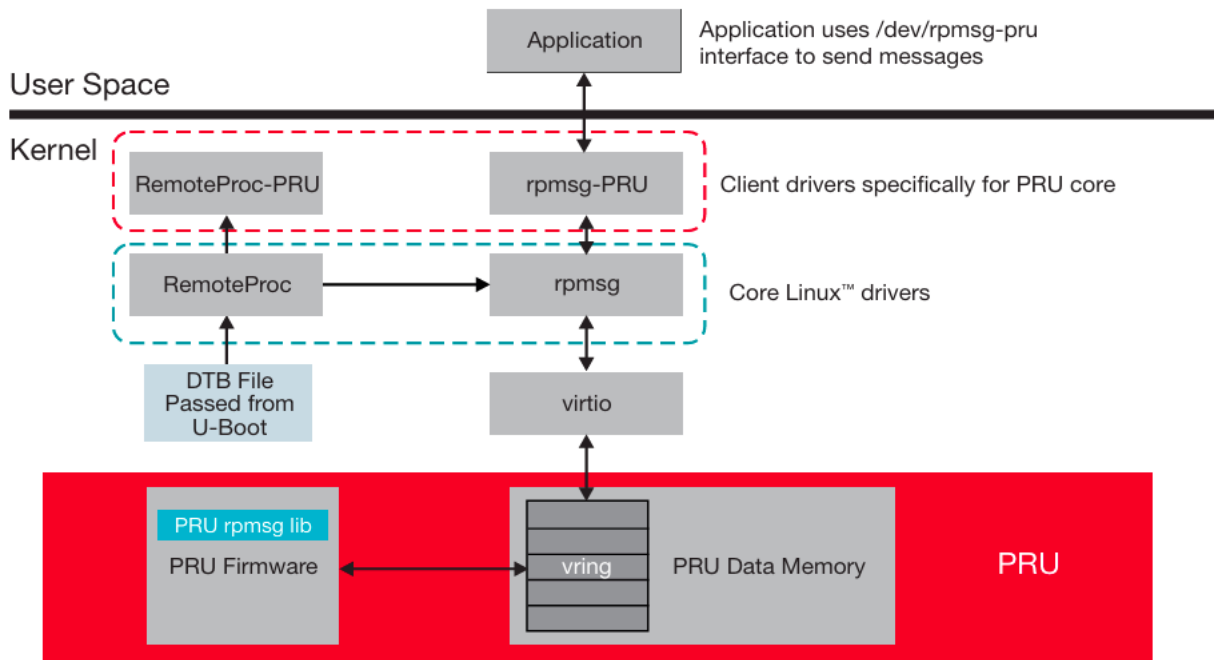


図 4-2. Sitara Arm/PRU ソフトウェア アーキテクチャ

図 4-3 は、この汎用スタックを AM335x 上の具体的な EtherCAT デバイス実装にマップします。図 3-3 の PRU サブシステムドライバ (API) は、図 3-2 のクライアントドライバ層に対応しています。このインターフェイスは、基盤となるファームウェアのロード メカニズムと、上記の層からのメッセージ パッシング メカニズムを非表示にする統合インターフェイスを公開します。Arm コア上で実行されるプロトコル適応層、EtherCAT デバイス スタック、産業用アプリケーションは、図 4-2 のユーザー空間アプリケーションにまとめて対応し、/dev/rpmsg-pru インターフェイスを介して PRU とデータを交換します。PRU ファームウェアは、レイヤ 2 のデータリンク機能 (フレーム処理と MII インターフェイスの制御) を処理します。この階層型設計により、各種の産業用プロトコル ファームウェアを PRU に個別にロードできるため、アプリケーション層のソフトウェアに変更を加えずにマルチプロトコル動作が可能になります。

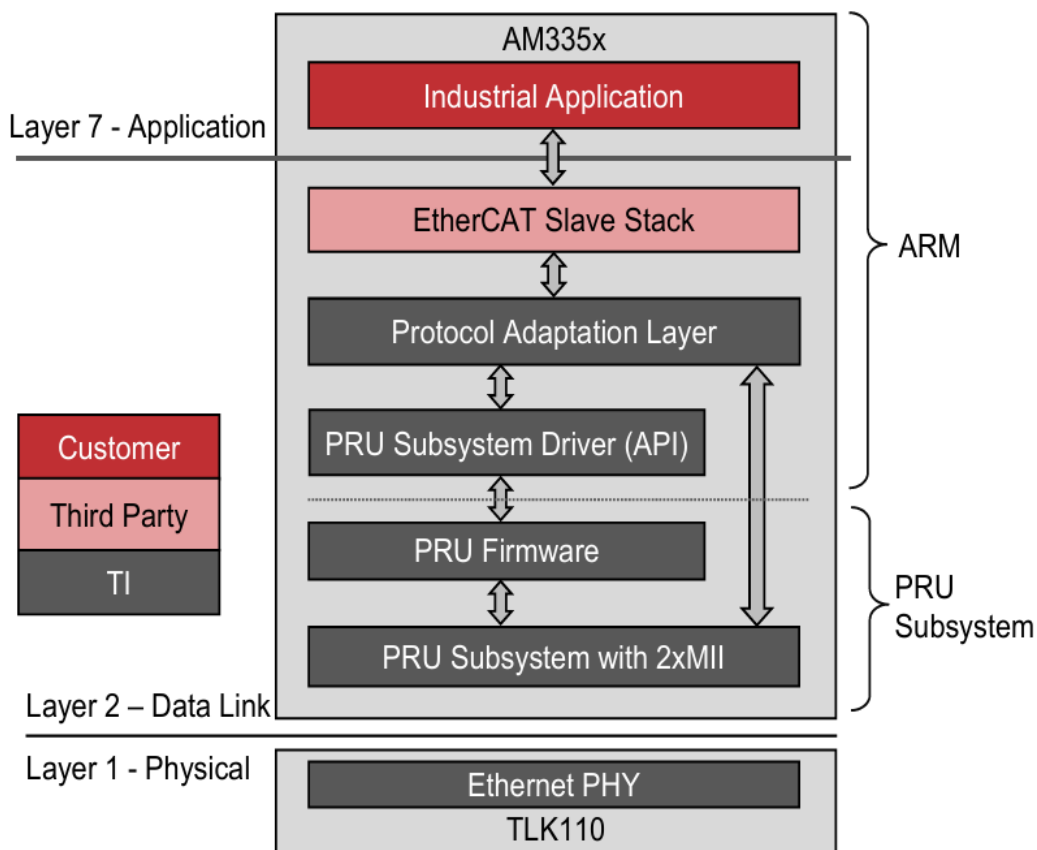


図 4-3. PRU-ICSS 上の EtherCAT デバイス ソフトウェアアーキテクチャ

4.3 アプリケーションの例

TI Sitara プロセッサ上で構築された代表的な産業用オートメーショントポロジを、図 4-4 に示します。AM62Px/AM62x は、ラダー ロジックを実行するトップレベルの PROFINET RT コントローラとして動作すると同時に、1080p HMI ディスプレイを駆動します。AM64x は、PROFINET RT デバイスと EtherCAT コントローラの両方として動作し、EtherCAT 経由でダウンストリームの AM243x ベース VFD ノードにコマンドを送信します。また、PCIe Wi-Fi モジュールを使用して、ワイヤレス コネクティビティを実現できます。各ノードがそれぞれの PRU ファームウェアを個別にロードするため、アプリケーション層に変更を加えることなく、PROFINET、EtherCAT、IO-Link をネットワーク全体で共存させることができます。

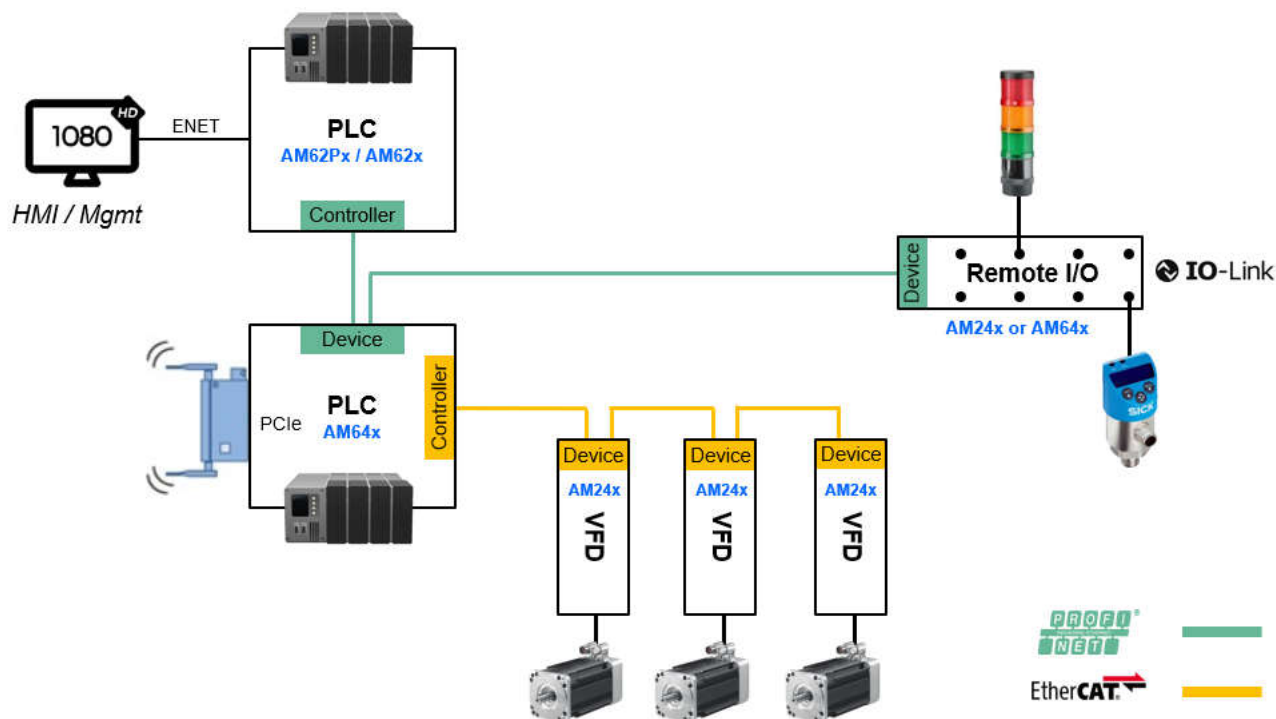


図 4-4. TI の Sitara プロセッサ マルチプロトコル産業用通信システム

5 産業用プロトコル サポート マトリクス

表 5-1. 産業用プロトコル サポート マトリクス

特長	AM62x	AM261	AM263	AM243	AM64x
サブシステム	1x PRUSS	2x PRU-ICSS	1x PRU-ICSS	2x PRU_ICSSG	2x PRU_ICSSG
R5F/A コア	4x A53	2x R5F	4x R5F	4x R5F	4x R5F + 2x A53
処理能力	16.8k DMIPS	2K DMIPS	3.2K DMIPS	6.4k DMIPS	12.4k DMIPS
コントローラ サポート	あり	あり	あり	あり	あり
デバイス サポート	なし	あり	あり	あり	あり
マルチプロトコル サポート	なし	あり	あり	あり	あり
ギガビット イーサネット ポート	2	2	2	最大 5	最大 5
PCIe/USB3.0	2x USB2	1x USB2	なし	1x レーン / USB3	1x レーン / USB3

6 まとめ

このドキュメントでは、TI Sitara プロセッサの PRU-ICSS アーキテクチャ、EtherCAT、PROFINET、EtherNet/IP の技術メカニズム、およびマルチプロトコル設計サンプルについて説明します。3 つの世代の PRU サブシステム、PRUSS、PRU-ICSS、PRU_ICSSG は順次機能セットを拡張しており、PRU_ICSSG はハイエンドバージョンです。各 PRU コアはシングルサイクルの非パイプライン実行で動作し、プロトコル固有のファームウェアを独立してロードし、EtherCAT、PROFINET、EtherNet/IP 用のレイヤ 2 機能を実装します。この階層設計により、アプリケーション層ソフトウェアに変更を加えることなく、マルチプロトコル動作が可能になります。代表的なシステム例として、AM62x、AM64x、AM243x の各デバイスが単一の産業用ネットワーク内で共存し、それぞれが所定のプロトコルファームウェアを実行している様子が示されています。プロトコルサポートマトリクスは、AM261x、AM263x、AM243x、AM64x にわたってマルチプロトコル機能をさらに裏付けています。

7 参考資料

1. テキサス・インスツルメンツ、『[PRU サブシステムの機能比較](#)』、アプリケーション ノート
2. テキサス・インスツルメンツ、『[入門用 PRU ガイド](#)』、Seismic
3. テキサス・インスツルメンツ、『[リアルタイム予測可能性を確保: TI の Sitara™ プロセッサ プログラマブル リアルタイム ユニット](#)』、マーケティング ホワイト ペーパー
4. テキサス・インスツルメンツ、『[AM261x Sitara™ マイコン](#)』、データシート
5. テキサス・インスツルメンツ、『[AM263x Sitara™ リアルタイム コントロール付きマイコン](#)』、データシート
6. テキサス・インスツルメンツ、『[TI プロセッサおよびマイコン対応の産業用通信プロトコル](#)』、アプリケーション ノート
7. テキサス・インスツルメンツ、『[マルチプロトコル産業用通信: 次世代の産業用オートメーションを可能にする](#)』、ウェビナー。
8. テキサス・インスツルメンツ、『[Sitara™ プロセッサ上での EtherCAT®](#)』、マーケティング ホワイトペーパー。
9. テキサス・インスツルメンツ、『[TI の Sitara™ プロセッサ上での PROFINET®](#)』、マーケティングホワイトペーパー。
10. テキサス・インスツルメンツ、『[TI の Sitara™ プロセッサ上の EtherNet/IP™](#)』、マーケティング ホワイト ペーパー。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月