

Technical White Paper

EMC 準拠の EMI 発生源軽減手法



概要

本ホワイトペーパーは、最新の各種電子システムの設計と動作にとって重要な課題である電磁干渉 (EMI) の包括的な分析について説明します。デバイス密度が高くなり、動作周波数が高くなると、望ましくない電磁妨害に起因する性能低下とシステム障害のリスクが増大します。本稿ではまず、EMI の主な発生源を分類し、自然現象と、高速デジタル回路やスイッチング電源からの人為的な放射とを区別します。

さらに、干渉を抑制または遮断するための遮蔽、フィルタリング、接地方法の適用など、重要な緩和技術を評価します。ループ面積の最小化やインピーダンス制御の維持など、基本的な予防策としてプリント基板 (PCB) レイアウトの最適化に特に注意を払っています。最後に、業界の慣行とコンプライアンス標準の概要を説明し、複雑な環境で電磁両立性 (EMC) を維持するための体系的なフレームワークをエンジニアに提供します。

目次

1 概要	2
回路で電磁界が発生する仕組み	2
近接場電磁界と遠距離電磁界	4
2 電子設計における EMI の一般的な発生源	5
2.1 抵抗	5
2.2 コンデンサ	5
2.3 インダクタ	6
2.4 ディスクリット部品 EMI に関する検討事項の概要	7
2.5 設計上の欠陥	8
2.6 マイコン固有のソース	9
2.7 その他の一般的なソース	11
3 EMI の最小化と基板性能の最適化に役立つ軽減手法	12
3.1 電源コンデンサの選択と配置	12
3.2 コンデンサの配置	13
3.3 層スタックアップの最適化	15
3.4 トレースルーティング	19
3.5 パッシブ π フィルタリング	20
3.6 シールド、グラウンディング、ケーブル境界	21
3.7 過渡と ESD の各電流パス	22
4 EMC の検証とトラブルシューティング	22
4.1 ポートの問題としての放射と耐性	22
4.2 事前コンプライアンス測定ツールキット	22
4.3 周波数から構造におけるデバッグ方法	23
4.4 共通スペクトル シグネチャの解釈	23
4.5 統合設計レビュー チェックリスト	23
5 まとめ	24

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

回路で電磁界が発生する仕組み

配線、基板トレース、または誘導特性を持つ部品の電位の変化が発生すると、回路の電圧または電磁界 (EMF) が誘発されます。この EMF は、負荷が存在する場合に電流を発生させます。変化がどのように生じたかにかかわらず、電圧が発生し、その結果、負荷全体に電流が流れます。この変化は、磁界強度を変えること、磁石をコイルに近づけたり遠ざけたりすること、コイルを磁界の中に入れたり出したりすること、コイルを磁石や磁界に対して回転させることなどによって生み出すことができます。簡単に言うと、あらゆる $\Delta V/\Delta t$ は電磁線を発生させる可能性があり、したがって、電圧が移動したり、脈動したり、波打ったり、何らかの形で変化したりする場合、その電圧は EMF と見なすことができます。

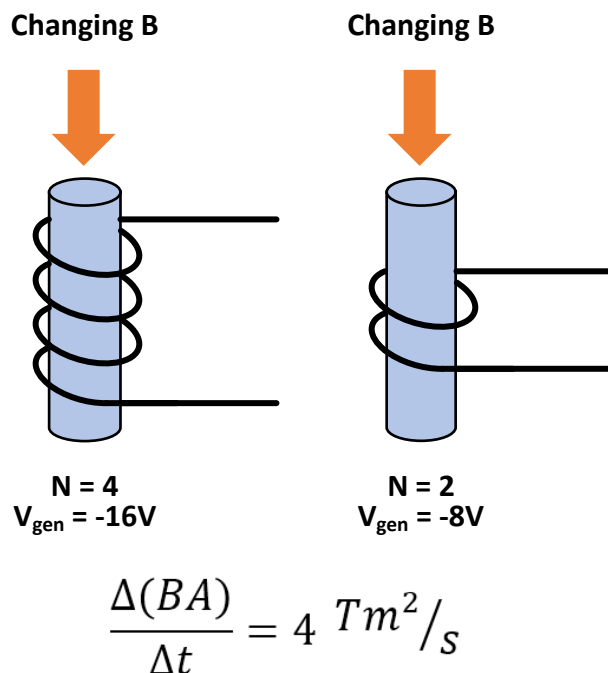


図 1-1. 磁束の変化によって誘発される EMF

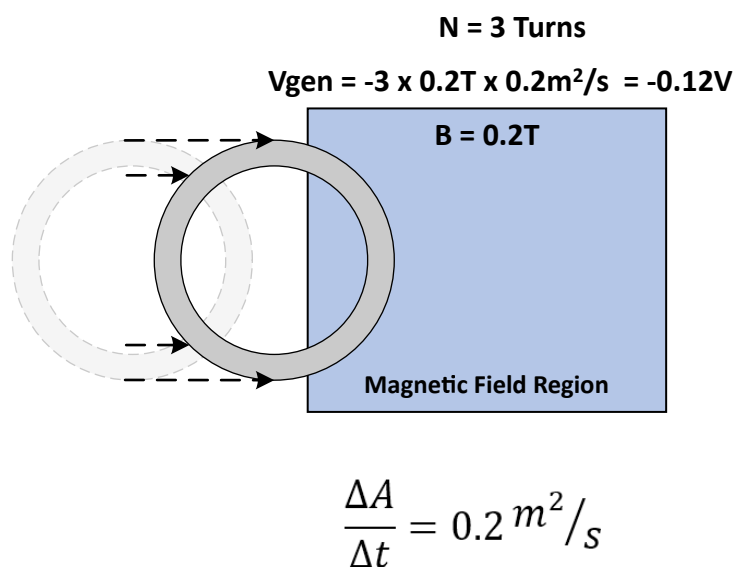
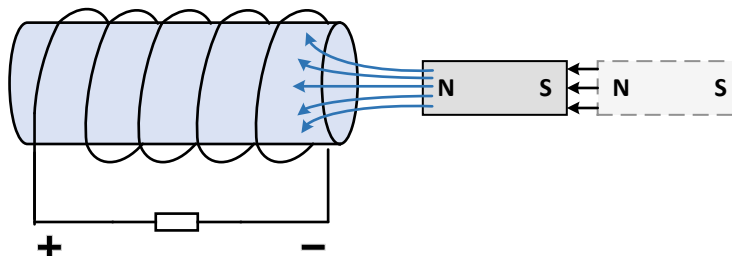


図 1-2. ループ面積の変化によって誘発される EMF

$$N = 5 \text{ Turns} \quad A = 0.002 \text{ m}^2$$

$$V_{\text{gen}} = -5 \times 0.4 \text{ T/s} \times 0.002 \text{ m}^2/\text{s} = -0.004 \text{ V}$$

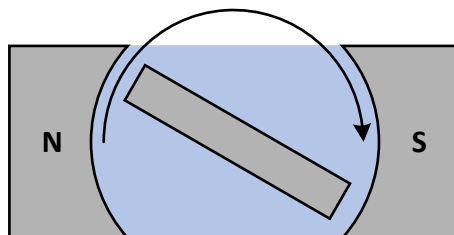


$$\frac{\Delta B}{\Delta t} = 0.4 \text{ T/s}$$

図 1-3. 磁石の相対運動によって誘発される EMF

$$N = 20 \text{ Turns}$$

$$V_{\text{gen}} = -20 \times 0.2 \text{ T} \times 0.2 \text{ m}^2/\text{s} = -0.8 \text{ V}$$



$$\frac{\Delta A}{\Delta t} = 0.2 \text{ m}^2/\text{s}$$

図 1-4. コイルの回転によって誘発される EMF

回路図ネットには、接続性が示されていますが、物理的な帰路は示されていません。すべての信号電流はソースから出て、そのソースに戻ります。送信トレースと帰路は、囲い込む面積によってインダクタンスと磁界への露出が増加するループを形成します。高周波では、電流は最小インピーダンスのパスに追従します。これは通常、DC 抵抗が最も小さいパスではなく、最もインダクタンスが小さいパスです。メンタルモデルとしては、ネットだけでなくループという概念で考えることが挙げられます。信号トレースからの出力電流と基準プレーンのリターン電流はループを形成します。ループが小さく、同じ位置に配置されているほど、外界にさらされる磁界は少なくなります。スイッチングレギュレータの入力ループ、ゲート駆動ループ、ESD クランプループ、デカップリングループ、ケーブルの同相モードループにも同じ考え方が適用されます。

低周波数では、リターン電流は抵抗値に応じて拡散する傾向があります。高周波では、リターン電流は信号路の下または近くに集中します。これは、その経路がインダクタンスを最小化するためです。基準プレーンが連続している場合、これは有益であり、送信フィールドと戻りフィールドはうまく相殺されます。プレーンが分割されると、リターン電流は迂回を余儀なくされ、ループが拡大し、基板が放射する可能性、または外部フィールドの影響を受けやすくなる可能性があります。

多くの場合、立ち上がり時間はクロック周波数よりも優れた警告となります。エッジが 500ps の 10MHz クロックには、数百メガヘルツ (MHz) までの有意義な高調波エネルギーが含まれることがあります。EMC を評価する場合は、エッジレートから最も重要なスペクトル成分を推定し、その周波数において帰路、ビア間隔、筐体開口部、ケーブル境界が依然として小さいように見えるかどうかを確認します。

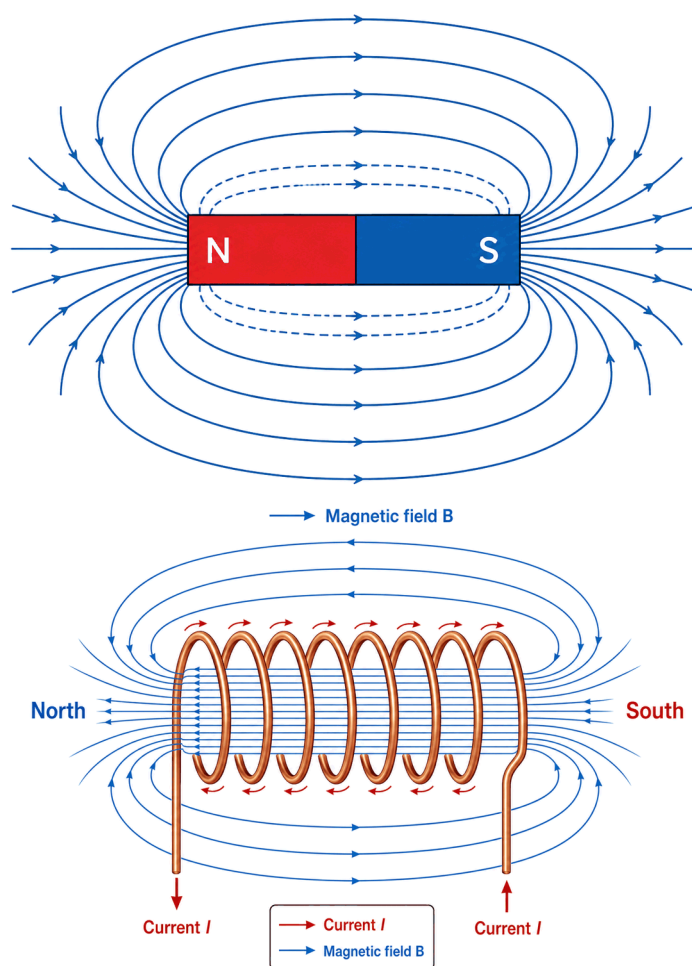


図 1-5. 電流の変化によって誘発される磁界

近接場電磁界と遠距離電磁界

近接場エネルギーは、光源の周囲に蓄積され、主に電気または磁気である場合があります。遠距離場エネルギーは、媒体の波動インピーダンスに関連する電界と磁界を持つ波として伝播します。遷移は段階的で、線源のサイズ、形状、および観測距離に依存します。

周波数が高くなると波長が短くなります。低周波数では電氣的に小さい物理的特徴でも、高調波では効率的な共振構造になり得ます。

小さな光源に対して、有効な反応性近接場スケールは $\lambda/(2 \times \pi)$ のオーダーです。物理的に大きなアンテナの場合、従来型の遠距離場基準は最大ソースの寸法にも依存します。これらの境界はプローブ選択の指針となる近似値です。磁気ループは大電流ループ付近で有効であり、電界プローブは高 $\Delta V/\Delta t$ ノード付近で強く反応します。

波長の $1/4$ に近い導体は効率的な共振器となり得ますが、ケーブルや筐体は、同相電流が構造全体を励起するため、多くの場合、はるかに短い電気長で放射します。実用的な問題は、PCBトレースが $1/4$ 波長であるかどうかだけでなく、意図しない電流が波長に対して大きな構造に達するかどうかということです。

表 1-1. 近接場放射/遠距離場放射に関する検討事項

リージョン モード	主な懸念事項	有用な診断
電気近接場	高 $\Delta V/\Delta t$ ノードと容量結合	小型の電界プローブ。スイッチ ノード面積の縮小
磁気近接場	高 $\Delta I/\Delta t$ ループと相互インダクタンス	シールド付きループ プローブ。ループ面積の最小化
遠距離場	アンテナとして動作する構造	アンテナとチャンバー テスト。同相電流の識別

2 電子設計における EMI の一般的な発生源

2.1 抵抗

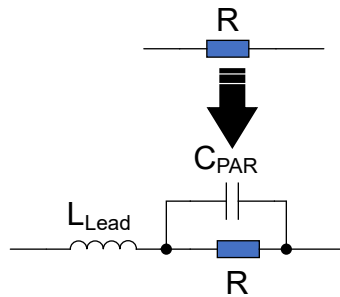


図 2-1. 抵抗寄生等価回路

理想的な環境では、抵抗器には抵抗しかありません。実際には、実世界の抵抗器は (特に高周波域では)、その物理的な構造上、複雑な RLC 回路として機能します。リード インダクタンスは周波数に対してインピーダンスを増加させます。一方、シャント容量は最終的に抵抗性素子の周囲にバイパスを供給します。巻線抵抗には、意図的に誘導性を持たせることができます。薄膜や小型の表面実装は、一般的に高速ダンピングと終端に適しています。ドライバに配置すると、直列ダンピング抵抗が最適に動作し、波形が伝送ラインに入る前に、抵抗がソース インピーダンスと結合することになります。以下に、抵抗に関連する主な寄生成分と、特定の回路におけるそれぞれの影響と重要性を示します。

2.1.1 等価直列インダクタンス (ESL)

原因: すべての導体にインダクタンスがあること。リード型 (スルーホール) 抵抗では、長い金属リードがインダクタとして機能します。巻線抵抗では、コイル状の抵抗線が大きな磁場を発生させます。

影響: 周波数が高くなると、抵抗のインピーダンスが高くなります。これにより、抵抗の高周波信号が「チョーク」されます。

軽減: リード長がほとんどないため、表面実装 (SMD) 部品 (0402 または 0603 パッケージなど) を使用します。

2.1.2 シャント容量

原因: 抵抗の 2 端子間または巻線素子の個々の巻線間の容量。

影響: 高周波では、電流の並列パスが作成されます。高周波エネルギーは抵抗を「バイパス」し、合計インピーダンスを低下させます。

結果: 高速回路で、不要な発振や位相シフトが発生する可能性があります。

2.1.3 グランドへの寄生容量

原因: PCB グランド プレーンの上に配置する抵抗の物理的な本体により、小さなコンデンサが形成され得ること。

影響: 高周波信号がグランド プレーンにブリードされ、シグナル インテグリティの問題や EMI が発生する可能性があります。

2.2 コンデンサ

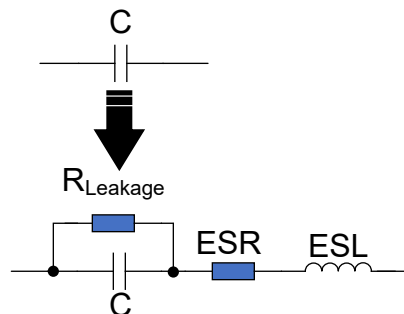


図 2-2. コンデンサ寄生等価回路

理想的な環境では、コンデンサは静電容量のみを供給します。実際には、物理的なコンデンサは、その材料と構造によって直列 RLC 回路のように動作し、ESR と ESL が直列に接続された理想的な静電容量としてモデル化できます。自己共振周波数以下では、容量性リアクタンスが支配的な要素になります。共振時に ESR が最小インピーダンスを制限します。共振周波数より上の場合、ESL が支配的な要素になり、デバイスはインダクタのように動作します。

自己共振は、静電容量性と誘導性の動作が均衡する場合に発生します。実際に取り付けられた共振は、部品のデータシートだけでなく、完全な接続形状によって異なります。

複数のコンデンサ値を指定すると、低インピーダンス範囲が広がりますが、プレーンおよびビア インダクタンスとの相互作用により、逆共振ピークが発生する可能性があります。公称値が小さいからといって、必ずしも高周波コンデンサとして優れているとは限りません。特に、コンデンサを離れた場所に設置したり、細い接続部を通して接続したりする場合はなおさらです。以下に、コンデンサに関連する主な寄生容量と、特定の回路におけるそれぞれの影響と重要性を示します。

2.2.1 等価直列抵抗 (ESR)

原因: 内部導電プレート (電極) の合成抵抗、リード、誘電損失。

影響: これは発熱の主な原因であり、ESR が高いとデカップリングの効率が低下します。

重要性: 電源装置において、高い ESR は電圧リップルを引き起こし、熱ストレスによって部品の早期故障につながる可能性があります。

2.2.2 等価直列インダクタンス (ESL)

原因: コンデンサの内部構造と、その取り付けリード (または SMD 端子) によって形成される物理的なループ。

影響: インダクタンスは高周波電流に抵抗します。非常に高い周波数では、原因よりも大きくなります。

自己共振周波数 (SRF): これは、 $XL = XC$ の場合の周波数です。この時点を上回ると、コンデンサはノイズをフィルタリングする効果を失います。

2.2.3 リーク抵抗

原因: 誘電体が完全な絶縁体ではないこと。プレート間の誘電体を通して少量の電流が「漏れ」ます。

影響: これは、コンデンサと並列に配置された非常に大きな抵抗としてモデル化されます。

重要性: バッテリ駆動回路または高精度アナログ回路 (サンプル/ホールドなど) では、コンデンサを経時的にゆっくり放電させる点が重要です。

2.2.4 誘電吸収 (浸漬)

原因: 放電後に誘電体がわずかな電荷を保持する傾向。

影響: コンデンサを放電してそのまま放置すると、端子にわずかな電圧が「再び現れる」ことがあります。これにより、高精度積分器または ADC 回路に誤差を引き起こす可能性があります。

2.3 インダクタ

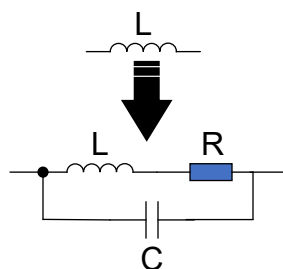


図 2-3. インダクタ寄生等価回路

理想的な環境では、インダクタはインダクタンスのみを提供します。実際には、物理的なインダクタは、配線の抵抗と巻線の近接性に起因する複雑な RLC ネットワークです。

インダクタの DCR は銅損を引き起こし、その巻線間容量は高周波エネルギーをバイパスし、その磁気コアは周波数に依存し、振幅に依存する損失を引き起こします。自己共振を上回る範囲では、この成分は静電容量性です。大きい DC バイアスを印加すると、増分インダクタンスは低下する可能性があります。飽和状態に近いとインダクタンスが低下する可能性があり、急激な電流上昇が原因で機能ストレスと EMI の両方が悪化します。

フェライト ビーズは意図的に損失の大きいインダクタです。多くの場合、フェライト ビーズのデータシート インピーダンスには、意図している抑制帯域に大きな抵抗性部品が含まれています。この損失は RF エネルギーを熱に変換して共振を減衰させますが、DC バイアスのディレーティングと負荷側容量との相互作用も確認する必要があります。以下に、インダクタに関連する主な寄生部品と、特定の回路におけるそれぞれの影響と重要性を示します。

2.3.1 直流抵抗 (DCR)

原因: インダクタを巻き付けるために使用される銅線の実際の物理的な抵抗。

影響: DCR は、電力損失と発熱の主な原因です。高い DCR はインダクタの効率を低下させ、特に電力消費が大きい場合、大きな電圧降下を引き起こします。

重要: DCR は、インダクタが過熱したり、著しい電圧降下を引き起こしたりする前に、インダクタが流すことができる電流の量を制限します。

2.3.2 寄生容量

原因: 巻線間容量とも呼ばれます。寄生容量は、ワイヤの個々の巻線が絶縁体 (エナメル) によって隔てられているために発生し、巻線間に何千もの微小な「平行板」コンデンサが形成されます。

影響: 高周波では、このコンデンサは電流の「バイパス」パスを提供し、高周波ノイズがインダクタンス全体を省略できるようにします。自己共振周波数 (SRF): 誘導性リアクタンスが容量性リアクタンスと等しくなるポイントです。SRF を超えると、インダクタはコンデンサのように動作します。

自己共振周波数 (SRF): 誘導性リアクタンスが容量性リアクタンスと等しくなるポイントです。SRF を超えると、インダクタはコンデンサのように動作します。

2.3.3 コア損失 (磁気寄生)

インダクタに物理コア (フェライト、鉄粉など) がある場合、インダクタはさらに 2 つの非理想的な動作を引き起こします。

ヒステリシス損失: コア内の磁気ドメインが AC 信号で前後に反転した際に熱として失われるエネルギー。

渦電流損失: 導電性コア材料内に誘発される小さな循環電流で、さらに熱が発生します。

磁気飽和: 磁気飽和は「コンポーネント」ではありませんが、コアがそれ以上の磁束を保持できなくなる寄生的な現象です。コアは最終的にある磁束レベルに達し、それを超えるとインダクタンスの増加分が急激に減少します。この時点で、インダクタンスが急激に減少し、電流が急激に増加すると、大規模な電流スパイクが発生する可能性があります。

2.4 ディスクリット部品 EMI に関する検討事項の概要

EMI 発生源は、部品の非理想性、PCB の形状、スイッチング デバイス、デジタル インターフェイス、ケーブルと筐体、外部からの妨害といった要素に分類できます。カテゴリは、相互に作用します。マイコン の高速なエッジがパッケージのインダクタンスを励起し、その結果生じるリンギングがコネクタの不均衡を通してケーブルに入り込み、ケーブルが支配的なアンテナとなります。

実際の部品は、周波数に依存するネットワークです。回路図に表示される値は、低周波パラメータのみです。パッケージの形状、内部構造、取り付けパッド、ビア、付近のプレーンにより、インダクタンス、容量、損失が増加します。したがって、部品を選択するには、公称値だけではなく、インピーダンスと周波数の関係を示すデータが必要になります。

表 2-1. ディスクリット部品の寄生容量と EMI に関する検討事項の概要

部品	支配的な非理想性	EMI の影響	選択に関する質問
抵抗	リードまたはパッケージのインダクタンス、端子、本体の容量	インピーダンスが上昇し、その後、容量が抵抗 R を迂回すると低下する可能性がある	その部品は非誘導性で、対象となる周波数において有効か？
コンデンサ	ESR、ESL、リーケージ、誘電損失	デカップリングが自己共振よりも誘導性になる	実際のノイズ周波数と実装形状におけるインピーダンスはどのくらいか？

表 2-1. ディスクリット部品の寄生容量と EMI に関する検討事項の概要 (続き)

部品	支配的な非理想性	EMI の影響	選択に関する質問
インダクタ	DCR、巻線間容量、コア損失、飽和	フィルタリングが SRF より上またはバイアスより下で折りたたまれる	DC バイアスおよび周波数のインダクタンスは十分に維持されているか？

2.5 設計上の欠陥

- 不適切な電源入力構成: 電源配線には、抵抗とインダクタンスがあります。過渡負荷電流により、IR 電圧降下と誘導性電圧の両方が発生します。電源分配ネットワークがローカルで電流を供給できない場合、レール障害は共有インピーダンスを通して拡散し、他の回路を変調します。同じ現象が、時間領域ではパワー インテグリティ ノイズとして、周波数領域では伝導性/放射性 EMI として現れます。その結果として生じる外乱には、電流に比例する抵抗性部品と、その電流の変化速度によって駆動される誘導性部品が含まれます。高速エッジでは、誘導性項が支配的な要素になります。ノイズの多いデジタル電流やモーター電流が ADC リファレンス、発振器、トランシーバ、ケーブル シールドと同じリターン ネットを使用する場合、共有インピーダンスは特に損傷を与えます。結果として生じる電圧は、抽象的には「グラウンド ノイズ」ではなく、有限インピーダンスを介して既知の電流によって生成される電圧です。

両端のトレースにコンデンサを追加すると、RF 放射の振幅を低減でき、トレースのインピーダンスを下げると、トレース両端の電圧降下が低減され、振幅を下げるができます。放射を最小限に抑えるためにクロック信号を伝送するトレースのインピーダンスを制御するには、マイクロストリップまたはストリップ ライン手法を検討します。

- 不適切なグラウンディング:** グランドはネットワークであり、等電位のシンボルではありません。RF では、プレーンの拡散インダクタンス、ビア、コネクタ、およびシャーシ ボンドによって電圧差が生じます。通常、ソリッド基準プレーンはコンパクトな帰路をサポートするため、シグナル インテグリティと EMC の両方が向上します。高速信号の下でプレーンを分割すると、電流が分割され、ループ面積が増加し、一般的に同相電圧が発生します。
 - 銅を分割する前に、配置と電流フローによって回路を分割します。
 - ノイズの多い電流を、ソースおよび負荷に対してローカルに維持します。電流がノイズの少ないリファレンス領域を通過しないようにしてください。
 - 電流がデジタル グランドに拡散される前に、目的のシャーシまたは境界経路にシールド電流を接続します。

不適切な設計のグランド プレーン、または長いハイインピーダンスの帰路が、伝導 EMI と放射 EMI の主な原因です。PCB 回路の電流は、ある時点でソースまたは電源に戻る必要があります。グランドは、電源の正のトレースと同様の特性を示す可能性もあり、意図せず放射されます。トレースからの EMF を容量的に結合する良好なグランド プレーンを作成することで、トレースの放射を防止できます。

- 大きいループ領域:** すべての信号は、帰路でループを形成します。ループが大きいほど、より効率的なアンテナとして機能し、磁界と放射を強めます。電氣的に小さいループの場合、磁気ダイポール強度はループの面積と電流とともに増加します。したがって、面積を減らすことは、スイッチング レギュレータの入力ループ、ゲートループ、ESD 放電ループ、モーター整流ループ、高速信号リターン ループを 1 次制御することです。コンパクトなループでもインダクタンスが低くなるため、オーバーシュートが減少し、共振を励起するために使用できるエネルギーが減少します。
- PCB トレース:** エッジ時間に比べて伝搬遅延が無視できなくなる場合は、トレースを伝送ラインとして扱う必要があります。正確なスレッショルドは許容される誤差によって異なりますが、一般的な設計画面では、片方向の時間と約 1/6 の立ち上がり時間を比較することができます。分散型動作が重要になると、クロック周波数に関係なく、インピーダンスの不整合によって反射が発生します。

反射波の極性とサイズは、負荷インピーダンス、ソース インピーダンス、ライン インピーダンスの関係によって異なります。適切な終端は、その関係を制御し、相互接続上でのエネルギー交換の繰り返しを防ぎます。

導体の長さに近い、波長の 1/4 または 1/4 波長の奇数倍の周波数で電流を流す導体は、電磁エネルギーを遠距離場放射として効率的に放射することができます。多くの場合、データ バス、クロックライン、通信ラインに接続された際に、これらの導体やトレースは、伝送ラインになります。これらの伝送ラインに過渡電流が流れる場合です。

導体の長さに近い、波長の 1/4 または 1/4 波長の奇数倍の周波数で電流を流す導体は、電磁エネルギーを遠距離場放射として効率的に放射することができます。多くの場合、データ バス、クロックライン、通信ラインに接続された際に、これらの導体やトレースは、伝送ラインになります。これらの伝送ラインとトレースに過渡電流が流れる場合、これらの電流は効率的なアンテナとして機能し、高周波の電磁波を放射します。このような伝送ラインが終端されていない場合、放射スペク

トルには最大ピーク電圧が現れます。インピーダンスの不一致により、伝送ラインまたはトレースに最大の電流が流れ、放射エミッションが最大化されます。

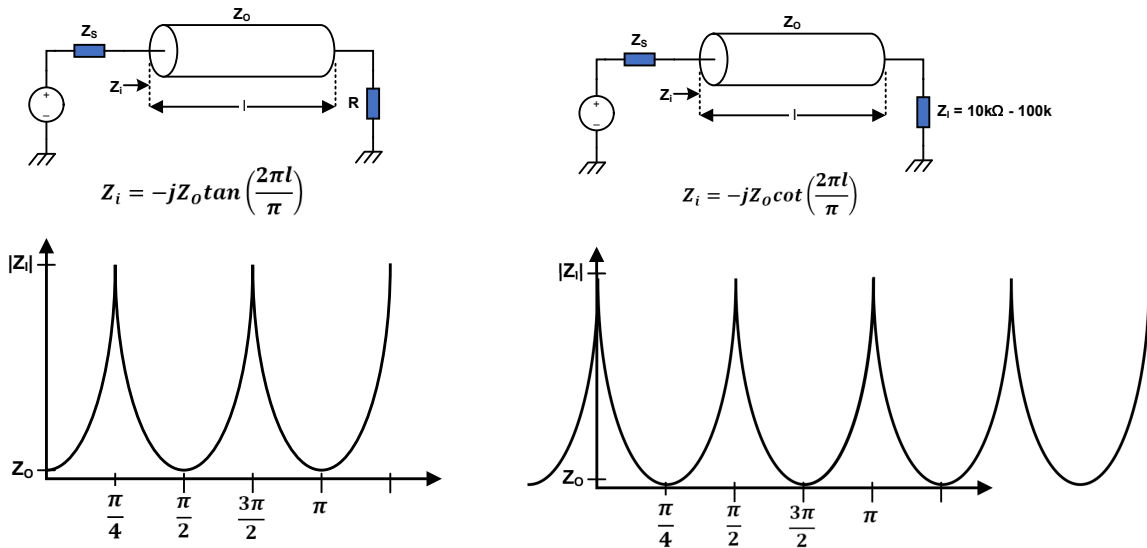


図 2-4. 終端インピーダンスの一致および不一致の伝送ライン モデル

2.6 マイコン固有のソース

2.6.1 クロック回路と発振器

多くの場合、クロック回路と発振器は、広帯域ノイズを生成する最大の要因です。立ち上がり時間と立ち下がり時間が短い高周波クロック信号は、数百メガヘルツ (MHz) に達する可能性のある高調波外乱を生成します。複数のクロック ツリーは継続的にスイッチングを行い、システム全体でノイズを同期させることができます。水晶振動子ピンは、ピンが内部でデジタル クロックを生成しても、ハイインピーダンス アナログ ノードです。長い配線、容量のプロープ、または障害物の近くでの配線は、発振を妨げ、放射を増加させる可能性があります。水晶ループはコンパクトに維持し、リファレンスを維持し、関係のない銅や高速信号を遠ざけます。

マイコンからのデジタル信号の立ち上がりと立ち下がりに応じて電流の変動が発生し、適切に考慮されていない場合は、 dV/dt が放射エミッション源として現れることがあります。

デジタル波形には、基本的な反復周波数と、その有限な立ち上がり時間/立ち下がり時間によって生成される高調波が含まれています。クロック周波数は高調波の間隔を予測します。エッジ レートは、そのエネルギーがどれほどの大きさに延長されるかを予測します。したがって、ナノ秒未満のエッジを持つ低周波クロックは、数百メガヘルツの周波数で故障する可能性があります。

立ち上がり時間が短くなると、有意義なスペクトル エネルギーがより高い周波数にまで拡大します。したがって、エッジ レートは、クロック繰り返しレート単独よりも、EMC 帯域幅のより良い初期推定値を提供します。

リングングによって、寄生インダクタンスと寄生容量によって設定される別の共振周波数が追加されます。各エッジは共振を励起します。ダンピングによって、持続する時間が決まります。論理データレートがはるかに低い場合でも、測定されたスペクトルには、リングング周波数とその混合生成物において狭いピークが現れることがあります。リングング周波数は、ドライバ、パッケージ、相互接続、レシーバ、プロープの実効インダクタンスと実効容量によってほぼ設定されます。最初のオーバーシュートは、保護構造を順バイアスする可能性、またはサブストレート電流を発生させる可能性があります。リングングが繰り返されると、スペクトル成分が増加し、エネルギーをケーブルまたは筐体の共振に押し上げる可能性があります。実効インダクタンスまたは実効容量が小さくなると、リングング周波数が上昇します。ダンピングは、各遷移後に発振がどれほど速くダンピングされるかを制御します。

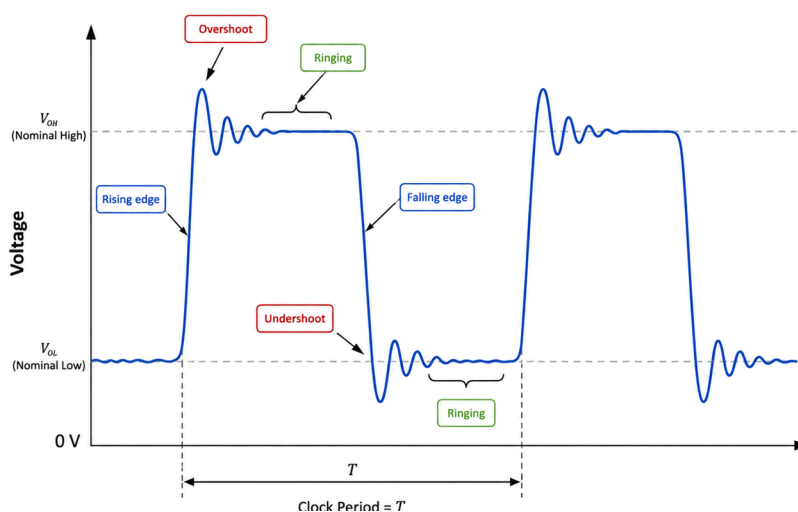


図 2-5. デジタル信号リング部品と寄生リング

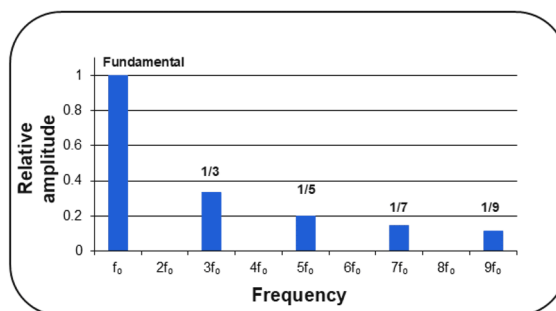


図 2-6. デジタル信号の放射周波数と相対振幅

方形波またはデジタル クロック信号には、高から低、またはその逆への変化時に発生するリングングに関連する周波数成分が通常 11 個存在します。

1. オン時間の周期
2. 立ち上がり時間
3. 最初のリングング素子の立ち下がり時間
4. 第 2 リングの周期
5. 方形波の合計周期
6. 立ち下がり時間
7. オフ時間の周期
8. 第 2 リングの周期
9. 各リングング素子の立ち上がりと立ち下がり
10. リングングの減衰周波数要素
11. 各リングング素子の減衰立ち上がり時間と立ち下がり時間

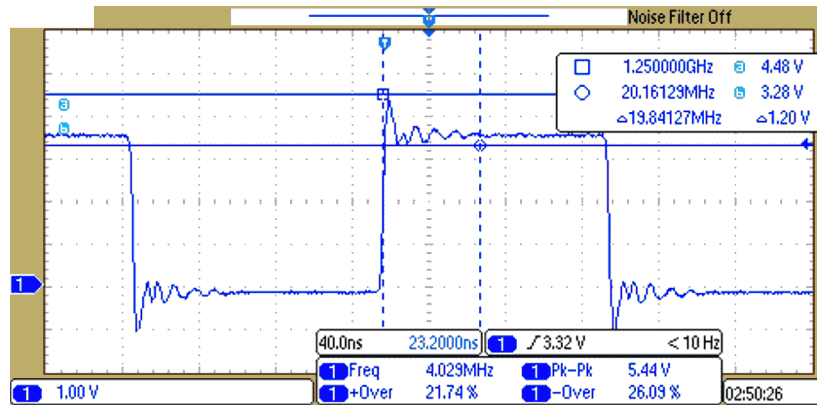


図 2-7. 高周波リング成分によるクロック出力

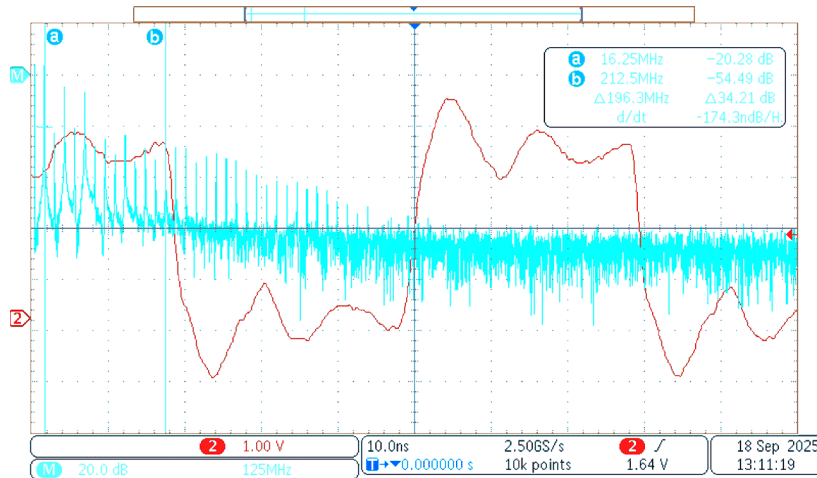


図 2-8. 重畳周波数ドメイン ピークによるデジタル クロック信号

2.7 その他の一般的なソース

2.7.1 高速デジタル バス

外部メモリ インターフェイス (SDRAM など) とデータまたはアドレス バスは、重要なノイズ源として機能する複数のライン上で連続的な遷移を伴います。パラレル バスは、同時スイッチング出力電流を生成します。パッケージとプレーンのインダクタンスは、電流ステップをレール バウンスに変換します。バイト レーンのタイミング スキュー、駆動強度、オンダイ終端、および帰路の連続性は、すべてデータアイの品質と放射の両方に影響を及ぼします。シリアル バスはピン数を減らしますが、エネルギーをより高い周波数に移動するため、コネクタとビアの非対称性がより重要になります。

2.7.2 I/O 出力遷移

GPIO ピンの高速スイッチングにより、電流スパイクが発生します。遷移時間が短い (より高速なエッジ) ため、ノイズの周波数スペクトルが豊かになります。未使用の性能マージンは、多くの場合、EMI によるものです。短いローカル ネットで最大駆動強度と最速スルーが必要になることはほとんどありません。直列ダンピング、より小さい駆動能力、より短いルート、厳格にリファレンスを規定した帰路を活用することで、各遷移が引き起こすエネルギーを削減できます。

2.7.3 フローティン部品

ヒートシンク、ブラケット、未使用の IC ピンなど、接続されていない金属物体はアンテナとして機能し、適切に接地されていない場合は、干渉を放射します。ヒートシンク、シールド缶、取り付けブラケット、ケーブルドレイン、または未使用の銅製アイランドは、寄生容量を介して RF 電圧を帯びる可能性があります。未使用のピンに低インピーダンス RF ボンドがない場合、ピンは共振して再放射する可能性があります。DC 導通チェックでは不十分です。長いワイヤ ボンディングは、

DC グラウンドとしては良好ですが、RF グラウンドとしては不良である可能性があります。構造がシャーシの電位にとどまるように意図されている場合は、短いワイヤ ボンディング、または複数の取り付けポイントを使用してください。

2.7.4 外部環境ソース

外部環境ソース: 外部電磁エネルギーが影響を受けやすいポートに結合し、機能障害に変換されると問題になります。モーターとリレーは誘導性過渡を生成し、無線トランスミッタは連続的な RF 磁界を生成し、静電放電は高速電流を注入し、トレース間のクロストークはエネルギーを局所的に結合します。感受性は、帯域幅、RF を復調する非線形接合、保護経路、ファームウェアの回復、注入電流の物理的な経路によって異なります。

- **電気機械デバイス:** モーター、ポンプ、リレーなどの大電流負荷は、重大な過渡ノイズと磁界結合を発生させます。
- **通信トランスミッタ:** 付近の携帯電話、Wi-Fi ルータ、無線局 (TV、HAM など) が RF エネルギーを放射し、シールドなしのマイコントレースで拾われる可能性があります。
- **クロストーク:** 近接した間隔に配置された PCB トレースは、誘導結合または容量結合によって相互に干渉する可能性があり、ある信号 (「アグレッサ」) が別の信号 (「ビクティム」) を妨害します。
- **自然現象:** 落雷、静電放電 (ESD)、太陽フレアによる偶発的な (しかし激しい) 妨害は、保護システムを圧倒する可能性があります。

表 2-2. 環境 EMI のトラブルシューティング

妨害/障害	プライマリ カップリング パス	典型的な症状	最初の制御
モーターまたはリレーの過渡現象	共有電源またはグラウンド。磁気ループ	リセット、ADC エラー、インターフェースの故障	局所的な抑制と分離電流ループ
近くの RF トランスミッタ	ケーブルまたはトレースの同相モード。筐体の開口部	復調ノイズまたは断続的な乱れ	境界フィルタリング、シールド、バランス ルーティング
クロストーク	相互容量とインダクタンス	偽エッジ、タイミング ジッタ、アナログ エラー	間隔、リファレンス連続性、エッジレート の低減
ESD タイプ イベント	直接注入または容量注入。シャーシ電流	ラッチアップ、リセット、永続的な損傷	境界またはシャーシへの短い保護経路

3 EMI の最小化と基板性能の最適化に役立つ軽減手法

効果的な軽減は、電流パスに沿って実施します。最初にソース エネルギーを低減し、次にローカル ループを封じ込め、帰路を保持し、境界内でフィルタをかけて、大きい構造で同相電流が発生することを防止します。シールドとフェライトは有用ですが、物理的に大きいままのソース ループやリターン の不連続性を完全に補償することはできません。

このデジタル信号リングングに起因する放射を低減または大幅に低減する方法の 1 つは、VDD ラインに接続されているコンデンサを分析し、周波数に対するインピーダンス特性を確認することです。ここで周波数がキーワードとなります。設計上の欠陥は通常、容易に解決可能であり、設計における EMI の潜在的な発生源を理解し、放射を低減または除去するための変更を実施することで軽減できます。以下のセクションでは、最も一般的な PCB 設計上の問題点と、設計を最適化するための対策に焦点を当てます。

3.1 電源コンデンサの選択と配置

パワー インテグリティと EMI は、さまざまな計測機器から見た場合と同じ問題です。高周波でバウンスする電源レールは、予期しないパスを経由して電流を強制的に戻し、I/O スレッショルド、ADC リファレンス、発振器の端、ケーブル シールドを変調できます。デカップリングは、過渡電流が基板全体に拡散しないようにするローカル エネルギー パスです。

このデジタル信号リングングに起因する放射を低減または大幅に低減する方法の 1 つは、VDD ラインに接続されているコンデンサを分析し、周波数に対するインピーダンス特性を確認することです。ここで周波数がキーワードとなります。設計上の欠陥は通常、容易に解決可能で、軽減できます

(デバイスの推奨値に準拠して) コンデンサを選択する際に考慮すべき重要なパラメータの 1 つはコンデンサの ESR です。下図のインピーダンスと周波数の関係プロットから分かるように、インピーダンスには最低点があり、そこでインピーダンスは特定の周波数範囲で最小値となります。これは、ハイインピーダンス値によって引き起こされる電圧降下を最小限に抑えることが理想であるため好ましい状態です。妨害帯域全体にわたってインピーダンスを実装することで、デカップリングを選択します。ESR によりダンピングが発生し、最小インピーダンスを設定します。ESL は高周波制限を設定します。パッケージ サイズ、向き、パッドの長さ、ビア数、IC との距離は、公称静電容量と同じくらい重要になる場合があります。

- デバイスの推奨容量を起点として、エッジレートと測定されたリンギングから推測される周波数におけるインピーダンスを評価します。
- 3つの値を持つコンデンサスタックが常に優れているとは限らないことを念頭に置いてください。結合ネットワークによって生成されたアンチ共振ピークがないかどうかを確認します。
- 実効容量を推定する際には、DC バイアスのディレーティング、温度、許容誤差、誘電体の経年劣化を考慮してください。

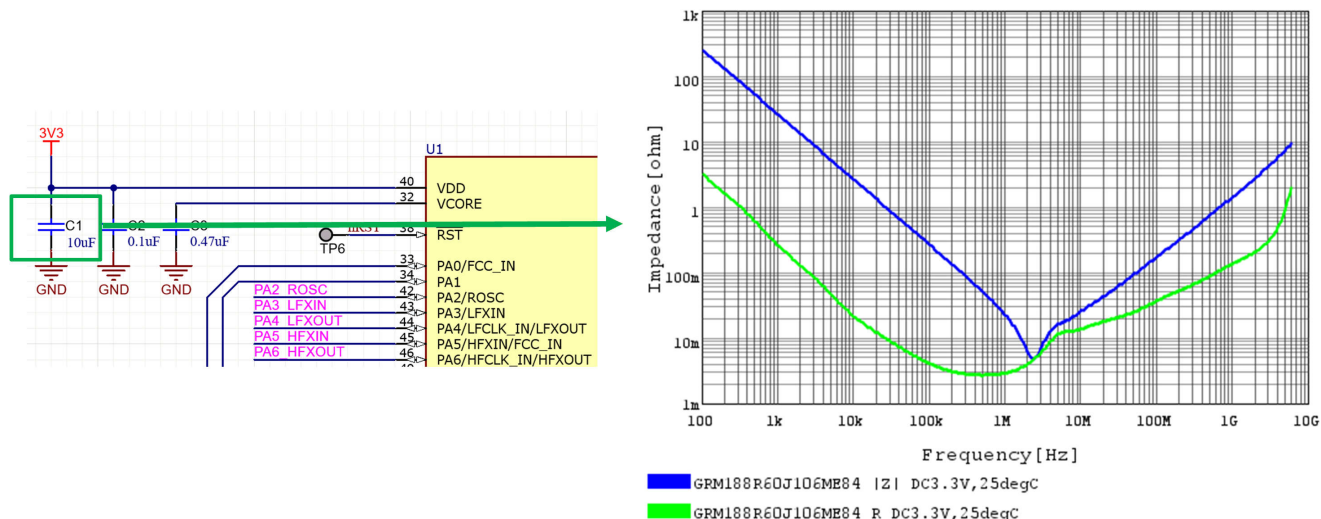


図 3-1. 全周波数帯域における 10µF 電源コンデンサの ESR インピーダンス

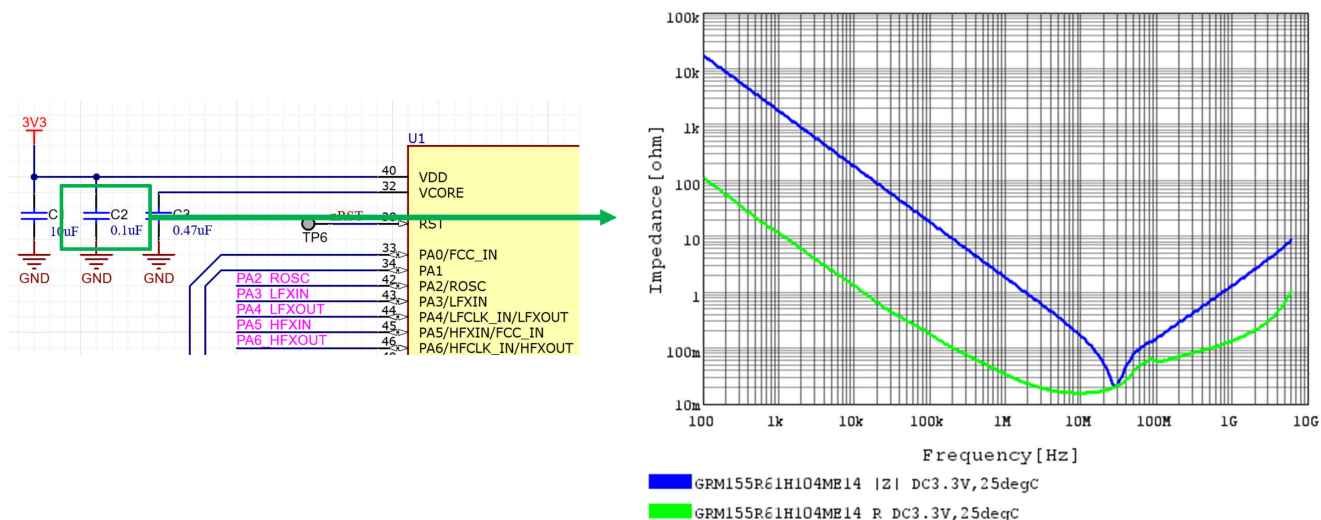


図 3-2. 全周波数帯域における 0.1µF 電源コンデンサの ESR インピーダンス

デカップリング コンデンサは絶縁時に「ノイズを吸収」しません。コンデンサは、短いローカル電流パスを提供します。デカップリング コンデンサの EMC 値は、IC 電源ピンからコンデンサを経由して、IC グランド ピンに戻る完全なループに依存します。

3.2 コンデンサの配置

見落とされることが多い別の最適化係数として、コンデンサの配置が挙げられます。図 3-3 に示されている推奨配置は、寄生抵抗を低減し、より高い周波数ノイズをフィルタリングするため、最小値のコンデンサがデバイス ピンのできるだけ近くに配置された 3つのコンデンサを備えています。

各コンデンサのグラウンド接続は、ビアを介してグラウンド プレーン層に接続され、コンデンサのパッドとビアからは非常に短いトレースで接続されます。この方針は、ループ インダクタンスを最小化し、EM ラジエータとして機能できる大きなループの結果として発生するノイズを抑制するためです。ターゲット インピーダンスにより、過渡要件が設計指標に変換されます。負荷電流が **Delta-I** だけ変化し、許容されるレール偏差が **Delta-V** である場合、電力分配ネットワークは、関連する帯域幅にわたって **Delta-V/Delta-I** を下回るように維持する必要があります。

ターゲット インピーダンスは、許容されるレール電圧の偏差を、予測される負荷電流ステップで除算することで得られます。PDN は、過渡の帯域幅全体にわたってインピーダンスを下回る必要があります。

最高周波数のコンデンサは、短い幅で接続され、隣接する電源ビアおよびグラウンド ビアを使用してサポートされているピンのできるだけ近くに配置する必要があります。バルク容量はより低いエネルギー要求に対応し、ローカル小型パッケージ容量は高速なエッジ電流をサポートします。パッケージ容量を埋め込んだ電源プレーンとグラウンド プレーンは、より高い周波数に応答を拡張します。

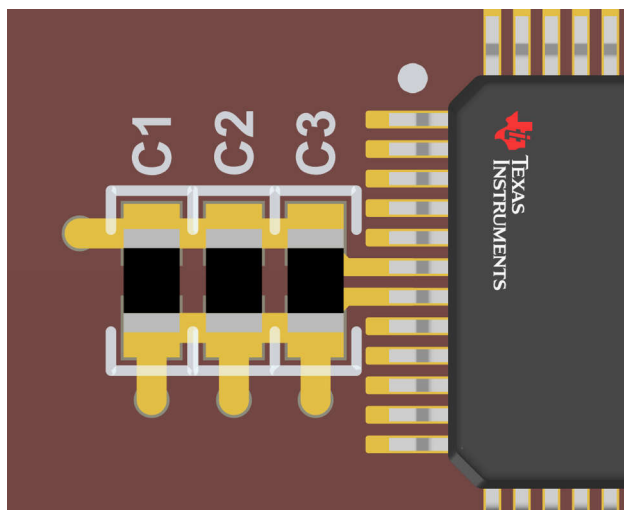


図 3-3. VIN コンデンサのレイアウト例

表 3-1. コンデンサの配置に関する検討事項と EMI の結果

配置の選択	電氣的効果	EMI の結果
コンデンサを隣接するビアを使用してピンの横に配置	小型のループと低取り付け ESL	ローカル過渡電流。低プレーン励起
コンデンサをロングネックを通して接続	高周波のコンデンサの絶縁インダクタンスを追加	レール バウンスによって同相電流を拡散および励起
ノイズの多い負荷とノイズの少ない負荷に適した狭い共有リターン	共有インピーダンスによって電流を電圧に変換	リファレンス変調とクロスドメイン カップリング
バルク キャパシタのみ	良好な低周波エネルギー、不十分なエッジ応答	高速な電流が依然として基板全体を流れる

デカップリング レイアウト ルールの概要を以下に示します。

- 最小値で最高周波数のコンデンサを、サポートする IC の電源ピンとグラウンド ピンの近くに配置します。
- 各高速 IC ローカル電源とグラウンド ビアを示します。プレーンに到達する前に、ロングネックを通らないようにします。
- コンデンサがプレーン間電流を供給する場合は、コンデンサのグラウンド パッドのすぐ隣にグラウンド ビアを配置し、コンデンサのパワー パッドのすぐ隣に電源ビアを配置します。
- 複数のコンデンサの配置と寄生容量が制御されている場合のみ、使用してください。コンデンサの配置が適切でない場合、数十メガヘルツ (MHz) 以上の周波数では効果がほとんどなくなる可能性があります。
- ノイズの多い負荷と敏感なアナログ リファレンスとの間で狭いグラウンド リターンを共有しないでください。共有インピーダンスは、電流を電圧ノイズに変換します。

バルク キャパシタは、低い周波数の負荷変化をサポートし、レールのドループを防止しますが、厳密な高周波バイパスに代わることはありません。パッケージとビア スケールでは、多くの場合、ESL が支配的な要素になります。この理由で、近く

にある 100nF コンデンサは、エッジ電流から数センチ離れた場所に配置したより大きいコンデンサより優れた性能を発揮することができます。

スイッチング電源段は、高速な電圧変化、大電流、磁界、非線形デバイスといった要素が組み合わさっているため、特別な扱いにするべきです。レギュレータの EMI のほとんどの問題は、スイッチ ノード、ホット入力ループ、ゲートドライブ ループ、ダイオード/同期整流ループなど、いくつかの銅製形状が原因で発生します。ビア スティッチングはフィールドを含めるのに役立ちますが、大きなスイッチ ループや、装飾的なロゴのように注がれたスイッチ ノードを補正することはできません。

スイッチング電力段は、高い dv/dt 、高い di/dt 、非線形デバイス、磁気部品が組み合わさっているため、スイッチの状態ごとに整流ループを識別することが重要です。最も優先度の高いループは、多くの場合、入力セラミック コンデンサをスイッチング デバイスを抜けて再び戻る経路です。スイッチ ノードは高 dv/dt の電界源です。入力ループと整流ループは高 di/dt の磁界源です。

- 入力セラミック コンデンサは、電力段の電源ピンとリターン ピンの間に直接配置します。
- 電流と放熱性能のため、スイッチ ノードの銅箔を必要以上に大きくしないでください。
- フィードバックと電流センサはスイッチ ノードとインダクタから離して配線します。必要に応じて、ノイズの少ないケルビン 検出を使用します。
- モーター電流と還流パスをロジックから遠ざけ、ADC リターンを維持します。
- スナバまたはゲート抵抗の調整は、共振素子を特定し、デバイスのストレスを検証した後にのみ使用してください。
- 入力コンデンサからデバイスのスイッチングとその逆に対する高 di/dt 入力ループを最小化します。入力コンデンサは電力段ピンに直接配置します。
- スwitch ノードの銅は、熱と電流要件が許す限り小さくします。スイッチ ノードの下または横にノイズの少ないトレースを配置しないでください。
- ローカル グランド ポアを基準プレーンに接続し、フィールドを含める場合は、コンバータ領域の周囲にグランド ビア ウォールを使用します。
- スwitch ノードとインダクタからフィードバックを離して配線します。ノイズの多いパワー パスを介さず、目的のレギュレーション点で出力を検出します。
- モーター ドライバの場合、制御ループとセンシング ループから電力電流ループを分離してください。電源グランド領域を十分にステッチしますが、ロジック/ADC リターンにモーター電流を注入しないでください。

3.3 層スタックアップの最適化

層スタックアップは、PCB の EMI 性能において重要な役割を果たすことができます。重要な検討事項の 1 つとして、高速信号がどの層を経由するか、そしてその層がグランド層に対してどの位置にあるかということが挙げられます。ソリッド グランド プレーンに隣接するプレーン上に高速信号を配線することで、帰路を短縮し、磁界を局所化します。

優れたスタックアップでは、すべての高速信号層が連続した基準プレーンに隣接して配置されます。誘電体の間隔が狭いため、磁界結合が小さくなり、ループのインダクタンスが低減され、基板の端に到達する磁界が小さくなります。6 層基板は 4 層基板よりも信号とグランドの結合を密にする機会が多いものの、層数だけで EMC を保証できるわけではありません。プレーンの連続性と実際の配線が決定的な要素となります。

表 3-2. 最適なスタックアップ特性と検討事項

特性	有益となる理由	存在しない場合の障害モード
連続的なグランド リファレンス	コンパクトな高周波リターンの提供	迂回、ループ拡張、同相モード変換
薄い信号対プレーン誘電体	より強いフィールドとより低いループ インダクタンス	より多くのフリンジ フィールドと他の構造とのより強い結合
グランドに隣接した電源プレーン	分散プレーン容量の追加	より高い PDN インピーダンスとより広い電流拡散
ボイドを介した高速配線なし	ローカル帰路の維持	反射、クロストーク、放射

注意

プレーン分割は過剰に使用される傾向があります。ミックスド シグナル基板の場合、高速信号の下にある基準プレーンを切り離すよりも、多くの場合、物理的な分割と、単一のソリッド グランド プレーン上での規律ある電流配線のほうが安全です。

一般的に、すべての信号と信号の帰路がループを形成します。このループのサイズが大きくなると、結果として生じる放射エミッションも強くなります。そのため、EMI の影響を受けやすい設計では、これらのループを最小化することが重要になります。EMI 最適化を目的とした設計では、6 層基板が優先されます。これは、PCB の上面と下面の両方の下にリターン基準グランドプレーンを配置できるため、ループを大幅に低減できるためです。これは、外層との近接性だけでなく、内部層が増えることでプレーンが外層に近づくためでもあります。この連続したグランドプレーンは、直接的で低インダクタンスの帰路を提供し、フィールドを最上層と第 2 層の間に維持します。図 3-4 に、EMI を考慮した設計における適切な 6 層基板を示します。これにより、各信号プレーンに常に隣接する GND プレーンを配置します。

	Top Overlay
	Top Solder
1	Top Layer
	Dielectric 1
2	Ground Return Plane 1
	Dielectric 2
3	Signals and Power 1
	Dielectric 3
4	Signals and Power 2
	Dielectric 4
5	Ground Return Plane 2
	Dielectric 5
6	Bottom Layer
	Bottom Solder
	Bottom Overlay

図 3-4. 6 層 PCB スタックアップの例

実用的な 4 層配置では、一般的に内部グランドと電源を持つ外部信号/部品層を使用します。各信号層に隣接する GND プレーンを持つオプションはないため (両方の内部層がソリッド GND プレーンでないと仮定)、グランドプレーンを上層と下層に追加し、適切なビア スティッチングを使用してください。この場合は、接続の不十分なプレーンを軽減するため、これらのグランドプレーン上でビア スティッチングを高密度にしてください。この場合はアンテナとして機能するため、望ましくない EMI がさらに多くなる可能性があります。グランドプレーンと電源プレーンは内部層であるため、隣接するグランドプレーンがない層にはガードトレースを使用し、EMI の問題の可能性を低減するため、密結合された信号/リターンペアを維持することを推奨します。グランドから離れた外層には、慎重なグランド ポア、スティッチング、配線の規律が必要です。いずれの場合も、アンチ パッド フィールド、スロット、またはキープアウトによって最も近いプレーンが遮断されるような場所に高速信号を配線しないでください。

- 高速マイクロストリップは、最も近いソリッド グランド プレーンよりも、またはソリッド リファレンス間のストリップ ラインを優先します。
- グランド ポアは、しっかりと接続されている場合にのみ使用してください。浮いている状態や接合が弱い銅管は共振を起こす可能性があります。
- 明示的な帰路とシールド電流パスを使用して、コネクタ領域を境界構造として扱います。

	Top Overlay
	Top Solder
1	Top Layer
	Dielectric 1
2	Ground Return Plane
	Dielectric2
3	Signal And Power
	Dielectric 3
4	Bottom Layer
	Bottom Solder
	Bottom Overlay

図 3-5. 4 層 PCB スタックアップの例

接地されたガードトレースは電界結合を低減し、近傍に帰路を提供することができますが、それは十分な頻度のビアを備えた低インピーダンスのリファレンスに接続されている場合にに限られます。そうしないと、共振導体になる可能性があります。ビアフェンスは基準となる銅層を接続し、基板の端、ノイズ領域、RF 構造、開口部、コネクタ境界におけるフリンジフィールドのリークageを低減します。

一般的な初期ガイドラインとしては、ステッチングビアのピッチを、対象となる最高周波数における導波波長よりもはるかに小さく保つことが挙げられます。実用的な間隔は、ソース形状と境界で必要な連続性も反映している必要があります。

波長の法則は出発点であって、普遍的な最適解ではありません。フェンスは、ソースまたは境界に近く、ノイズの少ないリファレンスに接続し、長い隙間がないように設置する必要があります。実際の電流パスから離れた場所に高密度のビアを設けると、基板内部のリターン不連続性を修復することなくコストが増加します。

高速で重要な信号が存在する 4 層基板にガードトレースを組み込むには、まず信号トレースをできるだけ短くすることが重要です。高速または高感度のアナログ配線の両側に接地された銅配線を配置することで、放射される電界と磁界を「捕捉」し、隣接する配線とのクロストークを最小限に抑えることができます。また、リターン電流に対して低インピーダンスのパスを提供することもできます。これは、ノイズの多い信号が基板の他の部分に干渉することを防止するために不可欠です。最適なシールド効果を得るためには、ステッチングビアの間隔を、保護対象となる最高周波数信号の波長の $\lambda/20$ 以下にする必要があります。これにより、この「フェンス」が効果的な EMI バリアとして機能することが保証されます。

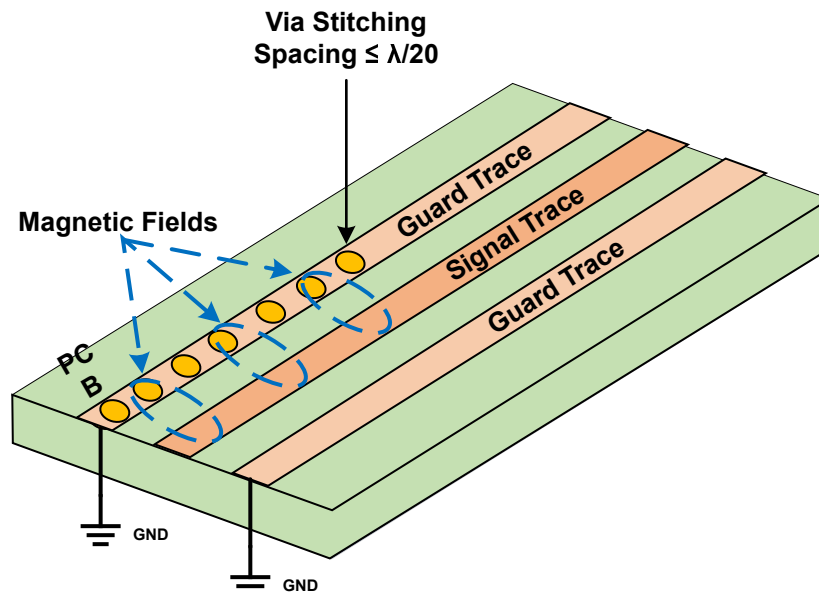


図 3-6. ビア ステッチングとガードトレースの実装

ビア フェンスは、基準となる銅層を接続し、フリンジ磁界のリークageを低減するために使用されるグラウンドビアの一行またはリングです。ビア フェンスは、基板の端、ノイズの多いスイッチングゾーン周辺、RF または発振器領域周辺、高速チャネル、およびコネクタ境界周辺で有用です。ビア フェンスは、あらゆる EMI 問題に対する万能薬ではなく、フィールド管理ツールとして扱うべきです。

フェンスが最も有用な場所：

- 高速トレース付近の基板端部、特に配線が端部やコネクタに近づく箇所。
- スイッチ モード電源、Class-D 出力、モータードライバ、大電流パルス、水晶振動子/クロック領域の周辺。
- フェンスが定義されたコプレーナ導波路またはシールド境界の一部となっている RF トレースやアンテナの周囲。
- 接地コンセプトによってシールド電流と静止回路グラウンドを意図的に分離させる場合のシャーシ/デジタル グラウンド遷移ゾーン。
- 内部の切り欠き、スロット、取り付け穴、リターン電流を妨げる機械的なキープアウトの周囲。
- フェンスは、フィールドソースから遠く離れている場合、長い隙間で途切れている場合、ノイズの多い銅製のアイランドに繋がれている場合、または電流リターンが意図しない経路を横切るように強制される場合は、あまり役に立ちません。高密度のビア フェンスは、製造コスト、配線の混雑、およびブリーンの穿孔を引き起こす可能性があります。実際の RF パスを閉じる場所に使用してください。

3.3.1 優れたスタックアップ特性

- 4 層以上の層には、少なくとも 1 つの途切れのないグラウンドプレーンが必要。
- 最も近いソリッドグラウンドプレーンを基準とした高速外層マイクロストリップ。
- 放射を最小限に抑える必要がある場合、基準プレーンの間に高速内層ストリップラインを挟み込むこと。
- 信号プレーンと基準プレーンの間に薄い誘電体層を設けることで、磁界結合を強化し、ループインダクタンスを低減。
- 電源プレーンをグラウンドプレーンに隣接して配置することで、プレーンの容量とデカップリングが連携して機能。
- グラウンドプレーンのスロット、大きなボイド、アンチパッドフィールド、または分割境界をまたぐ配線は不要。

プレーン分割は過剰に使用される傾向があります。アナログとデジタルの銅線を分離することは、低レベル測定領域では理にかなっている場合もありますが、高速信号の下でリファレンスを切断することは、通常、適切な配置で連続した平面を共有するよりも劣ります。より安全なトレースとしては、単一のソリッドグラウンドプレーン、ノイズの多い回路とノイズの少ない回路の物理的な分離、そして電流パスが把握できる場合にのみ制御された単一点または境界処理を行うことが挙げられます。

「フリンジフィールド」を削除する別のスタックアップおよび層設定方法は、多くの場合 20H ルールと呼ばれます。20H ルールでは、エッジフリンジを低減するために、電源プレーンをグラウンドプレーンの端から誘電体分離距離 H の約 20 倍だけ奥に配置することを提案しています。このルールは、プレーンペアのエッジ放射が既知の要因である場合に、有用な幾何学的ヒューリスティックとなり得ます。20H ルールは、近接プレーンペア、ローカルデカップリング、連続リファレンス、またはケーブル同相電流の制御の代わりにはなりません。現代の基板は、ルールを自動的に適用するのではなく、積層構造、電力配分、製造上の制約に対してその利点を検証する必要があります。

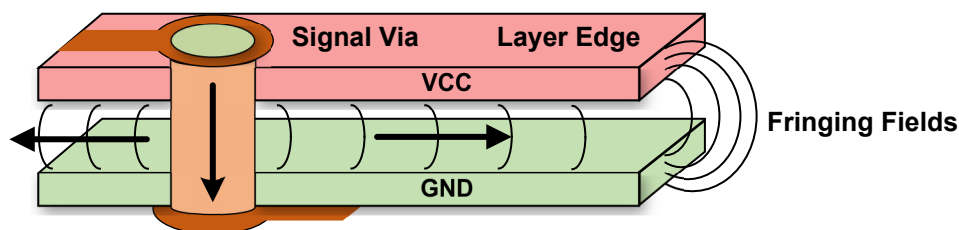


図 3-7. フリンジ電磁放射場の例

3.3.2 スティッチングとシールドの最適化手法

信号が層を移動する場合、そのリターン電流も物理的な位置を変更する必要があります。隣接するグラウンドビアは、グラウンドプレーン間の短い垂直パスにリターン電流を供給します。それがなければ、電流は遠く離れたプレーンのボンディングまたはデカップリングコンデンサに流れ込み、大きな 3 次元ループを形成する可能性があります。この迂回路はループ面積を増やし、モード変換、クロストーク、放射を生成する可能性があります。

実用的な配置のガイダンス：

- 信号が層を移動する場合には、各高速信号ビアの隣に少なくとも 1 つのグランド スティッチング ビアを配置します。差動ペアの場合、グランド ビアを対称的に配置し、ペアで不平衡な遷移が発生しないようにします。
- 信号が、あるグランド プレーンを基準とする層から、別のグランド プレーンを基準とする層に変わる場合は、信号ビアの近くに、それらのプレーンを接続するグランド ビアを追加します。
- 信号のリファレンスがグランドから電源に変わる場合は、遷移付近に配置された 2 つのプレーン間のローカル デカップリング コンデンサを使用して、高周波のリターン ブリッジを配線します。可能であれば、これは避けてください。
- クロック、リセット、高速 GPIO、SPI、SerDes、USB、イーサネット、LVDS、MIPI、RF ネットについては、すべてのビア遷移を単純なトポロジ接続としてではなく、RF 構造として扱います。
- プレーン ボイドをまたぐビア遷移、プレーンの端付近のビア遷移、ローカル基準銅を除去する大きなアンチ パッド クリアランスの横でのビア遷移は避けてください。
- コンパクトな信号ビアとグラウンド ビア クラスは、制御された垂直相互接続のように動作します。非常に高いデータレートでは、完全な形状が重要になります。信号バレルの直径、グランド ビアの距離、アンチ パッドの形状、バックドリルの深さ、パッド スタック、プレーン間隔、対称性はすべて、インピーダンスと共振に影響を与えます。
- 両方の層がグランド プレーンを基準としている場合、高速信号ビアの近くにグランド ビアを配置します。
- 差動ペアの場合、同相モード変換を制限するために、信号とリターン ビア形状を対称に維持します。
- リファレンス電圧が電源とグランドの間で変化する場合は、コンデンサを使用してローカルの高周波プレーン ブリッジを追加します。可能であれば、リファレンスの変化を避けます。
- 非常に高いデータレートの場合、相互接続モデルにアンチ パッド形状、ビア スタブ、バレル直径、プレーン間隔、バックドリルを含める必要があります。

表 3-3. ビアの実装と注意事項

使用事例	初期のピッチ/距離	理由	注意事項
信号ビア リターン スティッチング	信号ビアから 1mm ~ 3mm (可能な場合)	リターン電流遷移をローカルに維持するため	インピーダンス、アンチ パッド、ペア対称性、製造クリアランスを尊重する
差動ペア層の遷移	遷移付近に 2 つのグランド ビアまたは対称ビア ペアを配置	不均衡および同相モード変換を低減するため	ペアの片側付近だけで非対称なアンチ パッド除去を行わないようにする
基板の端のグランド フェンス	N/20 が最重要事項。多くの場合、一般的なデジタル基板では 2mm ~ 5mm	フリンジおよびエッジ放射を低減するため	内部の不良帰路が修正されると仮定しない
ノイズの多いコンバータ境界	起点として、高温領域周辺で 2mm ~ 5mm のピッチ	フィールドを含め、ローカル ボアをメインのリファレンスにリンクするため	スイッチ ノードの銅を境界内に入れ、フェンス ギャップから離して配置する
コネクタ シールド/シャーシ境界	コネクタ シェルと ESD リターン付近は機械的に可能な限りしっかりと固定	ケーブル電流がロジック グランドに拡散しないようにするため	シャーシ/デジタル グランド戦略が定義されている必要がある
ノイズの少ない大きな銅箔	低周波の等電位のサポートのための 10mm ~ 20mm のグリッド	銅のフローティング状態を防ぎ、プレーン インピーダンスを低減するため	絶縁された銅スライバや酸性トラップを作成しない

3.4 トレース ルーティング

間隔を空けることで、容量性および誘導性のクロストークが低減します。一般的な「3W」ルール (トレースの間隔を幅の 3 倍にする) は有用な目安となりますが、実際のカップリングはスタックアップと並列配線の長さによって決まります。多くの場合、平行領域を短くするほうが、全体に一定の間隔を適用するよりも効果的です。

基準となる連続性は、一般的にコーナー スタイルよりも重要です。90 度の曲げは局所的な形状変化をわずかに生じさせますが、一般的なデジタル基板では、追加される容量は、多くの場合、平面の分割、コネクタの不連続性、長いスタブ、または不良な終端処理に比べるとごくわずかです。形状制御と製造性を確保するため、45 度または曲線状の配線経路を使用しますが、コーナー形状を主要な EMC 制御策として扱わないでください。

- トレース分離: アナログ、デジタル、大電力の各サブ回路を分離します。クロストークを防ぐため、並行トレースはトレース幅の 3 倍以上間隔を空けます。
- 層の遷移: 高速トレース上で層を変更する必要がある場合は、信号ビアの隣にスティッチング ビアを配置して、連続的で低インピーダンスの帰路を提供します

- 90° コーナーの回避: 配線は 45° コーナーまたは曲線コーナーで行います。90° の鋭角な曲がりにはインピーダンスの不連続性を引き起こし、EMI を放射する可能性があります

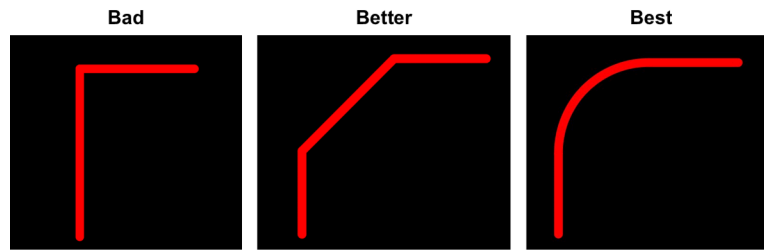


図 3-8. トレース ルーティング スタイル

リターン プレーンを維持し、インピーダンスを制御し、スタブを除去し、エッジ レートを低減し、並列結合を制限し、最後にコーナー形状を調整します。

3.5 パッシブ π フィルタリング

ノイズと EM 放射源を低減するもう 1 つの方法は、パッシブ π フィルタを追加することです。 π フィルタを使用することで、外部ソースと内部ソースの両方から発生する放射を低減できます。図 3-9 に、放射源を持つ VIN を模倣するために、高周波ノイズが重畳された入力信号を示します。

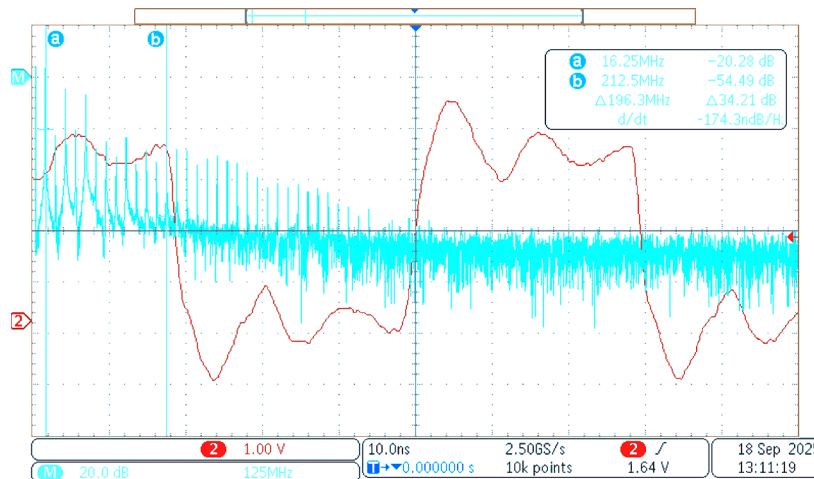


図 3-9. リンギングと FFT プロットによるクロック信号

C-L-C π フィルタは、直列インピーダンスの両側にシャント容量を提供します。フィルタはサブシステムに出入りするノイズを減衰させることができますが、フィルタの性能はソースおよび負荷インピーダンス、部品の寄生容量、DC バイアス、およびダンピングに依存します。理想的なロスレス ネットワークは、カットオフ付近でノイズを増幅する高 Q 共振を発生させることができます。

このフィルタには、その実効インダクタンスと実効容量によって決定される自然共振領域があります。電源インピーダンス、負荷インピーダンス、損失、および寄生容量によって、応答が十分に減衰するか、ピークを示すかが決まります。

- 電流定格、飽和マージン、DCR、外乱周波数でのインピーダンスに応じて、インダクタまたはフェライトを選択します。
- 負荷側の高周波コンデンサは、保護対象デバイスの近くに配置し、リターン ループを最小限にします。
- ソース/負荷の組み合わせによってピークが発生する場合は、ESR、損失のあるフェライト、または明示的なダンピング ネットワークによって減衰を追加します。
- レギュレータの安定性を確認します。入力フィルタは、コンバータの負の増分入力インピーダンスと相互作用することができます。
- 実際のインピーダンス環境で挿入損失を測定します。50 Ω ベンチ結果では、低インピーダンスの電源レールを予測できません。

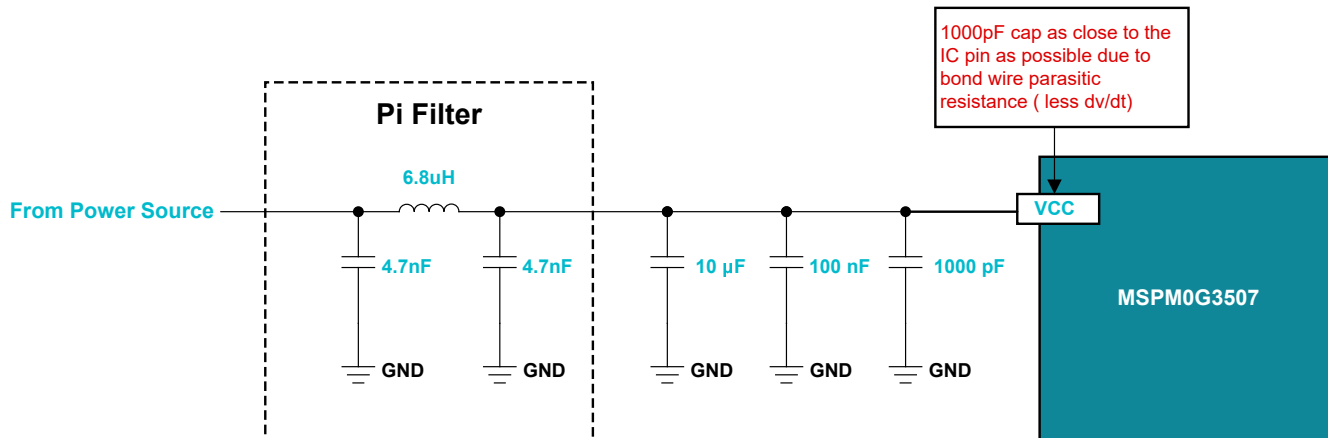


図 3-10. 高周波ノイズ向けの π フィルタを使用した双方向 EMI フィルタ

図 3-11 に示されている代表的なパッシブ π フィルタは、2 つのコンデンサと、それらの間に接続され、主電源ラインと直列に接続されたインダクタで構成されています。この追加は、既存のコンデンサと電源の間にある通常の電源コンデンサに加えて行われます。動作原理は次のように分割できます。

1. インダクタは電圧降下を相殺する電流源として機能します。マイコンが突然これより多くの電流を要求すると、インダクタの入力の電源電圧が瞬間的に低下し、負の di/dt が発生します。崩壊する磁界は、インダクタの両端に順方向電圧 ($V = L \times di/dt$) を引き起こします。その結果、この誘導された電圧は電源と直列に動作し、蓄積された電流がフィルタの出力側に押し込まれます。
2. 出力コンデンサとの連携による即時応答: 出力コンデンサが最初に反応し、蓄積された電荷を瞬時にマイコンに放出して、マイクロ秒レベルのスパイクに対応します。持続的な応答: コンデンサが放電すると、インダクタの崩壊磁場が電流を維持し、出力コンデンサが再充電され、レールが安定します。インダクタは、これを無制限に行うことはできません。電流は、蓄積された磁気エネルギーが完全に枯渇するまでのみ供給されます。
3. この対策を講じないと、マイコン内部での高速なデジタル スwitchングによって、電源電圧が最低動作スレッシュホールドを下回る可能性があります。このタイプのフィルタを組み込むことで、フィルタはマイコンのピーク需要と主電源の応答能力との間のわずかな時間差を埋め、プロセッサの意図しないリセットを防止します。

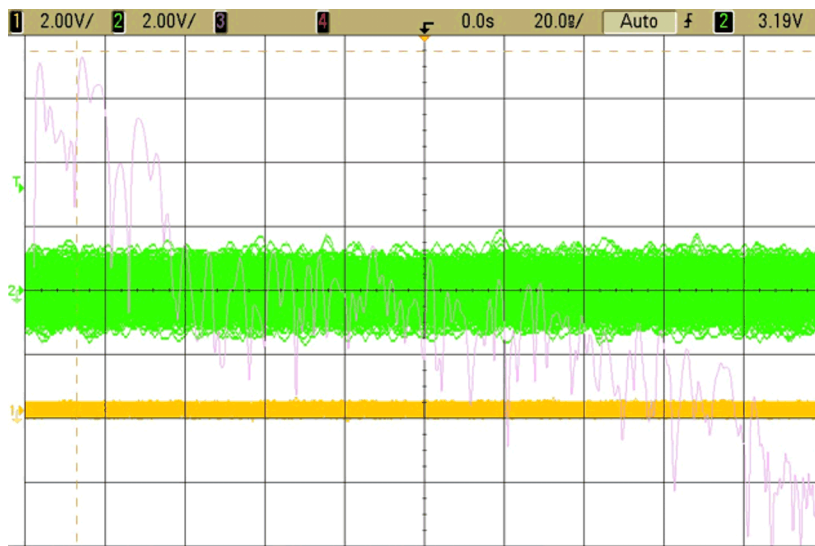


図 3-11. π フィルタのノイズ フィルタリング性能

3.6 シールド、グラウンディング、ケーブル境界

シールドは、電流の反射、吸収、リダイレクトによって機能します。高周波では、多くの場合、筐体の継ぎ目と開口部が材料の導電性の支配的な要素になります。細長いスロットは、電流が迂回しなければならないため、効率的に放射すること

ができます。多数の短絡接点を持つボンディング パネルは、開口部の寸法を制御し、シールド電流を回路グラウンドを通さずにコネクタ境界で流します。

より高い周波数では、電流は導体の表面に密集します。導電率と磁性透過性が高いと、浸透深度が低下しますが、継ぎ目や開口部が筐体のリーケージの支配的な要素になる可能性があります。

ケーブル フィルタはコネクタに配置する必要があります。これにより、妨害された電流が基板に入る前に迂回されます。同相モード チョークは、差動電流を通過させると同時に同相電流に依存します。これらの便利な機能は、モード変換ソースと寄生容量に依存します。コネクタ ピンの配置は、高速信号の横にリターンを配置し、コネクタ本体全体に高周波電流が強制的に流れないようにする必要があります。

3.7 過渡と ESD の各電流パス

保護は、過渡が境界で傍受され、目的のリファレンスまたはシャーシへの短いパスが与えられた場合に最も効果的です。コネクタから離れた場所に保護デバイスを配置すると、保護されていない長い配線が残り、そこから放射されて隣接する回路に結合する可能性があります。IC におけるクランプ電圧は、保護デバイスのダイナミック クランプ電圧に、経路のインダクタンスと抵抗にかかる電圧を加えた値に等しくなります。

IC に到達する電圧には、保護デバイスのダイナミック クランプに加え、経路のインダクタンスおよび抵抗によって生成される追加の電圧が含まれます。したがって、長い保護経路は、本来は適切なサプレッサであっても、その効果を無効にしてしまう可能性があります。

- 過渡抑制をエントリ ポイントの近くに配置します。
- 放電経路は短く、広くし、影響を受けやすい帰路から分離してください。
- 保護容量とリーケージを、信号帯域幅と精度要件に合わせて調整します。
- 必要に応じて、非破壊的な異常事態の検出、記録、回復を行うファームウェアを設計します。

4 EMC の検証とトラブルシューティング

レイアウトが正しく見えるだけでは、設計が完成したとは言えません。測定値で許容範囲内のマージンを確認できた時点で、初めて設計が完成します。正式な試験を実施する前に、事前コンプライアンス作業として、支配的な周波数、電流パス、動作モード、ケーブル構成を特定する必要があります。

4.1 ポートの問題としての放射と耐性

放射テストでは、電源、信号、筐体、およびケーブル ポートを通じて機器からどのようなエネルギーが放出されるかを確認します。耐性テストでは、これらのポートに流入するエネルギーが機能にどのような影響を与えるかを調べます。同じ伝達経路は双方向で機能することが多いため、放射ホットスポットにより、感受性経路が明らかになる可能性があります。

表 4-1. 一般的に EMI の影響を受けやすい設計のトラブルシューティング

質問	観察すべき点	次に行うべき事柄
どの周波数で障害が発生しているか？	狭いピーク、高調波コム、または広帯域の立ち上がり	周波数はクロック、エッジ、コンバータ、共振に関連付ける
どのケーブル/構成が重要か？	ケーブルを移動または取り外したときの大きな変化	同相電流を測定し、コネクタ リターンを点検する
どの動作モードが重要か？	障害発生時の追跡対象は、負荷、バス アクティビティ、PWM、または無線状態	スイッチング イベントと電流ループを分離する
近接場のホットスポットはどこにあるか？	ローカライズされた E フィールド ノードまたは H フィールド ループ	ノード面積またはループ面積を減らし、帰路を確認する

4.2 事前コンプライアンス測定ツールキット

1. 適切なプローブを使用したオシロスコープ: レール バウンス、リングング周波数、エッジ レート、タイミングを確認します。短いグラウンド スプリングまたは差動プローブを使用します。長いプローブ グラウンドを使用すると、偽リングングが発生する可能性があります
2. スペクトラム アナライザまたは FFT レシーバ: スペクトルのピークを識別し、制御された変更後の変化を比較します
3. 近距離 E プローブと H プローブ: 絶対コンプライアンス レベルを主張せずに、高 dv/dt ノードと高 di/dt ループを特定します
4. RF 電流プローブ: ケーブル、ハーネス、シールド ボンドの同相電流を識別します。

- インピーダンス測定またはネットワーク測定: フィルタ、PDN 共振、および関連する周波数範囲での部品の動作を特性評価します

一度に 1 つの変数を変更し、動作モード、ケーブルの配置、負荷、帯域幅、検出器の設定、プローブの位置を記録します。再現性のある相対的な測定値は、管理されていない環境から得られる絶対値よりも有用です。

4.3 周波数から構造におけるデバッグ方法

- 安定した動作モードとテスト構成で障害を再現します。
- 支配的な周波数、帯域幅、およびシグニチャが狭帯域か広帯域かを特定します。
- 周波数を候補ソース (クロック高調波、コンバータのスイッチング エッジ、リングング共振、バス バースト、外部注入) にマッピングします。
- 時間相関と近接場プロービングを用いて発生源を特定し、次にケーブル電流と帰路のチェックによって伝送経路を特定します。
- ダンピングの追加、一時的な遮蔽、ローカル コンデンサ、スルーレートの低下、または短い RF ボンディングなど、可逆的な実験を適用します。
- 周波数や振幅がどのように変化するかを予測し、観察することでメカニズムを確認します。
- 最小クラスの堅牢な設計補正を実装し、モード、温度、負荷、ケーブル位置、製造上のバラツキにわたって再テストを実施します。

4.4 共通スペクトル シグネチャの解釈

表 4-2. スペクトル シグネチャと潜在的なソース

シグネチャ	一般的な解釈	チェック
高調波コム	周期クロックまたは PWM ソース	基本的な間隔、エッジ レート、クロック イネーブル状態
ブロードバンド フロアの増加	高速な非同期スイッチング、アーク放電、測定の過負荷	時間ドメイン相関とアナライザの入力レベル
単一の強く狭いピーク	共振、発振器、ケーブル/筐体モード	ケーブルの移動、ダンピングの追加、共振長の点検
負荷に応じたピークのシフト	コンバータ モードまたは LC 共振	スイッチ周波数、インダクタ バイアス、静電容量、制御モード
プローブ ケーブルに応じたピークのシフト	テスト設定または同相モード パス	セットアップ ボンディングの改善、ケーブル電流の測定

4.5 統合設計レビュー チェックリスト

このチェックリストは、回路図レビュー、配置レビュー、ルーティング レビュー、事前コンプライアンス レビューで使用します。「はい」という回答は、視覚的な印象だけでなく、電流パスの説明または測定によって裏付けられている必要があります。

面積	レビューにおける質問
ソース	不要なスルーレート、駆動強度、スイッチング ノード面積が最小化されているか？
リターン	高速信号、電力過渡、保護イベントすべてに、意図した短い帰路が存在しているか？
プレーン	高速経路の下や層遷移をまたいで基準プレーンが連続しているか？
PDN	実装されたデカップリング インピーダンスが必要な帯域幅にわたってレール ターゲットを満たしているか？
コンバータ	ホット ループがコンパクトで、フィードバック/センス経路がスイッチ ノードから分離されているか？
遷移	リターン スティッチング ビアまたはローカル プレーン ブリッジが高速層変化に存在しているか？
境界	コネクタ フィルタと過渡経路がエントリ ポイントにあるか？
ケーブル	ケーブルが筐体から出る前に、差動バランスと同相電流が制御されているか？

面積	レビューにおける質問
機構	シールド、ヒートシンク、パネルが意図したとおりに低い RF インピーダンスで接合されているか？
検証	ワーストケース モード、負荷、ケーブル配置、回復動作がテスト済みか？

5 まとめ

本稿では、マイコン ベースの電子システムにおける EMI (電磁干渉) について、その物理的発生源、オンボードと外部ソース、および実用的な軽減手法を網羅的に考察します。EMI は孤立したノイズ現象ではなく、実際の形状を流れる電流の経時変化による可視現象です。部品の寄生容量が共振を決定し、PCB レイアウトがループと帰路の形状を決定し、ケーブルと筐体が必要な放射構造を提供し、フィルタやシールドは正しい電流パスに設置された場合にのみエネルギーを方向転換します。

導体にかかる電圧が変化すると電磁界が発生し、導体の長さが信号波長の $1/4$ に近づくと、近距離場エネルギーが遠距離場放射へと移行します。オンボード ソースは、コンポーネントレベルの寄生容量の 3 つのカテゴリ (抵抗の ESL とシャント容量、コンデンサの ESR と ESL、インダクタの DCR と巻線間容量) に分類されます。

PCB 設計の欠陥 (ハイインピーダンスの電源トレース、不適切なグランド プレーン、大きな信号リターン ループ領域、インピーダンスの不一致伝送ライン)、およびマイコン固有のメカニズム (クロック高調波、高速バス遷移、高速 GPIO スwitchング、フローティング導電性構造)。外部ソースに該当するのは、電気機械的負荷、付近にある RF トランスミッタ、トレース間のクロストーク、ESD などの過渡イベントです。軽減対策はコンポーネントレベルから始まり、ESR 最適化されたデカップリング コンデンサを、最小限の長さのグランド ビア接続でデバイス ピンのできるだけ近くに配置します。

基板レベルでは、各信号層に隣接してグランド プレーンを備えた 6 層スタックアップが、ループ面積を最も効果的に削減します。4 層設計では、グランド プレーン、高密度のビア接続、高速信号線に沿ったガード配線が必要となります。高速ネット上のすべてのビア遷移は RF 構造として扱う必要があります。この際、連続的な低インダクタンスの帰路を維持するために、少なくとも 1 つのグランド スティッチング ビアを隣接して配置します。トレース ルーティングは、配線幅の 3 倍の間隔を維持し、インピーダンスの不連続性を避けるために 45° のコーナーを使用し、実際の RF パスを遮断するノイズ発生領域の周囲にビア フェンスを配置する必要があります。

最後に、電源レール上のパッシブ π フィルタ (直列インダクタを挟む 2 つのコンデンサ) は、外部からの電源ノイズと内部で発生するスイッチング過渡現象の両方を抑制し、マイコンのピーク電流要求と電源の応答時間の間のギャップを埋めて、低電圧リセットを防ぎます。

最も耐久性のある設計戦略は階層的なものです。すなわち、ソースを低減し、ループを縮小し、連続的な基準を維持し、差動モードから同相モードへの変換を防止し、すべてのコネクタを EMC 境界として扱い、周波数と物理構造を関連付ける測定によって検証します。対策が効果を発揮した場合、エンジニアはどの電流が移動したか、どのインピーダンスが変化したか、そして測定されたスペクトルや耐性応答がなぜ改善したかを説明できる必要があります。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月