

Application Note

TPLD デバイスを使用したマトリクス コンバータのスマート保護



Josh Wei, Christina Huang, Forest Fu

概要

このアプリケーション ノートでは、シングルステージ オンボード チャージャ (OBC) の保護例を紹介します。シングルステージ OBC の電力密度向上に伴い、電圧ストレス、高速障害応答、AC 電圧ディップなど、設計上の主な課題に対処する必要があります。これらの制限を克服するために、テキサス・インスツルメンツの TPLD ファミリは、LUT、遅延ブロック、内部発振器、アナログ コンパレータなどの豊富な内部ハードウェア リソースを提供しており、柔軟なオンライン プログラミング機能を備えています。最後に 1 つの例を紹介します。TPLD を採用して大型のディスクリート ロジック部品を置き換え、BOM (部品表) コストを最適化し、システム設計を簡素化すると同時に、堅牢な保護機能を検証する方法を示します。

目次

1 概要.....	2
2 過電流保護の課題.....	3
2.1 フリーホイール パスのブロッキングによる電圧ストレス.....	3
2.2 高速応答時間に関する要件.....	4
2.3 AC グリッド電圧降下.....	4
3 TPLD の概要と構成.....	6
3.1 TPLD の概要.....	6
3.2 TPLD 製品リソース.....	6
3.3 オンラインで回路を開始.....	8
4 TPLD 回路のシステム例.....	10
5 まとめ.....	10
6 参考資料.....	10

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

オンボード チャージャ (OBC) は、電気自動車 (EV) およびプラグイン ハイブリッド電気自動車 (PHEV) の重要なコンポーネントで、標準的な AC 電源からバッテリーを直接充電できます。EV の開発に伴い、OBC のアーキテクチャは数世代にわたって進化してきました。最新のトレンドは単段 OBC トポロジであり、部品点数とコストを削減しつつ、より高い電力密度を実現します。このアーキテクチャでは、PFC 段と DCDC 段を 1 つの高周波変換段に統合しています。

マトリクス コンバータは現在、最も有力なシングルステージトポロジです。図 1-1 はマトリクス コンバータのブロック図を示しています。マトリクス コンバータを使用すると、従来型のコンバータで必要とされていた大型の DC リンクコンデンサや AC 入力インダクタが不要になり、スペース制約が厳しいコスト重視の EV アプリケーションで、電力密度の向上とコストの削減を実現できます。従来の設計では故障ポイントになることが多い電解コンデンサがないため、マトリクス コンバータは信頼性が向上しています。

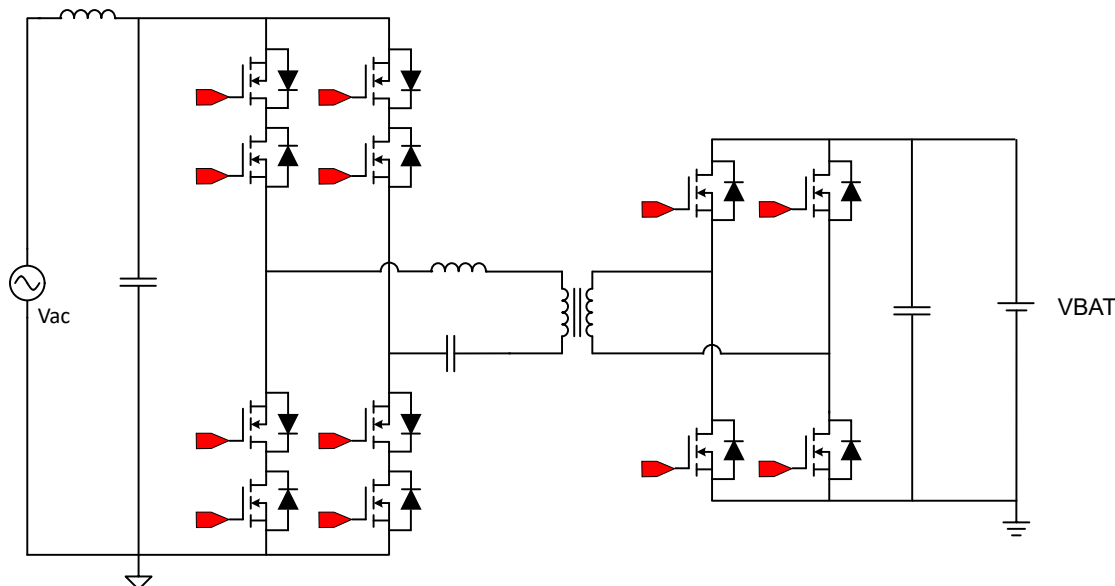


図 1-1. マトリクス コンバータのブロック図

これらの利点にもかかわらず、マトリクス コンバータの幅広い採用には課題も直面しています。その中で、過電流保護は、マトリクス コンバータの課題の 1 つであり、主に以下のいくつかの理由があります。

2 過電流保護の課題

2.1 フリーホイール パスのブロッキングによる電圧ストレス

過電流障害が発生した場合、基本的な考え方は、熱障害からパワー スイッチを保護するためにすべてのパワー スイッチをオフにすることです。この保護方式は、従来の 2 段 OBC で広く使用されています。図 2-1 に示すように、すべてのパワー スイッチがオフになった後、トランスの電流はボディ ダイオードを経由してフリーホイールします。

ただし、フリーホイール パスがないため、マトリクス コンバータではこの制御方式を使用できません。すべてのスイッチが完全にオフになると、トランス電流によって寄生容量が充電され、大きな電圧スパイクが生じてデバイスが損傷する可能性があります (図 2-2 を参照)。

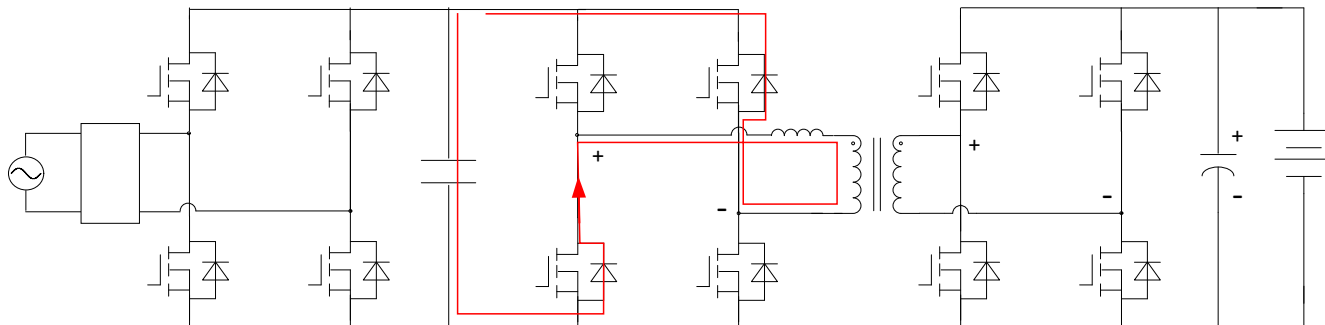


図 2-1. すべての FET がオフになった後の従来型 OBC の電流パス

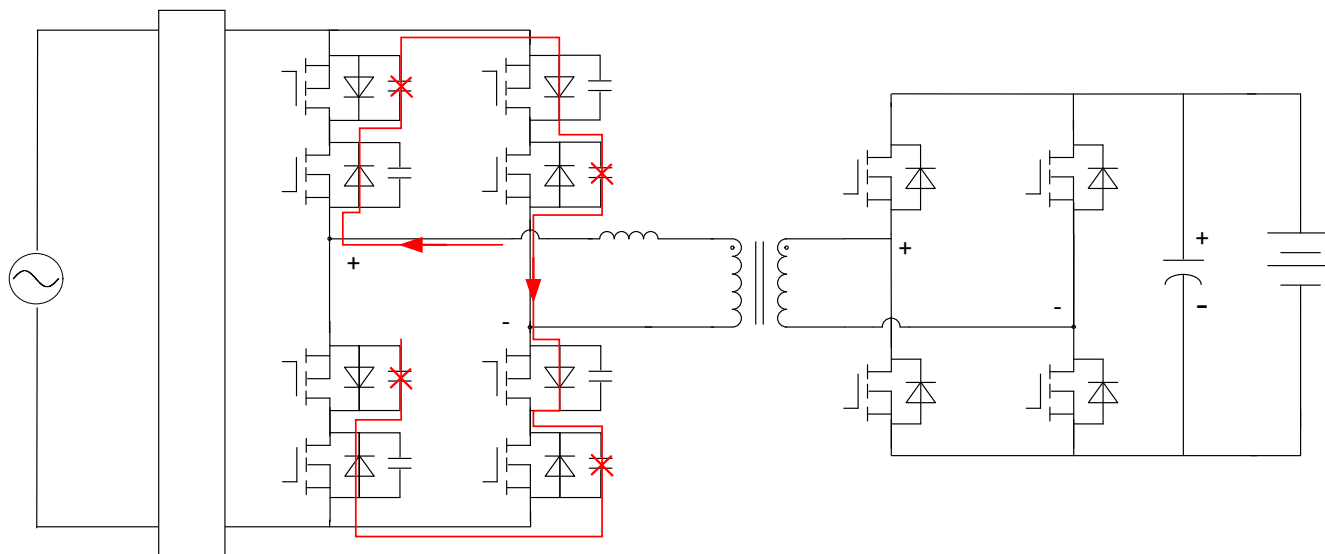


図 2-2. すべての FET がオフになった後のマトリクス コンバータの電流パス

したがって、OC フラグがトリップした後、フリーホイールのため連続電流パスを維持する必要があります。これは、洗練されたシーケンスでパワー スイッチをオフにする必要があることを意味します。

2.2 高速応答時間に関する要件

従来型の OBC で、PFC のスイッチング周波数は通常 100kHz を上回ることはありません。それに対し、マトリクスコンバータのお客様は、電力密度を高めるために 200kHz ~ 500kHz を重視しています。スイッチング周波数の高いアプリケーションでは、Si ベースのパワー スイッチを置き換えるために SiC または GaN を使用します。従来の Si ベースのパワー スイッチの場合、短絡耐久時間が 10 μ s を超えることがあります。ただし、SiC ベースのパワー スイッチの場合、この値は 2 μ s 未満に低下します。GaN ベースのパワー スイッチではさらに減少し、1 μ s 未満です。

短絡耐久時間に影響を及ぼす主な要因は、熱によって発生する致命的な故障です。パワー スイッチは短絡シナリオで高電圧大電流にさらされるため、瞬間的に非常に大きな消費電力と急激な温度上昇につながります。一般に、GaN ベースのパワー スイッチは電流密度が高いため、電力密度が高くなり、短絡状態が発生している間は急激な温度上昇が発生します。

したがって、マトリクスコンバータの場合、パワー スイッチの特性が原因で、OC 応答は従来の OBC よりも高速である必要があります。

2.3 AC グリッド電圧降下

OBC 製品テストでは、AC 入力電圧が突然低下した場合、OBC はフォルト保護状態に移行し、異常入力が終了した後に回復する必要があります。このイベントの間、図 2-3 に示すように、AC 電圧が数マイクロ秒以内に 311V から -311V に低下する可能性があり、逆電圧が $t_1 = 1$ ms まで持続することがあります。

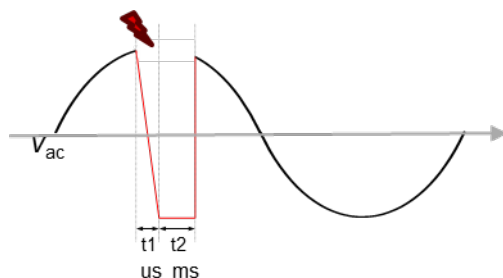


図 2-3. 突然の AC 電圧降下により OCP がトリガ

AC 電圧降下が急激に発生した場合、OBC は OCP を迅速にトリガする必要があります。コンバータが元のモードで動作を継続すると、AC 側の短絡が発生する可能性があります。図 2-4 は通常動作時の電流パスであり、図 2-5 は AC 電圧降下が発生したときの電流パスです。AC 電圧が逆になると、電流はパワー スイッチのボディ ダイオードを流れ、電流スパイクを引き起こします。短絡電流の大きさと持続時間 (マイクロ秒) がデバイス制限を超えた場合、パワー スイッチが損傷する可能性があります。

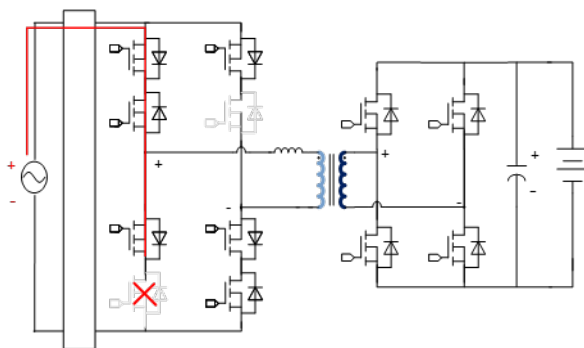


図 2-4. VAC > 0 の動作条件

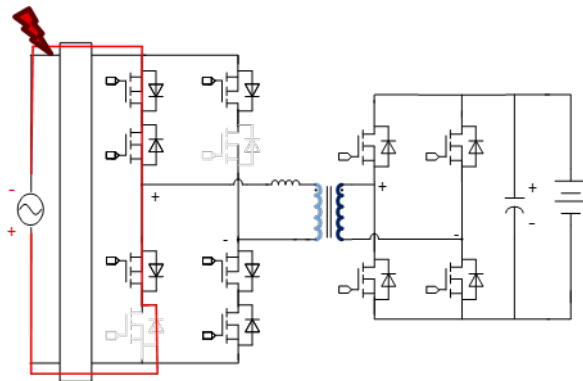


図 2-5. AC 電圧低下での電流パス

したがって、AC グリッドの電圧低下も考慮する必要があります。これは、シャットダウン シーケンスに AC 電圧方向の情報が必要であることを意味します。

通常、ターンオフ シーケンスは DSP の CLB モジュールで実装できます。ただし、高い機能安全レベルが要求される場合は、DSP の機能が低下してもシステムを安全にシャットダウンする必要があります。このような場合、機能安全要件のバックアップ保護パスとして、純粋なアナログ設計を提案する必要があります。

3 TPLD の概要と構成

3.1 TPLD の概要

デジタル信号の計算、コーディング、処理は、あらゆる種類のデジタル コントローラの基礎を構築します。より広いビット数とより高速なクロックを備えたコントローラにより、ユーザーはより複雑で統合性の高い設計を実現できます。ただし、安全性に関するもう 1 つの考慮事項があり、開発者にコントローラから単純なロジック プロセスの一部を抽出するよう求めます。たとえば、MCU が制御不能になったときに安全機構を確実に動作させることが必要です。開発者は、適切な安全機構を構築するために、複数の AND/OR/D フリップ フロップをシステムに追加しています。これは安定していますが、より良い方法があります。TPLD により、サイズが小さく、より柔軟な構成が可能です。

表 3-1. タイトルをここに挿入

	ディスクリートロジック回路	TPLD	CPLD/FPGA
スペース	かなり大きい	最適化された小型	中
コスト	低	低	\$\$\$\$
フレキシビリティ	いいえ	中	高

TPLD の利点を示す短い例:

$Y = AB/C + ABC$ には、2 つの NOT ゲート、4 つの 2 入力 AND ゲート、1 つの 2 入力 OR ゲートが必要です。ディスクリートロジック回路は 30mm² 超の面積を要するのに対し、TPLD801 はわずか 3.36mm² です。

TPLD シリーズを使用すると、InterConnect Studio を介して OTP (ワンタイム プログラマブル) に対応しているため、ユーザーは開発のあらゆる段階で同じピン配置で設計を最適化できます。設計が固定されると、OTP はロックされ、コンテンツの読み戻しを防止します。

3.2 TPLD 製品リソース

TPLD によってゲートリソースの数は異なります。TPLD のすべてのロジック ゲートは、LUT (ルックアップ テーブル) として設定されます。たとえば、3 入力 AND ゲートは、LUT = 111 と記述できます。これは、LUT のすべての入力がロジック High のときのみ、出力がロジック High になることを意味します。

LUT 以外に、TPLD 内部には多数のブロックがあり、設計の簡素化と最適化に使用できます。

1. アナログ コンパレータ: 32mV 分周の基準電圧を内蔵。電圧リファレンスやコンパレータを追加せずに、システム内のアナログ信号をスレッシュホールド値に基づいて動作可能なロジック レベルに直接変換できます。
2. カウンタと遅延ジェネレータ: 正確な遅延を低コストで実現することは、システムでは常に困難な問題でした。しかし、発振器と遅延モジュールが TPLD 内にあるため、これを実現できるようになります。
3. ステート マシン: 設計するロジック回路がタイミングに大きく依存している場合、または現在の状態と特定のトリガに基づいて次の状態を決定する必要がある場合は、これを試してください。

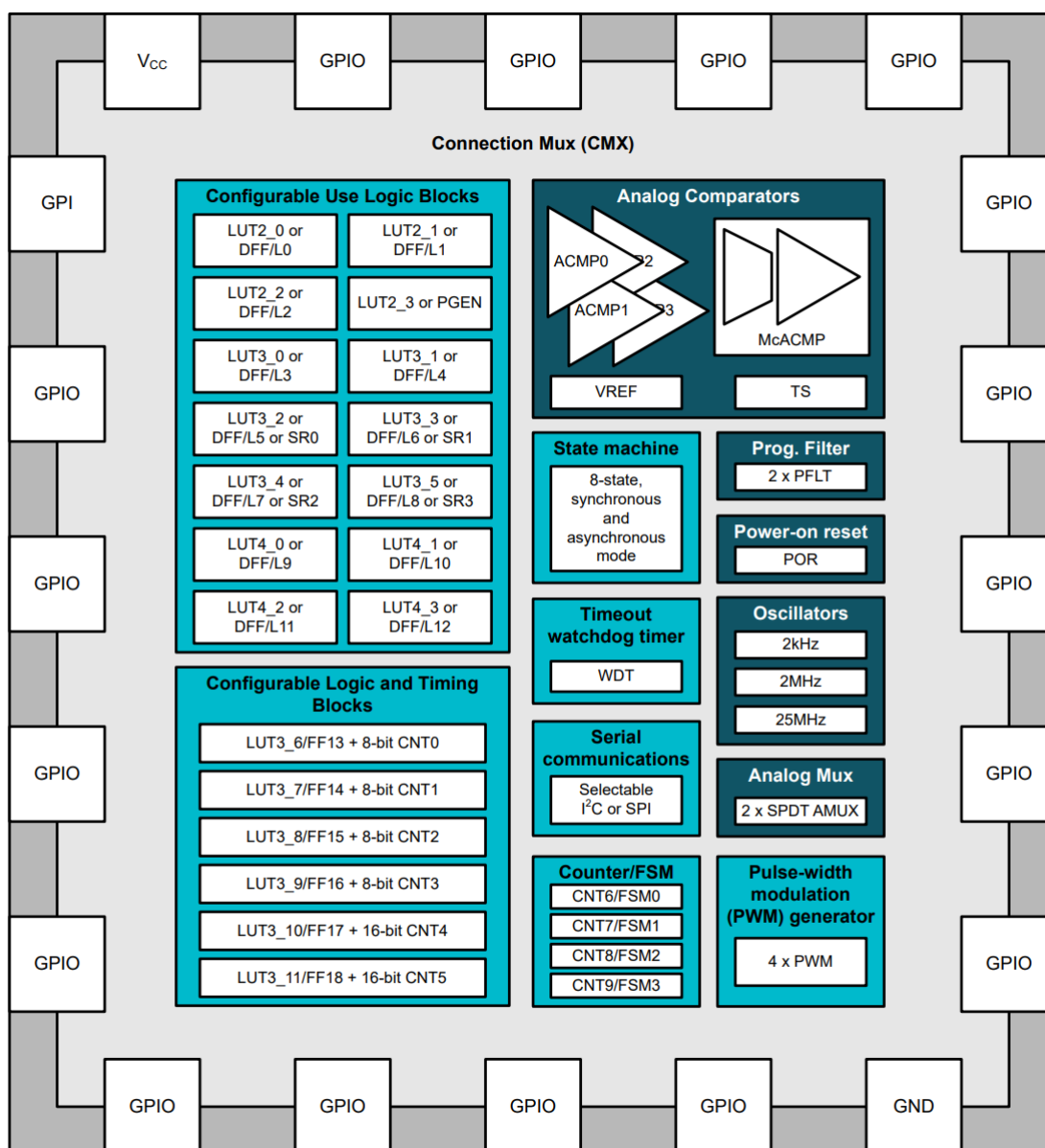


図 3-1. TPLD2001-Q1 のブロック図

実際、アナログ チャネル マルチプレクサ、PWM 生成、周波数キャプチャなど、他の多くの興味深い機能は TPLD を使用して実装できます。このデータシートからその使用方法を習得するのに加えて、開発ユーザーが TPLD を理解し設計するのに役立つ便利なツールも用意しています。

3.3 オンラインで回路を開始

INTERCONNECT-STUDIO は、開発者が回路を設計するためのグラフィカル インターフェイスを提供します。

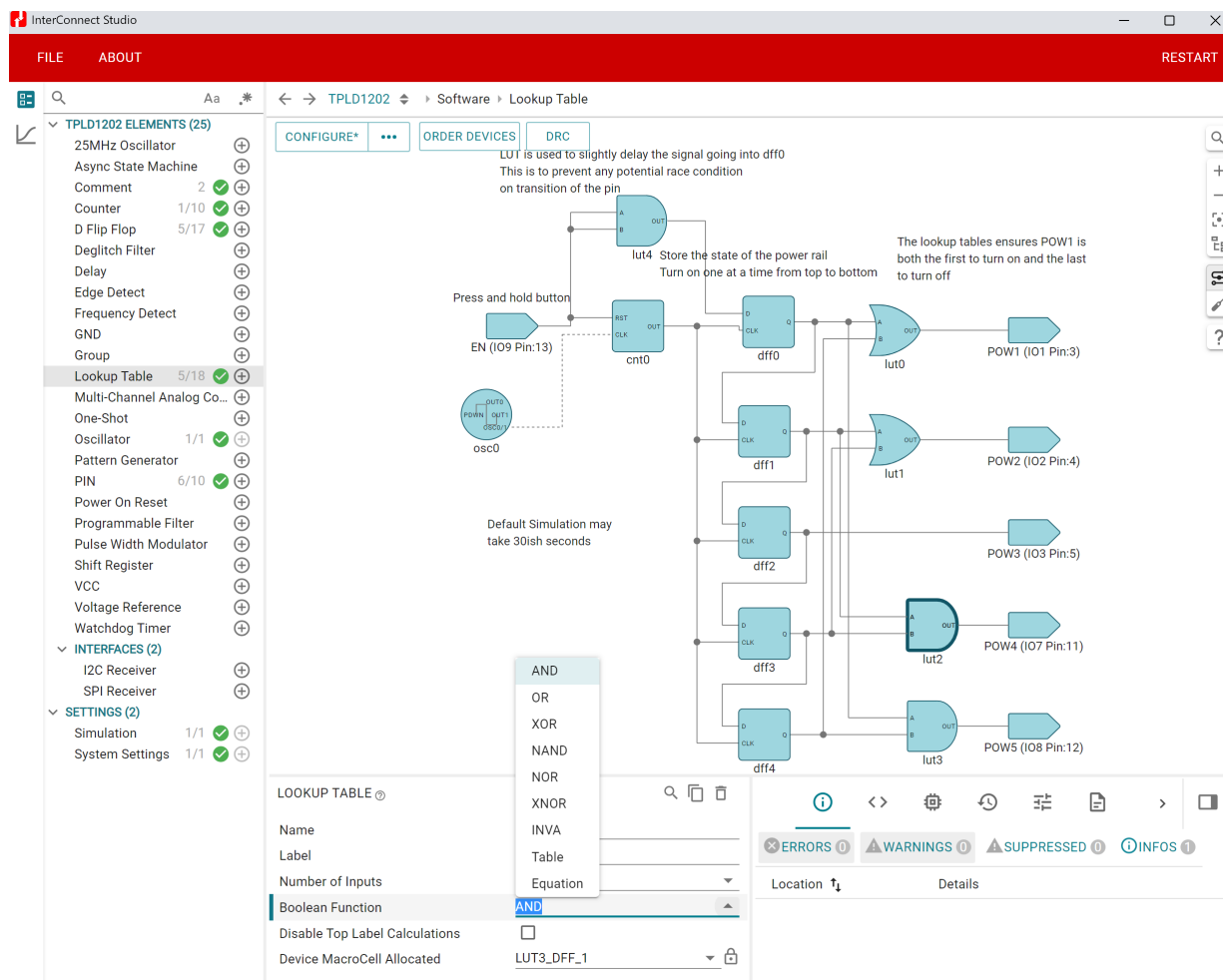


図 3-2. TPLD InterConnect Studio

InterConnect Studio で、型番と関連するパッケージを選択した後、ユーザーは回路の設計とシミュレーションを開始できます。リファレンス デモから電力シーケンスを実現する例を示します。左側のすべてのブロックを右のゾーンに追加できます。各ブロックの数には制限があります。赤色の警告が表示されている場合は、上位の TPLD を選択します。選択した LUT では、開発者の要件に応じて 9 種類の用途で設定できます。表と式を使用してロジック回路を最適化することで、リソースを節約できます。

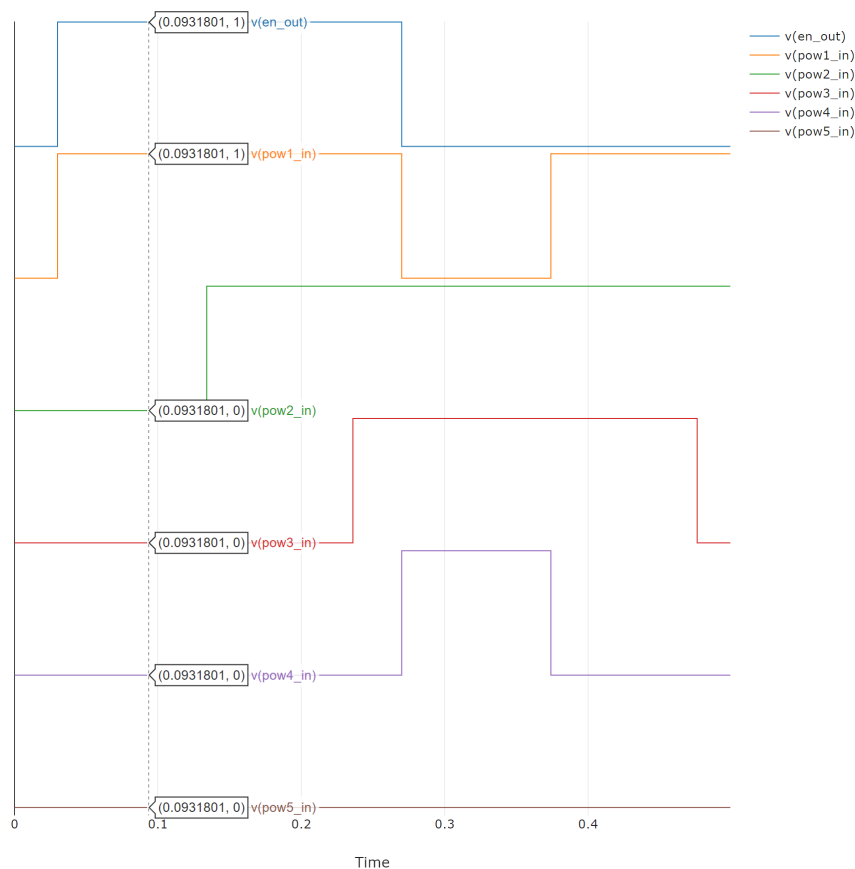


図 3-3. TPLD のシミュレーション波形

シミュレーションでは、タイムリーな設計チェックを提供します設計、シミュレーション、再設計を通じて、ユーザーは最適なカスタム TPLD を徐々に実現できます。恒久的な構成が本当に必要か確認し、「CONFIGURE*」(構成) ボタンを押します。

4 TPLD 回路のシステム例

図 4-1 で述べた構成可能な保護および特定のターンオフ シーケンスを実現するために、TPLD2001-Q1 には柔軟な内部ロジック マトリクスが用意されています。エンジニアは外部ハードウェア コンポーネントを追加せずに、複雑なタイミング シーケンス、インターロック ロジック、信号遅延を構成できます。

図 4-1 に、オンボード チャージャ (OBC) システムに TPLD2001-Q1 を使用した、設計例とアーキテクチャのシステムレベルの接続を示します。

- 通常動作: 標準動作条件では、MCU (PWM_IN) によって生成された PWM 信号は TPLD2001-Q1 (パススルー モード) を直接通過し、以下の 4 つの独立したゲートドライバ ユニットに供給されます。GDU1 (G11、G12 の駆動)、GDU2 (G21、G22 の駆動)、GDU3 (G31、G32 の駆動)、および GDU4 (G41、G42 の駆動)。
- フォルト保護およびシャットダウン ロジック: MCU 障害またはシステムレベルの故障が発生した場合、TPLD2001-Q1 はハードウェアベースの安全メカニズムとして機能します。外部回路からのデジタル故障信号 (FLT) や VAC_SNS 入力による異常 AC 電圧状態などのフォルトトリガを受信すると、TPLD2001-Q1 は MCU 制御をオーバーライドします。
- 柔軟な監視と構成可能なアクション: VAC_SNS ピンにより、TPLD の内部アナログ コンパレータまたは外部 AC 電圧センシング信号を解釈することで、システム監視が可能で、保護イベントがトリガされると、TPLD2001-Q1 は、ユーザーが構成可能で事前にプログラムされたターンオフ シーケンスを実行して、すべてのゲートドライバを安全にシャットダウンし、熱による損傷または電力段の破壊を防止します。

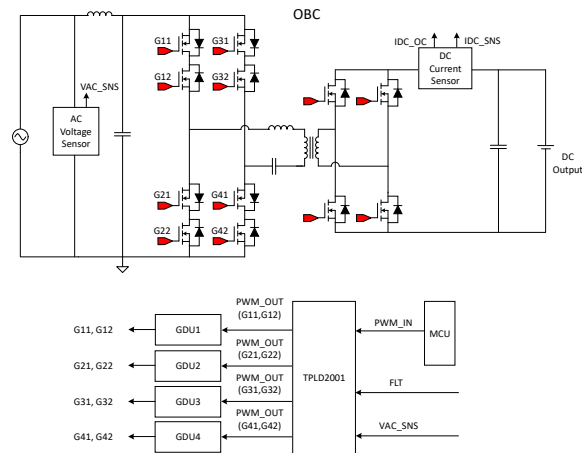


図 4-1. TPLD2001-Q1 システム ブロック図

TPLD2001-Q1 内部でこれらの機能ブロックを完全にプログラムすることで、保護および駆動タイミング回路全体が 1 つの高集積 IC に統合されています。これにより、部品表 (BOM) の合計コストが大幅に削減され、PCB レイアウトの複雑さが簡素化され、システム全体の信頼性が向上します。

5 まとめ

このアプリケーション ノートでは、オンボード チャージャ (OBC) またはタイミング保護を必要とする他のアプリケーション向けの TPLD ベースの保護機能の実装について説明します。ハードウェアベースの安全メカニズムとして動作することで、TPLD2001-Q1 はシステム ステータスを監視し、フォルト状態が発生すると PWM を安全にオーバーライドして、プログラム可能な PWM シャットダウン シーケンスを実行します。大型のディスクリート ロジック ゲートを TPLD2001-Q1 に置き換えると、部品表 (BOM) コストの大幅な削減、PCB フットプリントの最小化、レイアウトの複雑さの簡素化、およびシステム全体の信頼性の向上が可能になります。

6 参考資料

1. テキサス・インスツルメンツ、『TPLD2001-Q1 プログラマブル ロジック デバイス データシート』、データシート。
2. テキサス・インスツルメンツ、『オンボード チャージャにおける機能安全の実現へ: 設計手法と部品の概要』、アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月