

Analog Engineer's Circuit

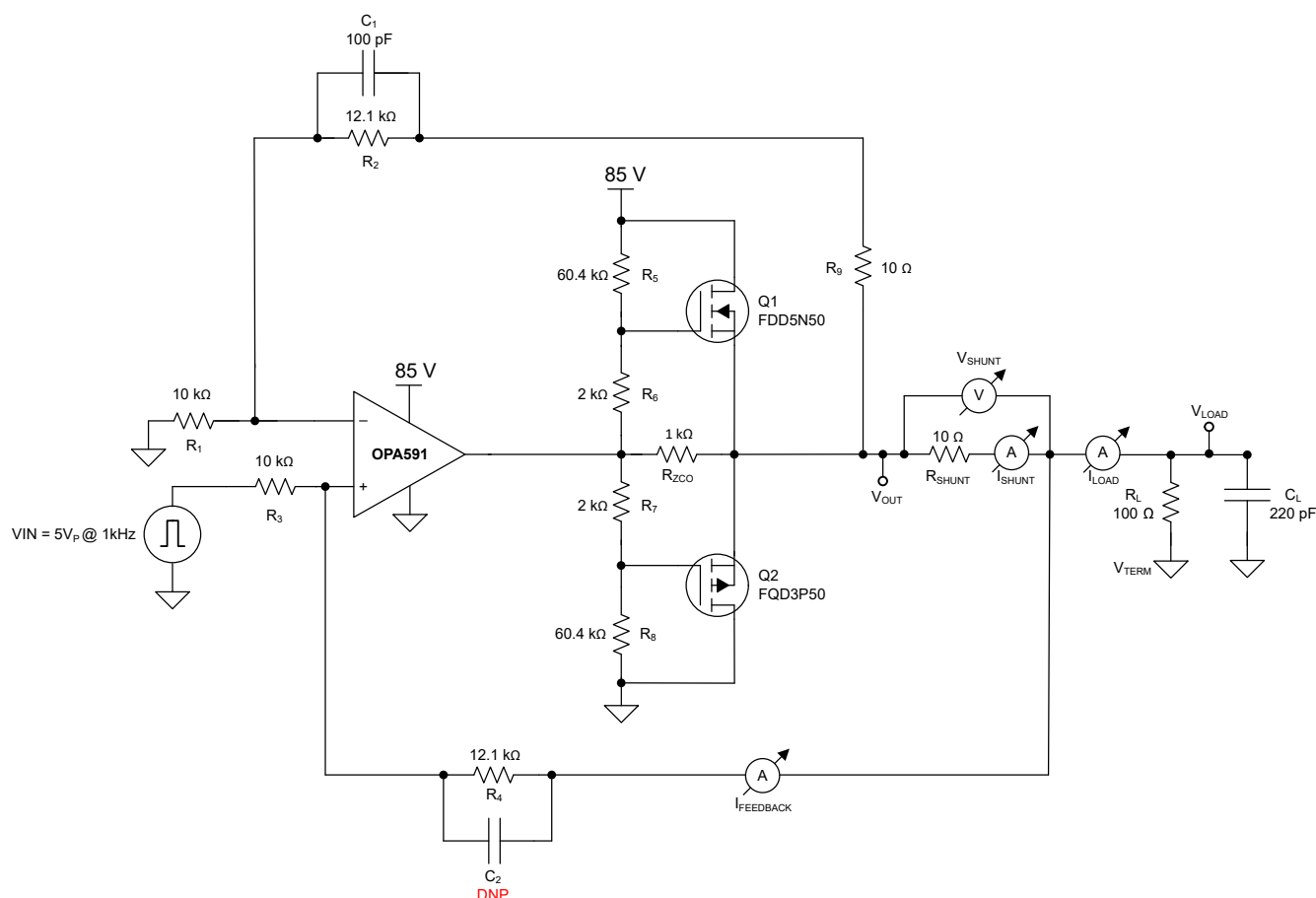
改良型ハウランド電流ポンプとディスクリート出力電流ブースト機能
搭載の高電圧アンプ

設計目標

入力			出力	
V_{IN}	BW	ゲイン	V_{LOAD}	I_{LOAD}
$0V_P - 5V_P$	1kHz	1.2 V/V	$60V_P$	600mA

設計の説明

この回路は、改良型ハウランド電流ポンプ (IHCP) を実装し、NMOS タイプのトランジスタを駆動します。これは電圧制御式の大電流ソースであり、歪みをほとんど生じさせることなく 1kHz で 600mA を供給することができます。D/A コンバータ (DAC) を使用して、電圧入力信号を生成できます。この回路は 85V 単一電源で動作するように設計されています。



ディスクリート出力電流ブースト回路を備えた改良型ハウランド電流ポンプ

デザイン ノート

1. ハウランド電流ポンプの設計は、反復的なプロセスになることがあります。まず、既知のシャント抵抗値を使用して、目的の出力電流を決定します。次に、 R_1 を選択し、それに応じて R_2 、 R_3 、 R_4 を増減します。IHCP の設計に関する詳細と設計上の注意については、『[「改良型」ハウランド電流ポンプ回路](#)』(アナログ エンジニア向け回路) を参照してください。
2. この回路は、電流を供給するように設計されています。電源の極性を反転 ($V_{EE} = -85V$ および $V_{CC} = 0V$) すると、電流を引き込む同様の回路を作成できます。このため、回路図の設計にはコンプリメンタリ FET の設計が含まれています。
3. 適切ではない抵抗を選択すると、回路のゲイン誤差の原因となり、同相信号除去比を劣化させます。
4. $I_{FEEDBACK}$ 電流の影響により、最終結果に誤差が生じる可能性があります。値の大きな抵抗を配置すると、この電流の影響が制限されますが、回路の熱ノイズが増加します。また、回路内の大きな抵抗や寄生容量に引き起こされる帯域幅の制限や安定性の問題も、より頻繁に発生するようになります。
5. 理想的な「改良型」ハウランド電流ポンプでは、抵抗 R_4 は通常 $R_2 - R_9$ に等しくなるように設定されます。この値は帰還回路をわずかに変化させますが、期待どおりの I_{LOAD} 値が得られます。これらの抵抗の精度によっては、誤差を低減する手法の効果が制限されることがあります。
6. 分圧器回路 (R_5 、 R_6 、 R_7 、 R_8) は、 V_{GS} をバイアスするための公称電圧を供給します。
7. 容量性負荷を回路の出力に追加することができます。200pF を超える容量性負荷を使用する場合、回路を安定させるために、さらなる補償が必要になることがあります。オペアンプの安定化の詳細については、『[オペアンプの安定性理論と補償方法](#)』を参照してください。
8. 安定性の最適化に対する柔軟性を高めるため、補償コンデンサ C_1 と C_2 のフットプリントを含めることを推奨します。出力ノードの容量性負荷、大きな帰還抵抗、反転入力容量が原因で、不安定性が発生する可能性があります。この回路設計のベンチ測定では、入力にリンギングが発生しました。シミュレーションと設計を更新し、 R_2 (C_1) と並列に帰還抵抗を含むようにしました。オペアンプの安定性と補償の方法の詳細については、『[オペアンプの安定性理論と補償方法](#)』の技術資料を参照してください。
9. 回路の出力スイングを最大にするため、高電圧オペアンプを選定します。
10. 入力電圧が、対象のオペアンプのフルパワー帯域幅および出力電圧仕様の範囲内であることを確認します。85V 電源の場合、スルーレートに起因する歪みは 20kHz を上回ると顕著になります (『[OPA591 データシート](#)』の図 6-3 と図 6-4 を参照)。これは、次の式で計算できます：

$$V_{pk} = \frac{SlewRate}{2\pi f} \quad (1)$$

歪みは、出力電圧が電源レールに近いほど大きくなります。ただし、ディスクリートトランジスタのスイッチング特性に起因する出力クロスオーバー領域の歪みは、スルーレートに起因する歪みとは異なります。このクロスオーバー歪みは、トランジスタの入力静電容量と出力静電容量にも依存するので、経験的に計算するのは困難です。したがって、目的の入力周波数が実現可能かどうかを判断する最適な方法は、回路をシミュレーションすることです。

11. MOSFET トランジスタをバイアスする分圧器を設計するときは、抵抗のサイズのトレードオフに注意してください。抵抗値が小さいと、バイアス路を流れる消費電流が増加しますが、抵抗値が大きくなると熱ノイズが大きくなります。この設計例では、最良の結果を得るため、 R_5 と R_8 を 60.4k Ω に選択しています。
12. ディスクリートの相補型出力段を選択する際には、バイポーラ接合トランジスタ (BJT) と金属酸化膜半導体電界効果トランジスタ (MOSFET) の特性およびそれらのトレードオフを注意深く検討することが不可欠です (詳細については、アプリケーション ノート『[電流ブースタを使用した OPA593 のデュアル帰還補償の最適化](#)』の表 3-1 を参照)。
13. 回路が、MOSFET の安全動作領域 (SOA) 内で動作していることを確認します。回路内の消費電力を制限する場合は、電源の電力を下げることを検討します。これは、AC ソースではなく DC 入力ソースを使用する場合に特に重要です。DC 構成では、回路の総電力が本質的に高くなるためです。回路の動作範囲が MOSFET の SOA を超えると、熱暴走が発生して MOSFET が損傷する可能性があります。
14. 負荷抵抗 R_L などのトランジスタの出力パス内の部品には、十分な電力定格が必要です。高電圧および大電力の PCB レイアウト ガイドラインも順守する必要があります (『[電力と温度に関する TIPL トレーニング](#)』を参照)。回路が発生する可能性のある熱を低減するために、ファンの使用を検討します。

設計手順

1. 指定された I_{LOAD} とシャント抵抗について、ゲイン (G) を計算します。

$$G = \frac{I_{LOAD} \times R_{SHUNT}}{V_{IN}} = \frac{600mA \times 10\Omega}{5V} = 1.2V/V \quad (2)$$

2. V_{OUT} がオペアンプのレール (V_{OUT_MIN} 、 V_{OUT_MAX}) から電圧出力スイングの範囲内にあることを確認します。

$$V_{OUT_MIN} < V_{OUT} < V_{OUT_MAX} \quad (3)$$

$$V_{OUT} = (I_{LOAD} \times R_L) + V_{SHUNT} \quad (4)$$

$$V_{OUT} = 0 + (600mA \times 100\Omega) + 6V \quad (5)$$

$$V_{OUT} = 66V \quad (6)$$

3. 回路の出力電力を計算し、適切な許容損失値を持つ MOSFET を選択します。出力 FET の電力は、負荷、出力電圧、電源電圧の関数になります。抵抗性負荷での方形波出力で、負荷グラウンドを基準とする場合、平均電力は次の式を使って求めることができます。

TINA-TI シミュレーションの結果では、最大出力電力が約 22W であることが示されています。なお、ここでのアンプの出力は大幅に低く、消費電力は約 400mW であることに留意してください。これは、この回路構成の利点を実証することが目的です。FDD5N50 (許容損失 50W 以上) のように、許容損失が 30W を超える MOSFET を選択します。抵抗性負荷の出力段の最大許容損失は、次の式を用いて計算できます。消費電力は負荷タイプによって異なることに注意してください (抵抗性対電流)。詳細については、「消費電力と温度に関する TIPL」を参照してください。

$$P_{AVG} = \frac{V_{OUT}^2}{R_L} \times DUTY_CYCLE \quad (7)$$

$$P_{AVG} = \frac{(66V)^2}{100\Omega} \times 0.5 \quad (8)$$

$$P_{AVG} = 21.78W \quad (9)$$

4. MOSFET がオフのときに回路を駆動するのに十分な電流を供給できるゼロ クロスオーバー抵抗 (R_{ZCO}) を選択します。 R_{ZCO} を選択する際は、トレードオフを考慮してください。 R_{ZCO} は、アンプの電流制限を回避するために十分に高くする必要がありますが、ノイズとクロスオーバー歪みを最小限に抑えるために十分に低くする必要があります。大きな R_{ZCO} を容量性負荷と組み合わせると、過渡電圧が遅くなる可能性があります。ただし、 R_{ZCO} を大きくすると消費電力が小さくなります。

R_{ZCO} の値は、シミュレーションにより繰り返し決定できます。以下に示す結果は、100Ω 未満の抵抗値ではループを完全に駆動できないことを示しています。499Ω の抵抗値では 10.29mA の電流が流れ、1kΩ では 5.14mA の電流が流れます。1kΩ 抵抗の熱ノイズは約 4nV/√Hz であり、オペアンプの電圧ノイズの 13nV/√Hz よりも小さくなっています。そのため、1kΩ は R_{ZCO} に最適化し、電圧ノイズと低消費電力の両方を最適化します。

5. 選択した MOSFET または BJT の V_{TH} に基づいて、分圧抵抗値を計算します。VCC および VEE からの消費電力を最小限に抑えるため、 R_5 には比較的大きな抵抗を使用します。

与えられた条件: $R_5 = 60.4k\Omega$ 。

FDD5N50 データシートから、 $3V < V_{GS(th)} < 5V$ 。

$V_{GS(th)} = 3V$ になるように R_6 を選択することで、抵抗デバイダ回路を最適化します。

クロス導通なしでクロスオーバー歪みを最適化するには、 V_{GS} を公称値 3V に設定します。

$$V_{GS} = \frac{R_6}{R_5 + R_6} \times V_{CC} \quad (10)$$

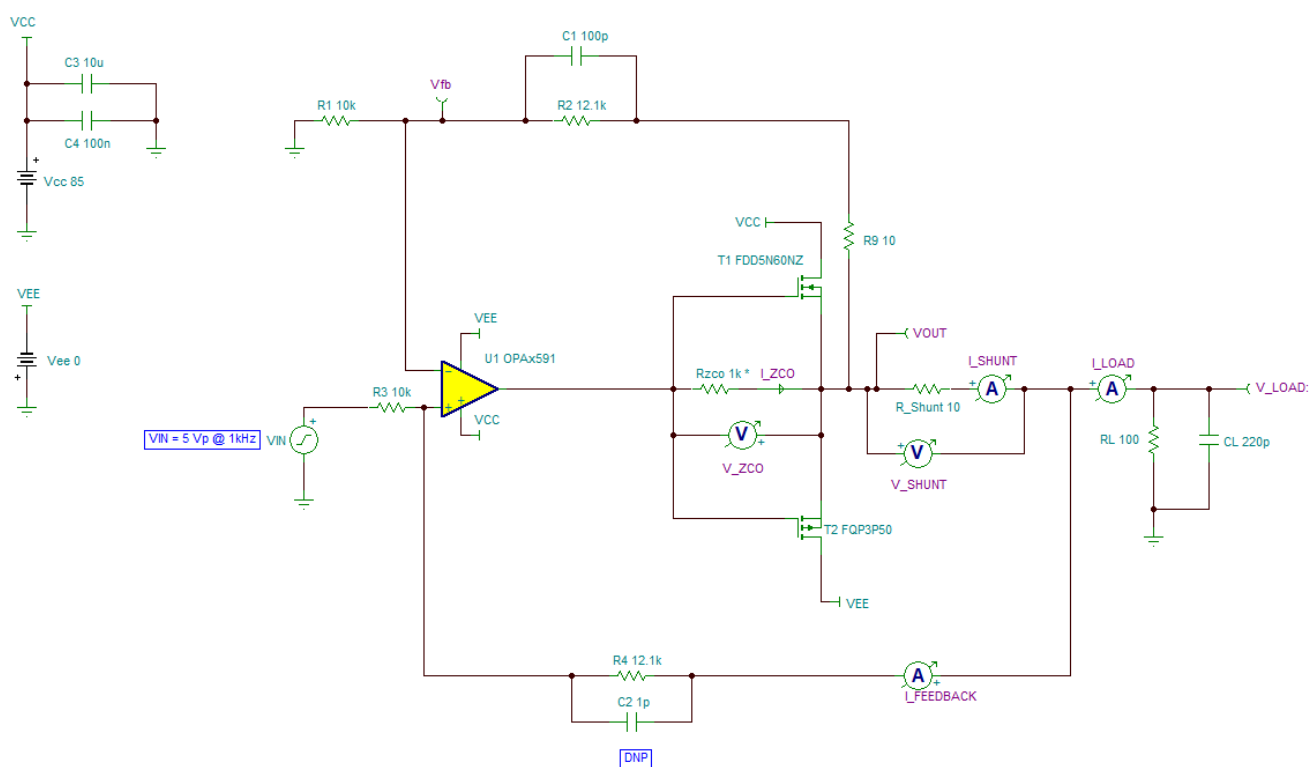
$$3V = \frac{R_6}{60.4k\Omega + R_6} \times 85V \quad (11)$$

$$R_6 = 2209.76\Omega \quad (12)$$

次のように標準抵抗値を選択します: $R_6 = R_7 = 2k\Omega$ 。

R₆とR₇は、選択した MOSFET の個々の $V_{GS(th)}$ 値がプロセスのバラツキによって変動するため、クロスオーバー歪みに対して経験的にさらに最適化することができます。

設計シミュレーション結果

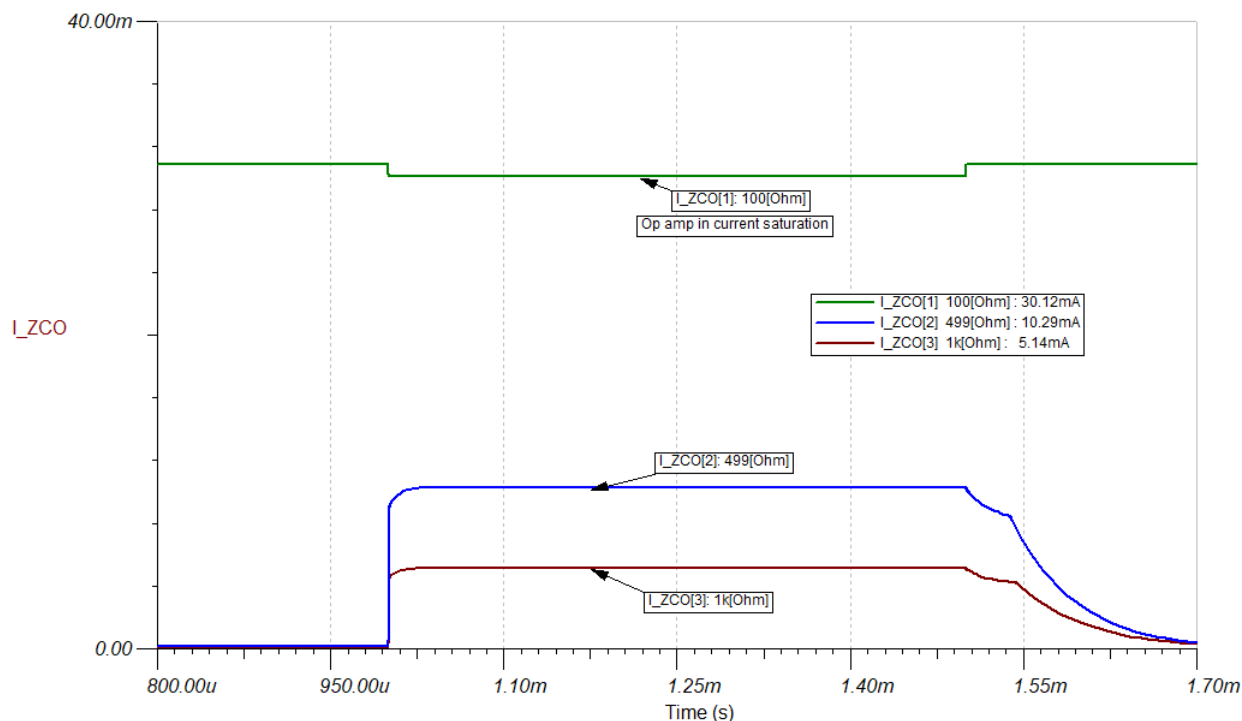


OPA591 IHCP + ディスクリート出力電流ブースト R_{ZCO} の TINA 回路

注

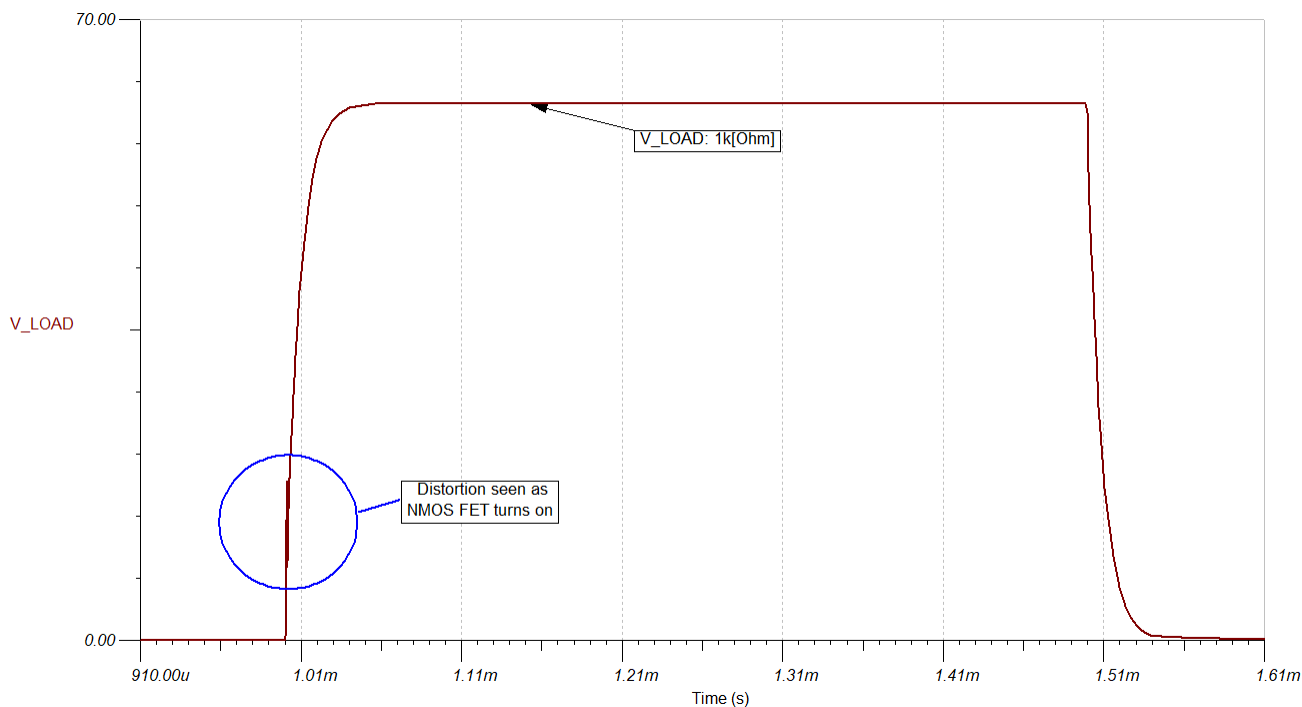
NMOS の 500V バージョンには利用できるモデルがないため、モデリングには FDD5N60NZ の SPICE モデルを使用しました。

TINA シミュレーションは、元々は回路の一部として分圧器を使用せずに実行されます。これにより、 R_{ZCO} の最適化値を詳しく知ることができます。その後、クロスオーバー歪みをさらに最適化するために、回路に分圧器が追加されます。



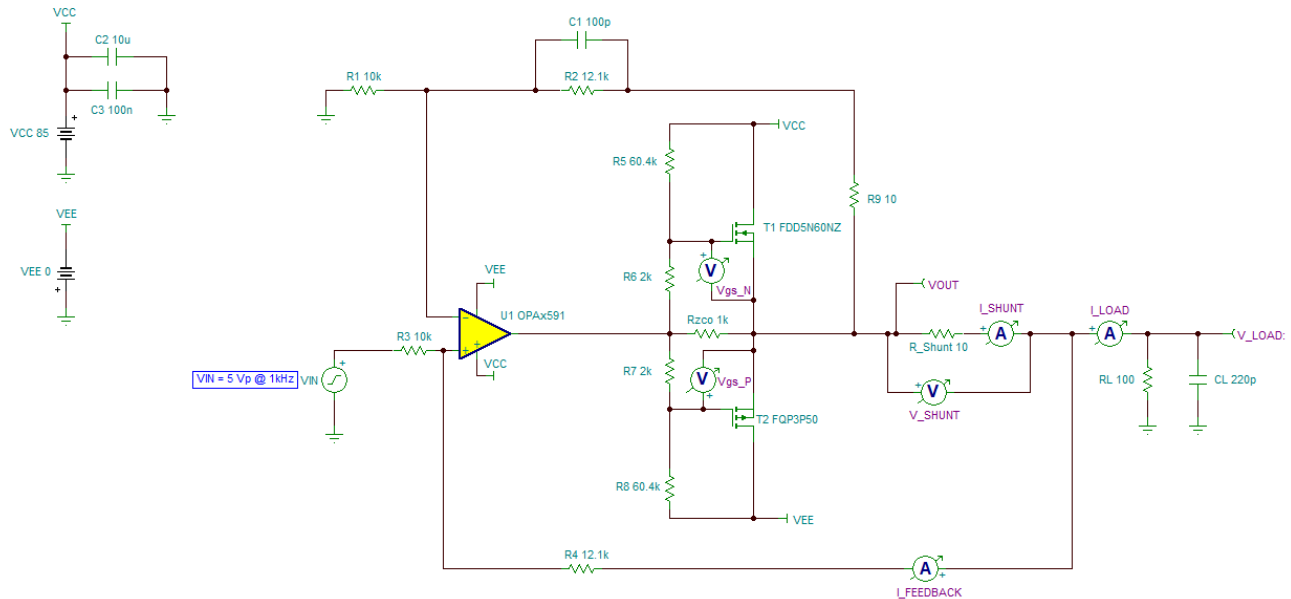
OPA591 ディスクリート出力電流ブースト R_{ZCO} TINA 回路

この回路の入力に、 $5V_P$ の方形波が印加されます。出力応答から、MOSFET がオフのときに負荷を駆動する電流を把握できます。 R_{ZCO} 抵抗が小さすぎる (100Ω 、 499Ω) と、アンプの出力から過剰な電流が流れます (I_{ZCO} とラベル付けされた)。ここでは、 499Ω の抵抗での $10.29mA$ の消費電流とは異なり、 $5.14mA$ の電流が回路に追加されるため、 $1k\Omega$ を R_{ZCO} として選択しています (上の図を参照)。また、 499Ω の抵抗と $1k\Omega$ の抵抗のノイズの差はごくわずかであるため、 R_{ZCO} には $1k\Omega$ が適しています。より値の大きい抵抗を使用することもできますが、回路のノイズは増加します。



R_{ZCO} および対応する I_{ZCO} 値のシミュレーション結果

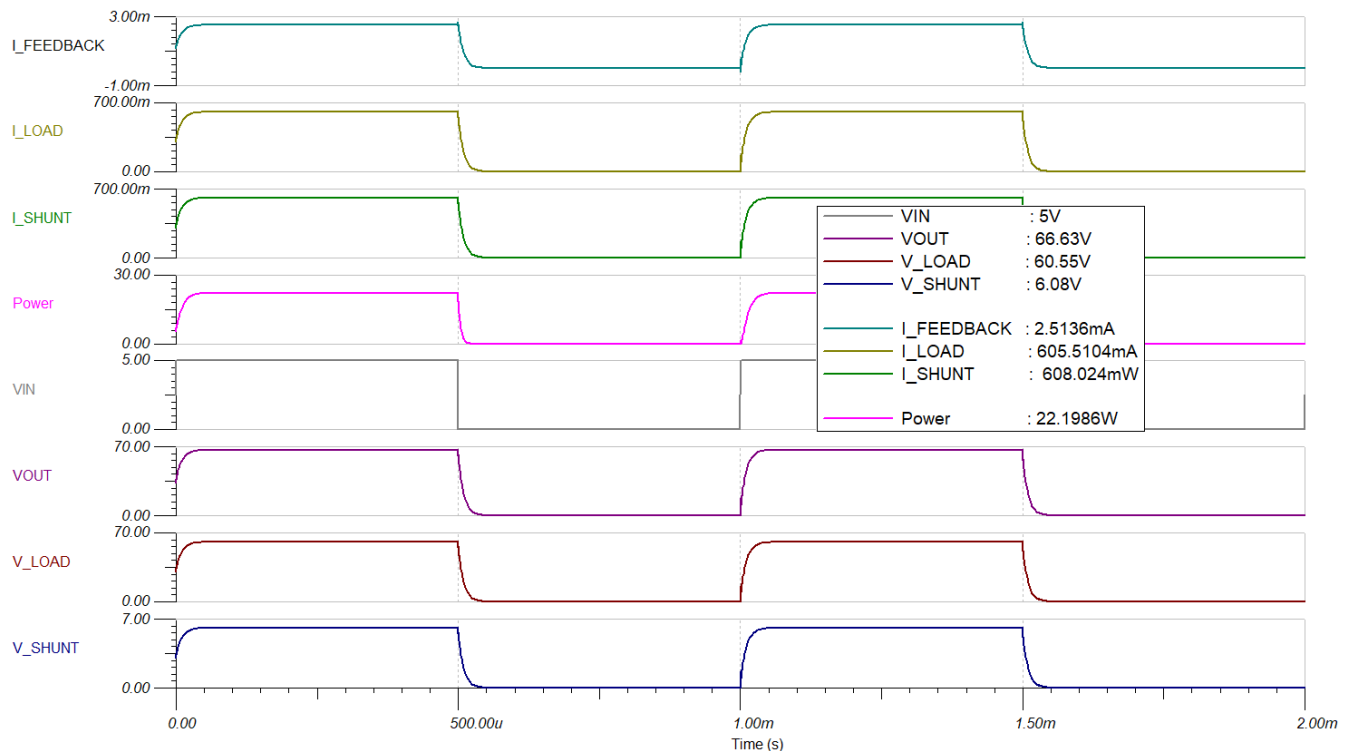
$R_{ZCO} = 1k\Omega$ のときの V_{LOAD} を見ると、まだ歪みがあります。この歪みは NMOS FET がオンになることで発生します。回路に分圧器を追加することで、MOSFET のゲートに連続的に印加される V_{GS} を制御できるようになります。



OPA591 IHCP + ディスクリット出力電流ブースト回路の TINA 回路

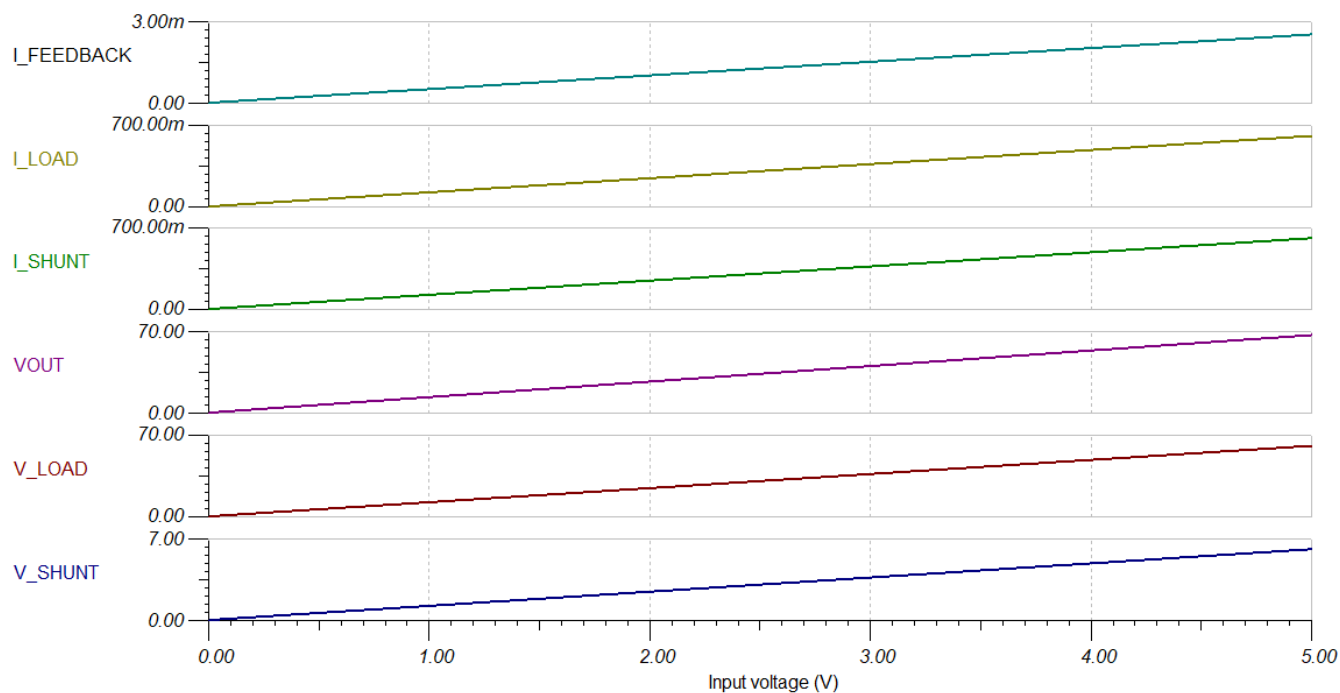
「OPA591 ディスクリット出力電流ブースト回路の過渡シミュレーション結果」と「OPA591 ディスクリット出力電流ブースト回路の DC スイープ シミュレーション結果」は、完成した回路のシミュレーションされた設計結果を示しています。

MOSFET のゲートに分圧器を追加した結果、出力の歪みを最小限に抑えることができました。



OPA591 ディスクリット出力電流ブースト回路の過渡シミュレーション結果

式 8 と同じ計算に TINA のポスト プロセッサを使用して、回路の平均出力電力 (ノード VOUT で観察される値) を算出します。



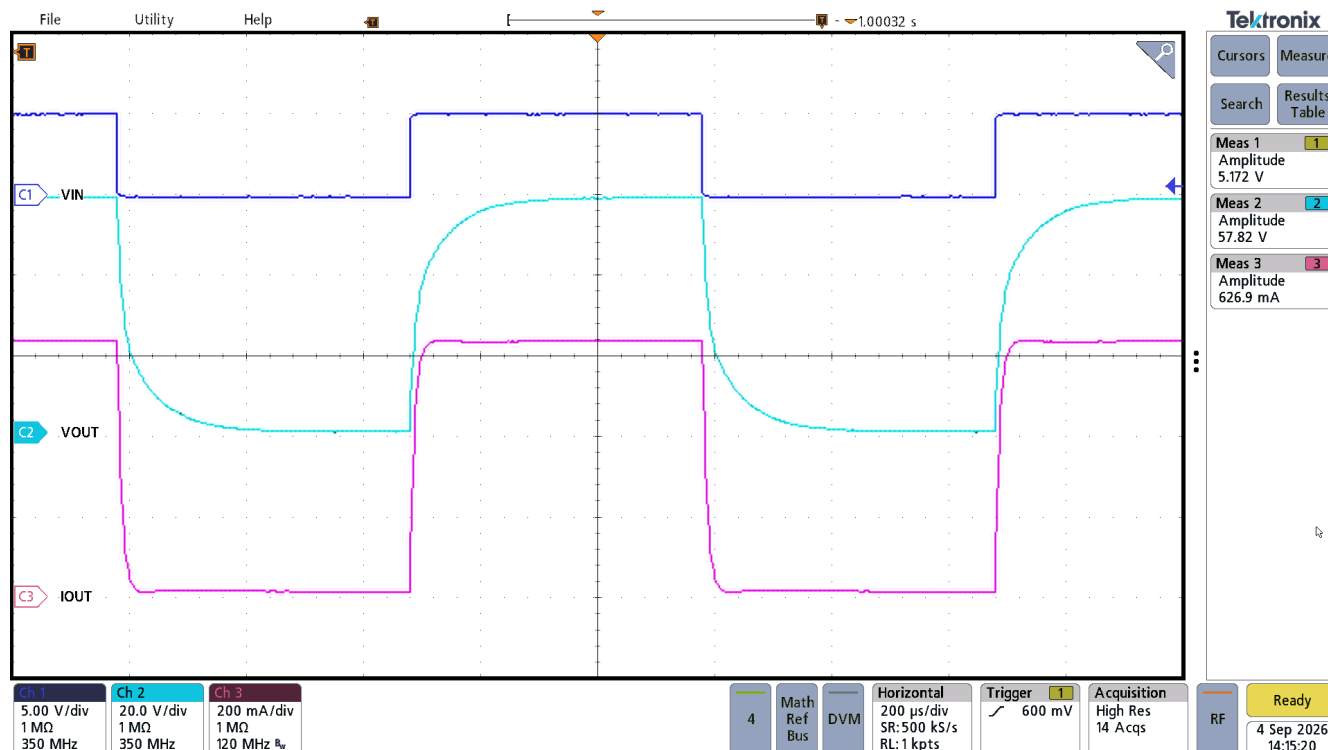
OPA591 ディスクリート出力電流ブースト回路の DC スweep シミュレーション結果

TINA の DC スweep 解析は、入力電圧と出力電流の線形関係を示しています。

設計測定結果

この回路のオシロスコープの結果については、以下を参照してください。

入力			出力	
V_{IN}	BW	ゲイン	V_{LOAD}	I_{LOAD}
$0V_P - 5V_P$	1kHz	1.2 V/V	$60V_P$	600mA



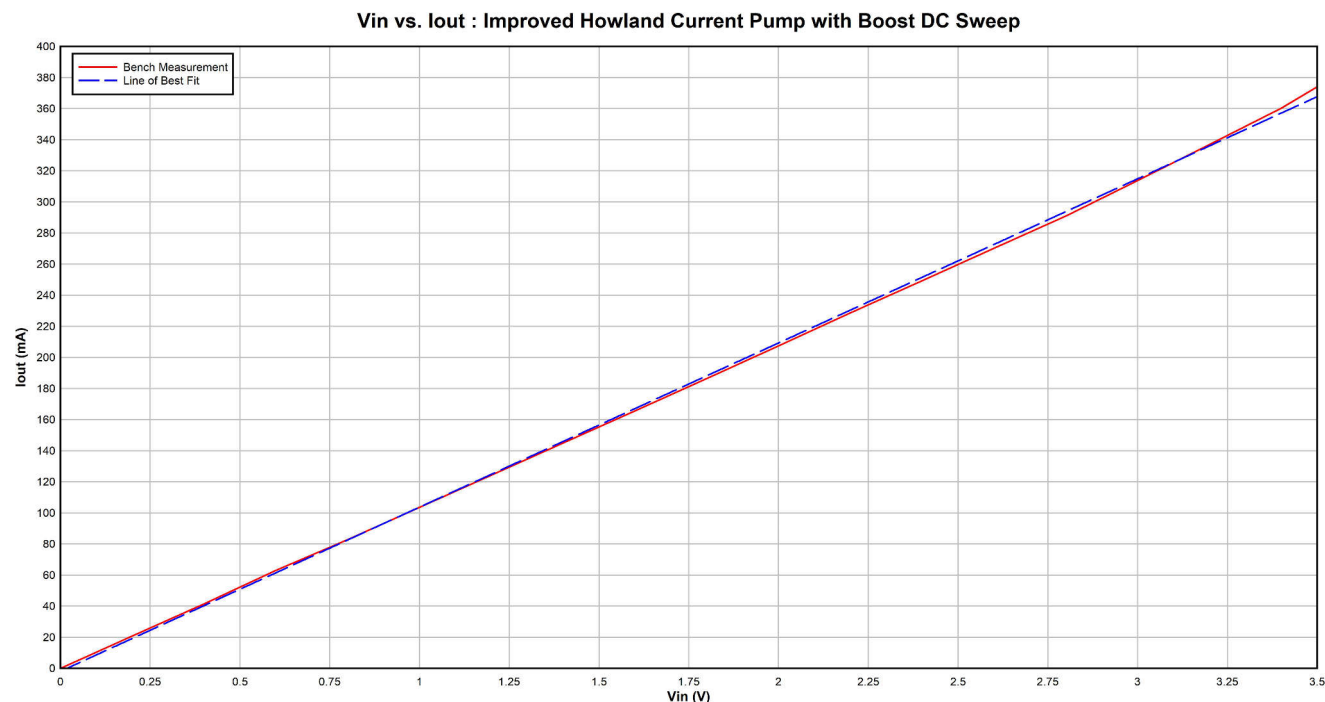
OPA591 DC スイープ測定結果 ($V_{in} = 5V_P @ 1kHz$)

0 ~ $5V_P$ の方形波が回路に印加されます。上記の OPA591 DC スイープ測定結果は、 V_{IN} 、 V_{OUT} 、 I_{OUT} の関係を示しており、改良型ハウランド電流ポンプとディスクリット出力ブースト回路が期待どおりに動作していることを確認しています。

入力		出力	
V_{IN}	V_S	V_{LOAD}	I_{LOAD}
$0V_P - 3.5V_P$	60V	$37.4V_P$	0mA ~ 384mA

DC 信号は同じ入力電圧に対して等価的な電力がより高くなるので、回路の電源電圧を 60V に低下させています。0 ~ $3.5V_P$ の DC スイープを回路に印加します。以下の図は V_{IN} と I_{OUT} の間の線形動作を示し、改良型ハウランド電流ポンプとディスクリット出力ブースト回路が期待どおりに動作することを確認しています。回帰直線が示されており、予想値と

の偏差がわずかであることがわかります。 $3.5V_P$ では、出力電流が期待値から逸脱します。これは、回路の消費電力が大きいからです。MOSFET の温度が上昇すると、出力の線形性が低下します。



V_{IN} と I_{OUT} の関係:DC スイープ測定結果

ターゲット アプリケーション

- 高電圧 / 高信号ジェネレータ
- パラメトリック測定ユニット
- ソース測定ユニット

設計に使用しているデバイス

OPA591	
V_{SS}	8V ~ 85V
V_{OUT}	$(V-) + 0.5 \sim (V+) - 0.5$ ($R_L = 10k\Omega$ の場合)
V_{OS}	200 μ V
I_Q	500 μ A
UGBW	3MHz (G = 10)
スルーレート	100V/ μ s
OPA591	

設計代替デバイス

OPA596	
V _{SS}	8V ~ 85V
V _{OUT}	(V ₋) + 0.5 ~ (V ₊) - 0.5 (R _L = 10kΩ の場合)
V _{OS}	1mV
I _Q	500μA
UGBW	3MHz (G = 10)
スルーレート	100V/μs
OPA596	

設計の参照資料

1. テキサス インスツルメンツ、『OPA591 ディスクリート出力電流昇圧回路』、TINA-TI シミュレーション ファイル [SBOMCV6](#)
2. テキサス インスツルメンツ、『OPA591 TINA-TI Spice モデル』

1 その他資料

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月