参考資料

Application Note

TIC12400-Q1 のポーリング モード動作と割り込み動作について

Frank Qin

概要

TIC12400-Q1 は、12V 車載アプリケーション用に設計された、24 チャネルのマルチスイッチ検出インターフェイスです。このアプリケーション レポートでは、データシートだけでは十分には説明されていないデバイス動作の 2 つの側面について説明します。つまり、タイミング、シーケンシング、レジスタ更新動作などの内部ポーリング サイクル アーキテクチャと、スプリアス割り込みリスク評価に関連する /INT ピンのリーク電流特性です。ここに示す情報は、現場でのアプリケーションに関するやりとりと TI のエンジニアリング評価から得られたもので、TIC12400-Q1 データシートを補完することを意図しています。

目次

1 概要 2
2 ポーリング モード動作 3
2.1 ポーリング サイクル アーキテクチャ 3
2.2 ポーリング タイミング パラメータ 3
2.3 ポーリング サイクル中のレジスタ更新動作 3
2.4 デバイスのスタートアップ シーケンスと最初のポーリング サイクル 4
3 /INT ピンのリーク電流と割り込み処理 5
3.1 /INT ピンのリーク仕様 5
3.2 割り込みの生成と構成 5
3.3 スタートアップ割り込み動作とウェークアップ信号のタイミング 5
4 まとめ 7
5 参考資料 8

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 概要

TIC12400-Q1 には、設定可能な 24 の入力チャネル (IN0 ～ IN23) があります。各チャネルは、デジタル スイッチ検出 (コンパレータ モード) またはアナログ電圧測定 (ADC モード) に個別に割り当てることができます。どちらのモードでも、デバイスは定期的なポーリング サイクルで動作します。有効になっているすべてのチャネルにウェット電流が印加され、各チャネルが順番にサンプリングされ、結果はオンチップのステータス レジスタに保存されます。ホスト マイコンは SPI 経由でこれらのレジスタを読み取り、状態の変化が検出されたときに /INT ピンで割り込みを受信することもできます。

デバイスは次の 2 つの動作モードに対応しています。

- ポーリング モード:デバイスは、設定可能なポーリング間隔ごとに、有効なすべてのチャネルを 1 回サンプリングし、次の間隔が始まるまでアイドル状態となります。
- 連続モード:このデバイスは、サイクル間のアイドル期間なしに、有効なすべてのチャネルを連続的にサンプリングします。

このドキュメントでは、車載用ボディ エレクトロニクス アプリケーションで最も一般的に使用される構成であるポーリング モードに焦点を当てます。

注記:特に記述のない限り、このドキュメントで参照されるすべてのタイミング値は、ポーリング モード動作に適用されます。

English Document: SDAA403
Copyright © 2026 Texas Instruments Incorporated

2 ポーリング モード動作

2.1 ポーリング サイクル アーキテクチャ

各ポーリング サイクルは 3 つ位相で構成され、次の順序で実行されます。

位相	名称	説明
1	ウェット電流アクティブ	ポーリング間隔の開始時に、ウェット電流の設定がゼロ以外であるすべてのチャネルで、ウェット電流が同時に有効になります。電流は、プログラムされたポーリングのアクティブ時間の間、アクティブに維持されます。
2	シーケンシャル サンプリング	内部マルチプレクサは、ウェット電流のアクティブ時間の後、有効になっている各 INx チャネルを ADC またはコンパレータに 1 つずつ接続します。各チャネルはそれぞれ Tadc または Tcomp に対してサンプリングされ、結果レジスタは即座に更新されます。チャネルは IN0 から IN23 という順序でサンプリングされ、無効化されたチャネルはスキップされます。
3	アイドル	有効なすべてのチャネルのサンプリングが完了すると、ウェット電流は無効化され、デバイスは次のポーリング間隔が始まるまでアイドル状態となります。アイドル位相の期間は、プログラムされたポーリング期間から位相 1 および位相 2 に費やされた時間を減算した値に等しくなります。

表 1.TIC12400-Q1 のポーリング サイクル位相シーケンス

このアーキテクチャの重要な点は、アイドル位相中にウェット電流が有効にならないことです。ウェット電流源によって生じる外部負荷では、DC 刺激ではなくパルス刺激が発生します。センサ励起のウェット電流に依存するシステム レベルの設計では、このデューティ サイクルを考慮する必要があります。

2.2 ポーリング タイミング パラメータ

表 2 に、ポーリング サイクルを管理する主要なタイミング パラメータをまとめます。

パラメータ	記号	最小値	標準値	最大値
ポーリング期間 (設定可能)	T_{POLL}	—	8ms (デフォルト)	—
チャネルごとの ADC 測定時間	T_{ADC}	—	18µs	25µs
チャネルごとのコンパレータ測定時間	T_{COMP}	—	10µs	18µs
TRIGGER ビットが設定されてから最初のポーリング サイクル開始までの時間	T_{start}	200µs	300µs	400µs

表 2.TIC12400-Q1 の主要なポーリング タイミング パラメータ

デフォルトのポーリング期間が 8ms で、最大 24 のチャネルが ADC 測定用に構成されている場合 (標準値 Tadc = 18µs)、シーケンシャル サンプリング位相に費やされる最大時間は約 24 × 18µs = 432µs です。これは、デバイスがデフォルト設定で各ポーリング間隔の大部分の間、アイドル位相になっていることを意味します。

注記:ポーリング期間タイマは、有効化されているチャネルの数とは無関係にカウントされます。有効化するチャネル数が少ないと、サンプリング位相は短くなりますが、プログラムされたポーリング期間は変更されません。

2.3 ポーリング サイクル中のレジスタ更新動作

ADC_STATx レジスタには、各 INx チャネルについて最後にサンプリングされた値が保持されます。SPI 読み出しタイミングに関しては、これらのレジスタがいつ更新されるかを理解することが重要です。

次の説明が適用されます。

- チャネルごとの更新:各 INx チャネルの ADC_STATx レジスタは、チャネルが現在のポーリング サイクル内でサンプリングされた直後に更新されます。これは、フル サイクルの終了時ではありません。シーケンスで先にサンプリングされたチャネルには現在のサイクルの値が入り、まだサンプリングされていないチャネルにはまだ前のサイクルの値が保持されています。
- アトミック レジスタ読み取り:SPI 読み取りでは常に、最後に保存されたレジスタ値全体が返されます。部分的に更新されたレジスタを読み取ることはできません。ポーリング サイクルの途中で読み取りが発生すると、ホストは、読み取り時にサンプリングされたチャネルに応じて、異なるチャネルで、現在のサイクル値と前のサイクル値を両方受信します。

Copyright © 2026 Texas Instruments Incorporated

- レジスタ保持 (R と RC タイプの比較):アクセス タイプ「R」のレジスタビットは、SPI 読み取り後にその値を保持します。アクセス タイプ「RC」(読み取り / クリア) のレジスタ ビットは、読み取り直後にデフォルト値にリセットされます。各ビットのタイプについては、TIC12400-Q1 データシートのレジスタ マップを参照してください。

注記:アプリケーションですべてのチャネルが同じポーリング サイクルを反映する必要がある場合、SPI 読み取りは、完全なポーリング サイクルの終了を示す INT アサートの後、かつ次のサイクルのサンプリング フェーズが開始される前に行われるようにタイミングを合わせる必要があります。

2.4 デバイスのスタートアップ シーケンスと最初のポーリング サイクル

TIC12400-Q1 では、デバイスのリセット (ハードウェアまたはソフトウェア) 後に、ポーリングが自律的に開始されません。ホスト マイコンではまず、必要なすべてのレジスタを構成してから、CONFIG レジスタの TRIGGER ビットをロジック 1 に設定する必要があります。TRIGGER ビットが設定されてから 200 ～ 400µs 後に、デバイスは最初のポーリング サイクルを開始します。

スタートアップ シーケンスは、次のとおりです。

ステップ	アクション	備考
1	電力を供給します。デバイスの POR が完了するまで待ちます	続行する前に、VS と VDD が仕様の範囲内にあることを確認してください。
2	SPI 経由で、すべてのチャネル レジスタとスレッショルド レジスタを設定します	チャネル モード (ADC またはコンパレータ)、ウェット電流レベル、ポーリング期間、割り込み設定を設定します。
3	CONFIG レジスタで TRIGGER ビット = 1 を設定します	これによりウェット電流がアクティブになり、ポーリング サイクル タイマが始動します。
4	最初のポーリング サイクルが始まるまで、T_{start} (200 ～ 400µs) 待ちます	最初の完全なポーリング サイクルが完了するまで、有効な ADC またはコンパレータ データは利用できません。
5	最初の完全サイクルの /INT アサート信号が終了するまで待ちます	ベースライン スイッチ状態がキャプチャされていることを示すため、/INT ピンが最初のフル ポーリング サイクルの終わりにアサートされます。この後に、ADC_STATx および SWITCH_STATx レジスタから有効なデータを読み取ることができます。

表 3.TIC12400-Q1 デバイスのスタートアップ シーケンス

注記:TIC12400-Q1 の割り込みは、エッジ トリガではなく状態変更ベースです。最初のポーリング サイクルの終了時に確立された「状態」が、その後に行われるすべての割り込みの比較のベースラインになります。最初のポーリング サイクルが完了する前に入力がすでにアクティブ状態に遷移していた場合、そのアクティブ状態はベースラインとして保存され、その遷移に対する割り込みは生成されません。

Copyright © 2026 Texas Instruments Incorporated

3 /INT ピンのリーク電流と割り込み処理

3.1 /INT ピンのリーク仕様

/INT ピンはアクティブ Low で、オープンドレイン出力です。通常、VDD に接続された外部プルアップ抵抗によって High に保持され、TIC12400-Q1 によって Low にプルされて割り込みをアサートします。

アプリケーションの一般的な懸念は、ピンがデアサート (High) 状態のときに、/INT ピンのリーク電流によってスプリアス トリガが発生する可能性があるかどうかです。関連するデータシート パラメータは /INT 出力リーク電流で、/INT を VDD にプルアップしてテストされています。

パラメータ	最小値	最大値	単位
/INT 出力リーク電流 (ピンを VDD にプルアップ)	-1	+1	µA

表 4./INT ピンのリーク電流仕様

±1µA の仕様は、合格 ATE パラメータです。実際には、/INT ピンのリーク電流はこの範囲内に十分収まり、通常の動作条件でトリガされるスプリアス割り込みの原因ではありません。リーク電流は INx ピンのリーク電流 (最大 ±110µA) より 3 桁少ないため、混同しないでください。

注記:±110µA のリーク電流仕様は、INx 入力ピンにのみ適用され、/INT 出力ピンには適用されません。これら 2 つの仕様は独立しており、設計目的が異なります。

3.2 割り込みの生成と構成

TIC12400-Q1 の割り込みシステムは状態変化に基づいています。監視対象の 1 つまたは複数のチャネルの現在のサンプリング済み状態が、以前に保存された状態と異なっていることがデバイスによって検出されると、/INT ピンがアサートされます。この割り込みは、INx ピンの信号エッジによって直接生成されるのではなく、2 つの連続するポーリング サイクル結果の差によって生成されます。

主な動作特性:

- 設定可能な極性:割り込みは、Low から High への遷移、High から Low への遷移、またはいずれかの遷移でチャネルごとにトリガするよう構成できます。
- /INT アサートのタイミング:/INT ピンは、認定状態の変化が検出されたポーリング サイクルの終了時にアサートされます。デアサートは、ホストが関連ステータス レジスタの SPI 読み取りを実行した後に行われます (RC タイプ ビットは、読み取り時にクリアされます)。
- 最初のポーリング サイクルの動作:/INT ピンは常に、TRIGGER ビットが設定された後、最初の完全なポーリング サイクルの終わりにアサートされます。これは設計によるもので、デバイスに比較対象の事前状態がないため、最初のサイクルの結果がベースラインとして保存され、有効なベースライン データが利用可能になったことをホストに通知するための割り込みが発行されます。
- アナログ エッジの検出なし:INx ピンの信号の立ち上がり時間と立ち下がり時間は割り込み生成に直接影響しません。重要なのは、チャネルがサンプリングされた瞬間のロジック状態 (コンパレータのスレッショルドより上または下) です。そのチャネルのサンプリング期間の前に信号がスレッショルドを超えると、低速の遷移が正しく検出されます。

3.3 スタートアップ割り込み動作とウェークアップ信号のタイミング

TIC12400-Q1 を使用して、デバイスのスタートアップ シーケンス前、またはスタートアップ シーケンス中にすでに発生しているウェークアップ信号を検出した場合、特定のエッジ ケースが発生します。最初のポーリング サイクルによってベースラインが確立されるため、最初のポーリング サイクルが完了したときにすでに「アクティブ」状態になっている INx ピンは、そのアクティブ状態をベースライン値として保存します。初期状態としてキャプチャされた遷移については、割り込みは生成されません。

パワーオンから最初のポーリング サイクルの完了までの間、ウェーク信号が INx ピンを HIGH にする場合を考えてみます。TIC12400-Q1 では、そのチャネルのベースラインとして High が保存されます。後で信号が除去されると (Low になる)、デバイスでは High から Low への遷移が検出され、想定どおりに /INT がアサートされます。ただし、最初の High からアクティブへの遷移は、割り込みの観点では欠落しています。

レイテンシの影響を受けやすい設計でウェークアップ信号の欠落を回避するには、次のことを考慮してください。

Copyright © 2026 Texas Instruments Incorporated

- 予期されるウェークアップ信号ウィンドウより前に、MCU により TIC12400-Q1 が構成およびトリガされるようにします。TRIGGER ビットの設定から最初の有効なデータの開始までのスタートアップ時間は、200 ～ 400µs に 1 回の完全なポーリング サイクルを加えた値です (たとえば、デフォルト設定で 8ms)。したがって、TRIGGER から最初の有効な割り込みまでの合計時間は、通常、デフォルト設定で 10ms 未満です。
- 最初の /INT アサートの後に SWITCH_STATx レジスタを読み出して、すべてのチャネルの現在の状態を確認します。スタートアップ時にチャネルがすでにアクティブ状態である場合、アプリケーション ソフトウェアでは割り込みを待たず、それに応じて応答する必要があります。
- ウェークアップ検出のために、割り込みに基づく処理のみに頼らないでください。デバイス初期化後のレジスタの読み取りでは、グラウンドトゥルースのチャネルの状態が提供され、これをスタートアップ ルーチンに含める必要があります。

Copyright © 2026 Texas Instruments Incorporated

4 まとめ

TIC12400-Q1 のポーリング サイクルは、ウェット電流のアクティブ化、チャネルごとのサンプリング、アイドル期間という 3 つの連続する位相で構成されています。ウェット電流は最初の位相の間にのみ有効で、この間隔の残りの期間はオフになります。ポーリング期間タイマは、有効なチャネル数とは独立して動作するため、アクティブなチャネル数を減らすと、プログラムされた期間を変更することなく、アイドル位相が延長されます。

各 INx チャネルの結果レジスタは、フル サイクルの終了時ではなく、そのチャネルがサンプリングされた直後に更新されます。そのため、サイクルの途中で SPI 読み取りが実行されると、シーケンスで読み取りが行われた場所に応じて、現在のサイクルと前のサイクルの値の両方が返されます。タイプ RC が指定されたレジスタ ビットは、読み取り時にクリアされます。タイプ R ビットの値は保持されます。

ホストが CONFIG レジスタの TRIGGER ビットを設定するまで、デバイスはリセット後のポーリングを開始しません。最初のポーリング サイクルは、そのビットが設定されてから 200 ～ 400µs 後に開始されます。/INT ピンは、有効なベースライン状態がキャプチャされたことを示すために、最初の完全サイクルの終わりにアサートされます。割り込みシステムは状態変化に基づいているため、最初のサイクルが完了したときにすでにアクティブ状態になっている入力はすべてベースラインとして保存され、その初期遷移に対する割り込みを生成しません。厳密なウェークアップ検出要件を持つアプリケーションでは、割り込み生成のみに依存するのではなく、最初の /INT アサートの後に SWITCH_STATx レジスタを読み取る必要があります。

/INT ピンのリーク電流は最大 ±1µA と規定されています (ATE 検証済み、ピンは VDD にプル)。これは、スプリアス割り込みトリガのリスクにはなりません。INx ピンのリーク仕様である ±110µA と混同しないでください。これは、入力チャネルのみに適用される個別のパラメータです。

Copyright © 2026 Texas Instruments Incorporated

5 参考資料

1. https://www.ti.com/lit/gpn/tic12400-q1

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月