参考資料

Application Note

TLV320ADCx120 および PCMx120-Q1 サンプリング レートとプログラマブル処理ブロックをサポート

Pedro Gelabert

概要

このアプリケーション ノートでは、TLV320ADCx120 および PCMx120-Q1 ファミリのデバイスのデシメーション フィルタ チェーン内で使用可能な処理ブロックについて説明します。また、この文書では、サンプル レートやチャンネル数に応じた、各処理ブロックの対応構成についても説明しています。

目次

1 概要....2
2 TLV320ADCx120 および PCMx120-Q1 の処理ブロック....3
2.1 デシメーション フィルタ応答....3
2.2 AGC、DRE、または DRC....4
2.3 チャネル サマ、デジタル ミキサ、バイクワッド....5
3 異なるサンプル レートでサポートされる処理ブロック....6
3.1 8kHz のサンプル レート....6
3.2 16kHz ～ 48kHz のサンプル レート....6
3.3 96kHz のサンプル レート....6
3.4 192kHz のサンプル レート....7
3.5 384kHz のサンプル レート....8
3.6 768kHz のサンプル レート....8
4 構成例....9
5 関連資料....11
6 改訂履歴....12

図の一覧

図 1-1. TLV320ADCx120 および PCMx120-Q1 チャネルのシグナル チェーン処理フロー チャート....2
図 3-1. 8kHz ～ 48kHz のサンプル レートでサポートされるチャネルの組み合わせ....6
図 3-2. 96kHz のチャネル組み合わせ、AGC/DRE/DRC 有効時....7
図 3-3. 96kHz のチャネル組み合わせ、AGC/DRE/DRC 無効時....7
図 3-4. 192kHz リニア位相フィルタ用のチャネル組み合わせ、AGC/DRE/DRC がイネーブル....7
図 3-5. 192kHz リニア位相フィルタ用のチャネル組み合わせ (AGC/DRE/DRC 無効)....8

表の一覧

表 2-1. レコード チャネルのデシメーション フィルタ モードの選択....3
表 2-2. デシメーション フィルタの最大チャネル数....3
表 2-3. AGC、DRE、DRC 選択レジスタのフィールドの説明....4
表 2-4. AGC/DRE/DRC が有効な場合にサポートされるアナログ チャネル数....4
表 2-5. チャネル サマ モードおよびデジタル ミキサのプログラマブル設定....5
表 2-6. バイクワッド構成の設定....5
表 2-7. 入力チャネル間における処理ブロックの割り当て....5

商標

Burr-Brown™ and 『PurePath™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 概要

TLV320ADCx120 および PCMx120-Q1 は、デュアル チャネルのオーディオ A/D コンバータ ファミリで、プログラマブル デジタル処理ブロックを備えた柔軟性の高い信号チェーンを内蔵しており、幅広いアプリケーションに適しています。データシートには、デバイスのすべての機能の概要が記載されています。図 1-1 に、信号処理チェーンを示します。このデバイスは、2 つのアナログ マイクロフォン チャネル、4 つのデジタル PDM マイクロフォン チャネル、またはアナログ チャネルとデジタル マイクロフォン チャネルの組み合わせをサポートできます。図 1-1 に示すデシメーション フィルタ、デジタル サマ およびミキサ ブロック、バイクワッド フィルタは、高度に構成可能なため、さまざまなアプリケーション シナリオに対応できます。さらに、このデバイスは、アナログ マイクロフォン チャネルで自動ゲイン コントローラ (AGC) ブロック、ダイナミック レンジエンハンサー (DRE)、またはダイナミックレンジ圧縮 (DRC) ブロックもサポートしています。これらのデジタル機能はすべて、同じ固定処理リソースを共有しています。したがって、イネーブルされるチャネル数、各チャネル (アナログまたはデジタル) の性質、およびサンプル レートによって、処理ブロックとフィルタの構成の可能性が決まります。

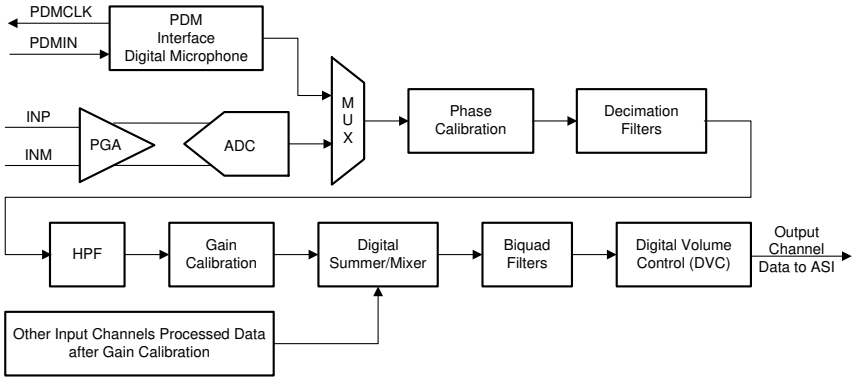


図 1-1. TLV320ADCx120 および PCMx120-Q1 チャネルのシグナル チェーン処理フロー チャート

TLV320ADCx120 および PCMx120-Q1 デバイス ファミリは、2 セットのサンプル レートをサポートしています。1 セットのサンプル レートは、8kHz ～ 768kHz の範囲にある 48kHz の約数および倍数 (計 9 種類) をカバーします。他のサンプル レートのセットは、44.1kHz の約数および倍数である 7.35kHz ～ 705.6kHz のサンプル レートをカバーしています。このアプリケーション ノートでは、48kHz のサンプル レートのセットのみを参照していますが、44.1kHz のサンプル レートのセットから対応するサンプル レートにも適用できます。たとえば、8kHz サンプル レートでサポートされている機能は、7.35kHz でもサポートされています。

次のセクションでは、処理ブロック、構成オプション、およびそれらがサポートされている入力チャネル、およびサポートされているサンプル レートについて説明します。以降のセクションでは、異なるサンプル レートでサポートされるチャネルの組み合わせと、特定のチャネルの組み合わせでサポートされている処理ブロックについて説明します。

Copyright © 2026 Texas Instruments Incorporated

2 TLV320ADCx120 および PCMx120-Q1 の処理ブロック

以下のセクションでは、使用に必要なデバイス構成について説明します。

- デシメーション フィルタ
- AGC、DRE、または DRC
- プログラマブル バイクワッド
- サマ
- デジタル ミキサ

2.1 デシメーション フィルタ応答

デシメーション フィルタは、アナログ チャネルのマルチビット デルタ シグマ変調器からのオーバー サンプル データ、またはデジタル マイクからのオーバー サンプル PDM ストリームのいずれかを処理し、出力サンプリング レートまたはフレーム同期 (FSYNC) レートで出力 PCM サンプルを生成します。デシメーション フィルタ オプションは、DECI_FILT、P0_R107_D[5:4] レジスタ ビットを構成することによって選択されます。記録チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 2-1 に示します。リニア位相、低レイテンシ、超低レイテンシのデシメーション フィルタの 3 つのオプションをサポートしています。

表 2-1. レコード チャネルのデシメーション フィルタ モードの選択

P0_R107_D[5:4] : DECI_FILT[1:0]	デシメーション フィルタ モードの選択
00 (デフォルト)	線形位相デシメーション フィルタ
01	低レイテンシ、ほぼ線形位相のデシメーション フィルタ
10	超低レイテンシ デシメーション フィルタ
11	予約済み

2.1.1 サポートされているサンプル レート

デシメーション フィルタのデフォルトの応答は線形位相で、8kHz ～ 768kHz のすべてのサンプル レートでサポートされています。表 2-2 に示すように、サンプル レートのサブセットでは、低レイテンシと超低レイテンシのデシメーション フィルタがサポートされています。サポートされていないデシメーション フィルタは「NA」とマークされています。サポートされているデシメーション フィルタについては、表 2-2 に最大チャネル数を示します。表 2-2 に示すチャネル数をサポートするには、セクション 3 に示すように、特定の処理ブロックを無効にする必要がある場合があります。

表 2-2. デシメーション フィルタの最大チャネル数

サンプル レート (kHz)	線形位相	低レイテンシ	超低レイテンシ
8 または 7.35	2	NA	NA
16 または 14.7	2	2	2
24 または 22.05	2	2	2
32 または 29.4	2	2	2
48 または 44.1	2	2	2
96 または 88.2	2	2	2
192 または 176.4	2	2	2
384 または 352.8	2	NA	2
768 または 705.6	1	NA	NA

Copyright © 2026 Texas Instruments Incorporated

2.2 AGC、DRE、または DRC

アナログ チャネルには、次のいずれかのオプションをサポートする処理ブロックが含まれています。

- 自動ゲイン制御 (AGC) は、公称上一定の出力レベルを維持するために、ADC チャネルのゲインを動的に制御するアルゴリズムです。AGC は、すべての TLV320ADCx120 および PCMx120-Q1 デバイス バリアントで利用可能です。
- ダイナミック レンジ エンハンサ (DRE) は、ダイナミック レンジを拡張するために、ADC チャネルの PGA ゲインを動的に調整するアルゴリズムです。DRE は、TLV320ADC5120、TLV320AD6120、PCM5120-Q1 および PCM6120-Q1 デバイスで利用できます。
- ダイナミックレンジ圧縮 (DRC) とは、ADC チャネルの PGA ゲインを動的に調整し、オーディオ範囲内の特定の領域にわたって信号レベルを拡大するアルゴリズムである。DRC は、TLV320ADC5120、TLV320AD6120、PCM5120-Q1 および PCM6120-Q1 デバイスで利用できます。

一度に有効にできるブロックは 1 つのみです。これらのブロックは、DSP_CFG1 (P0_R108) の適切な DRE_AGC_SEL および DRC_EN ビットフィールドを設定することで有効化されます(表 2-3 を参照)。

表 2-3. AGC、DRE、DRC 選択レジスタのフィールドの説明

処理ブロック	P0_R108_D[3] : AGC_SEL[0]	P0_R108_D[1] : DRC_EN[0]
AGC	1	0
DRE	0 (デフォルト)	0 (デフォルト)
DRC	0	1

TLV320ADC5120、TLV320AD6120、PCM5120-Q1、PCM6120-Q1 デバイスは、DSP_CFG0 (Po_R107[6]) の ENH_DRE_AGC_DRC ビット フィールドを設定することで、AGC、DRE、または DRC アルゴリズムの拡張バージョンもサポートしています。

2.2.1 サポートされているサンプル レート

AGC、DRE、または DRC は、16kHz ～ 192kHz のサンプル レートでサポートされています。AGC、DRE、または DRC は、8kHz、384kHz、および 768kHz のサンプル レートではサポートされていません。サポートされていないサンプル レートでは、DSP_CFG1 (P0_R108]) の DRE_AGC_SEL および DRC_EN ビット フィールドのデフォルト値を変更しないでください。

2.2.2 チャネル割り当て

AGC、DRE、または DRC はアナログ チャネルでのみ使用できます。アナログ チャネルは入力チャネル 1 および 2 に割り当てられます。表 2-4 に、AGC、DRE または DRC 処理ブロックが有効なときにデバイスでサポートされるアナログ チャネルの最大数を示します。

表 2-4. AGC/DRE/DRC が有効な場合にサポートされるアナログ チャネル数

サンプル レート (kHz)	AGC/DRE/DRC が有効な場合にサポートされるチャネル数
8 または 7.35	なし
16 または 14.7	2
24 または 22.05	2
32 または 29.4	2
48 または 44.1	2
96 または 88.2	2
192 または 176.4	1
384 または 352.8	なし
768 または 705.6	なし

Copyright © 2026 Texas Instruments Incorporated

2.3 チャネル サマ、デジタル ミキサ、バイクワッド

このデバイスは、4 チャネルのミキサ、2 チャネルの サマー、およびチャネルごとに最大 3 つのバイクワッドをサポートしています。これらの機能は、8kHz ～ 192kHz のすべてのサンプル レートでサポートされています。サマ モードとミキサモードの設定の詳細については、表 2-5 を参照してください。プログラマブル ミキサー機能は、CH_SUM[2:0] が 2'b00 に設定されている場合にのみ使用できます。ミキサ機能は、入力チャネル 1 ～ チャネル 4 のみでサポートされています。

チャネルごとのバイクワッド フィルタの数は、表 2-6 に示すように、P0_R108:BIQUAD_CFG ビット フィールドを使用して設定できます。バイクワッドフィルタ構成の詳細については、『TLV320ADCx120 および PCMx120-Q1 プログラマブルなバイクワッド フィルタの構成とアプリケーション』アプリケーション レポートを参照してください。

表 2-5. チャネル サマ モードおよびデジタル ミキサのプログラマブル設定

P0_R107_D[3:2] : CH_SUM[1:0]	入力チャネルのチャネル合計モード
00 (デフォルト)	チャネル サマ モードが無効化されます (デジタル ミキサが有効化)。
01	出力チャネル 1 = (入力チャネル 1 + 入力チャネル 2) /2
	出力チャネル 2 = (入力チャネル 1 + 入力チャネル 2) /2
10	予約済み
11	予約済み

表 2-6. バイクワッド構成の設定

P0_R108_D[6:5] : BIQUAD_CFG[1:0]	バイクワッド構成
00 (デフォルト)	チャネルごとにバイクワッドがありません。バイクワッドはすべて無効になります。
01	チャネルごとに 1 つのバイクワッド
10	チャネルごとに 2 つのバイクワッド
11	チャネルごとに 3 つのバイクワッド

表 2-7 に、特定の入力チャネルで使用可能な処理ブロックを示します。これらの割り当ては固定されており、変更できません。2 チャネル サマ モードは最初の 2 チャネルで使用でき、他のチャネルの一部が無効であっても、チャネル 3 および 4 に割り当てることはできません。4 チャネル ミキサと 1 チャネルあたり 3 つのバイクワッドは、すべてのチャネルで使用できます。入力チャネル 1 ～ 2 はほとんどの機能をサポートし、チャネル 3 および 4 がサポートする機能数は最も少なくなっています。

表 2-7. 入力チャネル間における処理ブロックの割り当て

後処理ブロック	1	2	3	4
2 チャネル サマ	✓	✓	x	x
4 チャネル ミキサ	✓	✓	✓	✓
バイクワッド利用可能	3	3	3	3

Copyright © 2026 Texas Instruments Incorporated

3 異なるサンプル レートでサポートされる処理ブロック

このセクションでは、異なるサンプル レートで利用可能な具体的な処理ブロックについて説明します。

3.1 8kHz のサンプル レート

8kHz のサンプル レートでは、線形位相 (デフォルト) のデシメーション フィルタ応答のみがサポートされています。サポートされている処理ブロックには、バイクワッド、デジタル ミキサ、およびチャネル サマが含まれます。AGC、DRE または DRC 処理ブロックは、8kHz サンプル レートではサポートされていません。バイクワッド、チャネル サマ、およびデジタル ミキサ ブロックは、それぞれの入力チャネルでサポートされています (表 2-7)。

図 3-1 に、8kHz サンプル レートでサポート可能なアナログ チャネルとデジタル チャネルの組み合わせを示します。たとえば、2 つのアナログ チャネル (3 列目) の場合、最大 2 つのデジタル チャネルをサポートできますが、1 つのアナログ チャネルの場合も最大 2 つのデジタル チャネルのみをサポートできることがわかります。セルのエントリは、そのチャネル組み合わせで利用可能なバイクワッドの数を示しています。たとえば、2 つのアナログ マイクと 2 つのデジタル マイクの組み合わせでは、チャネルあたり 3 つのバイクワッドをサポートできます。

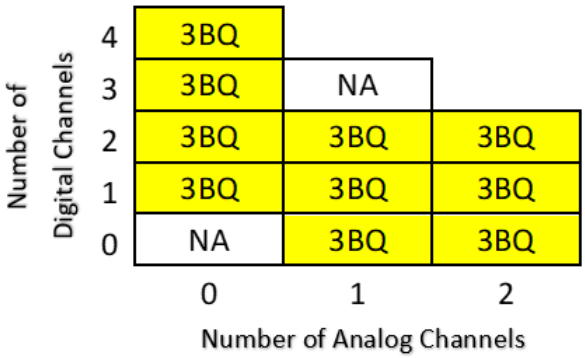


図 3-1. 8kHz ～ 48kHz のサンプル レートでサポートされるチャネルの組み合わせ

3.2 16kHz ～ 48kHz のサンプル レート

16kHz ～ 48kHz のサンプル レートでは、すべての処理ブロックとデジタル フィルタ オプションがサポートされています。

デシメーション フィルタは、線形位相、低レイテンシ、超低レイテンシのいずれかに構成できます。AGC、DRE、または DRC 処理ブロックは、すべてのアナログ チャネルでサポートされています。バイクワッド、チャネル サマ、およびデジタル ミキサ ブロックは、それぞれの入力チャネルでサポートされています (表 2-7)。図 3-1 に、8kHz 動作でサポートされるチャネルの組み合わせを示します。16 ～ 48kHz の場合、チャネルの組み合わせは同じです。サポートされているチャネルの組み合わせの場合、図 3-1 のセルエントリは、そのチャネルの組み合わせで使用可能なバイクワッドの数を示します。

3.3 96kHz のサンプル レート

3 つのデシメーション フィルタ オプションはすべて、96kHz 動作に対応しています。96kHz モードでは、AGC、DRE、または DRC の処理ブロックに対応していますが、すべてのチャンネルの組み合わせで対応しているわけではありません。図 3-2 に、AGC、DRE または DRC が有効のときにサポートされるチャネルの組み合わせを示します。図 3-3 に、AGC、DRE または DRC が無効のときにサポートされるチャネルの組み合わせを示します。

Copyright © 2026 Texas Instruments Incorporated

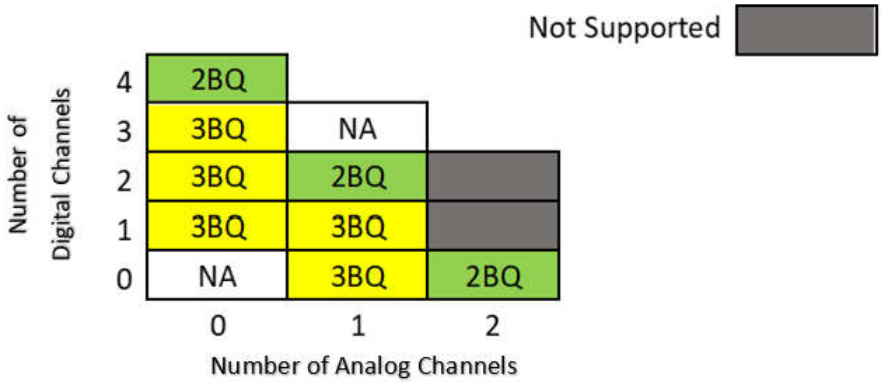


図 3-2. 96kHz のチャネル組み合わせ、AGC/DRE/DRC 有効時

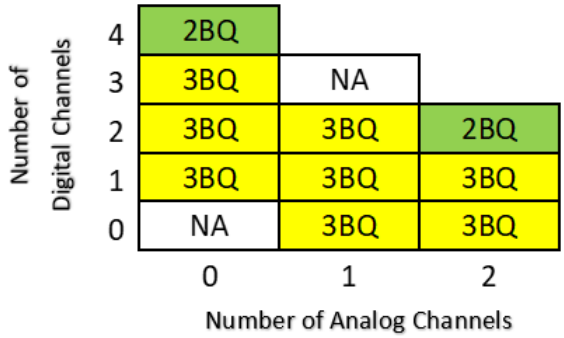


図 3-3. 96kHz のチャネル組み合わせ、AGC/DRE/DRC 無効時

3.4 192kHz のサンプル レート

3 つのデシメーション フィルタ オプションはすべて、192kHz 動作に対応しています。

図 3-4 に、AGC、DRE、または DRC がイネーブルのとき、192kHz のサンプル レートと線形位相デシメーション フィルタ応答でサポートされるチャネルの組み合わせを示します。図 3-5 に、AGC、DRE、DRC なしでサポートされている組み合わせを示します。バイクワッド、チャネル サマ、およびデジタル ミキサは、線形位相デシメーション フィルタ オプションでサポートされています。

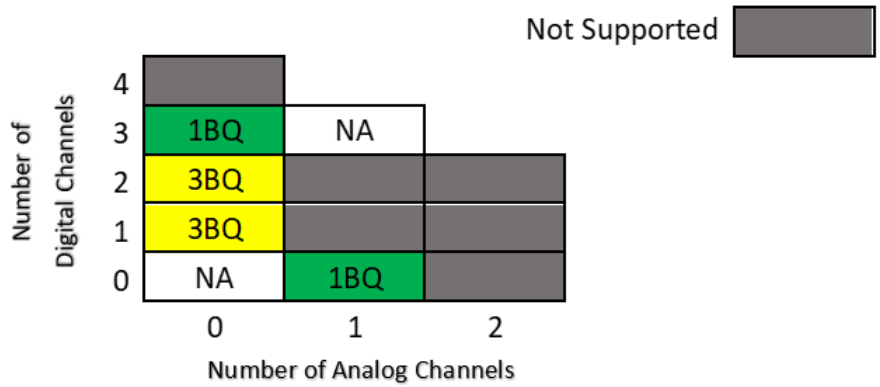


図 3-4. 192kHz リニア位相フィルタ用のチャネル組み合わせ、AGC/DRE/DRC がイネーブル

Copyright © 2026 Texas Instruments Incorporated

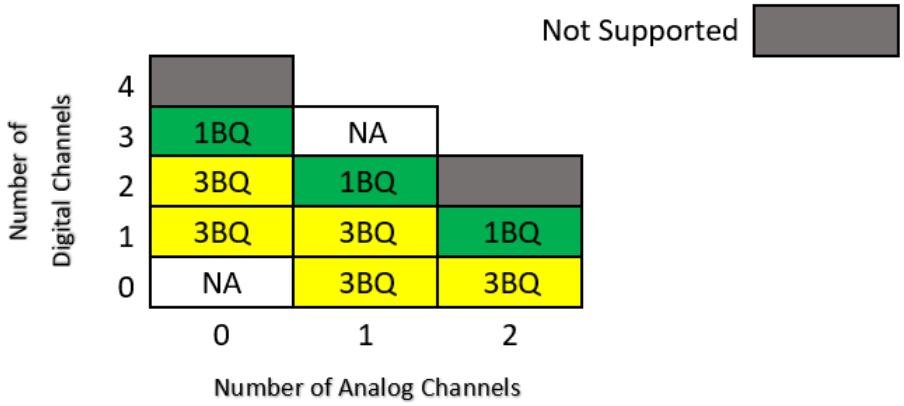


図 3-5. 192kHz リニア位相フィルタ用のチャネル組み合わせ (AGC/DRE/DRC 無効)

低レイテンシ (および超低レイテンシ) のデシメーション フィルタ応答オプションでは、AGC、DRE または DRC が無効である場合、最大 3 つのチャネルがサポートされます。AGC、DRE または DRC が有効の場合、1 つのチャネルのみがサポートされます。このモードでは、バイクワッド、チャネル サマ、およびデジタル ミキサはサポートされていません。

3.5 384kHz のサンプル レート

384kHz サンプル レートでは、線形位相 (DECI_FILT = 00) および超低レイテンシ (DECI_FILT = 10) デシメーション フィルタ応答がサポートされています。AGC、DRE および DRC、バイクワッド、チャネル サマ、デジタル ミキサ 処理ブロックは、384kHz 動作ではサポートされていません。384kHz では最大 2 つのチャネルがサポートされており、アナログ、デジタル、またはそれらの組み合わせにすることができます。

3.6 768kHz のサンプル レート

768kHz のサンプル レートでは、線形位相 (DECI_FILT = 00) デシメーション フィルタ応答のみがサポートされています。AGC、DRE および DRC、バイクワッド、チャネル サマ、デジタル ミキサ 処理ブロックはサポートされていません。1 つのチャネルのみがサポートされています。アナログ チャネルまたはデジタル PDM マイクを使用できます。

Copyright © 2026 Texas Instruments Incorporated

4 構成例

さまざまな組み合わせに関するいくつかのデバイス構成スクリプト例をいくつか挙げると、以下の通りです。

例 1: デジタル ミキサを使用した入力 2 チャネル / 出力 4 チャネル構成。

1. 差動 2 チャネル入力
2. 線形位相デシメーション フィルタ
3. 24 ビット TDM モード
4. デジタル ミキサ モードを有効化
5. デジタル ミキサ 3: Ch3 Out = 0.5 × Ch1 + 0.5 × Ch2
6. デジタル ミキサ 4: Ch4 Out = 0.5 × Ch1 - 0.5 × Ch2

```
# Key: w 9c XX YY ==> write to I2C address 0x9c, to register 0xXX, data 0xYY
#               # ==> comment delimiter
#
# Differential 2-channel 24-bit TDM mode : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48kHz (Output Data Sample Rate), BCLK = 11.2896MHz (BCLK/FSYNC = 256)
#####################################################################
#
#
# Power up IOVDD and AVDD power supplies
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Wait for 1ms.
#
w 9c 00 00 # Goto Page 0
w 9c 02 81 # Wake-up device by I2C write into P0_R2 using internal AREG
w 9c 6B 01          # Linear Phase Decimation Filter with digital mixer
# Digital Mixer 3 Configuration
w 9c 00 04          # Goto Page 4
w 9c 28 40 00 00 00 # Digital Mixer 3: Channel 1 Coefficient (MIX3_CH1) = 0.5
w 9c 2C 40 00 00 00 # Digital Mixer 3: Channel 2 Coefficient (MIX3_CH2) = 0.5
w 9c 30 00 00 00 00 # Digital Mixer 3: Channel 3 Coefficient (MIX3_CH3) = 0.0
w 9c 34 00 00 00 00 # Digital Mixer 3: Channel 4 Coefficient (MIX3_CH4) = 0.0
# Digital Mixer 4 Configuration
w 9c 00 04          # Goto Page 4
w 9c 38 40 00 00 00 # Digital Mixer 4: Channel 1 Coefficient (MIX4_CH1) = 0.5
w 9c 3C C0 00 00 00 # Digital Mixer 4: Channel 2 Coefficient (MIX4_CH2) = -0.5
w 9c 40 00 00 00 00 # Digital Mixer 4: Channel 3 Coefficient (MIX4_CH3) = 0.0
w 9c 44 00 00 00 00 # Digital Mixer 4: Channel 4 Coefficient (MIX4_CH4) = 0.0

w 9c 00 00 # Goto Page 0
w 9c 07 20 # TDM Mode with 24 Bits/Channel
w 9c 73f0 # Enable Ch.1 - Ch.4 to get output on all 4 channels
w 9c 74f0 # Enable Ch.1 - Ch.4 ASI Output channels
w 9c 75e0 # Power up ADC
```


Copyright © 2026 Texas Instruments Incorporated

例 2:チャネル サマ を持つ 2 つの入力チャネル。

1. 差動 2 チャネル入力
2. 線形位相デシメーション フィルタ
3. 32 ビット TDM モード
4. 2 チャネル サマ モード

```
# Key: w 9c XX YY ==> write to I2C address 0x9c, to register 0xXX, data 0xYY
#               # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Differential 2-channel : INP1/INM1 - Ch1 and INP2/INM2 - Ch2
# FSYNC = 48kHz (Output Data Sample Rate), BCLK = 11.2896MHz (BCLK/FSYNC = 256)
######################################################################
#
#
# Power up IOVDD and AVDD power supplies
# Wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Wait for 1ms.
#
w 9c 00 00 # Goto Page 0
w 9c 02 81 # Wake-up device by I2C write into P0_R2 using internal AREG
w 9c 6B 05 # Linear Phase Filter with 2 channel summer mode (DSP_CFG0)

w 9c 07 30 # TDM Mode with 32 Bits/Channel
w 9c 73c0 # Enable Ch.1 - Ch.2
w 9c 74c0 # Enable Ch.1 - Ch.2 ASI Output channels
w 9c 75e0 # Power up ADC
```


Copyright © 2026 Texas Instruments Incorporated

5 関連資料

関連資料については、以下を参照してください。

- PCM6120-Q1
  - テキサス インスツルメンツ、『PCM6120-Q1、2 チャネル、768kHz、Burr-Brown オーディオ ADC』、データシート。
- PCM5120-Q1
  - テキサス インスツルメンツ、『PCM5120-Q1、2 チャネル、768kHz、Burr-Brown オーディオ ADC』、データシート。
- PCM3120-Q1
  - テキサス インスツルメンツ、『PCM3120-Q1、2 チャネル、768kHz、Burr-Brown オーディオ ADC』、データシート。PCM3120-Q1
- TLV320ADC6120
  - テキサス インスツルメンツ、『TLV320ADC6120、2 チャネル、768kHz、Burr-Brown™ オーディオ ADC』、データシート。
  - テキサス インスツルメンツ、『TLV320ADC6120 ステレオ チャネル、768kHz、Burr-Brown™ オーディオ ADC、106dB SNR 評価基板』
- TLV320ADC5120
  - テキサス インスツルメンツ、『TLV320ADC5120、2 チャネル、768kHz、Burr-Brown™ オーディオ ADC』、データシート。
  - テキサス インスツルメンツ、『TLV320ADC5120 ステレオ チャネル、768kHz、Burr-Brown™ オーディオ ADC、106dB SNR 評価基板』
- TLV320ADC3120
  - テキサス インスツルメンツ、『TLV320ADC3120、2 チャネル、768kHz、Burr-Brown™ オーディオ ADC』、データシート。
  - テキサス インスツルメンツ、*『TLV320ADC3120 ステレオ チャネル、768kHz、Burr-Brown™ オーディオ ADC、106dB SNR 評価基板』*
- テキサス インスツルメンツ、『ADCx120EVM PDK ユーザー ガイド』
- テキサス インスツルメンツ、『PurePath™ Console』

Copyright © 2026 Texas Instruments Incorporated

6 改訂履歴

Changes from Revision A (April 2022) to Revision B (October 2026) **Page**

- 表 2-2 を更新 3

Changes from Revision * (May 2021) to Revision A (April 2022) **Page**

- PCMx120-Q1 デバイスを追加 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月