参考資料

Technical White Paper

過渡負荷テストおよびレーザードライバ向け高速電圧制御電流源 (VCCS)

Anant Sinha, Shreenidhi Patil, Vikas Jeevannavar, Harsha Vardhan and Jyothi Sanganna

概要

データセンターのコンピューティングでより高性能な電源管理が求められるにつれて、正確な過渡応答テストの必要性が非常に高まっています。この技術ホワイトペーパーでは、電子負荷、レーザードライバなどのアプリケーション向けに最適化された、高速、大電流の電圧制御電流源 (VCCS) について説明します。このデザインは、安定性と電圧規格準拠を維持しながら高速な立ち上がり時間 (100ns) と大出力電流 (最大 150A パルス) を実現することを重視しています。このホワイトペーパーでは、包括的な設計手順を詳しく説明しています。具体的には、重要部品であるパワー MOSFET の選択 (飽和領域動作、入力容量、安全動作領域に注目)、消費電力と ESL に起因する立ち上がり時間の制約とのバランスを取るためのセンス抵抗の最適化、帯域幅、スルーレート、出力電流の要件に基づくオペアンプの選択を取り上げます。さらに、ダンピング抵抗 (R_{damp}) やデュアル帰還トポロジを用いて寄生発振を抑制し、最新の GPU および CPU 電源アプリケーション向けにセトリング タイムを最適化するなど、さまざまな回路アーキテクチャを評価しています。

目次

1 概要.....2
1.1 Design Summary (設計サマリ).....2
2 動作原理.....2
2.1 ス回路の概要.....2
2.2 閉ループ制御.....2
2.3 FET の動作領域.....3
3 設計手順.....3
3.1 FET の選定.....3
3.2 R_{sense} の選択.....5
3.3 オペアンプの選択.....6
4 設計に基づく部品選定.....7
4.1 T_{rise} = 100ns の設計.....7
4.2 アーキテクチャの選択 (クイック リファレンス).....9
5 回路アーキテクチャの選択.....9
5.1 シングル フィードバック方式.....9
5.2 デュアル帰還方式.....10
5.3 強化されたデュアルフィードバック方式.....11
6 結果.....11
7 関連資料.....13

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 概要

データセンターコンピューティングの急速な成長に伴い、効率的な電力管理を備えた高性能システムの需要が高まっています。過渡負荷テスタは、負荷電流を急激に変化させて、電力供給システムの過渡応答と安定性を評価する回路です。このようなテストは、電力需要の急激な変化にシステムがどれだけ効果的に対応できるかを評価するのに役立ちます。電圧制御電流源 (VCCS) は、過渡負荷テスタを実装するためのプログラマブルな負荷電流を供給します。出力電流は、閉ループ構成のオペアンプ、パワー FET、高精度センス抵抗を用いて、入力電圧によって制御されます。このリファレンス デザインでは、さまざまな要件と高速動作に合わせて最適化した VCCS の実装例を紹介します。このデザインは、最新の GPU および CPU の電源、ならびにデータセンター アプリケーション向けの高精度な電力供給テストに対応しています。

1.1 Design Summary（設計サマリ）

表 1-1. 設計 - 大電流、高速 VCCS

パラメータ	目標
最大出力電流 (最大)	150A (パルス)
立ち上がり時間 (10% ～ 90%)	100ns
電圧コンプライアンス (最小)	0.4V
トランスコンダクタンス (I_{OUT}/V_{IN})	500A/V

2 動作原理

2.1 ス回路の概要

図 2-1 に、この設計で実装した VCCS の基本トポロジを示します。この回路は、パワー FET のゲートを駆動するオペアンプと、FET のソース経路に配置した高精度のセンス抵抗で構成されています。センス抵抗の両端に発生する電圧はオペアンプの反転入力に帰還され、負帰還ループが形成されます。この回路を支配する伝達関数は次のとおりです:

$$I_{OUT} = \frac{V_{IN}}{R_{sense}} \quad (1)$$

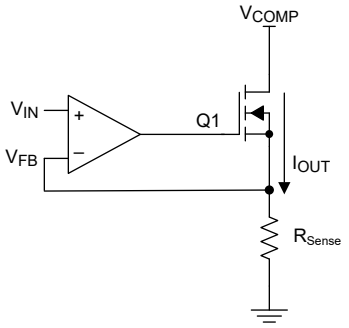


図 2-1. オペアンプ制御の定電流源

2.2 閉ループ制御

この回路は次のように動作します:

1. 入力制御電圧は、V_{IN} は、オペアンプの非反転入力端子に印加されます。
2. オペアンプは、V_{IN} を帰還電圧 V_{FB} と比較します。これは、FET を流れるドレイン ソース間電流に起因して、センス抵抗の両端に発生する電圧です。
3. V_{IN} と V_{FB} の差分 (誤差信号) がオペアンプによって増幅され、FET のゲートを駆動するために使用されます。
4. FET はチャネル コンダクタンスを変調することでゲート駆動に応答し、それによってセンス抵抗を流れる電流を調整します。
5. $V_{FB} = V_{IN}$ のとき、ループは平衡に達します

Copyright © 2026 Texas Instruments Incorporated

この定常状態では、出力電流は負荷インピーダンスに関係なく、入力電圧とセンス抵抗値によって正確に決まります。これは、式 1 に示すように理想的な電流源の定義特性です

2.3 FET の動作領域

電圧電流コンバータ (V2I) では、理想的な電圧制御電流源として機能するために、MOSFET は飽和領域で厳密に動作する必要があります。飽和領域では、ドレイン電流 I_D は V_{GS} のみによって決まり、V_{DS} には依存しないため、FET は高く明確なトランスコンダクタンス g_m を持ちます。これにより、オペアンプがゲートに印加したステップはすばやく比例的にソースに反映され、帰還ループは目的の出力電流に速やかかつ正確にセトリングできます。ただし、FET がオーム (リニア) 領域に入ることが許容される場合、→ $V_{DS} < (V_{GS} – V_{th})$ → デバイスは電流源として動作しなくなり、電圧制御抵抗へと遷移します。この領域では、ドレイン電流は V_{GS} と V_{DS} の両方の関数になり、実効的なトランスコンダクタンス g_m が大幅に低下します。その結果、オペアンプがゲートにステップ変化を加えても、そのステップのごく一部しかソースに再現されず、ゲートからソースへの信号伝達が大きく減衰します。帰還ループは厳密には閉じたままですが、実効ゲインが大幅に低下した状態で動作します。実効ゲインが低下するため、オペアンプは誤差を補正しようとゲートを強く駆動しますが、補正のたびに FET からは弱い応答しか得られません。ループはこの低ゲインの補正プロセスを繰り返すため、出力は非常にゆっくりとセトリングし、最終的に目的の電流レベルに達します。

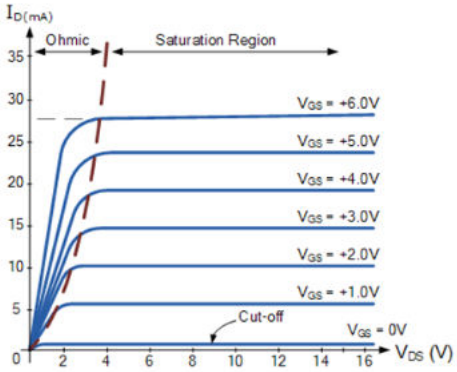


図 2-2. FET 特性曲線

3 設計手順

このセクションでは、FET、R_{sense}、オペアンプの選択について説明します。

3.1 FET の選定

設計プロセスは FET の選択から始まり、この選択は、次の三つの主要な性能指標によって決まります:

1. 入力容量、C_{iss}
2. コンプライアンス電圧範囲
3. 安全動作領域、SOA

3.1.1 C_{iss}

実際のゲート駆動回路では、ゲートトレースとボンディングワイヤ接続に寄生インダクタンスが必ず存在します。ゲート インダクタンスとゲート ノードの総実効容量 C_{eff} (C_{iss} を含む) が組み合わさり、LC タンク回路を形成します。高速ステップがゲートに到達すると、減衰のない LC 回路は固有の共振周波数でリンギングを起こし、V_{GS} で発振が発生し、結果的に出力電流が低下し、過渡応答が大幅に低下します。ゲートと直列に配置されたダンピング抵抗 R_{damp} は、LC ループに十分な抵抗を加えることでこれらの発振を抑制します。共振を臨界減衰させ、発振のないクリーンなゲート電圧遷移を実現します。

R_{damp} の値は、重要な条件を満たす必要があります。R_{damp} は、両オペアンプの出力抵抗 R_o および FET の内部ゲート抵抗 R_g よりも十分に大きくなければなりません。高速設計では、R_o と R_g はいずれも通常非常に小さいため、両者の合計はゲートノードの総直列抵抗に比べて無視できるほどになり、R_{damp} がゲート駆動経路の支配的な抵抗となります。

Copyright © 2026 Texas Instruments Incorporated

R_{damp} には、R_{damp} >> R_o および R_g の条件を満たしつつ、ゲート駆動速度を必要な範囲内に保てる実用的な値として 5Ω を選択します。

R_{damp} はゲート ノードにおける支配的な抵抗であるため、RC ネットワークは C_{eff} とともに 1 次ローパス フィルタを形成します。この RC ネットワークの帯域幅は 1 / (2π × R_{damp} × C_{eff}) で与えられます。この極によって、オペアンプからのステップ入力にゲート電圧がどれだけ速く応答できるかが決まり、事実上システム全体の立ち上がり時間が決まります。したがって、必要な立ち上がり時間の仕様を満たすには、RC フィルタの帯域幅が応答帯域幅以上である必要があります。BW ≥ 0.35/T_{rise} (T_{rise} は目標の立ち上がり時間を表します)。この条件によって、C_{eff} の最大許容値、ひいては選択した FET の C_{iss} が直接制約されます。

一次系を想定すると、必要な帯域幅と立ち上がり時間の関係は式 2 に従って立ち上がり時間に関係します。

$$BW \geq \frac{0.35}{T_{rise}} \tag{2}$$

RC ゲートネットワークの帯域幅は、式 3 で与えられます

$$BW = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \tag{3}$$

これら二つの式を等しくすると、C_{iss} に関する基本的な制約条件が得られます:

$$C_{eff} \leq \frac{T_{rise}}{\left(2\pi \times R_{damp} \times 0.35\right)} \tag{4}$$

この不等式は、立ち上がり時間の仕様を満たすために、選択した FET に許容される総実効ゲート容量の最大値を規定するものです。

3.1.2 コンプライアンス電圧範囲

FET が飽和領域にとどまることを確認するには、データシートの二つの主要な特性曲線を参照する必要があります。まず、I_D と V_{GS} の伝達特性から、全出力電流を流すのに必要な最大ゲート ソース間電圧 (V_{GS}、最大値) が決まります。この値は、I_D が目標出力電流と等しいときの V_{GS} です。次に、その V_{GS} の最大値における I_D 対 V_{DS} の出力特性を調べ、ニーポイント電圧を特定します。これは、I_D が飽和して V_{DS} に依存しなくなる最小の V_{DS} です。このニーポイント電圧は、FET が飽和状態を維持するのに必要な最小ヘッドルームを表します。

アプリケーションの最小コンプライアンス電圧は、上記に示されたニーポイント V_{DS} を十分なマージンで超えている必要があります。最小コンプライアンス電圧がニーポイントに近すぎるか下回る場合、ワーストケース条件で FET がオーミック領域に入ります。この場合は、V_{th} がより低いデバイス、または飽和ニーがより急峻なデバイスを選択する必要があります。

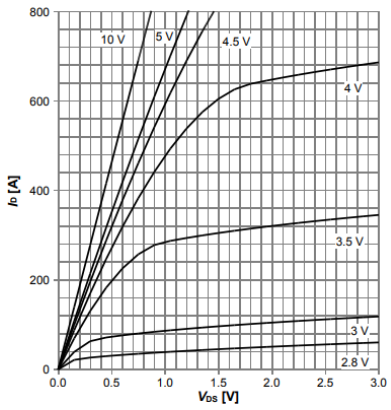


図 3-1. 代表的な出力特性

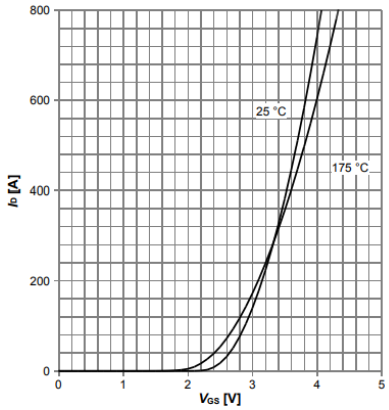


図 3-2. 代表的な伝達特性

Copyright © 2026 Texas Instruments Incorporated

実用的な例として、FET の代表的な出力特性および伝達特性である IQE013N04LM6CGSC を図 3-1 と図 3-2 に示します。図 3-1 は、各ゲート ソース間電圧におけるドレイン電流のドレイン ソース間電圧に対する変化を示しています。ドレイン電流は急激に増加した後、飽和領域に入ります。図 3-2 は 25°C および 175°C における伝達特性を示しています。ゲート ソース間電圧に対するドレイン電流の変化と、温度がデバイス電流に与える影響がわかります。これらの特性は、FET 動作時の動作領域を判断し、十分な電圧マージンを確保するのに役立ちます。

3.1.3 安全動作領域 (SOA)

安全動作領域 (SOA) 曲線は、FET を選択する際の重要なチェックポイントです。この曲線は、デバイスが故障することなく扱える V_{DS} と I_D の安全な組み合わせを定義しているからです。V2I コンバータでは、最大出力電流の仕様によって、SOA プロット上の動作点の位置が直接決まります。重要な点として、SOA 曲線は許容される最大オン時間の境界を示します。特定の電流レベルでは、デバイスは短時間であればより大きな消費電力に耐えられますが、オン時間が長くなるにつれて、ダイ内部の熱の蓄積により許容動作領域は縮小します。そのため、出力電流波形のデューティサイクルとパルス幅を、該当するパルス SOA の境界と照らし合わせて確認します。目標電流において必要なオン時間が SOA の許容範囲を超える場合は、ダイ面積が大きい、または熱特性に優れた FET を選択します。

オペアンプの出力スイング範囲が、ゲートの順方向および逆方向動作領域に適合していることを確認します。

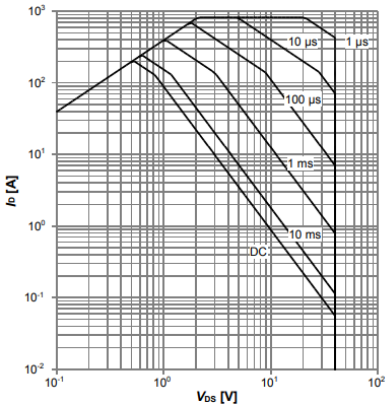


図 3-3. 安全動作領域

3.2 R_{sense} の選択

センス抵抗 (R_{sense}) は、出力電流を帰還電圧に変換し、オペアンプが入力基準電圧に対してレギュレーションできるようにすることで、V2I コンバータで基本的な役割を果たします。ただし、R_{sense} の値は、相反する二つの要件のバランスを取るよう慎重に選択します。すなわち、正確なセンシングに必要な十分な電圧を確保することと、過剰な消費電力を避けることです。大電流の設計では、わずかな抵抗値でも大きな電力損失が発生する可能性があります。たとえば、50A では、2mΩ の抵抗の消費電力は 5W ですが、0.1mΩ の抵抗ではわずか 0.25W です。センス抵抗での消費電力を管理可能な範囲に抑えるには、R_{sense} をできるだけ小さくする必要があります。これにより、消費電力を許容範囲内に抑えながら、抵抗 R_{sense} の両端での電圧降下を最小コンプライアンス電圧に対して小さく保つことができます。R_{sense} の選択は、オペアンプの入力オフセット電圧によって生じる出力電流誤差の許容範囲にも依存します。

3.2.1 ESL の影響

帰還電圧 V_{FB} は R_{sense} の両端で直接検出されるため、センス抵抗の寄生 ESL は R_{sense} とともに **L/R ローパス フィルタ**が形成されます。電流過渡中、ESL は電流の急激な変化に反対し、**$\tau = ESL + L_{Source}/R_{sense}$** の時定数が経過した後にようやく真の値に安定します。その結果、立ち上がり時間はおよそ次のようになります:

$$T_{rise} = 2\tau = 2 \times \frac{(ESL + L_{source})}{R_{sense}} \quad (5)$$

これにより、根本的な相反関係が生じます。R_{sense} を小さくすると消費電力は最小になりますが、L/R 時定数が直接増加して帰還応答が遅くなり、その結果、立ち上がり時間が要求仕様を超えてしまいます。そのため、R_{sense} を任意に小さくすることはできず、立ち上がり時間の制約によって R_{sense} の下限が設定されます。

Copyright © 2026 Texas Instruments Incorporated

3.3 オペアンプの選択

3.3.1 帯域幅

オペアンプの帯域幅は、オペアンプを選択する際の最初かつ最も基本的な基準です。低速なオペアンプでは、回路の他の部分をどれほど最適化しても、出力電流の立ち上がり時間が直接制限されるためです。システムを一次近似として扱うと、オペアンプに必要な最小帯域幅は式 6 で与えられます。

$$BW = \frac{0.35}{T_{rise}} \tag{6}$$

ここで

- T_{rise} は目標の立ち上がり時間仕様です

ただし、この値はオペアンプ単体が十分な速度を持つ最小値を表しており、信号経路の他の部分によって生じる追加の帯域幅制限に対するマージンはありません。

特に、FET 入力の R_{damp} と C_{gate} によって形成されるローパス フィルタは、利用可能な帯域幅の一部をすでに消費しています。つまり、ちょうど最小 BW のオペアンプを選択すると、カスケード接続されたシステムの応答は立ち上がり時間の目標を満たせません。オペアンプがボトルネックにならず、R_{damp} – C_{gate} の極を考慮したうえで十分な帯域幅が残るようにするには、計算した最小値の 3× ～ 4× の帯域幅を持つオペアンプを選択します。これにより、閉ループ システム全体が立ち上がり時間の仕様を余裕を持って満たすための十分なヘッドルームが確保されます。

3.3.2 スルーレート

V2I コンバータが出力電流ゼロから目的の設定点に遷移する際、オペアンプは FET のゲートを 0V から $V_{GS(desired)}$ – V_{IN} まで、目標の立ち上がり時間 T_{rise} 以内に駆動する必要があります。この遷移では、出力が一回の連続した遷移でゲート駆動範囲全体をスルーする必要があるため、最大の瞬間変化率が求められます。式 7 で、必要なスルーレートの推定値を算出します。

$$SR_{required} = \frac{\Delta V_{OUT}}{T_{rise}} = \frac{V_{GS(desired)} - V_{IN}}{T_{rise}} \tag{7}$$

これは、通常動作においてオペアンプ出力が短時間で大きな電圧スイングをカバーしなければならない唯一の遷移です。それ以外の電流レベルの変化では、ある設定点から別の設定点への遷移に必要なのは V_{GS} のわずかな補正だけです。つまり、オペアンプの出力振幅は小さく保たれ、スルーレートは制限要因になりません。したがって、スルーレートが重要な制約となるのは、ゼロからフル電流への遷移時だけです。

$$SR_{effective} \approx \left(\frac{V_{ID}}{V_{linear_range}}\right) \times SR_{max}$$

ここで、V_{ID} はドレインとソース間の電圧を表します。適切にレギュレーションされたループでは V_{ID} << V_{linear_range} であるため、$SR_{effective}$ はデータシートの SR_{max} のごく一部となります。この条件下でオペアンプが立ち上がり時間の要件を確実に満たすようにするには、データシートのスルーレートが $SR_{required}$ の 5× ～ 10× のデバイスを選択し、ループが線形の小信号領域で動作している場合でも、十分な出力変化率を維持できるようにします。小信号のスルーレート制限の詳細については、スルーレートのランプ アップを参照してください

3.3.3 オペアンプの出力電流

V2I コンバータが出力電流ゼロから目的の設定点に遷移する際、オペアンプは FET のゲート容量を 0V から V_{GS} (スレッショルド) まで充電する必要があります。これは、大量のゲート電荷を短時間で供給する必要がある唯一の遷移です。それ以外の電流レベルの変化 (ある設定点から別の設定点へのステップ変化) では、ゲート電荷の変化量 ΔQ_G は非常に小さくなります。つまり、必要なゲート電流も非常に小さく、オペアンプの出力電流が制限要因になることはありません。

必要なオペアンプの最大出力電流を求めるため、スレッショルドにおけるゲート電荷 $Q_{G(th)}$ をデータシートから取得します。これは、FET を完全オフの状態から導通が始まる点まで移行させるためにオペアンプが供給しなければならない総電荷であり、オペアンプ出力に対するワーストケースの電荷要求となります。

Copyright © 2026 Texas Instruments Incorporated

タイミング上の主な制約は、この電荷 $Q_{G(th)}$ を 0.25 × T_{rise} 以内に供給しなければならないことです。理由は単純です。$Q_{G(th)}$ が完全に転送されるまで FET はオフのままで、出力電流は流れません。この設計で FET のオフ状態を許容できるのは、目標立ち上がり時間のごく一部の間だけです。それより長くなると、FET のターンオン遅延だけで T_{rise} の大部分を占めてしまい、立ち上がり時間の仕様を満たせなくなります。このフェーズに 0.25 × T_{rise} を割り当てることで、電流が最終値まで上昇するための時間として、残りの 0.75 × T_{rise} を確保できます。したがって、必要なオペアンプ出力電流は次のようになります:

$$I_{OUT(min)} = \frac{Q_{G(th)}}{(0.25 \times T_{rise})} \quad (8)$$

スルーレートと同様に、この出力電流要件が重要になるのは、ゼロからフルへの遷移時だけです。FET がオンになってループがレギュレーション状態に入ると、電流レベルの変化に必要なのはわずかなゲート電荷の増分だけとなり、オペアンプの出力電流要求は無視できるレベルまで低下します。

4 設計に基づく部品選定

4.1 T_{rise} = 100ns の設計

4.1.1 FET の選択

前に確立したのと同じ帯域幅と立ち上がり時間の関係を適用します:

$$BW_{requirred} = \frac{0.35}{T_{rise}} = \frac{0.35}{100ns} = 3.5MHz$$

R_{damp} – C_{eff} ローパス フィルタの極は、この帯域幅よりも上になければなりません:

$$f_{pole} = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \geq 3.5MHz$$

C_{eff} について解くと、C_{eff} ≤ 9.09nF

したがって、この設計では、FET の実効入力容量を 9.09nF 未満にする必要があります。

1. 入力容量、C_{iss}

   C_{iss} が 9.1nF 未満の FET を検討する必要がありますが、容量変動による g_m への影響も考慮すると、C_{iss} が 7.6nF 未満の FET を選択する必要があります。

   C_{iss} の基準と目標の電流仕様から、IQE013N04LM6CGSC (C_{iss} = 3.3nF) を選択しました。
2. コンプライアンス電圧

   IQE013N04LM6CGSC のデータシートによると、最大電流要件を満たすには $V_{GS(max)}$ を 3V まで駆動する必要があります。この要件を FET の出力特性に当てはめると、FET は 0.5 ～ 0.6V を超える電圧で飽和領域で動作することがわかります。最小コンプライアンス仕様の 0.4V では、FET はオーミック領域から飽和領域への遷移領域付近で動作します。コンプライアンス電圧を 0.7 ～ 0.8V まで上げると、FET は飽和領域にとどまります。
3. SOA

   この設計は、パルス幅 100µs、最小コンプライアンス電圧 0.5V で、150A の出力電流を目標としています。100µs の境界に沿って V_{DS} = 0.4V のときの SOA 曲線を読み取ると、IQE013N04LM6CGSC は 100A を大きく上回る動作点をサポートしていることがわかります。このデバイスは十分なマージンを持って完全に安全領域内で動作しており、SOA が設計の制約にならないことが確認できます。

4.1.2 R_{sense} の選択

150A の出力電流を目標とするこの設計では、消費電力を最小限に抑えるため、センス抵抗の値を小さくする必要があります。ただし、抵抗値が小さいとセンス電圧も小さくなり、検出精度に影響を及ぼす可能性があります。したがって、2mΩ

Copyright © 2026 Texas Instruments Incorporated

の抵抗を使用すると消費電力とセンス電圧のバランスがとれ、150A のフルスケールで 300mV が得られます。これは、消費電力を実用的な範囲内に維持しながら、オペアンプによるレギュレーションに十分な値です。

4.1.3 オペアンプの選択

4.1.3.1 帯域幅

オペアンプに必要な最小帯域幅は、目標立ち上がり時間によって決まります:

$$BW_{min} = \frac{0.35}{T_{rise}} = \frac{0.35}{100ns} = 3.5MHz$$

3 倍 ～ 4 倍のマージンを適用すると、推奨帯域幅は 5.95MHz ～ 7MHz となります。OPA690 の帯域幅は 500MHz で、この値を 70 倍以上上回っています。そのため、この設計では帯域幅が制約条件になることはありません。

4.1.3.2 スルーレート

ゲートを立ち上がり時間内に V_{GS} (desired) までスイングさせるのに必要な最小スルーレート:

$$SR_{min} = \frac{V_{GS}}{T_{rise}} = \frac{3V}{100ns} = 30V/\mu s \quad (9)$$

5 倍 ～ 10 倍のマージンを適用すると、推奨範囲は 150 ～ 300V/µs となります。OPA690 のスルーレートは 1800V/µs で、最小値に対して 60 倍のマージンがあり、推奨範囲を大きく上回っています。

4.1.3.3 出力電流

$$I_{OUT(min)} = \frac{Q_{G(th)}}{0.25 \times T_{rise}} = \frac{5nC}{0.25 \times 100ns} = 200mA \quad (10)$$

OPA690 は、215mA の最大出力電流を供給できます。ただし、帯域幅とスルーレートのマージンが非常に大きいため、オペアンプの応答は十分に高速であり、実際にはゲート充電は 25% のターンオン遅延バジェット内に十分余裕をもって完了します。OPA690 は、T_{rise} = 100ns の設計における三つの選択基準をすべて満たしています。

低オフセット、190V/µs のスルーレート、100MHz、ピーク電流 > 250mA を備えた OPA620 も適しています。

部品パラメータ	数式から導かれる要件	選択した部品	部品の性能
オペアンプの BW 要件	ループ BW > 3.5MHz	OPA690 (オペアンプ)	500MHz
C_{iss} による BW の制限	最大許容 C_{iss} < 9090pF	IQE013N04LM6CGSC	3300pF
オペアンプの出力電流	オペアンプ > 200mA	OPA690 (オペアンプ)	215mA
スルーレート制限	スルーレート > 33V/µs	OPA690 (オペアンプ)	1800V/µs

Copyright © 2026 Texas Instruments Incorporated

4.2 アーキテクチャの選択 (クイック リファレンス)

CFA は、高周波およびパルスベースのシグナル チェーンに必要な高速性と高いスルーレートを実現します。一方、VFA は DC および低周波数の設計に必要な精度、確度、低ノイズを備えているため、オフセット、ドリフト、CMRR の管理や予測可能な周波数応答が求められる場合に適した選択肢となります。立ち上がり時間が 100ns の場合、VFA 設計は非常に優れた選択肢です。

表 4-1. アンプ アーキテクチャの比較

パラメータ	電圧帰還アンプ (VFA)	電流帰還アンプ (CFA)
1.入力インピーダンス	**対称型。** 両方の入力ピンは、高抵抗のように動作します。	**非対称。** 非反転ピンは高抵抗ですが、反転ピンは超低抵抗です $Z_{in+} \approx \text{High}, Z_{in-} \approx 10 \text{ to } 50\Omega$
2.帯域幅とゲインとの関係	**トレードオフ。** 帯域幅は、ゲイン帯域幅積の制限により、閉ループ ゲイン (A_V) に反比例します。 $BW = \frac{GBWP}{A_V}$	**独立。** 帯域幅は、ゲインを無視して物理的な帰還抵抗 (R_F) と内部容量 (C_C) によって決定されます。 $BW \approx \frac{1}{2\pi \times R_F \times C_C}$
3.スルーレート	**厳格な速度制限。** スルーレートは、内部コンデンサ (C_C) を充電する固定の内部テール電流 I_{tail} によって制限されます。 $SR_{max} = \frac{I_{tail}}{C_C}$	**オンデマンドの駆動力。** 入力ステップ サイズ (V_{step}) に比例する内部誤差電流 (I_{error}) を生成し、大きな動的スルーレートを駆動します。 $SR = \frac{I_{error}}{C_C} \approx \frac{V_{step}}{R_F \times C_C}$
4.DC のオフセット	**高精度。** 対称型入力段は、整合したバイアス電流 (I_B) と非常に低い入力オフセット電圧 (V_{OS}) を実現するうえで優れた選択肢です。	**精度の低下。** 非対称型入力段は本質的にバイアス電流の不整合を抱えており、全体的な DC オフセット誤差が大きくなります。
5.帰還コンデンサ (C_F)	**標準的な手法。** 帰還ループの両端にコンデンサを直接接続するのは、帯域幅を制限したりローパス フィルタを構成したりするための標準的な方法です。 $f_{-3dB} = \frac{1}{2\pi \times R_F \times C_F}$	**厳禁。** 反転ピンは低インピーダンスであるため、AC 短絡 (高周波で $X_C \rightarrow 0$) が生じるとループの安定性が損なわれ、即座に激しい発振が発生します。

5 回路アーキテクチャの選択

5.1 シングル フィードバック方式

小 R_{damp} が小さい場合:

- 帰還ループの位相遅れの低減
- ループ帯域幅の拡大
- 過渡応答の高速化

R_{damp} = 0 の場合

- 結果として生じる LC ネットワークの Q 値が高いことに起因するリンギング
- ループ設計に関係なく、回路は不安定になる可能性があります

式 11 では、R_{damp} の実効制限を計算します。

$$2 \times \sqrt{\frac{C_{eff}}{L_{gate}}} < R_{damp} < \frac{1}{2\pi \times BW \times C_{eff}} \quad (11)$$

この計算で、L_{gate} はゲートドライブ経路内の寄生インダクタンスを表します。R_{damp} を 5Ω に選択すれば十分です。ゲート経路でアンダーダンピングや発振が発生せず、C_{eff} の計算はすべて R_{damp} = 5Ω を基準に行われているためです。この設計では、R_{damp} を 5Ω に選択するのが適切です。検証とシミュレーションに基づき、R_{sense} はさらに調整できます。

Copyright © 2026 Texas Instruments Incorporated

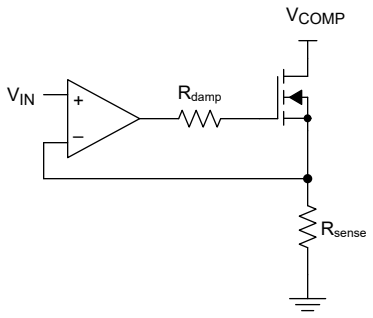


図 5-1. ダンピング抵抗を使用した VCCS

5.2 デュアル帰還方式

オペアンプの安定性理論と補償方法で詳しく説明しているように、デュアル帰還アーキテクチャでループの健全性を維持するには、FB1 と FB2 の帰還経路を正確に管理する必要があります。

- FB1 → R_{damp} を経由する帰還 (低周波で支配的、C_F は開放)
- FB2 → C_F を経由する帰還 (高周波で支配的、C_F は短絡)

図 5-2 に、R_{damp} と R_F を搭載したデュアル帰還回路を示します。安定性を維持するには、設計が $R_F >> R_{damp}$ の条件を満たす必要があるため、帰還抵抗がダンピング抵抗よりも十分に大きいことを確認してください。この関係は、次の数学的基準によって決まります。オペアンプの安定性理論と補償方法も参照してください

$$F_{fb1} = \frac{1}{2\pi \times R_{damp} \times C_{eff}} \quad (12)$$

$$F_{fb2} = \frac{1}{2\pi \times R_F \times C_F} \quad (13)$$

$$f_{CFB1} > f_{CFB2} \quad (14)$$

$$\frac{1}{2\pi \times R_{damp} \times C_{eff}} > \frac{1}{2\pi \times R_F \times C_F} \quad (15)$$

$$C_F > \frac{(R_{damp} \times C_{eff})}{R_F} \quad (16)$$

効果的な実装には、これらの帰還インピーダンスと必要なダンピング要件のバランスを取るための、慎重な部品選定が不可欠です。

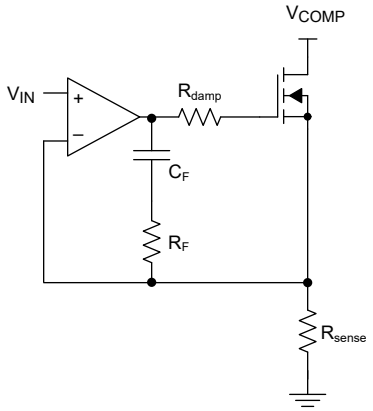


図 5-2. デュアル帰還を備えた VCCS

Copyright © 2026 Texas Instruments Incorporated

5.3 強化されたデュアルフィードバック方式

R_{FX} は、デュアル帰還経路で C_F と直列に追加される抵抗で、その構成を図 5-3 に示します。R_{FX} の主な目的は、高周波ノイズ ゲインを高めることです。この構成により、C_F を小さくしても安定性を維持でき、同時に入力および負荷の過渡に対して、より高速な帰還応答とセトリングを実現できます。トレードオフとして、高周波での出力ノイズが増加します。

R_{FX} は、デュアル帰還回路をさらに強化するためのオプションとしても機能します。R_{FX} を 0Ω に設定すると、回路は標準の R_{damp} デュアル帰還トポロジに戻り、良好な安定性が得られます。R_F は、R_{damp} デュアル帰還トポロジではゼロにできません。R_{FX} が、低周波で出力電圧を検出する基本的な DC 帰還抵抗として機能するためです。R_{FX} がないと、回路は DC 帰還経路を完全に失い、オペアンプ出力は制御不能になります。したがって、R_F は必須ではなく、性能を最適化するためのものです。

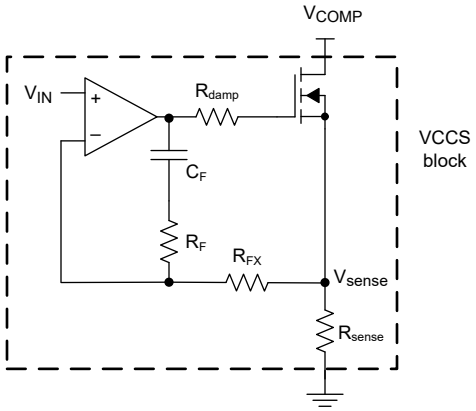


図 5-3. 拡張デュアル帰還を備えた VCCS

6 結果

VCCS 設計は、シミュレーションとハードウェアテストを通じて、目標仕様に適合していることが検証されています。図 6-1 は、100ns の入力ランプに対する過渡応答を示しており、50A のパルス出力電流が得られています。R_{sense} が 2mΩ の場合、センス抵抗両端の定常状態電圧は 100mV に正確にセトリングします。

図 6-2 に、高速性能の詳細を示します。これにより、立ち上がり時間の拡大図を示します。波形はオーバーシュートが最小限で、すばやくセトリングしています。これは、ダンピング抵抗 R_{damp} とデュアル帰還アーキテクチャが寄生発振の抑制に効果的であることを裏付けています。さらに、回路の高周波性能は図 6-3 で検証されています。出力電流は連続した 20MHz の正弦波入力に追従しており、動的な負荷環境における広帯域オペアンプの低歪み性能が実証されています。

Copyright © 2026 Texas Instruments Incorporated



図 6-1. 過渡出力電流応答 T_{rise} = 100ns および I_{OUT} = 50A



図 6-2. 過渡的な立ち上がり時間とセトリング動作の詳細図

Copyright © 2026 Texas Instruments Incorporated

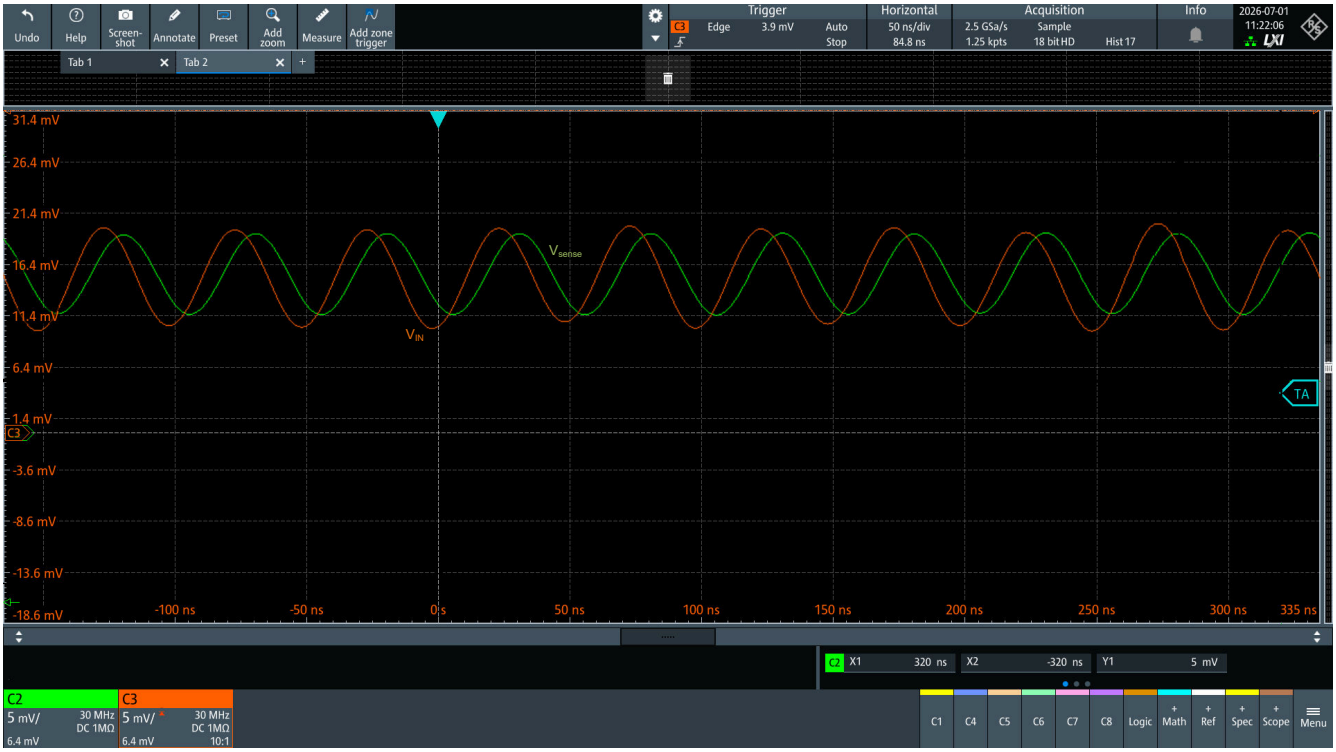


図 6-3. 高周波数出力電流応答 (20MHz 正弦波)

高速な立ち上がり時間 T_{rise} = 100ns と 0.5V のコンプライアンス電圧を維持しながら 50A を超える出力電流を得るには、図 5-3 に示すように複数の VCCS ブロックを並列に接続できます。T_{rise} > 100ns という緩やかな過渡要件のアプリケーションや、より高いコンプライアンス電圧が必要なアプリケーションで、より大きな電流が求められる場合は、V_{IN} 電圧を上げることで、単一の VCCS ブロックで 50A を超える電流レベルを実現できます。

7 関連資料

- テキサス インスツルメンツ、OPA690 ディセーブル機能付き、広帯域、電圧帰還型オペアンプ データシート。
- テキサス インスツルメンツ、OPAx620 250MHz、高精度、レール ツー レール入出力、CMOS オペアンプ データシート。
- テキサス インスツルメンツ、オペアンプの安定性理論と補償方法テクニカル ホワイト ペーパー。
- テキサス インスツルメンツ、スルーレートのランプアップ アプリケーション ノート。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月